

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97136337

※ 申請日期： 97.09.22 ※IPC 分類：H03L 3/00(2006.01)

一、發明名稱：(中文/英文)

時脈腳位設定電路以及時脈驅動電路 / CLOCK PIN SETTING
CIRCUIT AND CLOCK DRIVEN CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英業達股份有限公司/INVENTEC CORPORATION

代表人：(中文/英文)

李詩欽/TSUCHIN LEE

住居所或營業所地址：(中文/英文)

台北市士林區後港街六十六號

NO. 66, HOU-KANG ST., SHIH-LIN DISTRICT, TAIPEI CITY 111,
TAIWAN, R.O.C.

國 籍：(中文/英文)

中華民國 R.O.C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 蔡聖源/ TSAI, SHENGYUAN

國 籍：(中文/英文)

1. 中華民國 R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種時脈腳位設定電路，且特別是有關於一種適用多種頻率之時脈腳位設定電路。

【先前技術】

不論晶片個別的功能為何，大部分的晶片都需要時脈信號來驅動。在含鎖相迴路的高頻晶片中，時脈信號之頻率倍增至無線電頻率。在數位信號處理晶片或微控制晶片，時脈信號常用來記錄各個計算週期。任何其他的循序電路也都需要時脈信號當作參考。

一般而言，有兩種方式可在晶片中產生參考時脈，一種方式是使用外部晶體震盪器模組，如 Colpitts Crystal 震盪器電路；另一種方式則是在晶片組中新增電容器或平行模式晶體到參考電路中，例如石英晶體。

不論使用何種方式來產生時脈信號，都需要依據所產生的時脈信號頻率來設定晶片上的時脈設定腳位，使晶片能夠辨識出時脈頻率而正常工作。舉例來說，需要將時脈設定腳位固定設定為邏輯一或邏輯零。

然而當時脈信號具有多種頻率時，由於無法依據不同時脈頻率來調整時脈設定腳位的設定值，導致晶片無法判斷目前的工作頻率，使晶片無法正常運作。

因此需要一種新的時脈電路，能夠依據各種時脈頻率來設定時脈設定腳位，使晶片正常工作。

【發明內容】

因此本發明之一方面提供一種時脈腳位設定電路，能夠偵測時脈信號之頻率，並據以對晶片之時脈設定腳位進行設定，使晶片能在多種時脈頻率下正常工作。

依照本發明之一實施例，時脈腳位設定電路係設定時脈驅動晶片之時脈設定腳位，此時脈腳位設定電路包括雙單擊電路以及一開關電路。雙單擊電路包括第一單擊電路以及第二單擊電路。第一單擊電路接收時脈信號並據以輸出第一控制信號，第二單擊電路接收第一單擊電路所輸出之第一控制信號並據以輸出第二控制信號。開關電路電性連接時脈設定腳位，此開關電路依據第二控制信號將電源端或接地端電性連接至時脈設定腳位。

本發明之另一方面提供一種時脈驅動電路，時脈驅動電路包括一時脈驅動晶片，而此時脈驅動晶片具有一時脈設定腳，此時脈設定腳位能夠依據時脈信號之頻率自動地被設定，使晶片能在多種時脈頻率下正常工作。

依照本發明之另一實施例，時脈驅動電路包括時脈產生電路、時脈腳位設定電路、時脈驅動晶片以及開關電路。時脈產生電路產生時脈信號。時脈腳位設定電路包括一雙單擊電路，此雙單擊電路包括第一單擊電路以及第二單擊電路。第一單擊電路根據時脈信號輸出反相控制信號，第二單擊電路則接收第一單擊電路所輸出之反相控制信號，並據以輸出第二控制信號。時脈驅動晶片具有時脈設定腳

位，開關電路電性連接此時脈設定腳位。開關電路係依據第二控制信號，將電源端或接地端電性連接至時脈設定腳位。

根據上述實施例，時脈腳位設定電路能夠偵測時脈信號之頻率，並根據時脈信號之頻率，將時脈驅動晶片的時脈設定腳位設定至相應電位，使晶片能在多種時脈頻率下正常工作。

【實施方式】

以下實施例之時脈腳位設定電路，能夠偵測時脈信號之頻率，並根據時脈信號之頻率來設定晶片的時脈設定腳位，使晶片能在多種時脈頻率下正常工作。

請同時參照第 1A、1B 以及 1C 圖，其係繪示本發明一實施例之雙單擊電路以及雙單擊電路所產生之信號波型。第 1A 圖所會示的雙單擊電路 103 包括第一單擊電路(one shot)101a 以及第二單擊電路 101b。第一單擊電路 101a 根據時脈信號產生反相輸出信號 105，第二單擊電路 101b 接收第一單擊電路 101a 所產生之反相輸出信號 105，並依照此反相輸出信號 105 產生正相輸出信號。

根據單擊電路(one shot，亦為 monostable 電路)的特性，當單擊電路之輸入端接收到一觸發脈衝(在此為時脈信號)，且在此單擊電路的延遲時間(包括時間常數 RC 以及恢復時間, recovery time)內未被再次觸發，則輸出端將產生具有特定寬度的脈衝。反之，若在此延遲時間內單擊電路被

連續地觸發，則單擊電路將輸出固定為邏輯零或邏輯一的信號。

第 1B 圖所繪示之時脈信號具有第一時脈週期。若將第一單擊電路 101a 的延遲時間設計得比第一時脈週期長，也就是說在第一單擊電路 101a 的延遲時間內，第一單擊電路 101a 被時脈信號連續地觸發，則此第一單擊電路 101a 的反相輸出信號 105 將固定為邏輯零，接收此邏輯零信號的第二單擊電路 101b 則亦產生固定為邏輯零的正相輸出信號。

第 1C 圖所繪示之時脈信號具有第二時脈週期，其中第二時脈週期大於第一時脈週期。當第一單擊電路 101a 的延遲時間小於第二時脈週期，也就是說，在第一單擊電路 101a 的延遲時間內，第一單擊電路 101a 只被時脈信號觸發一次，則此第一單擊電路 101a 的反相輸出信號將產生脈衝，接收此脈衝信號的第二單擊電路 101b 則固定輸出邏輯一。

請參照第 2 圖，其繪示本發明一實施例之時脈驅動電路。時脈驅動電路包括時脈產生電路 213、時脈腳位設定電路 217、以及時脈驅動晶片 219。時脈產生電路 213 產生時脈信號 221，時脈腳位設定電路 217 根據此時脈信號 221 來將時脈驅動晶片 219 之時脈設定腳位電性連接至電源端 (VDD) 或接地端 (GND)。

時脈腳位設定電路 217 包括雙單擊電路 103 以及開關電路 205。雙單擊電路 103 根據時脈信號 221 產生第一控制信號 223 以及第二控制信號 225。開關電路 205 依據第二控制信號 225，來將電源端 VDD 或接地端 GND 電性連接至

時脈驅動晶片 219 之時脈設定腳位。時脈腳位設定電路 217 更包括緩衝器 215、第一電阻 209 以及第二電阻 211。緩衝器 215 電性連接雙單擊電路 103，來將時脈信號 221 傳遞至雙單擊電路 103。由於時脈驅動晶片 219 以及雙單擊電路 103 的電容值較大，需要緩衝器 215 來幫忙推動。第一電阻 209 電性連接開關電路 205 以及電源端 VDD，第二電阻 211 則電性連接開關電路 205 以及接地端 GND。

如前所述，雙單擊電路 103 包括第一單擊電路(one shot)101a 以及第二單擊電路 101b。第一單擊電路 101a 根據時脈信號 221 來輸出第一控制信號 223。在此一實施例中，第一控制信號 223 為經過反相的控制信號。第二單擊電路 101b 接收第一單擊電路 101a 所輸出之第一控制信號 223，並據以輸出第二控制信號 225。

根據本實施例雙單擊電路(one shot，亦為 monostable 電路)的特性，當雙單擊電路之輸入端接收到一時脈信號，且此時脈信號的週期大於雙單擊電路的延遲時間，則雙單擊電路 103 將輸出邏輯一，使得開關電路 205 將時脈設定腳位電性連接至電源端 VDD。反之，若時脈信號的週期小於雙單擊電路的延遲時間，則雙單擊電路 103 將輸出邏輯零，使開關電路 205 將時脈設定腳位電性連接至接地端 GND。

請參照第 3 圖，其係繪示本發明一實施例雙單擊電路之控制信號對照表。由此對照表可知，當時脈信號週期為 5ns 或 10ns 時，雙單擊電路的第一控制信號分別為邏輯零

或脈衝信號，第二控制信號則分別為邏輯零或邏輯一。換言之，當時脈信號週期不同時，第二控制信號為不同邏輯值，使得開關電路對時脈驅動晶片的時脈設定腳位進行不同設定。如此一來，時脈驅動晶片能夠辨識不同的頻率，並在不同的頻率下工作。

根據上述實施例，時脈腳位設定電路能夠偵測時脈信號之頻率，並根據時脈信號之頻率來設定晶片的時脈設定腳位，使晶片能在多種時脈頻率下正常工作。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何在本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

第 1A 係繪示本發明一實施例之雙單擊電路。

第 1B 圖係繪示本發明一實施例第一時脈週期之時脈信號波形以及雙單擊電路所產生之控制信號波型。

第 1C 圖係繪示本發明一實施例第二時脈週期之時脈信號波形以及雙單擊電路所產生之控制信號波型。

第 2 圖係繪示本發明一實施例之時脈驅動電路。

第 3 圖係繪示本發明一實施例之雙單擊電路控制信號

對照表。

【主要元件符號說明】

101a：第一單擊電路

103：雙單擊電路

209：第一電阻

213：時脈產生電路

217：時脈腳位設定電路

221：時脈信號

225：第二控制信號

101b：第二單擊電路

205：開關電路

211：第二電阻

215：緩衝器

219：時脈驅動晶片

223：第一控制信號

五、中文發明摘要

時脈腳位設定電路以及時脈驅動電路

一種時脈腳位設定電路及時脈驅動電路。時脈腳位設定電路設定時脈驅動晶片的時脈設定腳位，此時脈腳位設定電路包括雙單擊電路以及開關電路。雙單擊電路包括第一單擊電路以及第二單擊電路。第一單擊電路接收時脈信號並據以輸出第一控制信號，第二單擊電路接收第一單擊電路所輸出之第一控制信號並據以輸出第二控制信號。開關電路電性連接晶片之時脈設定腳位，此開關電路依據第二控制信號將電源端或接地端電性連接至時脈設定腳位。

六、英文發明摘要

CLOCK PIN SETTING CIRCUIT AND CLOCK DRIVEN CIRCUIT

A clock pin setting circuit and a clock driven circuit are disclosed. The clock pin setting circuit sets the clock pin of the clock-driven circuit. The clock pin setting circuit includes the double one-shot circuit and the switch circuit. The double one-shot circuit includes the first one-shot circuit and the second one-shot circuit. The second circuit outputs a second control signal according to the first control signal generated by the first one-shot circuit. The switch circuit sets the clock pin to the power end or the ground end according to the second control signal.

十、申請專利範圍：

1. 一種時脈腳位設定電路，用以設定一晶片之一時脈設定腳位，該時脈腳位設定電路包含：

一雙單擊電路，包含：

一第一單擊電路，該第一單擊電路係接收一時脈信號並據以輸出一第一控制信號；以及

一第二單擊電路，接收該第一單擊電路所輸出之該第一控制信號並據以輸出一第二控制信號；以及

一開關電路，電性連接該晶片之該時脈設定腳位，該開關電路係依據該第二控制信號，將一電源端或一接地端電性連接至該時脈設定腳位。

2. 如申請專利範圍第 1 項所述之時脈腳位設定電路，更包含一緩衝器，電性連接該雙單擊電路以將該時脈信號傳遞至該雙單擊電路。

3. 如申請專利範圍第 1 項所述之時脈腳位設定電路，更包含一第一電阻以及一第二電阻，該第一電阻電性連接該開關電路以及該電源端，該第二電阻則電性連接該開關電路以及該接地端。

4. 如申請專利範圍第 1 項所述之時脈腳位設定電路，其中當該時脈信號具有一第一時脈週期時，該第一控制信號具有固定邏輯準位，當該時脈信號具有一第二時脈週期

時，該第一控制信號則為一脈衝信號，其中該第一時脈週期短於該第二時脈週期。

5. 如申請專利範圍第 4 項所述之時脈腳位設定電路，其中當該時脈信號具有該第一時脈週期時，該第一控制信號以及該第二控制信號為邏輯零。

6. 如申請專利範圍第 4 項所述之時脈腳位設定電路，其中當該時脈信號具有該第二時脈週期時，該第一控制信號為該脈衝信號，該第二控制信號則為邏輯一。

7. 一種時脈驅動電路，包含：

一時脈產生電路，以產生一時脈信號；

一時脈驅動晶片，由該時脈信號驅動，其中該時脈驅動晶片具有一時脈設定腳位；

一時脈腳位設定電路，包含一雙單擊電路，該雙單擊電路包含：

一第一單擊電路，根據該時脈信號輸出一反相控制信號；以及

一第二單擊電路，接收該第一單擊電路所輸出之該反相控制信號，並據以輸出一第二控制信號；以及

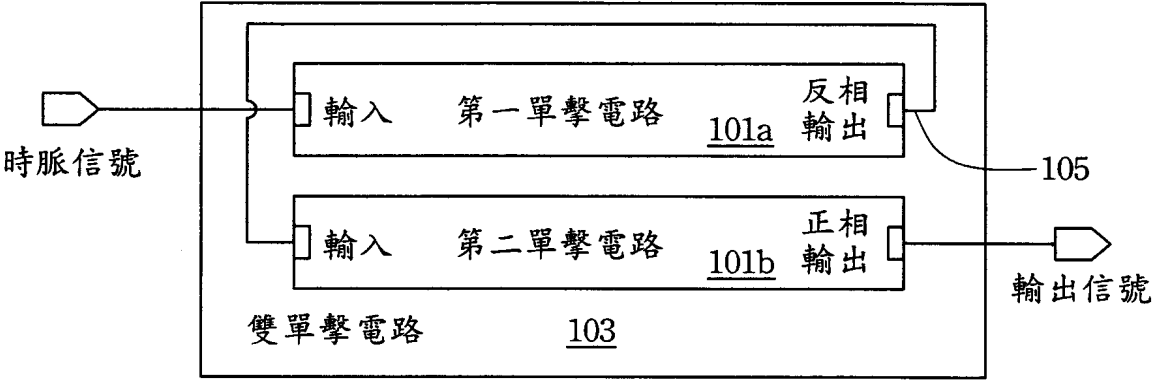
一開關電路，電性連接該時脈設定腳位以及該雙單擊電路，其中該開關電路係依據該雙單擊電路所產生之該第二控制信號，將一電源端或一接地端電性連接至該時脈設

定腳位。

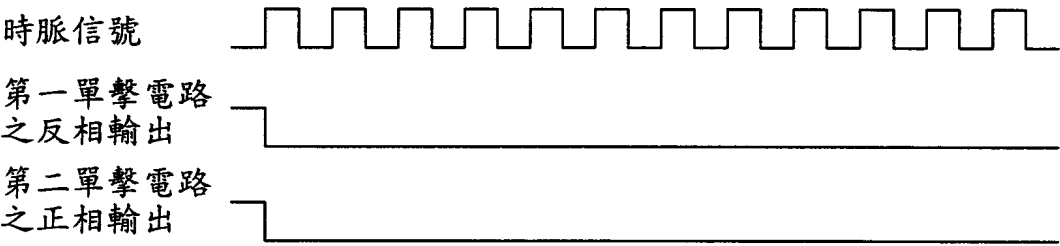
8. 如申請專利範圍第 7 項所述之時脈驅動電路，更包含一緩衝器電性連接該時脈產生電路以及該雙單擊電路，以將該時脈信號傳遞至該雙單擊電路。

9. 如申請專利範圍第 7 項所述之時脈驅動電路，更包含一第一電阻以及一第二電阻，該第一電阻電性連接該開關電路以及該電源端，該第二電阻則電性連接該開關電路以及該接地端。

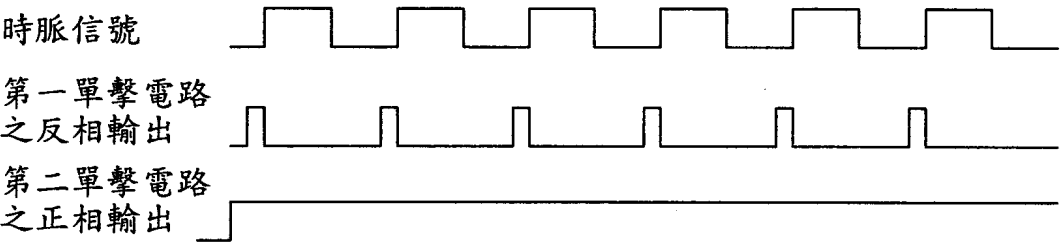
10. 如申請專利範圍第 7 項所述之時脈驅動電路，其中該時脈信號具有一第一時脈週期以及一第二時脈週期，該第一時脈週期小於該第二時脈週期，該第一單擊電路之延遲時間則介於該第一時脈週期與該第二時脈週期之間。



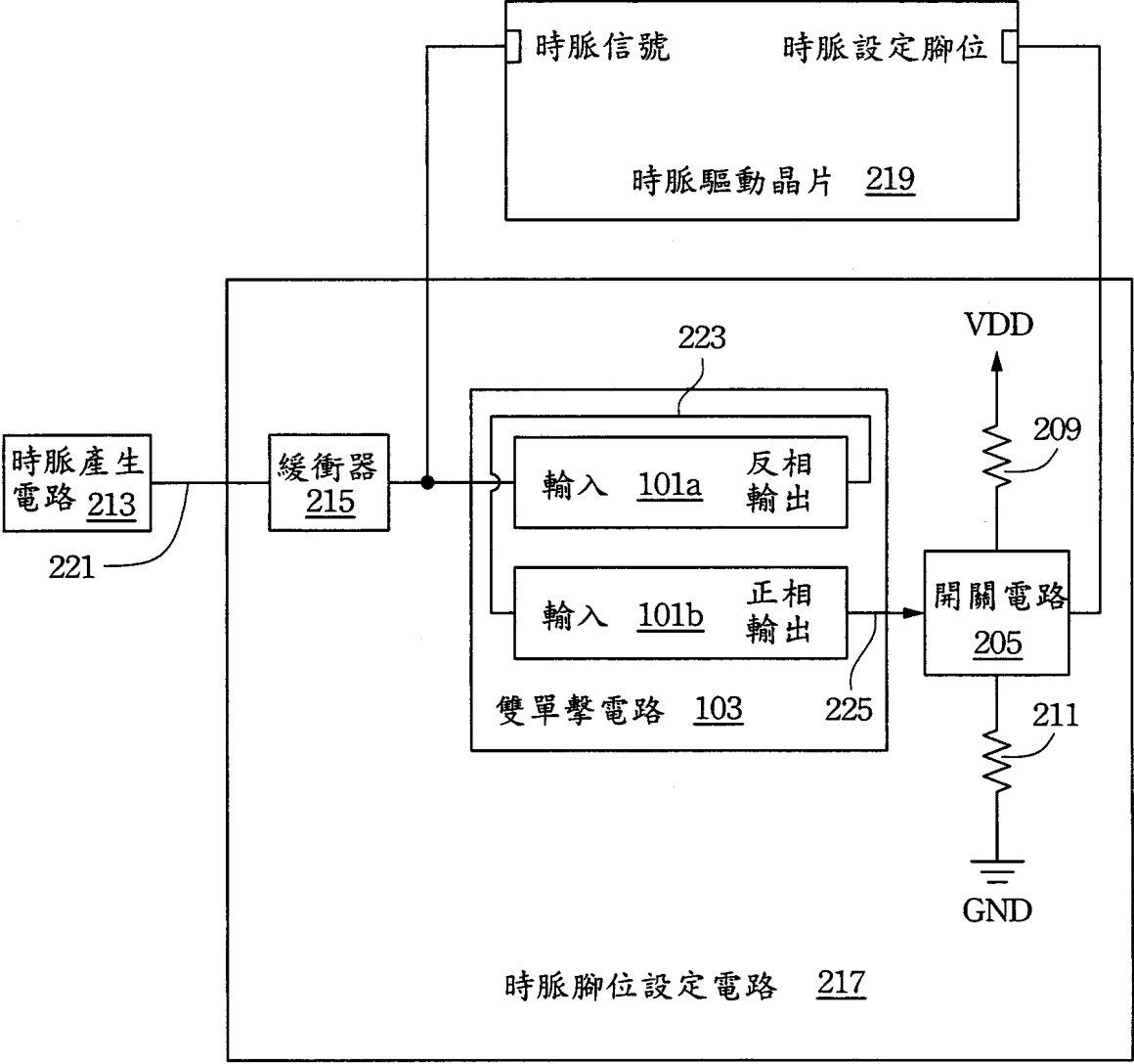
第 1A 圖



第 1B 圖



第 1C 圖



第 2 圖

	時脈週期 5 ns	時脈週期 10 ns
第一控制信號	固定為邏輯0	脈衝信號
第二控制信號	固定為邏輯0	固定為邏輯1

第 3 圖

七、指定代表圖：

(一)、本案指定代表圖為：第(2)圖

(二)、本案代表圖之元件符號簡單說明：

103：雙單擊電路	205：開關電路
209：第一電阻	211：第二電阻
213：時脈產生電路	215：緩衝器
217：時脈腳位設定電路	219：時脈驅動晶片
221：時脈信號	223：第一控制信號
225：第二控制信號	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：