



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0082229
(43) 공개일자 2022년06월17일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) H01L 43/08 (2006.01)
(52) CPC특허분류
G11C 11/161 (2013.01)
G11C 11/1673 (2013.01)
(21) 출원번호 10-2020-0171905
(22) 출원일자 2020년12월10일
심사청구일자 2020년12월10일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
서영교
경기도 부천시 길주로77번길 19-45, 920호(상동, 디아프갤러리4)
(74) 대리인
양성보

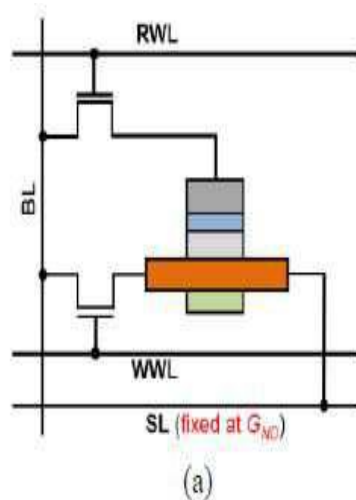
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 SOT-MRAM 면적 최적화 기법

(57) 요약

SOT-MRAM 면적 최적화 기법이 개시된다. 일 실시예에 따른 메모리 장치는, 자유층, 고정층 및 상기 자유층과 상기 고정층 사이에 자기 터널 접합; 상기 자기 터널 접합의 자유층의 일측면과 접하는 금속층; 및 상기 금속층의 하단에 구성된 스핀 싱크층(SSL)을 포함하고, 상기 메모리 장치에서 소스 라인을 비트 라인과 수직으로 배치해서 저면적을 성취할 수 있었으며 이 장치에서 읽기 작업 또는 쓰기 작업을 위해 상기 메모리 장치에 구성된 소스 라인을 그라운드로 설정할 수 있다.

대표도 - 도4



	WWL	RWL	BL	SL
Write 1	V_{WWL}	V_{MINUS}	V_{WRITE}	G_{ND}
Write 0	V_{WWL}	V_{MINUS}	V_{MINUS}	
Read	V_{MINUS}	V_{DD}	V_{READ}	

(b)

(52) CPC특허분류

G11C 11/1675 (2013.01)

H01L 43/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415169985
과제번호	20010610
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	차세대지능형반도체기술개발
연구과제명	고효율 초저전력 경량 엣지 디바이스용 소자회로 및 SoC 개발 (1차년도)
기 여 율	80/100
과제수행기관명	주식회사 이에스티
연구기간	2020.04.01 ~ 2020.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711117419
과제번호	2020R1F1A1051529
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	기본연구
연구과제명	[Ezbaro] CMOS 메모리와 차세대 메모리를 이용한 저전력 저면적 PIM (Processing In Memory) 설계
기 여 율	20/100
과제수행기관명	인하대학교
연구기간	2020.06.01 ~ 2021.02.28

명세서

청구범위

청구항 1

메모리 장치에 있어서,

자유층, 고정층 및 상기 자유층과 상기 고정층 사이에 자기 터널 접합;

상기 자기 터널 접합의 자유층의 일측면과 접하는 금속층; 및

상기 금속층의 하단에 구성된 스핀 싱크층(SSL)

을 포함하고,

상기 메모리 장치에서 소스 라인을 비트 라인과 수직 방향으로 배치하여 비트 셀의 면적을 축소시키는 것을 특징으로 하는 메모리 장치.

청구항 2

제1항에 있어서,

상기 메모리 장치는,

상기 비트 라인의 수직 방향으로 소스 라인을 배치하고, 읽기 작업 또는 쓰기 작업을 위해 상기 비트 라인의 수직 방향으로 배치된 소스 라인을 그라운드로 설정하는 것을 특징으로 하는 메모리 장치.

청구항 3

제1항에 있어서,

상기 메모리 장치는,

상기 자기 터널 접합의 제1 터미널에 연결된 읽기 액세스 트랜지스터와 상기 금속층의 제2 터미널에 연결된 쓰기 액세스 트랜지스터를 포함하는 복수의 트랜지스터를 포함하는

것을 특징으로 하는 메모리 장치.

청구항 4

제3항에 있어서,

상기 읽기 액세스 트랜지스터는 게이트 측에서 읽기 워드 라인과 연결되고, 드레인 측에서 비트 라인과 연결되며, 소스 측에서 상기 자기 터널 접합의 고정층과 연결되고,

상기 쓰기 액세스 트랜지스터는 게이트 측에서 쓰기 워드 라인과 연결되고, 드레인 측에서 비트 라인과 연결되며, 소스 측에서 상기 금속층과 연결되는

것을 특징으로 하는 메모리 장치.

청구항 5

제2항에 있어서,

상기 메모리 장치는,

상기 쓰기 작업의 경우, 논리값 0을 쓰기 위하여 비트 라인이 음전압으로 편향되는 조건, 쓰기 작업의 경우, 논리값 1을 쓰기 위하여 읽기 워드 라인이 음전압으로 편향되는 조건, 읽기 작업의 경우, 쓰기 워드 라인이 음전압으로 편향되는 조건을 포함하는 읽기 작업 및 쓰기 작업의 편향 조건을 설정하는

것을 특징으로 하는 메모리 장치.

청구항 6

제5항에 있어서,

상기 메모리 장치는,

상기 설정된 편향 조건에 따라 쓰기 전류가 소스 라인에서 비트 라인으로 또는 비트 라인에서 소스 라인으로 금속층을 통해 읽기 전류가 흐르고, 읽기 전류가 비트 라인에서 자기 터널 접합을 통해 소스 라인으로 쓰기 전류가 흐르는

것을 특징으로 하는 메모리 장치.

청구항 7

제1항에 있어서,

상기 메모리 장치는,

상기 자기 터널 접합의 자유층의 자화를 스위치 하기 위하여 상기 자유층과 접촉하여 상기 금속층에 전하 전류를 인가하는 것을 포함하고,

전하 전류를 가로지르는 스핀 전류가 생성되어 상기 금속층에서 스핀-궤도 상호작용으로 이어지는

것을 특징으로 하는 메모리 장치.

발명의 설명

기술 분야

[0001] 아래의 설명은 스핀 궤도 토크 자기저항 랜덤 액세스 메모리에 관한 것이다.

배경 기술

[0003] 스핀-이동 토크 자기저항 램(STT-MRAM)은 비볼륨성, 고밀도, CMOS 프로세스와의 호환성 등 바람직한 특성 때문에 온칩 캐시와 임베디드 애플리케이션에 큰 관심을 끌었다. 그러나 STT-MRAM은 읽기 및 쓰기 작업을 위해 자기 터널 접합(junction)을 통과하는 공통 액세스 경로를 갖도록 설계되었다. 이는 읽기 중에 원하지 않는 약간의 플립을 일으키는 원인이 되고, 쓰기 중에 터널 접합부에 높은 스트레스를 주는 것과 같이 신뢰성에 부정적인 영향을 미친다.

[0004] 최근에는 신뢰성이 강화된 비휘발성 온칩 메모리의 또 다른 후보로 스핀 오빗 토크 자기저항 램(SOT-MRAM)이 제안되었다. SOT-MRAM의 3개의 터미널 구조는 읽기 경로와 쓰기 경로를 분리하므로, 각 경로를 다른 경로를 방해하지 않고 독립적으로 최적화할 수 있다. 또한 SOT-MRAM은 중금속으로부터 스핀 주입에 의해 SOT 유도 스위칭이 수행되기 때문에 터널 접합부에 걸쳐 높은 스트레스 조건이 필요하지 않다. 이러한 장점들로 인해 STT-MRAM을 대신하여 SOT-MRAM이 대두되고 있다.

[0005] 그러나, SOT-MRAM의 주요 단점은 각 셀이 두 개의 액세스 트랜지스터를 필요로 한다는 것이다. 이로 인해 단일 접근 트랜지스터를 사용하는 STT-MRAM보다 비트 셀 면적이 더 커진다. 이에, SOT-MRAM의 장점을 유지하면서 통합 밀도를 향상시키기 위한 기술이 요구된다.

발명의 내용

해결하려는 과제

[0007] 면적 최적화를 위한 스핀 궤도 토크 자기저항 랜덤 액세스 메모리(SOT-MRAM)의 새로운 구조를 제공할 수 있다.

[0008] 셀의 최소 피치를 완화할 수 있는 비트 라인 층에 수직인 방향으로 소스 라인 층을 라우팅하는 스핀 궤도 토크 자기저항 랜덤 액세스 메모리(SOT-MRAM) 장치를 제공할 수 있다.

과제의 해결 수단

- [0010] 메모리 장치는, 자유층, 고정층 및 상기 자유층과 상기 고정층 사이에 자기 터널 접합; 상기 자기 터널 접합의 자유층의 일측면과 접하는 금속층; 및 상기 금속층의 하단에 구성된 스핀 싱크층(SSL)을 포함하고, 상기 메모리 장치에서 소스 라인을 비트 라인과 수직 방향으로 배치하여 비트 셀의 면적을 축소시킬 수 있다.
- [0011] 상기 메모리 장치는, 상기 비트 라인의 수직 방향으로 소스 라인을 배치하고, 읽기 작업 또는 쓰기 작업을 위해 상기 비트 라인의 수직 방향으로 배치된 소스 라인을 그라운드로 설정할 수 있다.
- [0012] 상기 메모리 장치는, 상기 자기 터널 접합의 제1 터미널에 연결된 읽기 액세스 트랜지스터와 상기 금속층의 제2 터미널에 연결된 쓰기 액세스 트랜지스터를 포함하는 복수의 트랜지스터를 포함할 수 있다.
- [0013] 상기 읽기 액세스 트랜지스터는 게이트 측에서 읽기 워드 라인과 연결되고, 드레인 측에서 비트 라인과 연결되며, 소스 측에서 상기 자기 터널 접합의 고정층과 연결되고, 상기 쓰기 액세스 트랜지스터는 게이트 측에서 쓰기 워드 라인과 연결되고, 드레인 측에서 비트 라인과 연결되며, 소스 측에서 상기 금속층과 연결될 수 있다.
- [0014] 상기 메모리 장치는, 상기 쓰기 작업의 경우, 논리값 0을 쓰기 위하여 비트 라인이 음전압으로 편향되는 조건, 쓰기 작업의 경우, 논리값 1을 쓰기 위하여 읽기 워드 라인이 음전압으로 편향되는 조건, 읽기 작업의 경우, 쓰기 워드 라인이 음전압으로 편향되는 조건을 포함하는 읽기 작업 및 쓰기 작업의 편향 조건을 설정할 수 있다.
- [0015] 상기 메모리 장치는, 상기 설정된 편향 조건에 따라 쓰기 전류가 소스 라인에서 비트 라인으로 또는 비트 라인에서 소스 라인으로 금속층을 통해 쓰기 전류가 흐르고, 읽기 전류가 비트 라인에서 자기 터널 접합을 통해 소스 라인으로 읽기 전류가 흐를 수 있다.
- [0016] 상기 메모리 장치는, 상기 자기 터널 접합의 자유층의 자화를 스위치 하기 위하여 상기 자유층과 접촉하여 상기 금속층에 전하 전류를 인가하는 것을 포함하고, 전하 전류를 가로지르는 스핀 전류가 생성되어 상기 금속층에서 스핀-궤도 상호작용으로 이어질 수 있다.

발명의 효과

- [0018] 실시예에서 제안된 메모리 장치는 소스 라인 메탈의 배치를 달리 해서 기존의 SOT-MRAM/STT-MRAM에 비해 셀 면적 감소를 달성할 수 있다.
- [0019] 실시예에서 제안된 메모리 장치는 높은 스핀 전류 주입 효율을 이용하여 기존의 STT-MRAM보다 낮은 쓰기 성능을 달성할 수 있다.
- [0020] 실시예에서 제안된 메모리 장치는 별도의 읽기 및 쓰기 전류로 인한 각 경로를 독립적으로 최적화할 수 있어 읽기 및 쓰기 작업에 대한 공통 경로를 가진 STT-MRAM에 비해 낮은 읽기 전력과 높은 읽기 실패 마진을 얻을 수 있다.
- [0021] 실시예에서 제안된 메모리 장치는 쓰기 작업 동안 MTJ와 관련된 신뢰성 및 에너지 효율 등의 고유한 이점을 유지하면서 집적 밀도를 향상시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 SOT-MRAM의 구조를 설명하기 위한 도면이다.
- 도 2는 SOT-MRAM의 비트 셀과 편향 조건을 나타낸 예이다.
- 도 3은 SOT-MRAM에서 배치 설계 규칙에 따른 파라미터를 설명하기 위한 도면이다.
- 도 4는 일 실시예에 따른 SOT-MRAM의 비트 셀과 편향 조건을 나타낸 예이다.

도 5는 일 실시예에 따른 SOT-MRAM에서 트랜지스터 편향의 예를 설명하기 위한 도면이다.

도 6은 일 실시예에 따른 SOT-MRAM와 종래의 SOR-MRAM, STT-MRAM을 비교하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 실시예를 첨부한 도면을 참조하여 상세히 설명한다.
- [0026] 도 1은 SOT-MRAM의 구조를 설명하기 위한 도면이다.
- [0027] 3 터미널 SOT 장치는 도 1과 같이, 자기 터널 접합(MTJ: magnetic tunnel junction), 금속층(HM: heavy metal), 스핀 싱크층(SSL: spin-sink layer)으로 구성될 수 있다. 자기 터널 접합(MTJ)은 자기 터널 접합을 샌드위치하는 고정층(PL: pinned layer)과 자유층(FLL: free layer)으로 구성될 수 있다.
- [0028] 자유층(FLL)의 자화(magnetization)는 고정층(PL)의 고정 자화와 관련하여 평행(P) 상태 또는 역평행(AP) 상태 중 하나로 양립할 수 있다. 평행(P) 상태에서 자기 터널 접합(MTJ)의 저항은 AP 상태에서보다 상대적으로 낮기 때문에 자기 터널 접합(MTJ) 터미널 T1을 통해 판독 전류를 전달하고, 자기 터널 접합(MTJ) 저항을 감지하여 비트 정보를 검색할 수 있는 저장 요소로 기능할 수 있다.
- [0029] 자유층(FLL) 자화를 스위치하기 위해 자유층과 직접 접촉하여 금속층(HM)에 전하 전류를 인가한다. 도 1(b)와 같이 전하 전류를 가로지르는 스핀 전류를 생성하여, 금속층에서 스핀-오빗 상호작용으로 이어진다. 금속층(HM)의 상단 표면에 주입된 스핀 전류가 스핀 전달 토크를 발휘하여 자유층(FLL) 자화가 스위치되는 원인이 된다. SOT 유도 스위칭은 산화물 장벽이 고전압 강하에 의해 스트레스를 받지 않기 때문에 자기 터널 접합(MTJ)의 산화물 장벽과 관련된 신뢰성 문제를 제거한다. 또한, 스핀 전류(IS)가 전하 전류(IC)보다 클 수 있다는 점에 유의한다. 즉, 금속층(HM)을 통해 흐르는 하나의 전자가 각 운동량의 여러 단위를 전달하기 때문에 스핀 전류 주입 효율은 100%를 초과할 수 있다. 스핀 싱크 층(SSL)은 금속층(HM)의 하단에 부착되어 금속층(HM), 금속층(HM)의 하단 표면에 스핀 극화 전자로 인한 스핀 전류 역류를 감소시킴으로써 스핀 전류 투입 효율을 더욱 향상시킬 수 있다.
- [0030] 기존 SOT-MRAM의 비트 셀에는 도 2에서 도시된 바와 같이, 두 가지의 트랜지스터가 필요하다. 터미널 T1에 연결된 읽기 액세스 트랜지스터와 금속층(HM)의 터미널 T2에 연결된 쓰기 액세스 트랜지스터이다. 읽기 경로는 쓰기 경로와 분리되어 있기 때문에 각 경로는 독립적으로 최적화될 수 있다. 비트 셀에서 논리값 1을 쓰기 위해서는 비트 라인(BL)은 양의 값(positive value: V_W), 소스 라인(SL)은 그라운드(G_{ND})로 설정되고, 쓰기 워드 라인(WWL)은 높게 되어 비트 라인(BL)에서 중금속(HM)을 통해 소스 라인(SL)으로 흐르는 쓰기 전류(I_W)를 발생시킨다. 마찬가지로, 논리값 0은 반대 전압, 즉, 양의 전압(V_W)을 소스 라인(SL)에, 그라운드는 비트 라인(BL)에 적용하여 작성할 수 있다. 읽기 작업의 경우, 소스 라인(SL)은 그라운드(G_{ND})로 설정되고, 비트 라인(BL)은 현재 소스에 연결되며, 읽기 워드 라인(RWL)은 읽기 전류(IR)가 비트 라인(BL)에서 소스 라인(SL)으로 흐르도록 높게 지정될 수 있다. 감지 증폭기는 기준 비트 라인(BL)의 기준 전압(V_{REF})과 비트 라인(BL)의 셀전압(V_{READ})을 비교한다.
- [0031] 도 3은 SOT-MRAM에서 배치 설계 규칙에 따른 파라미터를 설명하기 위한 도면이다.
- [0032] 실시예에서는 SOT-MRAM의 장점을 유지하면서 통합 밀도를 향상시키기 위한 메모리 장치를 제공할 수 있다. 다시 말해서, 메모리 장치는 새로운 구조로 설계된 SOT-MRAM를 의미한다. 실시예에서 제안하는 메모리 장치는 복수의 비트라인, 복수의 소스 라인, 복수의 읽기 워드 라인 복수의 쓰기 워드 라인을 포함할 수 있다. 메모리 장치는 비트 라인과 소스 라인 사이에 형성된 자기 터널 접합과 복수의 트랜지스터를 포함할 수 있다. 자기 터널 접합은 자기 터널 접합을 샌드위치하는 고정층과 자유층을 포함할 수 있다. 복수의 트랜지스터는 자기 터널 접합의 제1 터미널에 연결된 읽기 액세스 트랜지스터와 금속층의 제2 터미널에 연결된 쓰기 액세스 트랜지스터를 포함하는 복수의 트랜지스터로 구성될 수 있다. 읽기 액세스 트랜지스터는 게이트 측에서 읽기 워드 라인과 연결되고, 드레인 측에서 비트 라인과 연결되며, 소스 측에서 자기 터널 접합의 고정층과 연결될 수 있다. 쓰기 액세스 트랜지스터는 게이트 측에서 쓰기 워드 라인과 연결되고, 드레인 측에서 비트 라인과 연결되며, 소스 측에서 금속층과 연결될 수 있다. 다시 말해서, 자기 터널 접합은 복수의 트랜지스터를 통해 비트 라인과 소스 라인, 읽기 워드 라인 및 쓰기 워드 라인에 대하여 한쌍으로 연결될 수 있다.

- [0033] 기존의 SOT-MRAM 셀의 레이아웃에는 비트 라인(BL)과 동일한 방향으로 라우팅되는 소스 라인(SL)을 위한 두 개의 금속 라인이 포함되어 비트 셀 영역을 지배한다. 셀의 최소 피치를 완화할 수 있는 비트 라인(BL) 층에 수직인 방향으로 소스 라인(SL) 층을 라우팅하는 구조를 제공하고자 한다.
- [0034] λ 기반 규칙을 사용하여 SOR-MRAM의 레이아웃이 분석될 수 있다. 여기서, λ 는 최소 형상 크기의 절반을 가리킨다. 실시예에서는 금속 라인 사이의 최소 피치는 6λ 으로 가정하기로 한다. 배치 설계 규칙에 따른 다른 파라미터는 도 3(a)에 정의되어 있다. 참고로, 접근 트랜지스터의 폭이 작은 경우, 수평 치수는 트랜지스터 폭(W_{FET})에 의해 결정되지 않는다. 오히려, 도 3(b)와 같이 금속 피치에 의해 제한될 수 있다. 특히, 동일한 칼럼의 셀들 사이에서 비트 라인(BL)과 소스 라인(SL)을 공유하기 위해서는 기존의 SOT-MRAM은 수직 방향으로 두 개의 금속 라인이 배선되어 있어, x-치수로 12λ 가 된다. 반대로, 트랜지스터 폭(W_{FET})이 9λ 이상으로 증가하면 수평 치수 또한 도 3(c)와 같이 트랜지스터 폭(W_{FET})에 의해 비례하여 증가한다.
- [0035] 실시예에서는 기존의 SOT-MRAM의 트랜지스터 폭(W_{FET})은 메모리 고밀도에 대해 요구되는 최대값이 9λ 이라고 가정하기로 한다. 이러한 가정은 SOT-MRAM이 100% 초과하는 스핀 전류 투입 효율 덕분에 작은 쓰기 전류로도 10ns 미만의 쓰기 작업을 달성할 수 있다.
- [0036] 트랜지스터는 다음과 같이 획득될 수 있다.
- [0037]
$$W_C + 4W_{G2C} + 2W_G + 2W_C + 2W_{C2A} + W_{A2A} = 23\lambda$$
- [0038] 위 식의 값 23λ 은 단일 핑거 액세스 트랜지스터를 사용하는 STT-MRAM의 y치수의 2배라는 점에 유의한다. 이 때문에 기존의 SOT-MRAM은 작은 트랜지스터 폭(W_{FET})으로도 STT-MRAM과 비교했을 때 비트 셀 면적이 더 커질 수 있다.
- [0039] 도 4는 일 실시예에 따른 SOT-MRAM의 비트 셀과 편향 조건을 나타낸 예이다.
- [0040] 집적 밀도 향상을 위해 셀 면적을 늘리지 않고 수평 방향으로 금속 라인을 추가할 수 있다는 것을 바탕으로 수정된 SOT-MRAM 비트 셀 구조를 제안하기로 한다. 수직 방향이 아닌 수평 방향으로 소스 라인(SL)을 라우트(경로화)하기 위해 제안된 구조는 도 4(a)와 같이 항상 소스 라인을 그라운드(G_{ND})로 설정한다. 읽기 및 쓰기 작업은 도 4(b)에 표시된 편향 조건으로 수행된다. 값 0을 쓸 경우, 비트 라인(BL)은 음전압(negative voltage: V_{MINUS})에서 편향되어 전류가 소스 라인(SL)에서 금속층(HM)을 통해 비트 라인(BL)로 흐르게 된다.
- [0041] 도 4(b)를 참고하면, 편향 조건은 쓰기 작업의 경우, 논리값 0을 쓰기 위하여 비트 라인이 음전압으로 편향되는 조건, 쓰기 작업의 경우, 논리값 1을 쓰기 위하여 읽기 워드 라인이 음전압으로 편향되는 조건, 읽기 작업의 경우, 쓰기 워드 라인이 음전압으로 편향되는 조건을 포함하는 읽기 작업 및 쓰기 작업의 편향 조건으로 설정될 수 있다. 예를 들면, 설정된 편향 조건에 따라 쓰기 전류가 소스 라인에서 비트 라인으로 또는 비트 라인에서 소스 라인으로 금속층을 통해 읽기 전류가 흐르고, 읽기 전류가 비트 라인에서 자기 터널 접합을 통해 소스 라인으로 쓰기 전류가 흐르게 된다.
- [0042] 도 5는 일 실시예에 따른 SOT-MRAM에서 트랜지스터 편향의 예를 설명하기 위한 도면이다.
- [0043] 비트 라인(BL)에 음전압을 적용하려면 신뢰할 수 있고 에너지 효율적인 작동을 위해 신중한 트랜지스터 편향이 필요하다. 첫째, 값 0을 쓰기 위해 선택된 쓰기 액세스 트랜지스터의 게이트 소스 전압(V_{GS})은 쓰기 워드 라인(WWL)이 기존 셀과 동일하게 편향된 경우 V_{DD} 를 초과할 수 있다(도 5의 셀 A에서 쓰기 액세스 트랜지스터 참조). 과도한 게이트 소스 전압(V_{GS})은 편향 온도 불안정성과 같은 트랜지스터의 신뢰성 문제를 야기하기 때문에 실시예에서 제안된 구조는 쓰기 워드 라인(WWL)을 주장하기 위해 공칭(nominal) V_{DD} 보다 낮지만 양의 V_{WWL} 을 적용한다. V_{DD} 보다 낮은 V_{WWL} 은 값 1을 쓰기 위한 현재의 구동 강도를 주의할 수 있다는 점에 유의한다(도 5(b)). 단, 높은 스핀 전류 투입 효율로 인해 10ns미만의 쓰기 연산을 달성하는 것이 가능하다. 둘째, 제안된

체계에서 읽기 워드 라인(RWL)또는 쓰기 워드 라인(WWL)은 관련 트랜지스터가 접근용으로 선택되지 않은 경우, 음전압(V_{MINUS})으로 편향된다. 비트 라인(BL)의 전압이 음전압이어도 V_{GS} 가 0이하임을 확인함으로써 선택되지 않은 트랜지스터가 누출 전류를 통과하지 못하게 한다(도 5의 읽기 액세스 트랜지스터 참조). 셋째, 트랜지스터 바디(body)가 기존 설계에서와 같이 그라운드(G_{ND})로 설정되어 있다면, 바디-소스 전압(V_{BS})은 양수일 수 있다. 양의 바디-소스 전압(V_{BS})은 바디와 소스 사이의 전방 편향 PN 접합을 유도함에 따라 선택되지 않은 셀로부터 불필요한 누설 전류가 발생시키기 때문에 바디 전압은 음전압(V_{MINUS})으로 설정된다.

[0044] 도 6은 일 실시예에 따른 SOT-MRAM와 종래의 SOR-MRAM, STT-MRAM을 비교하기 위한 도면이다.

[0045] 도 6(a)는 종래의 STT-MRAM, 도 6(b)는 종래의 SOT-MRAM, 도 6(c)는 실시예에서 제안된 SOT-MRAM를 나타낸 것이다.

[0046] 실시예에서 제안된 SOT-MRAM의 셀을 기존의 STT-MRAM/SOT-MRAM의 셀과 비교하기 위하여 다음과 같이 세가지 구성된 시뮬레이션 프레임워크가 사용될 수 있다. 자화 역학을 모델링하는 Landau-Lifshitz-Gilbert-Slonczewski(LLGS) 식 해결기(equation solver), 자기 터널 접합(MTJ) 저항을 획득하기 위한 Non-Equilibrium Green's Function(NEGF) 형식주의 및MRAM 비트 셀의 회로를 모델링하기 위한 SPICE 시뮬레이션이 사용될 수 있다.

[0047] LLGS 식 해결기는 표 1의 마그네틱 장치 파라미터에 기초하여 각 셀의 중요 스위칭 전류를 결정한다.

[0048] 표 1: 스핀 장치의 파라미터

	STT device	SOT device
Gilbert damping, α	0.007	0.0122
Sat. magnetization, M_s	$900 \times 10^3 \text{ A/m}$	$900 \times 10^3 \text{ A/m}$
Dimension of free layer ($W_{\text{FL}} \times L_{\text{FL}} \times t_{\text{FL}}$)	$120\text{nm} \times 40\text{nm} \times 2 \text{ nm}^1$	$120\text{nm} \times 40\text{nm} \times 2 \text{ nm}^2$
Dimension of HM ($W_{\text{HM}} \times L_{\text{HM}} \times t_{\text{HM}}$)	-	$120\text{nm} \times 80\text{nm} \times 2\text{nm}$
HM resistivity	-	$200\mu\Omega\cdot\text{cm}$
Spin Hall angle, θ_{SH}	-	0.3
Oxide thickness, t_{OX}	1.15nm	1.45nm
Critical current (7ns)	130 μA	42 μA

^{1,2} MTJ FL has an elliptical shape

[0050] SOT-MRAM 셀의 스핀 전류 투입 효율, 즉 I_S 대 I_C 의 비율은 다음과 같이 계산할 수 있다.

$$\frac{I_S}{I_C} = \frac{A_{\text{MTJ}}}{A_{\text{HM}}} \cdot \theta_{\text{SH}}$$

[0052] 여기서 A_{MTJ} (A_{HM})는 MTJ(HM)의 단면적이며, θ_{SH} 는 실시예에서 0.3으로 가정되는 스핀 홀 각도이다. 표 1에서

$A_{\text{HM}} (= t_{\text{HM}} \times W_{\text{HM}})$ 은 $A_{\text{MTJ}} (= \frac{\pi}{4} \times W_{\text{MTJ}} \times L_{\text{MTJ}})$ 보다 작게 설계되어 471%의 높은 스핀 전류 투입 효율이 달성한다는 점에 유의한다. SPICE 회로 시뮬레이션의 경우, MTJ와 HM의 저항을 결정해야 한다. AP와 P 상태에서 MTJ의 전압 의존 저항은 NEGF 기반 전자 전송 시뮬레이션에 의해 계산되는 반면, HM의 저항은 기 설정된 실험 저항 값과 표 1의 장치 치수를 사용하여 추정한다. 또한 상용 45nm 트랜지스터 모델을 사용하여 완전한 메모리 셀 구조를 형성하고 읽기 및 쓰기 작업을 평가한다. 비교는 7ns 스위칭 시간의 동일한 조건에서 설계한 3개의 서로

다른 셀 구조, $(IW - IC) / IC$ 로 정의되는 20% 쓰기 마진, 그리고 $(IC - IR) / IC$ 로 정의된 읽기-장애 마진의 50% 초과 조건에서 수행된다.

[0053] 시뮬레이션 결과는 표 2에 요약되어 있다. STT-MRAM은 V_{WRITE} 가 공칭 $V_{DD}(=1V)$ 를 초과하지 않는 상태에서 7ns 스위칭 시간을 달성하려면 20λ ($\lambda=400nm$)의 트랜지스터 폭을 요구한다. 이와는 대조적으로, 기존의 SOT-MRAM은 앞에서 언급한 바와 같이 9λ ($\lambda=180nm$) 폭으로 설계되어 있다. 상대적으로 트랜지스터 폭이 작더라도 SOT-MRAM은 동일한 7ns 스위칭 사양에 대해 V_{WRITE} 의 낮은 값을 요구하므로 쓰기 전력도 낮아진다. 그러나 SOT-MRAM 셀 면적은 도 6과 같은 2-트랜지스터 요건 때문에 STT-MRAM 셀 면적보다 크다.

[0054] SOT-MRAM 셀 면적의 단점을 해결하기 위해, 실시예에서 제안된 셀은 도 6(c)와 같이 SL 금속 라인을 수평 방향으로 이동시켜 y-치수를 유지하면서 최소 x치수를 완화시킨다. 80nm 크기의 트랜지스터로 제안된 셀은 표 2의 편향 조건을 사용하여 7ns 스위칭 시간의 요구사항을 충족할 수 있다. STT-MRAM과 비교하여 실시예에서 제안된 셀은 (최소 x-치수 완화로 인해) 23% 더 작은 비트 셀 면적을 보이며 (높은 스핀 투입 효율성으로 인해) 6.26배 더 낮은 쓰기 전력을 보인다. 또한, 가독성과 쓰기성의 트레이드오프를 가지는 산화물 두께(1.15nm)인 STT 장치와 달리 SOT 장치는 읽기 작업에만 산화물 두께(1.45nm)를 최적화할 수 있다. 두꺼운 산화층은 읽기 중에 동일한 BL 전압을 발생시키기 위해 더 작은 전류를 필요로 하는 더 높은 저항으로 해석되기 때문에, 실시예에서 제안된 셀은 STT-MRAM에 비해 7.69배 낮은 읽기 전력과 1.88배 높은 읽기-실패 마진을 달성한다.

[0055] 시뮬레이션 결과에 따르면 각 비트 셀이 7ns 스위칭 시간, 20% 쓰기 여유 및 50% 초과하는 읽기 실패 마진을 위해 설계되었을 때, 기존 SOT-MRAM과 STT-MRAM보다 각각 42% / 23% 더 밀집한 것으로 나타난 것을 확인할 수 있다.

[0056] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0057] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0058] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를

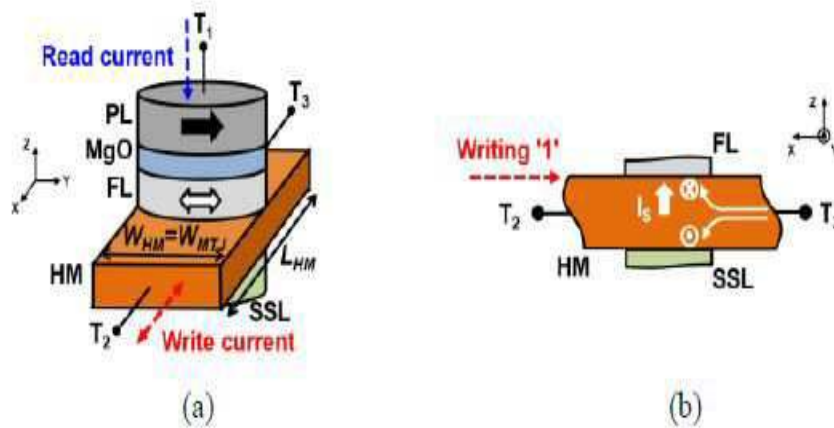
포함한다.

[0059] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

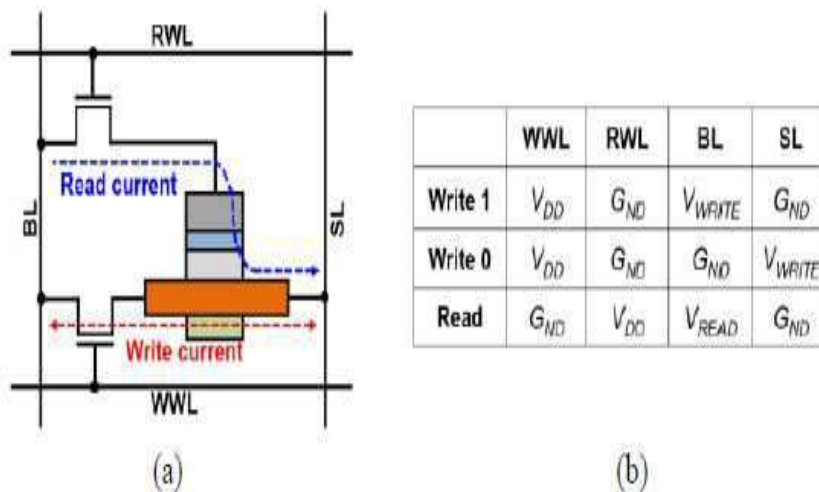
[0060] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

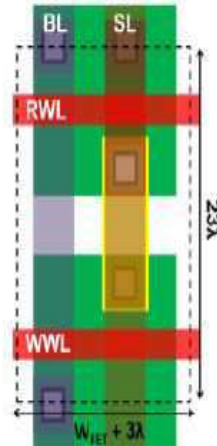
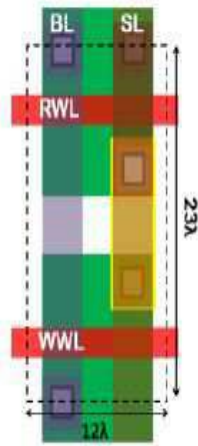
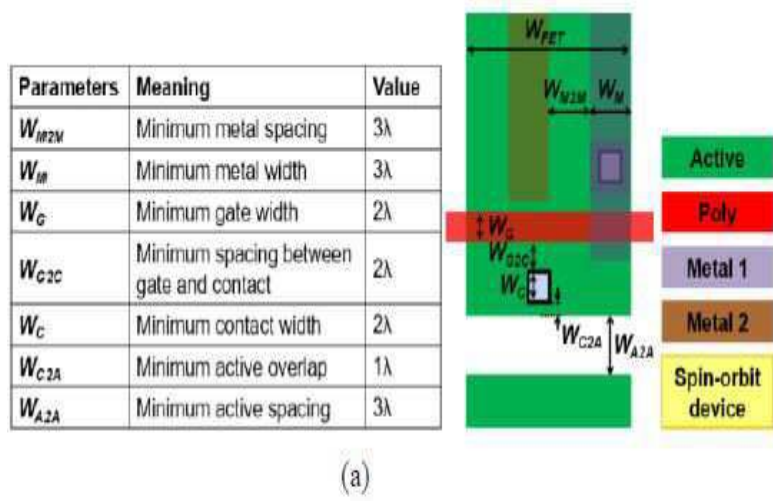
도면1



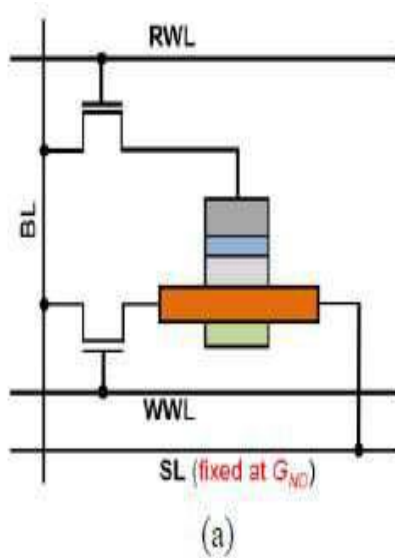
도면2



도면3



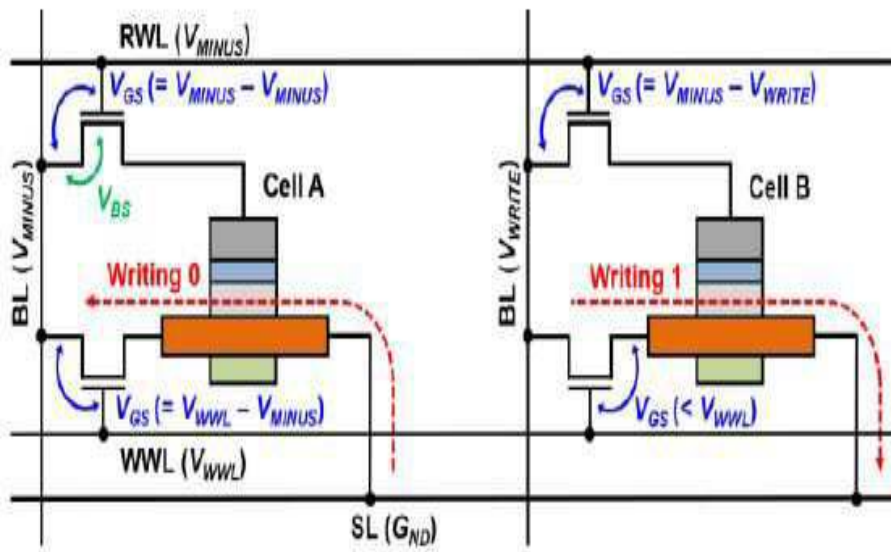
도면4



	WWL	RWL	BL	SL
Write 1	V_{WWL}	V_{MINUS}	V_{WRITE}	G_{ND}
Write 0	V_{WWL}	V_{MINUS}	V_{MINUS}	
Read	V_{MINUS}	V_{DD}	V_{READ}	

(b)

도면5



도면6

