



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0129198
(43) 공개일자 2023년09월07일

(51) 국제특허분류(Int. Cl.)

G01N 27/327 (2006.01) C23C 16/48 (2006.01)
G01N 33/483 (2006.01) H01J 37/26 (2006.01)
H01L 21/02 (2006.01) H01L 21/027 (2006.01)
H01L 21/285 (2006.01) H01L 21/306 (2006.01)
H01L 21/311 (2006.01) H10N 60/01 (2023.01)

(52) CPC특허분류

G01N 27/3278 (2013.01)
G01N 33/483 (2013.01)

(21) 출원번호 10-2023-0026563

(22) 출원일자 2023년02월28일

심사청구일자 2023년02월28일

(30) 우선권주장

1020220026148 2022년02월28일 대한민국(KR)

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

장승민

서울특별시 동대문구 안암로18길 12, 307호 (제기동)

이병양

서울특별시 강남구 압구정로 401, 51동 106호 (압구정동, 한양아파트)

박다인

서울특별시 성북구 지봉로23길 5-8, 302호 (보문동2가, 베데스타)

(74) 대리인

특허법인남춘

전체 청구항 수 : 총 13 항

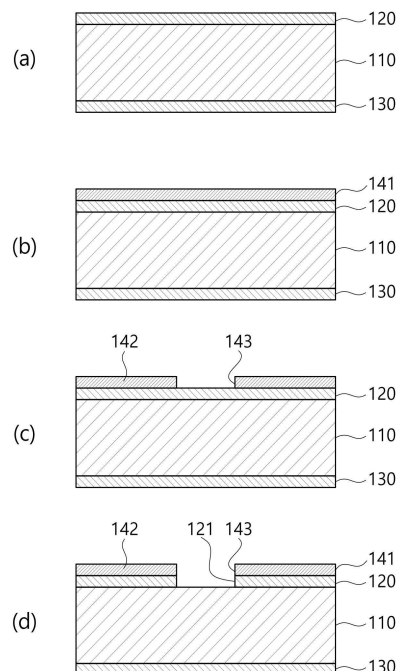
(54) 발명의 명칭 나노 갭 플랫폼의 제조방법

(57) 요약

본 발명은 나노 갭 플랫폼의 제조방법에 관한 것으로, (a) 실리콘 웨이퍼의 양측 표면에 각각 제1 실리콘 질화물층 및 제2 실리콘 질화물층을 형성하는 단계와; (b) 상기 제1 실리콘 질화물층의 표면에 직사각형의 마스크 패턴이 형성된 마스크 층을 도포하는 단계와; (c) 상기 마스크 패턴에 의해 노출된 상기 제1 실리콘 질화물층의 영역

(뒷면에 계속)

대표도 - 도1



을 에칭하여 상기 실리콘 웨이퍼의 표면을 노출시키는 단계와; (d) 상기 (c) 단계에서 노출된 상기 실리콘 웨이퍼의 영역을 에칭하여 상기 제2 실리콘 질화물층의 표면을 상기 실리콘 웨이퍼 내부에서 노출시키는 단계와; (e) 상기 실리콘 웨이퍼 내부에서 노출된 상기 제2 실리콘 질화물층의 표면을 밀링하여, 상호 마주하게 한 쌍의 노치 패턴을 형성하는 단계 - 한 쌍의 상기 노치 패턴 각각의 뾰족한 모서리 영역이 상호 마주하며 이격되고, 상호 마주하는 상기 모서리 영역 사이에 브릿지 영역이 형성됨 - 와; (f) 상기 브릿지 영역에서 한 쌍의 상기 노치 패턴을 연결하는 방향으로 발생하는 크랙에 의해 나노 갭이 형성되는 단계를 포함하는 것을 특징으로 한다.

(52) CPC특허분류

H01J 37/26 (2013.01)

H01L 21/0217 (2013.01)

H01L 21/02271 (2013.01)

H01L 21/0274 (2013.01)

H01L 21/2855 (2013.01)

H01L 21/30604 (2013.01)

H01L 21/31116 (2013.01)

H01L 21/31144 (2013.01)

H10N 60/0912 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	2021222
과제번호	K_G012001242702
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술알키미스트프로젝트-산업기술알키미스트프로젝트
연구과제명	바이러스의 현장형 고속 핵산검출 및 분석 시스템 개발
기 여 율	1/1
과제수행기관명	고려대학교 산학협력단
연구기간	2021.05.01 ~ 2022.02.28

명세서

청구범위

청구항 1

- (a) 실리콘 웨이퍼의 양측 표면에 각각 제1 실리콘 질화물층 및 제2 실리콘 질화물층을 형성하는 단계와;
- (b) 상기 제1 실리콘 질화물층의 표면에 직사각형의 마스크 패턴이 형성된 마스크 층을 도포하는 단계와;
- (c) 상기 마스크 패턴에 의해 노출된 상기 제1 실리콘 질화물층의 영역을 에칭하여 상기 실리콘 웨이퍼의 표면을 노출시키는 단계와;
- (d) 상기 (c) 단계에서 노출된 상기 실리콘 웨이퍼의 영역을 에칭하여 상기 제2 실리콘 질화물층의 표면을 상기 실리콘 웨이퍼 내부에서 노출시키는 단계와;
- (e) 상기 실리콘 웨이퍼 내부에서 노출된 상기 제2 실리콘 질화물층의 표면을 밀링하여, 상호 마주하게 한 쌍의 노치 패턴을 형성하는 단계 - 한 쌍의 상기 노치 패턴 각각의 뾰족한 모서리 영역이 상호 마주하며 이격되고, 상호 마주하는 상기 모서리 영역 사이에 브릿지 영역이 형성됨 - 와;
- (f) 상기 브릿지 영역에서 한 쌍의 상기 노치 패턴을 연결하는 방향으로 발생하는 크랙에 의해 나노 갭이 형성되는 단계를 포함하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 2

제1항에 있어서,

상기 (f) 단계에서 상기 크랙은 상기 제2 실리콘 질화물층 중 상기 브릿지 영역에서의 국부 응력이 상기 제2 실리콘 질화물층의 강도를 초과하여 발생하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 3

제2항에 있어서,

상기 (f) 단계에서의 상기 크랙은 상기 국부 응력에 따른 상기 브릿지 영역의 파손 후 한 쌍의 상기 노치 영역 사이를 가로지르는 방향으로의 응력 집중에 따른 상기 제2 실리콘 질화물층의 수축 현상에 의해 발생하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 4

제1항에 있어서,

상기 (a) 단계에서 상기 제1 실리콘 질화물층과 상기 제2 실리콘 질화물층은 화학기상증착 기법을 통해 상기 실리콘 웨이퍼에 증착되는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 5

제1항에 있어서,

상기 (b) 단계는

- (b1) 포지티브 포토레지스트가 상기 제1 실리콘 질화물층에 스핀 코팅을 통해 도포되는 단계와;
- (b2) 현상 기법을 통해 상기 포지티브 포토레지스트에 상기 마스크 패턴을 형성하여 상기 마스크 층을 형성하는 단계를 포함하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 6

제1항에 있어서,

상기 (c) 단계에서는 반응성 이온 에칭을 이용한 건식 에칭을 통해 상기 마스크 패턴에 의해 노출된 상기 제1

실리콘 질화물층의 영역이 에칭되는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 7

제1항에 있어서,

상기 (e) 단계에서는 집속이온빔(Focused Ion Beam : FIB)을 이용하여 상기 제2 실리콘 질화물층의 표면을 밀링하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 8

제7항에 있어서,

상기 (e) 단계는

(e1) 상기 실리콘 웨이퍼 내부에서 노출된 상기 제2 실리콘 질화물층의 표면을 밀링하여 직사각형 형상의 제1 영역과 제2 영역을 형성하는 단계 - 상기 제1 영역과 상기 제2 영역은 제1 방향으로 상호 이격되며, 밀링되지 않은 상기 제2 실리콘 질화물층에 의해 상기 제1 방향과 교차하는 제2 방향으로 연장 형성되는 구획 격벽에 의해 상호 이격됨 - 와,

(e2) 상기 구획 격벽의 중간 영역에 상기 제1 방향으로 마주하는 한 쌍의 상기 노치 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 9

제8항에 있어서,

상기 구획 격벽은 상기 (f) 단계에서 형성된 상기 나노 갭에 의해 상기 제2 방향으로 제1 캔틸레버와 제2 캔틸레버로 구획되는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 10

제9항에 있어서,

(g) 상기 제1 캔틸레버 및 상기 제2 캔틸레버의 표면에 도전성을 갖는 금속을 도포하는 단계를 더 포함하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 11

제10항에 있어서,

상기 (g) 단계에서는 전자빔 증착(EBID : Electron beam-induced deposition) 기법을 통한 증착을 통해 금속이 도포되는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 12

제1항에 있어서,

상기 (c) 단계와 상기 (d) 단계 사이에 상기 마스크 층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

청구항 13

제12항에 있어서,

상기 마스크 층은 습식 에칭을 통해 제거되는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법.

발명의 설명

기술 분야

본 발명은 나노 갭 플랫폼의 제조방법에 관한 것으로서, 보다 상세하게는

[0001]

배경 기술

- [0002] DNA 의 발견 이래로, 구성 화학 염기들의 서열들을 실제로 실험적으로 결정할 방법들을 개발하기 위한 노력이 집중되어 왔다. 1978년에 Sanger 에 의해, DNA 를 체계적으로 시퀀싱하는 첫 번째 방법이 소개되었다.
- [0003] 이 기본 방법은 1980 년대 말, 상업용 계기 플랫폼에서 자동화되어, 최초의 인간 게놈의 시퀀싱을 가능하게 했다. 이러한 노력의 성공은, 인간 게놈을 시퀀싱하는데 필요한 시간과 비용을 획기적으로 감소시키는 것을 목표로, 다수의 "대량 병렬 (massively parallel)" 시퀀싱 플랫폼들의 개발을 촉진시켰다. 이들 자동화된 방법들은 일반적으로, 고도로 소형화된 미세유체 포맷들에서 수백만 내지 수십억의 시퀀싱 반응들을 동시에 프로세싱하는 것에 의존한다.
- [0004] DNA 시퀀싱과 관련된 기술 중, 나노 갭은 나노미터 크기의 거리로 분리된 두 물체 사이의 간격을 의미한다. 나노 갭을 이용한 단일 분자 검출 시스템은 나노미터(nm) 또는 서브 나노미터(sub-nm) 간격으로 분리된 전극을 사용하고 간격을 가로지르는 터널링 전류를 모니터링하는 시스템이다.
- [0005] 기존 나노 갭을 만든 방법은 갭 사이즈 10 nm 이하의 제작이 어렵고 DNA strand가 나노 갭 사이를 통과 할 수 없는 문제점을 가지고 있다.
- [0006] 미지의 DNA 서열을 가지는 염기서열을 분석하는 기존 NGS 핵산 검출 기술은 나노 포어를 지나가는 DNA의 각 염기가 나노 포어를 막는 정도에 따른 이온 전류의 변화를 검출하는 방식이다.
- [0007] 이러한 방법은 DNA가 나노 포어를 지나가는 속도를 조절하기가 쉽지 않고, 투입한 DNA가 나노 포어로 잘 지나가지 않는 문제점이 있다. 또한, 나노 포어를 통과하는 DNA 유속이 너무 빨라 측정이 곤란한 문제, 시간 경과에 따라 나노 포어가 막히는 문제점을 안고 있다.
- [0008] 한편, 전자 나노 갭은 기계적, 광학적, 플라즈마, 열전, 전자 전송, 양자 역학 스핀 및 간섭 종속 전송 현상을 포함한 풍부한 물리학을 특징으로 한다. 전자 나노 갭은 분자 전자 및 전자 터널링, 표면 플라즈마를 기반으로 하는 바이오 센싱의 두 가지 핵심 프로세스인 분자의 탐색 및 탐지를 가능하게 한다.
- [0009] 전자 나노 갭은 초고속 진공 트랜지스터와 초 저전력 나노 전자 기계 스위치의 기본 빌딩 블록으로, 극저온에서 초전도 전극 물질 사이에 형성되는 터널 접합, 이온바 조셉슨 접합 (Josephson junctions)은 양자 정보 처리 장치의 중요한 빌딩 블록이다.
- [0010] 그런데, 이와 같은 중요성에도 불구하고 10nm 이하 전자 나노 갭을 제조할 수 있는 방법은 정확하고 신뢰할 수 있는 방식으로 치수 및 전극 분리를 보장하는 데에 어려움이 있기 때문에 여전히 도전적이다.
- [0011] 기존 전자 나노 갭 제조 기술에는 마스크 에칭(mask-defined etching) 프로세스, 레이어 희생 에칭(layer-defined sacrificial etching) 프로세스, 재료 성장 (material-growth) 프로세스, 레이어 (layer-defined) 및 재료 성장(material growth) 프로세스의 조합, 자가 조립(self-assembly) 프로세스 및 절연 파괴(electrical breakdown) 프로세스를 포함한다.
- [0012] 이러한 각각의 접근 방식은 제한된 공정 제어, 제한된 치수(dimensional) 정확도, 대규모 복합 시스템 구현에 부적합하고, 나노 갭의 잔류 오염 물질을 포함하여 심각한 단점을 가지고 있다.

발명의 내용

해결하려는 과제

- [0013] 이에, 본 발명은 상기와 같은 문제점을 해소하기 위해 안출된 것으로서, 나노 갭 사이즈의 정밀 제어가 가능한 나노 갭 플랫폼의 제조방법을 제공하는데 목적이 있다.
- [0014] 또한, 본 발명은 얇은 취성(brittle) 실리콘 질화물 필름에서 제어된 크랙 형성을 이용하여 실리콘 웨이퍼 상에 부유(suspended) 분리된 3차원 나노 스케일 갭을 형성하는데 또 다른 목적이 있다.

과제의 해결 수단

- [0015] 상기 목적은 본 발명에 따라, (a) 실리콘 웨이퍼의 양측 표면에 각각 제1 실리콘 질화물층 및 제2 실리콘 질화물층을 형성하는 단계와; (b) 상기 제1 실리콘 질화물층의 표면에 직사각형의 마스크 패턴이 형성된 마스크 층을 도포하는 단계와; (c) 상기 마스크 패턴에 의해 노출된 상기 제1 실리콘 질화물층의 영역을 에칭하여 상기

실리콘 웨이퍼의 표면을 노출시키는 단계와; (d) 상기 (c) 단계에서 노출된 상기 실리콘 웨이퍼의 영역을 에칭하여 상기 제2 실리콘 질화물층의 표면을 상기 실리콘 웨이퍼 내부에서 노출시키는 단계와; (e) 상기 실리콘 웨이퍼 내부에서 노출된 상기 제2 실리콘 질화물층의 표면을 밀링하여, 상호 마주하게 한 쌍의 노치 패턴을 형성하는 단계 - 한 쌍의 상기 노치 패턴 각각의 뾰족한 모서리 영역이 상호 마주하며 이격되고, 상호 마주하는 상기 모서리 영역 사이에 브릿지 영역이 형성됨 - 와; (f) 상기 브릿지 영역에서 한 쌍의 상기 노치 패턴을 연결하는 방향으로 발생하는 크랙에 의해 나노 갭이 형성되는 단계를 포함하는 것을 특징으로 하는 나노 갭 플랫폼의 제조방법에 의해서 달성된다.

[0016] 여기서, 상기 (f) 단계에서 상기 크랙은 상기 제2 실리콘 질화물층 중 상기 브릿지 영역에서의 국부 응력이 상기 제2 실리콘 질화물층의 강도를 초과하여 발생할 수 있다.

[0017] 또한, 상기 (f) 단계에서의 상기 크랙은 상기 국부 응력에 따른 상기 브릿지 영역의 파손 후 한 쌍의 상기 노치 영역 사이를 가로지는 방향으로의 응력 집중에 따른 상기 제2 실리콘 질화물층의 수축 현상에 의해 발생할 수 있다.

[0018] 그리고, 상기 (a) 단계에서 상기 제1 실리콘 질화물층과 상기 제2 실리콘 질화물층은 화학기상증착 기법을 통해 상기 실리콘 웨이퍼에 증착될 수 있다.

[0019] 그리고, 상기 (b) 단계는 (b1) 포지티브 포토레지스트가 상기 제1 실리콘 질화물층에 스핀 코팅을 통해 도포되는 단계와; (b2) 현상 기법을 통해 상기 포지티브 포토레지스트에 상기 마스크 패턴을 형성하여 상기 마스크 층을 형성하는 단계를 포함할 수 있다.

[0020] 그리고, 상기 (c) 단계에서는 반응성 이온 에칭을 이용한 건식 에칭을 통해 상기 마스크 패턴에 의해 노출된 상기 제1 실리콘 질화물층의 영역이 에칭될 수 있다.

[0021] 그리고, 상기 (e) 단계에서는 집속이온빔(Focused Ion Beam : FIB)을 이용하여 상기 제2 실리콘 질화물층의 표면을 밀링할 수 있다.

[0022] 그리고, 상기 (e) 단계는 (e1) 상기 실리콘 웨이퍼 내부에서 노출된 상기 제2 실리콘 질화물층의 표면을 밀링하여 직사각형 형상의 제1 영역과 제2 영역을 형성하는 단계 - 상기 제1 영역과 상기 제2 영역은 제1 방향으로 상호 이격되며, 밀링되지 않은 상기 제2 실리콘 질화물층에 의해 상기 제1 방향과 교차하는 제2 방향으로 연장형상되는 구획 격벽에 의해 상호 이격됨 - 와, (e2) 상기 구획 격벽의 중간 영역에 상기 제1 방향으로 마주하는 한 쌍의 상기 노치 패턴을 형성하는 단계를 포함할 수 있다.

[0023] 그리고, 상기 구획 격벽은 상기 (f) 단계에서 형성된 상기 나노 갭에 의해 상기 제2 방향으로 제1 캔틸레버와 제2 캔틸레버로 구획될 수 있다.

[0024] 그리고, (g) 상기 제1 캔틸레버 및 상기 제2 캔틸레버의 표면에 도전성을 갖는 금속을 도포하는 단계를 더 포함할 수 있다.

[0025] 그리고, 상기 (g) 단계에서는 전자빔 증착(EBID : Electron beam-induced deposition) 기법을 통한 증착을 통해 금속이 도포될 수 있다.

[0026] 여기서, 상기 (c) 단계와 상기 (d) 단계 사이에 상기 마스크 층을 제거하는 단계를 더 포함할 수 있다.

[0027] 그리고, 상기 마스크 층은 습식 에칭을 통해 제거될 수 있다.

발명의 효과

[0028] 상기와 같은 구성에 따라, 본 발명에 따르면, 응력 수준 차이를 유발하는 다양한 노치 패턴에 의해 나노 갭 사이즈의 정밀 제어가 가능한 나노 갭 플랫폼의 제조방법이 제공된다.

[0029] 또한, 나노 갭이 실리콘 웨이퍼에 형성되기 때문에, 전체 DNA 가닥이 나노 갭을 통과하도록 할 수 있으며, 전극 금속화 후 터널링 전류에 의한 DNA 시퀀싱에 적용 가능하게 된다.

[0030] 또한, 제조 방법이 웨이퍼 스케일로 구현되어 대량 생산이 가능한 효과가 있다.

[0031] 또한, 나노 갭이 진공 환경에서 FIB를 통해 형성되어, 나노 갭의 잔류 오염물 발생을 방지할 수 있다.

도면의 간단한 설명

[0032] 도 1 및 도 11은 본 발명의 실시예에 따른 나노 갭 플랫폼의 제조방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 제한되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야의 통상의 기술자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0034] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다. 명세서 전체에 걸쳐 동일한 도면 부호는 동일한 구성 요소를 지칭하며, "및/또는"은 언급된 구성요소들의 각각 및 하나 이상의 모든 조합을 포함한다. 비록 "제1", "제2" 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

[0035] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야의 통상의 기술자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0036] 이하에서는 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다.

[0037] 도 1 및 도 2는 본 발명의 실시예에 따른 나노갭 플랫폼의 제조방법을 설명하기 위한 도면이다.

[0038] 도 1의 (a)에 도시된 바와 같이, 실리콘 웨이퍼(110)의 양측 표면에 각각 제1 실리콘 질화물층(120) 및 제2 실리콘 질화물층(130)을 형성한다. 본 발명의 실시예에서는 화학기상증착 기법을 통해 실리콘 웨이퍼(110)의 양측 표면에 각각 제1 실리콘 질화물층(120) 및 제2 실리콘 질화물층(130)이 형성되는 것을 예로 한다.

[0039] 일 실시예로, 저압 화학기상증착(LPCVD)을 통해 실리콘 질화물(SiN)을 실리콘 웨이퍼(110)의 양측 표면에 각각 2 μ m 두께로 증착하는 것을 예로 한다.

[0040] 그런 다음, 제1 실리콘 질화물층(120)의 표면에 직사각형의 마스크 패턴(143)이 형성된 마스크 층(142)을 도포한다.

[0041] 먼저, 도 1의 (b)에 도시된 바와 같이, 포지티브 포토레지스트(141)를 제1 실리콘 질화물층(120)에 코팅한다. 본 발명에서는 스핀 코팅 기법을 이용하여 포지티브 포토레지스트(141)를 제1 실리콘 질화물층(120)의 표면에 도포하는 것을 예로 한다.

[0042] 그런 다음, 현상 기법을 통해 포지티브 포토레지스트(141)에, 도 1의 (c)에 도시된 바와 같이, 마스크 패턴(143)을 형성하여, 마스크 층(142)을 형성하게 된다. 일 실시예로, 포지티브 포토레지스트(141)에 900 μ m $\times$ 900 μ m의 직사각형의 마스크 패턴(143)이 형성될 수 있다.

[0043] 그런 다음, 마스크 패턴(143)에 의해 노출된 제1 실리콘 질화물층(120)의 영역을 에칭하여 도 1의 (d)에 도시된 바와 같이, 실리콘 웨이퍼(110)의 표면을 노출시킨다. 즉, 마스크 패턴(143)에 대응하는 질화물 패턴(121)이 제1 실리콘 질화물층(120)에 형성 가능하게 된다. 본 발명의 실시예에서는 건식 에칭을 통해 노출된 제1 실리콘 질화물층(120)의 영역을 제거하는 것을 예로 한다.

[0044] 일 실시예로, 반응성 이온 에칭(Reactive ion etching)을 이용한 건식 에칭으로 마스크 패턴(143)에 의해 노출된 제1 실리콘 질화물층(120)의 영역을 제거할 수 있다. 본 발명의 실시예에서는 반응성 이온 에칭에 10sccm SF₆와 25sccm O₂의 혼합 가스가 사용되는 것을 예로 한다. 그리고 에칭 압력은 20 mTorr로, 에칭 시간은 100W에서 20분간 노출되는 것을 예로 한다.

[0045] 한편, 본 발명의 실시예에서는 제1 실리콘 질화물층(120)에 질화물 패턴(121)을 형성한 후, 도 2의 (a)에 도시된 바와 같이, 잔존하는 마스크 층(142)을 제거하는 과정을 거치는 것을 예로 한다. 본 발명에서는 마스크 층

(142)을 습식 에칭을 통해 제거하는 것을 예로 한다.

- [0046] 상기와 같이 마스크 층(142)이 제거되면, 제1 실리콘 질화물층(120)의 질화물 패턴(121)에 의해 노출된 실리콘 웨이퍼(110)의 영역을 에칭하여, 도 2의 (b)에 도시된 바와 같이, 반대 측의 제1 실리콘 질화물층(120)의 표면을 실리콘 웨이퍼(110) 내부에서 노출시킨다.
- [0047] 즉, 에칭 과정을 통해, 실리콘 웨이퍼(110)는 상하 방향으로 관통 영역(111)이 형성되고, 제1 실리콘 질화물층(120)의 반대 측에 위치하는 제2 실리콘 질화물층(130)의 표면이 실리콘 웨이퍼(110)의 내부에서 노출된다. 본 발명에서는 습식 에칭을 통해 실리콘 웨이퍼(110)를 제거하는 데, 일 실시예로, 80℃ 온도 조건에서 30wt% KOH 용액에 9시간 동안 에칭하는 것을 예로 한다.
- [0048] 상기와 같이, 실리콘 웨이퍼(110) 내부에서 제2 실리콘 질화물층(130)의 표면이 노출된 상태에서, 제2 실리콘 질화물층(130)의 표면을 밀링하여, 도 2의 (c)에 도시된 바와 같이, 한 쌍의 노치 패턴(151,152)을 형성한다.
- [0049] 이하에서는, 도 3 내지 도 6을 참조하여 본 발명의 실시예에 따른 나노갭 플랫폼의 제조방법에서 제2 실리콘 질화물층(130)의 표면에 한 쌍의 노치 패턴(151,152)을 형성하는 예에 대해 설명한다.
- [0050] 도 3의 (a)는 도 2의 (b) 및 (c)에 도시된 상태를 제1 실리콘 질화물층(120) 방향에서 바라본 사시도이다. 도 3의 (a)의 ㉠ 영역은 실리콘 웨이퍼(110)의 내부에서 노출된 제2 실리콘 질화물층(130)의 표면의 예를 나타낸 도면이고, 도 3의 (b)는 실리콘 웨이퍼(110)의 내부에서 노출된 제2 실리콘 질화물층(130)의 표면에 한 쌍의 노치 패턴(151,152)이 형성된 예를 나타낸 도면이다.
- [0051] 도 3의 (b)에 도시된 바와 같이, 한 쌍의 노치 패턴(151,152)은 상호 마주하게 되는데, 노치 패턴(151,152) 각각의 뾰족한 모서리 영역이 상호 마주하게 밀링되어 형성되는 것을 예로 한다. 이 때, 상호 마주하는 모서리 영역 사이에는 밀링되지 않은 제2 실리콘 질화물층(130)에 의해 브릿지 영역(160)이 형성된다.
- [0052] 본 발명에서는 집속이온빔(Focused Ion Beam : FIB)을 이용하여 제2 실리콘 질화물층(130)의 표면을 밀링하는 것을 예로 한다. 집속이온빔은 진공 환경에서 진행되는 바, 이후에 생성될 나노 갭(161)의 잔류 오염물 발생을 방지할 수 있다.
- [0053] 상기와 같이 밀링 공정을 통해 상호 마주하는 한 쌍의 노치 패턴(151,152)이 형성되고, 노치 패턴(151,152) 사이에 브릿지 영역(160)이 형성되면, 브릿지 영역(160)에서 한 쌍의 노치 패턴(151,152)을 연결하는 방향으로 발생하는 크랙에 의해 나노 갭(161)이 형성되어, 나노 갭(161)에 의해 한 쌍의 노치 패턴(151,152)이 상호 연결된다.
- [0054] 여기서, 브릿지 영역(160)에 발생하는 크랙은 제2 실리콘 질화물층(130) 중 브릿지 영역(160)에서의 국부 응력이 제2 실리콘 질화물층(130)의 강도를 초과하여 발생하게 된다.
- [0055] 보다 구체적으로 설명하면, 크랙은 국부 응력에 따른 브릿지 영역(160)의 파손 후, 도 3의 (c)에 도시된 바와 같이, 한 쌍의 노치 영역 사이를 가로지는 방향으로의 양측으로의 응력 집중(Stress concentration), 즉 인장 응력(Tensile stress)에 따른 제2 실리콘 질화물층(130)의 양측 방향으로의 수축 형상에 의해 발생하게 된다.
- [0056] 도 4의 (a)는 도 3의 (a)의 상태를 SEM으로 촬영한 실제 영상이고, 도 4의 (b)는 도 4의 (a)의 붉은색 사각 영역을 확대한 영상이고, 도 4의 (c)는 도 4의 (b)의 붉은색 사각 영역을 확대한 영상이다.
- [0057] 도 4의 (b) 및 (c)에 도시된 바와 같이, 한 쌍의 노치 영역 사이의 브릿지 영역(160)에서 발생하는 크랙에 의해 나노 갭(161)이 형성됨을 확인할 수 있다.
- [0058] 본 발명의 실시예에서는 삼각형 형상의 노치 패턴(151,152)의 사이즈가 30um, 21.2um, 21.2um이고, 두 노치 패턴(151,152)의 간격은 100nm 인 것을 예로 한다.
- [0059] 다른 예로, 브릿지 영역(160)에서 발생하는 응력 방출 수준에 의해 나노 갭(161)의 간격을 제어할 수 있다. 일 실시예로, 노치 패턴(151,152)의 뾰족한 모서리 영역의 각도를 조절하여, 나노 갭(161)의 간격을 조절할 수 있다. 도 5에서는 다양한 각도의 노치 패턴(151,152)의 예를 나타낸 도면으로, 도 5의 (a)는 상호 마주하는 노치 패턴(151,152)의 각도가 150° 인 예를, 도 5의 (b)는 100° , 도 5의 (c)는 60° 인 예를 나타내고 있다.
- [0060] 상기와 같이 한 쌍의 노치 패턴(151,152)을 연결하는 나노 갭이 형성되면, 도 6에 도시된 바와 같이, 나노 갭(161)에 의해 분리된 양측의 제1 실리콘 질화물층(120)의 표면에 도전성 재질의 금속을 도포하여 전극 패드(171,172)를 형성하게 된다.

- [0061] 그리고, 전극 패드(171,172)의 양측에 전압(Bias voltage)을 인가하면, 나노 갭(161) 사이로 터널링 전류가 흐르게 되고, 나노 갭(161)을 통과하는 DNA에 따른 터널링 전류의 변화를 측정함으로써, 염기에 특이적인 전류 모양을 통해 초민감도의 DNA 검출이 가능하게 된다.
- [0062] 또한, 나노 갭(161)이 실리콘 웨이퍼(110)에 형성되어, 전체 DNA 가닥이 나노 갭(161)을 통과하도록 할 수 있어, 나노 갭(161)을 통과하는 DNA 시퀀싱이 가능하게 된다.
- [0063] 또한, 웨이퍼 스케일에서의 제조 과정을 통해, 나노갭 플랫폼의 대량 생산이 가능하게 된다.
- [0064] 이하에서는 도 7 및 도 8을 참조하여 본 발명의 다른 실시예에 따른 나노 갭(161)을 형성하는 방법에 대해 설명한다.
- [0065] 앞서 설명한 바와 같이, 실리콘 웨이퍼(110) 내부에 노출된 제2 실리콘 질화층의 표면을 밀링하여, 한 쌍의 노치 패턴(151,152)을 형성하는데 있어, 먼저, 실리콘 웨이퍼(110) 내부에서 노출된 제2 실리콘 질화물층(130)의 표면을 밀링하여, 도 7의 (a)에 도시된 바와 같이, 직사각형 형상의 제1 영역(181)과 제2 영역(182)을 형성하게 된다.
- [0066] 여기서, 제1 영역(181)과 제2 영역(182)은 제1 방향, 예컨대, 도 7의 (a)에서 세로 방향으로 상호 이격되는데, 밀링 과정에서 밀링되지 않은 제2 실리콘 질화물층(130)에 의해 제1 방향과 교차하는 제2 방향, 예컨대, 도 7의 (a)에서 가로 방향으로 연장 형성되는 구획 격벽(190)에 의해 상호 이격되는 상태가 된다.
- [0067] 이 때, 밀링 과정을 통해, 제2 실리콘 질화물층(130)에 상호 이격된 제1 영역(181)과 제2 영역(182)이 형성되고, 그 사이에 구획 격벽(190)에 위치하게 되면, 구획 격벽(190)을 따라 응력 재분배(Stress redistribution)가 이루어진다. 도 7의 (c)는 제2 실리콘 질화물층(130)에 밀링을 통해 제1 영역(181), 제2 영역(182), 및 구획 격벽(190)을 형성한 실제 영상을 나타낸 것이다.
- [0068] 그런 다음, 구획 격벽(190)의 제2 방향 중간 영역에 구획 격벽(190)을 밀링하여, 도 7의 (b)에 도시된 바와 같이, 제1 방향으로 이격된 한 쌍의 노치 패턴(151,152)을 형성한다. 여기서, 노치 패턴(151,152)의 형성에 의해 전술한 실시예에서와 같이, 밀링되지 않은 영역에 브릿지 영역(160)이 형성된다.
- [0069] 일 실시예로, 한 쌍의 노치 패턴(151,152)은 제1 영역(181)과 제2 영역(182)과 연통되는 형태로 밀링되는 것을 예로 한다. 도 7의 (d)는 구획 격벽(190)의 밀링을 통해 한 쌍의 노치 패턴(151,152)이 형성된 실제 영상을 나타낸 것이다.
- [0070] 상기와 같이 한 쌍의 노치 패턴(151,152)이 형성되면, 전술한 바와 같이, 브릿지 영역(160)에서 국부 응력에 따른 파손이 발생하고, 한 쌍의 노치 영역 사이를 가로지르는 방향으로의 양측으로의 응력 집중(Stress concentration), 즉 인장 응력(Tensile stress)에 따른 구획 격벽(190)의 수축 현상에 의해 크랙이 발생하여, 나노 갭(161)이 형성된다.
- [0071] 여기서, 구획 격벽(190)은 나노 갭(161)의 형성에 의해 제2 방향 양측으로 구분되는데, 이를 제1 캔틸레버와 제2 캔틸레버로 정의한다.
- [0072] 그런 다음, 제1 캔틸레버와 제2 캔틸레버의 표면에 도전성을 갖는 금속으로 도포하여, 도 7의 (e) 및 (f)에 나타낸 바와 같이, 전극 패드(171,172)를 형성하여, 나노갭 플랫폼을 제작할 수 있게 된다.
- [0073] 여기서, 전극 패드(171,172)의 증착은 전자빔 증착(EBID : Electron beam-induced deposition) 기법을 통한 증착을 통해 금속이 도포하는 것을 예로 하는데, 본 발명의 기술적 사상이 이에 국한되지 않음은 물론이다. 일 실시예로, 전극 패드(171,172)는 백금(Pt)의 증착을 통해 형성되는 것을 예로 한다. 여기서, 제1 캔틸레버 및 제2 캔틸레버에 각각 도포되는 전극 패드(171,172)는 상호 전기적으로 분리되도록 도포되어 전압이 인가됨은 당연한 다.
- [0074] 도 8은 상기와 같이 같은 방법으로 제작된 제1 캔틸레버, 제2 캔틸레버, 한 쌍의 노치 패턴(151,152)을 연결하는 나노 갭(161)을 포함하는 나노갭 플랫폼의 실제 영상을 나타낸 것이다.
- [0075] 한편, 본 발명의 실시예에서는, 도 9에 도시된 바와 같이, 한 쌍의 노치 패드 간의 간격(d1)과, 구획 격벽(190)의 길이(d2)의 조절을 통해, 나노 갭(161)의 간격을 조절하는 예를 설명하기 위한 도면이다.
- [0076] 즉, 본 발명의 실시예에서는 구획 격벽(190)의 길이와, 한 쌍의 노치 패드의 간격을 조절함으로써, 나노 갭(161)의 간격을 제어한다.

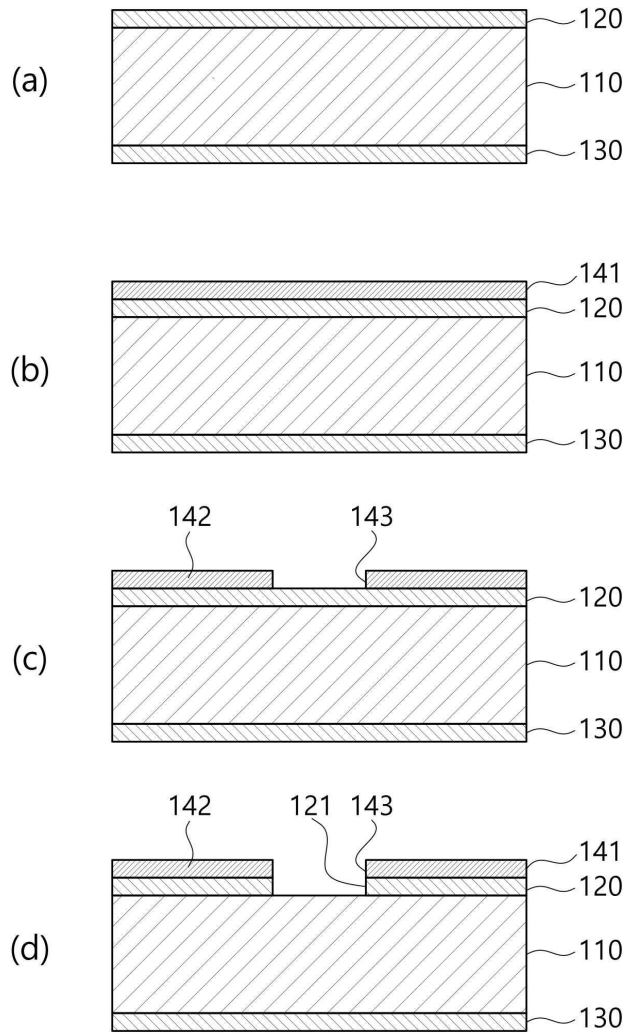
- [0077] 도 10 및 도 11은 구획 격벽(190)의 길이와, 한 쌍의 노치 패드의 간격을 조절하고, 이에 따라 형성된 나노 갭(161)의 간격의 실험 결과를 나타낸 것이다.
- [0078] 도 10의 (a)는 구획 격벽(190)의 길이(Cantilever)를 13um, 15um, 20um로 형성하고, 노치 패턴(151,152)의 간격(Notch interval)을 변화시켜, 이 때 형성된 나노 갭(161)의 간격을 측정한 그래프이다.
- [0079] 동일한 노치 패턴(151,152)의 간격에서는 구획 격벽(190)의 길이가 길수록 나노 갭(161)의 간격이 넓어짐을 확인할 수 있다. 이는 구획 격벽(190)의 길이가 길수록 인장 응력(Tensile stress)이 커지기 때문으로 이해될 수 있다.
- [0080] 각각의 구획 격벽(190)의 길이에서, 노치 패턴(151,152)의 간격이 길어질수록 나노 갭(161)의 간격이 좁아짐을 확인할 수 있다.
- [0081] 도 10의 (b)는 구획 격벽(190)의 길이가 15 um일 때 노치 패턴(151,152)의 간격의 변화에 따른 나노 갭(161)의 간격의 변화를 나타낸 그래프이다. 도 10의 (b)에 도시된 바와 같이, 노치 패턴(151,152) 간의 간격과 나노 갭(161)의 간격이 대략적으로 반비례함을 확인할 수 있다.
- [0082] 도 11은 구획 격벽(190)의 길이와 노치 패턴(151,152) 간의 간격의 변화에 따라, 브릿지 영역(160)에서 발생하는 응력(Von Mises stress)을 시뮬레이션한 결과를 나타낸 도면이다.
- [0083] 도 11의 (a)는 구획 격벽(190)의 길이(Cantilever)를 13um, 15um, 20um로 형성하고, 노치 패턴(151,152)의 간격(Notch interval)을 변화시켜, 응력을 시뮬레이션한 결과를 나타낸 것이고, 도 11의 (b) 내지 (d)는 구획 격벽(190)의 길이(Cantilever)를 13um, 15um, 20um 각각을 피팅(Fitting)한 그래프이다.
- [0084] 도 11을 통해, 구획 격벽(190)의 길이와, 노치 패턴(151,152) 간의 간격이 브릿지 영역(160)에서 발생하는 응력에 영향을 미침을 확인할 수 있으며, 이를 통해 나노 갭(161)의 간격 제어가 가능함을 확인할 수 있다.
- [0085] 비록 본 발명의 몇몇 실시예들이 도시되고 설명되었지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본 발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해질 것이다.

부호의 설명

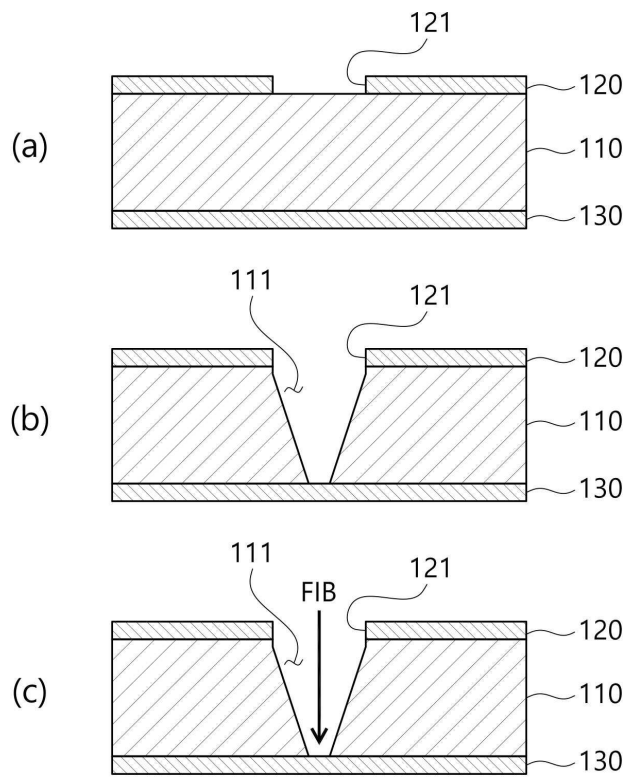
- [0086]
- | | |
|-------------------|-------------------|
| 110 : 실리콘 웨이퍼 | 111 : 관통 영역 |
| 120 : 제1 실리콘 질화물층 | 121 : 질화물 패턴 |
| 130 : 제2 실리콘 질화물층 | 141 : 포지티브 포토레지스트 |
| 142 : 마스크 층 | 143 : 마스크 패턴 |
| 151,152 : 노치 패턴 | 160 : 브릿지 영역 |
| 161 : 나노 갭 | 171,172 : 전극 패드 |
| 181 : 제1 영역 | 182 : 제2 영역 |
| 190 : 구획 격벽 | |

도면

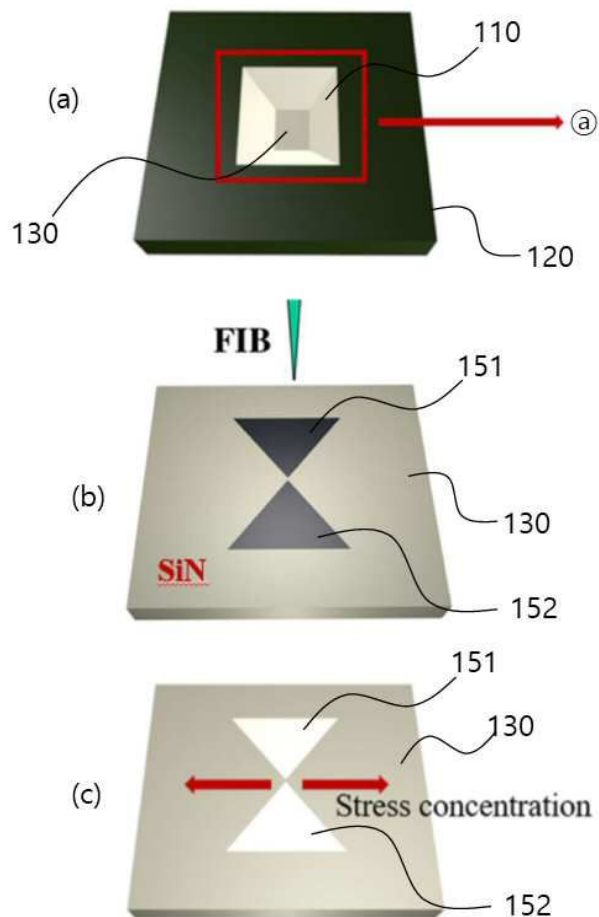
도면1



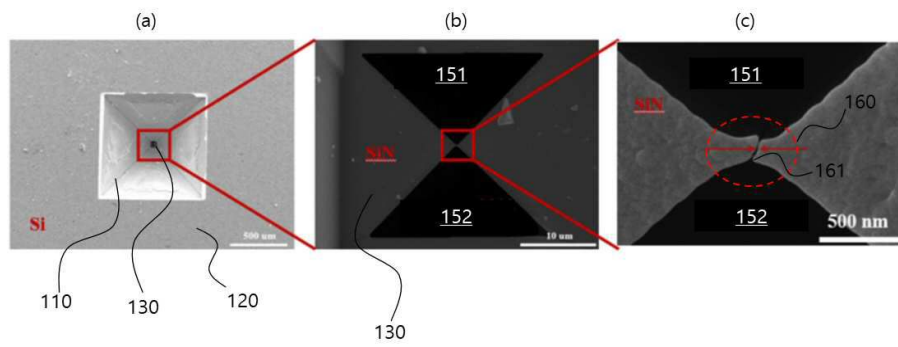
도면2



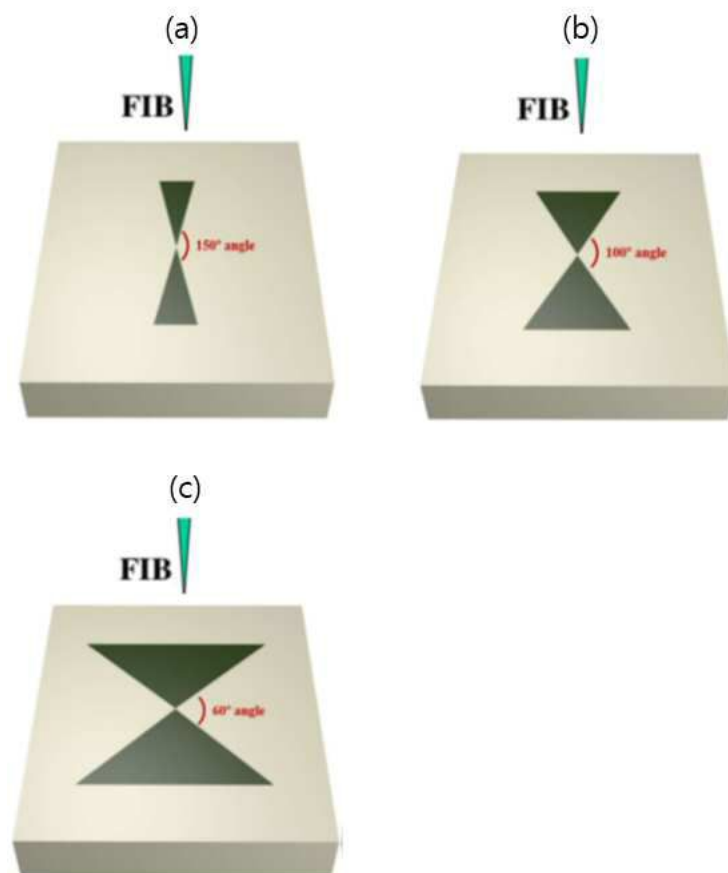
도면3



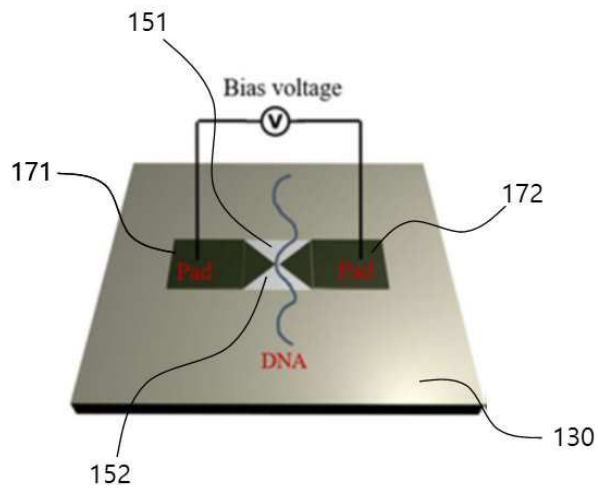
도면4



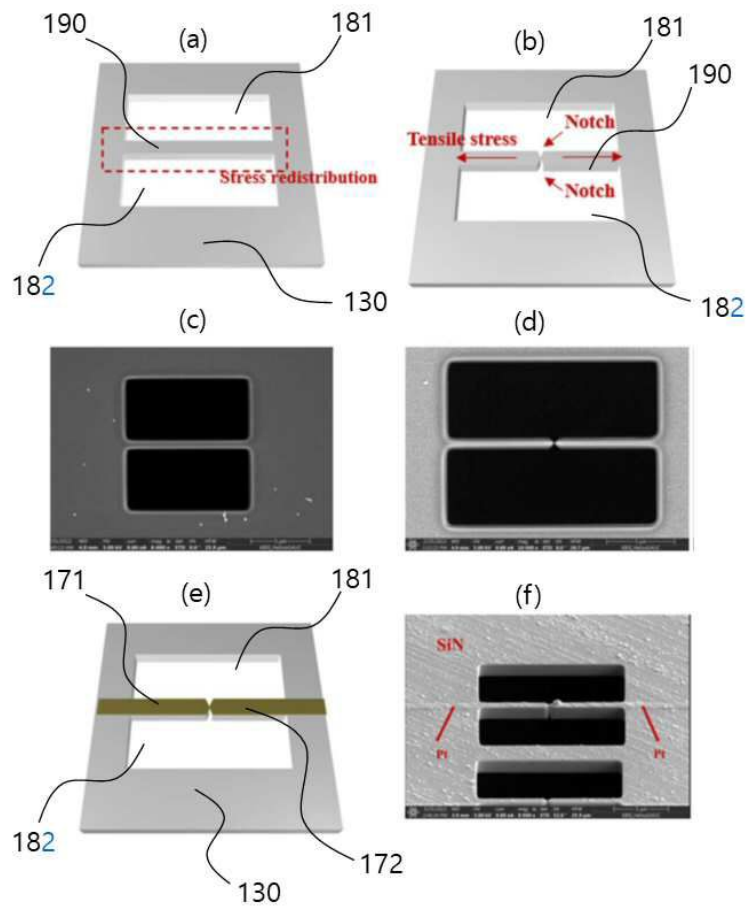
도면5



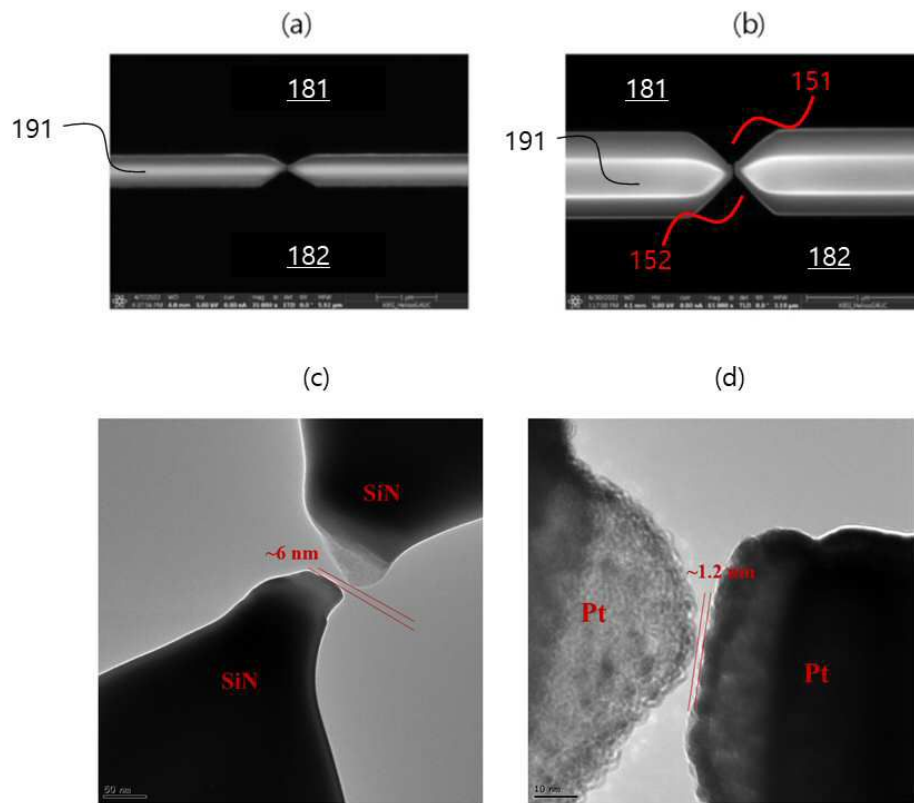
도면6



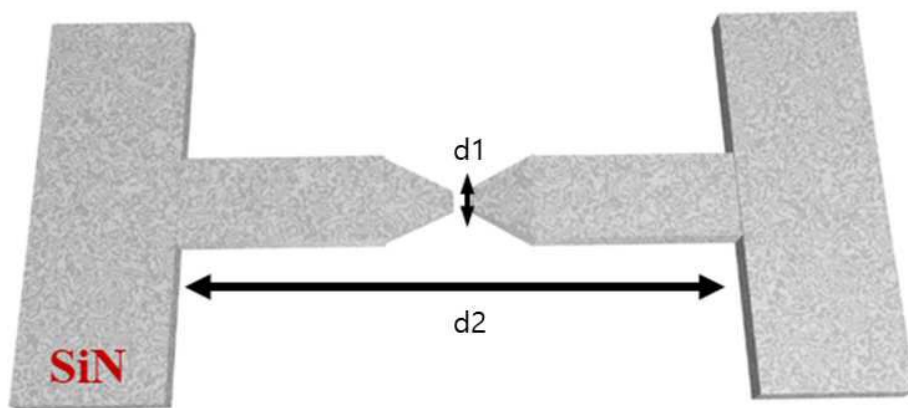
도면7



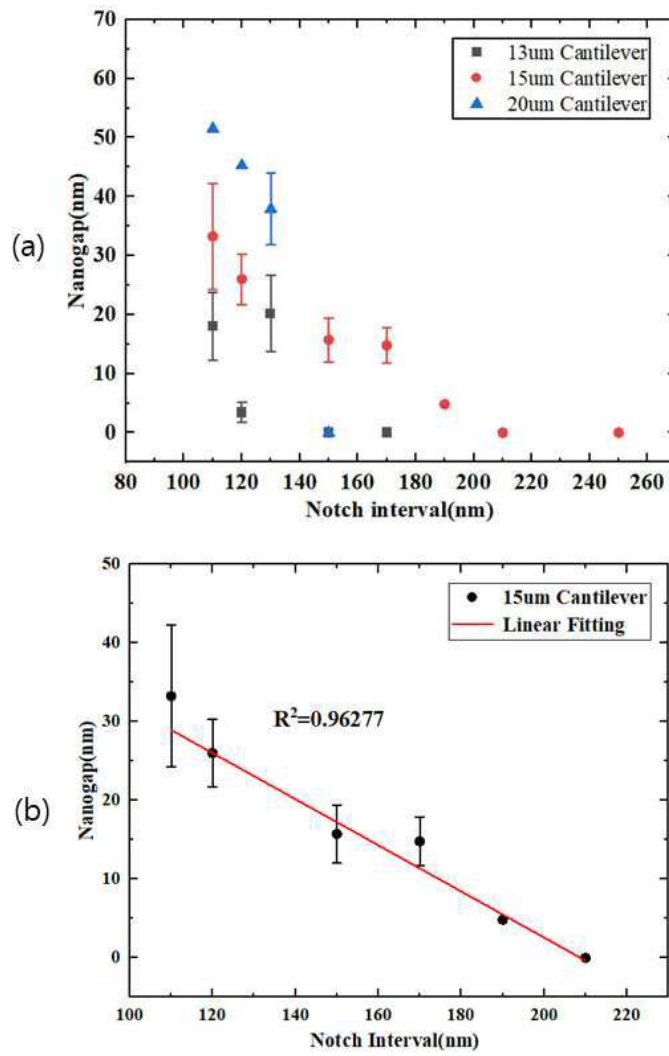
도면8



도면9



도면10



도면11

