

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H03K 3/356	(45) 공고일자 2001년06월 15일
	(11) 등록번호 10-0292964
	(24) 등록일자 2001년03월28일
(21) 출원번호 10-1998-0043532	(65) 공개번호 특1999-0066790
(22) 출원일자 1998년10월 17일	(43) 공개일자 1999년08월 16일
(30) 우선권 주장 98-014217 1998년01월27일 일본(JP)	
(73) 특허권자 미쓰비시덴키 가부시카이가이샤	다니구찌 이찌로오, 기타오카 다카시
(72) 발명자 우에다 기미오	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고
	일본 도쿄도 지요다쿠 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시카이가이샤 내 ㅍ 마시꼬 고이찌로
	일본 도쿄도 지요다쿠 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시카이가이샤 내 ㅊ 오사다 요시끼
(74) 대리인	일본 도쿄도 지요다쿠 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시카이가이샤 내 구영창, 장수길, 주성민

심사관 : 박재일

(54) 필요한 소자수가 감소되고 소비 전력이 절감되는 래치 회로 및 플립플롭 회로

요약

동일한 구성을 갖는 2개의 래치 회로가 캐스캐이드 접속된 플립플롭 회로에 있어서, 래치 회로는 P 채널 트랜지스터(MP1)와 N 채널 트랜지스터(MN3)로 이루어진 인버터, P 채널 트랜지스터(MP2)와 N 채널 트랜지스터(MN4)로 이루어진 인버터, 노드(N0)와 접지 노드(GND) 사이에 접속된 N 채널 트랜지스터(MN5), 제1 데이터 입력 단자(D1)), 제2 데이터 입력 단자(D1B) 및 N 채널 트랜지스터(MN1, MN2)를 포함하고, N 채널 트랜지스터(MN1, MN2)의 게이트에 공급되는 클럭 신호와 N 채널 트랜지스터(MN5 ~ MN7)에 공급되는 클럭 신호는 상보적인 것으로 이루어진다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 따른 플립플롭 회로의 구성을 나타낸 회로도.
- 도 2a~도 2c는 도 1에 도시된 플립플롭 회로의 동작을 나타낸 타이밍도.
- 도 3은 본 발명의 제2 실시예에 따른 래치 회로의 구성을 나타낸 회로도.
- 도 4a~도 4c는 도 3에 도시된 래치 회로의 동작을 나타낸 타이밍도.
- 도 5는 본 발명의 제3 실시예에 따른 플립플롭 회로의 구성을 나타낸 회로도.
- 도 6은 본 발명의 제4 실시예에 따른 플립플롭 회로의 구성을 나타낸 회로도.
- 도 7은 도 1에 도시된 플립플롭 회로의 레이아웃을 나타낸 도면.
- 도 8은 도 1에 도시된 플립플롭 회로와 도 6에 도시된 플립플롭 회로를 조합한 회로의 레이아웃을 나타낸 도면.
- 도 9는 종래의 플립플롭 회로의 구성을 나타낸 회로도.
- 도 10은 도 9에 도시된 인버터 게이트의 구성을 나타낸 회로도.
- 도 11a~도 11c는 도 9에 도시된 플립플롭 회로의 동작을 나타낸 타이밍도.
- 도 12는 종래의 래치 회로의 구성을 나타낸 회로도.
- 도 13a~도 13c는 도 12에 도시된 래치 회로의 동작을 나타낸 타이밍도.
- 도 14는 종래의 버퍼 회로의 구성을 나타낸 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

DI, D : 제1 데이터 입력 단자
 DIB, DB : 제2 데이터 입력 단자
 DO, Q : 제1 데이터 출력 단자
 DOB, QB : 제2 데이터 출력 단자
 MN1 ~ MN14 : N 채널 MOS 트랜지스터
 MP1 ~ MP14 : P 채널 MOS 트랜지스터
 VDD : 전원 전압 노드
 GND : 접지 전압 노드
 NO, N10 : 노드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것으로, 더 상세하게는 데이터를 유지하는 래치 회로 및 플립플롭 회로에 관한 것이다.

도 9는 IEICE TRANSACTIONS on Electronics, vo1. E78-C, No. 12, December 1995, pp. 1746~1753에 기재되어 있는 종래의 플립플롭 회로의 구성을 나타낸 회로도이다.

도 9에 도시된 바와 같이, 이 플립플롭 회로는, 트랜스미션 게이트(TG1 ~ TG8), 인버터 게이트(INV1 ~ INV4), 제1 데이터 입력 단자(DI), 제2 데이터 입력 단자(DIB), 제1 클럭 입력 단자(CK), 제2 클럭 입력 단자(CKB), 제1 데이터 출력 단자(DO) 및 제2 데이터 출력 단자(DOB)를 구비한다. 여기서, 각 트랜스미션 게이트(TG1 ~ TG8)는 병렬로 접속된 1조의 P 채널 MOS 트랜지스터와 N 채널 MOS 트랜지스터로 구성된다.

도 10은 도 9에 도시된 각 인버터 게이트(INV1 ~ INV4)의 구성을 나타낸 회로도이다. 도 10에 도시된 바와 같이, 이 인버터 게이트는 전원 전압 노드(VDD), 데이터 입력 단자(IN), 데이터 출력 단자(OUT), 전원 전압 노드(VDD)와 데이터 출력 단자(OUT) 사이에 접속되고 게이트가 데이터 입력 단자(IN)에 접속된 P 채널 MOS 트랜지스터, 접지 노드 및 접지 노드와 데이터 출력 단자(OUT) 사이에 접속되어 게이트가 데이터 입력 단자(IN)에 접속된 N 채널 MOS 트랜지스터를 구비한다.

이 인버터 게이트는 데이터 입력 단자(IN)에 입력된 데이터가 인버터 게이트의 논리 임계치 전압(일반적으로는, 전원 전압과 접지 전압의 중간 전압) 이하이면 하이 레벨(전원 전압)의 데이터를, 데이터 입력 단자(IN)에 입력된 데이터가 인버터 게이트의 논리 임계치 전압 이상이면 로우 레벨(접지 전압)의 데이터를 데이터 출력 단자(OUT)에 출력한다.

다음에, 도 9에 도시된 플립플롭 회로의 동작을 도 11a ~ 도 11c의 타이밍 도를 참조하여 설명한다.

시각 T1에서 제1 데이터 입력 단자(DI)에 하이 레벨의 신호를 입력하고, 제2 데이터 입력 단자(DIB)에 로우 레벨의 신호를 입력한다. 여기서, 이들 제1 및 제2 데이터 입력 단자(DI, DIB)에 제공되는 신호를 제1 데이터(DATA1)로 한다. 이 때, 제1 클럭 입력 단자(CK)에 하이 레벨의 신호, 제2 클럭 입력 단자(CKB)에 로우 레벨의 신호가 공급되면 트랜스미션 게이트(TG1, TG2)는 오프되고, 트랜스미션 게이트(TG3 ~ TG6)가 온된다. 또한, 트랜스미션 게이트(TG7, TG8)는 오프된다.

그리고, 시각 T2에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변화하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변화하면, 트랜스미션 게이트(TG1, TG2)가 온되고, 제1 데이터 입력 단자(DI)에 공급되어 있던 하이 레벨의 신호에 의해 인버터 게이트(INV2)의 출력이 로우 레벨이 되며, 제2 데이터 입력 단자(DIB)에 공급되어 있던 로우 레벨의 신호에 의해 인버터 게이트 INV1의 출력은 하이 레벨이 된다. 이 때, 트랜스미션 게이트(TG3~TG6)는 오프되고 트랜스미션 게이트(TG7, TG8)는 온된다.

또한, 시각 T3에서 제1 데이터 입력 단자(DI)에 공급되는 신호가 로우 레벨로 변화하고, 제2 데이터 입력 단자(DIB)에 공급되는 신호가 하이 레벨로 변화한다. 여기서, 이러한 신호를 제2 데이터(DATA2)로 한다. 또한 시각 T3에서는 동시에, 제1 클럭 입력 단자(CK)에 공급되는 신호가 하이 레벨로 변화하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 로우 레벨로 변화한다. 이에 따라, 제1 데이터 입력 단자(DI)와 제2 데이터 입력 단자(DIB)에 공급된 제2 데이터(DATA2)는 트랜스미션 게이트(TG1, TG2)가 오프되기 때문에 내부의 회로와 분리된다. 이 때 트랜스미션 게이트(TG3, TG4)는 온하고, 인버터 게이트(INV2)의 출력인 로우 레벨의 신호가 트랜스미션 게이트(TG4)를 통해 인버터 게이트(INV1)에 공급되며, 또한 인버터 게이트(INV1)의 출력인 하이 레벨의 신호가 트랜스미션 게이트(TG3)를 통해 인버터 게이트(INV2)에 공급된다. 이에 따라, 제1 데이터 입력 단자(DI)와 제2 데이터 입력 단자(DIB)에 공급되어 있던 제1 데이터(DATA1)는 인버터 게이트(INV1), 트랜스미션 게이트(TG3), 인버터 게이트(INV2) 및 트랜스미션 게이트(TG4)로 구성되는 페 루프 래치 회로에서 유지된다. 또한 이 때, 트랜스미션 게이트(TG5, TG6)도 온되기 때문에, 인버터 게이트(INV4)에는 트랜스미션 게이트(TG5)를 통해 인버터 게이트(INV1)의 출력 신호가 공급되며, 인버터 게이트(INV3)에는 트랜스미션 게이트(TG6)를 통해 인버터 게이트(INV2)의 출력 신호가 공급된다.

따라서, 시각 T3에서는 제1 데이터 출력 단자(D0) 및 제2 데이터 출력 단자(D0B)로부터 제1 데이터(DATA1)가 출력되게 된다.

또한, 시각 T4에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변화하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변화하면, 트랜스미션 게이트(TG1, TG2)가 온하기 때문에, 트랜스미션 게이트(TG1, TG2)를 통해 인버터 게이트(INV1)의 출력 노드는 로우 레벨로, 인버터 게이트(INV2)의 출력 노드는 하이 레벨이 된다. 즉, 제2 데이터(DATA2)가 취득된다. 이 때, 트랜스미션 게이트(TG3 ~ TG6)는 오프되고 트랜스미션 게이트(TG7, TG8)는 온된다. 따라서, 제1 및 제2 데이터 출력 단자(D0, D0B)는 제1 데이터(DATA1)를 계속 출력함과 동시에, 제1 데이터(DATA1)는 인버터 게이트(INV3), 트랜스미션 게이트(TG7), 인버터 게이트(INV4) 및 트랜스미션 게이트(TG8)로 구성되는 페 루프 래치 회로에서 유지된다.

이와 같이, 도 9에 도시된 플립플롭 회로는 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급된 데이터 신호를 제1 및 제2 클럭 입력 단자(CK, CKB)에 공급된 클럭 신호와 동기화 취득하여, 그 데이터 신호를 일시적으로 유지하여 위상을 변이하도록 제1 및 제2 데이터 출력 단자로부터 데이터를 출력하는 기능을 갖는다.

또, 상기 설명에서는 제1 데이터 입력 단자(D1)에 공급되는 신호가 하이 레벨로부터 로우 레벨로 변하고, 제1 데이터 단자(D1)에 공급되는 신호의 반전 신호를 입력하는 제2 데이터 입력 단자(D1B)에 로우 레벨로부터 하이 레벨로 변하는 신호가 공급된 경우(시각 T1 ~ T5의 동작)를 설명했지만, 신호 레벨의 변화에 상관없이, 이 플립플롭 회로는 시각 T5 ~ T7에서도 마찬가지로 동작한다.

도 12는 종래의 래치 회로의 구성을 나타낸 회로도이다. 또, 도 9에 도시된 플립플롭 회로는 이 래치 회로를 직렬로 2단 접속하여 구성된 것이다. 도 12에 도시된 바와 같이, 이 래치 회로는 트랜스미션 게이트(TG1 ~ TG4), 인버터 게이트(INV1, INV2), 제1 데이터 입력 단자(D1), 제2 데이터 입력 단자(D1B), 제1 클럭 입력 단자(CK), 제2 클럭 입력 단자(CKB), 제1 데이터 출력 단자(D0) 및 제2 데이터 출력 단자(D0B)를 구비한다.

다음에, 상기 래치 회로의 동작을 도 13a ~ 도 13c의 타이밍도를 참조하여 설명한다. 시각 T1에서는, 도 13a에 도시된 바와 같이 제1 데이터 입력 단자(D1)에 하이 레벨의 신호를 공급하고, 제2 데이터 입력 단자(D1B)에는 로우 레벨의 신호를 공급한다. 여기서, 이들 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급된 신호를 제1 데이터(DATA1)로 한다. 이 때, 도 13b에 도시된 바와 같이 제1 클럭 입력 단자(CK)에 하이 레벨의 신호가 공급되고, 제2 클럭 입력 단자(CKB)에 로우 레벨의 신호가 공급되면, 트랜스미션 게이트(TG1, TG2)는 오프되고 트랜스미션 게이트(TG3, TG4)가 온된다.

그리고, 도 13b에 도시된 바와 같이, 시각 T2에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변하면, 트랜스미션 게이트(TG1, TG2)가 온되고, 제1 데이터 입력 단자(D1)에 공급되어 있던 하이 레벨의 신호에 의해, 인버터 게이트(INV2)의 출력 노드, 즉 제2 데이터 출력 단자(D0B)가 로우 레벨의 전압을 가지고, 또한 제2 데이터 입력 단자(D1B)에 공급되어 있던 로우 레벨의 신호에 의해, 인버터 게이트(INV1)의 출력 노드 즉, 제1 데이터 출력 단자(D0)는 하이 레벨의 전압을 가진다. 따라서, 이 때에는, 도 13c에 도시된 바와 같이 제1 및 제2 데이터 출력 단자(D0, D0B)로부터는 제1 데이터(DATA1)가 출력된다. 또, 이 때 트랜스미션 게이트(TG3, TG4)는 오프되어 있다.

그리고, 시각 T3에서 도 13a에 도시된 바와 같이 제1 데이터 입력 단자(D1)에 공급되는 신호가 로우 레벨로 변하고, 제2 데이터 입력 단자(D1B)에 공급되는 신호가 하이 레벨로 변한다. 여기서, 이들 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급되는 신호를 제2 데이터(DATA2)로 한다. 또한, 시각 T3에서는 도 13b에 도시된 바와 같이, 제1 클럭 입력 단자(CK)에 공급되는 신호가 하이 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 로우 레벨로 변한다. 이로 인해, 제1 및 제2 데이터 입력 단자(D1, D1B)에 부여된 제2 데이터(DATA2)는 트랜스미션 게이트(TG1, TG2)가 오프되어 있기 때문에 내부의 회로와 분리된다. 또한, 시각 T3에서는 트랜스미션 게이트(TG3, TG4)는 온된다. 따라서, 인버터 게이트(INV2)의 로우 레벨의 출력 신호가 트랜스미션 게이트(TG4)를 통해 인버터 게이트(INV1)에 공급되며, 인버터 게이트(INV1)의 하이 레벨의 출력 신호가 트랜스미션 게이트(TG3)를 통해 인버터 게이트(INV2)에 공급된다. 이에 따라, 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급되어 있던 제1 데이터(DATA1)는 인버터 게이트(INV1), 트랜스미션 게이트(TG3), 인버터 게이트(INV2) 및 트랜스미션 게이트(TG4)로 구성되는 페 루프 래치 회로에서 유지되며, 제1 데이터 출력 단자(D0) 및 제2 데이터 출력 단자(D0B)로부터 계속 출력된다.

다음에, 시각 T4에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변하면, 트랜스미션 게이트(TG1, TG2)가 온되고, 인버터 게이트(INV1)의 출력 노드는 로우 레벨, 인버터 게이트(INV2)의 출력 노드는 하이 레벨, 인버터 게이트(INV1)의 출력 노드는 로우 레벨이 된다.

따라서, 제1 데이터 출력 단자(D0)는 로우 레벨의 신호를 출력하고 제2 데이터 출력 단자(D0B)는 하이 레벨의 신호를 출력한다. 즉, 제2 데이터(DATA2)가 출력된다.

이상과 같이, 이 래치 회로는 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급된 데이터 신호를 제1 및 제2 클럭 입력 단자(CK, CKB)에 공급되는 클럭 신호와 동기화 취득하고, 위상을 변이하여 제1 및 제2 데이터 출력 단자(D0, D0B)로부터 출력하는 기능을 갖는다. 또한, 상기 설명에서는 제1 데이터 입력 단자(D1)에 공급되는 신호가 하이 레벨로부터 로우 레벨로 변하고, 제1 데이터 입력 단자(D1)에 공급되는 신호의 반전 신호를 입력하는 제2 데이터 입력 단자(D1B)에 로우 레벨로부터 하이 레벨로 변하는 신호를 공급한 경우(시각 T1 ~ T4)를 설명했지만 시각 T4 이후도 이 래치 회로는 마찬가지로 동작한다.

또한, 상기와 같은 플립플롭 회로와 래치 회로는 모두 데이터 신호를 클럭 신호와 동기화 취득하고, 위상을 변이하여 출력하는 기능을 갖지만, 래치 회로에서는 플립플롭 회로에 비해서 데이터 신호를 출력하는 위상이 클럭 신호의 1/2주기만큼 어긋난다.

도 14는 도 9에 도시된 플립플롭 회로 혹은 도 12에 도시된 래치 회로에 공급되는 클럭 신호 또는 데이터 신호를 버퍼링하는 회로의 구성을 나타낸다. 도 14에 도시된 바와 같이, 이 회로는 신호 입력 단자(CIN), 신호 입력 단자(CIN)에 접속된 인버터 게이트(INV5), 인버터 게이트(INV5)에 접속된 제2 출력 단자(CKOB) 및 인버터 게이트(INV5)에 접속된 인버터 게이트(INV6)와, 인버터 게이트(INV6)에 접속된 제1 출력 단자(CKO)를 구비한다.

여기서, 신호 입력 단자(CIN)에 하이 레벨의 신호가 공급될 때는 제1 출력 단자(CKO)로부터는 인버터 게이트(INV5, INV6)를 통해 하이 레벨의 신호가 출력되며, 제2 출력 단자(CKOB)로부터는 인버터 게이트(INV5)를 통해 로우 레벨의 신호가 출력된다.

또한, 신호 입력 단자(CIN)에 로우 레벨의 신호가 공급될 때는, 제1 출력 단자(CKO)로부터는 로우 레벨의 신호가 출력되며, 제2 출력 단자(CKOB)로부터는 하이 레벨의 신호가 출력된다.

이와 같이, 이 회로는 1개의 입력 신호에 기초해서 서로 반전 논리의 관계에 있는 2개의 신호를 생성한다. 그리고, 도 9에 도시된 플립플롭 회로 혹은 도 12에 도시된 래치 회로에서, 제1 데이터 입력 단자(DI), 제2 데이터 입력 단자(DIB) 및 제1 클럭 입력 단자(CK), 제2 클럭 입력 단자(CKB)에는 각각 이 버퍼 회로로 생성된 신호가 공급된다. 이 버퍼 회로를 클럭 신호에 이용한 경우에는 그 출력 단자에 플립플롭 회로의 경우에 4개의 P 채널 MOS 트랜지스터와 4개의 N 채널 MOS 트랜지스터가, 또한 래치 회로인 경우에 2개의 P 채널 MOS 트랜지스터와 2개의 N 채널 MOS 트랜지스터가 접속되게 된다.

그러나, 도 9에 도시된 플립플롭 회로는 12개의 P 채널 MOS 트랜지스터와 12개의 N 채널 MOS 트랜지스터를 구비하고, 또한 도 12에 도시된 래치 회로는 6개의 P 채널 MOS 트랜지스터와 6개의 N 채널 MOS 트랜지스터를 구비하고 있었기 때문에 회로의 점유 면적이 커진다고 하는 결점이 있었다.

또한, 클럭 신호에서의 버퍼 회로의 2개의 출력 단자에는 상기한 바와 같이 플립플롭 회로의 경우에 4개의 P 채널 MOS 트랜지스터와 4개의 N 채널 MOS 트랜지스터가 접속되어 있으며, 또한 래치 회로인 경우에 2개의 P 채널 MOS 트랜지스터와 2개의 N 채널 MOS 트랜지스터가 접속되어 있었다. 이 때문에, 출력 단자의 부하 용량이 크고 부하 용량의 충전 및 방전에 클럭 신호에서의 버퍼 회로가 많은 전력을 소비한다고 하는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 필요한 소자수 및 점유 면적이 감소되며 또한 소비 전력이 절감되는 래치 회로 및 플립플롭 회로를 제공하는 것이다.

본 발명의 한 양태에 따르면, 래치 회로는 공통 노드, 제1 전원 노드, 공통 노드의 전압과 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작하는 제1 인버터, 공통 노드의 전압과 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작함과 동시에 입력단이 제1 인버터의 출력단에 접속되고 출력단이 제1 인버터의 입력단에 접속된 제2 인버터, 제1 데이터 입력 단자, 제1 데이터 입력 단자와 제1 인버터의 입력 단자 사이에 접속되며 게이트에는 제1 클럭 신호가 공급되는 제1 트랜지스터, 제2 데이터 입력 단자, 제2 데이터 입력 단자와 제2 인버터의 입력 단자 사이에 접속되며 게이트에는 제1 클럭 신호가 공급되는 제2 트랜지스터, 제2 전원 노드, 공통 노드와 제2 전원 노드 사이에 접속되며 게이트에는 제1 클럭 신호와 상보적인 제2 클럭 신호가 공급되는 제3 트랜지스터, 제1 인버터의 출력단에 접속된 제1 데이터 출력 단자 및 제2 인버터의 출력단에 접속된 제2 데이터 출력 단자를 구비한다.

본 발명의 다른 양태에 따르면, 플립플롭 회로는 복수 개의 캐스케이드 접속된 래치 회로를 구비하고, 각각의 래치 회로는 공통 노드, 제1 전원 노드, 공통 노드의 전압과 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작하는 제1 인버터, 공통 노드의 전압과 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작함과 동시에 입력단이 제1 인버터의 출력단에 접속되며 출력단이 제1 인버터의 입력단에 접속된 제2 인버터, 제1 데이터 입력 단자, 제1 데이터 입력 단자와 제1 인버터의 입력 단자 사이에 접속되며 게이트에는 제1 클럭 신호가 공급되는 제1 트랜지스터, 제2 데이터 입력 단자, 제2 데이터 입력 단자와 제2 인버터의 입력 단자 사이에 접속되며 게이트에는 제1 클럭 신호가 공급되는 제2 트랜지스터, 제2 전원 노드, 공통 노드와 제2 전원 노드 사이에 접속되고 게이트에는 제1 클럭 신호와 상보적인 제2 클럭 신호가 공급되는 제3 트랜지스터, 제1 인버터의 출력단에 접속된 제1 데이터 출력 단자 및 제2 인버터의 출력단에 접속된 제2 데이터 출력 단자를 포함하고, 인접하는 래치 회로의 제1 클럭 신호는 상보 신호가 되는 것이다.

따라서, 본 발명의 이점을 래치 회로 또는 플립플롭 회로에 필요한 소자수 및 회로의 점유 면적을 감소시킬 수 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 도면을 참조하여 자세하게 설명한다. 또, 도면 중 동일 부호는 동일 또는 상당 부분을 나타낸다.

< 제1 실시예 >

도 1은 본 발명의 제1 실시예에 따른 플립플롭 회로의 구성을 나타낸 회로도이다.

도 1에 도시된 바와 같이, 이 플립플롭 회로는 제1 데이터 입력 단자(DI), 노드(N1), 제1 데이터 입력 단자(DI)와 노드(N1) 사이에 접속되며 게이트에는 제2 클럭 입력 단자(CKB)에 공급되는 신호(이하, 「클럭 신호(CKB)」라고도 함)가 공급되는 N 채널 MOS 트랜지스터(MN1), 전원 전압 노드(VDD), 노드(N2), 전원 전압 노드(VDD)와 노드(N1) 사이에 접속되며 게이트가 노드(N2)에 접속된 P 채널 MOS 트랜지스터(MP1), 노드(NO), 노드(NO)와 노드(N1) 사이에 접속되며 게이트가 노드(N2)에 접속된 N 채널 MOS 트랜지스터(MN3), 접지 노드(GND), 노드(NO)와 접지 노드(GND) 사이에 접속되며 게이트에는 제1 클럭 입력 단자(CK)에 공급되는 신호(이하, 「클럭 신호(CK)」라고도 함)가 공급되는 N 채널 MOS 트랜지스터(MN5), 노드

(NO)와 노드(N2) 사이에 접속되며 게이트가 노드(N1)에 접속된 N 채널 MOS 트랜지스터(MN4), 노드(N2)와 전원 전압 노드(VDD) 사이에 접속되며 게이트가 노드(N1)에 접속된 P 채널 MOS 트랜지스터(MP2), 제2 데이터 입력 단자(D1B), 제2 데이터 입력 단자(D1B)와 노드(N2) 사이에 접속되며 게이트에는 클럭 신호(CKB)가 공급되는 N 채널 MOS 트랜지스터(MN2), 노드(N3), 노드(N1)와 노드(N3) 사이에 접속되며 게이트에는 클럭 신호(CK)가 공급되는 N 채널 MOS 트랜지스터(MN6), 노드(N4), 노드(N2)와 노드(N4) 사이에 접속되며 게이트에는 클럭 신호(CK)가 공급되는 N 채널 MOS 트랜지스터(MN7), 노드(N3)에 접속된 제1 데이터 출력 단자(DO), 전원 전압 노드(VDD)와 노드(N3) 사이에 접속되며 게이트가 노드(N4)에 접속된 P 채널 MOS 트랜지스터(MP3), 노드(N10), 노드(N3)와 노드(N10) 사이에 접속되며 게이트가 노드(N4)에 접속된 N 채널 MOS 트랜지스터(MN8), 접지 노드(GND)와 노드(N10) 사이에 접속되며 게이트에는 클럭 신호(CKB)가 공급되는 N 채널 MOS 트랜지스터(MN10), 노드(N10)와 노드(N4) 사이에 접속되며 게이트가 노드(N3)에 접속된 N 채널 MOS 트랜지스터(MN9), 노드(N4)에 접속된 제2 데이터 출력 단자(DOB) 및 노드(N4)와 전원 전압 노드(VDD) 사이에 접속되며 게이트가 노드(N3)에 접속된 P 채널 MOS 트랜지스터(MP4)를 구비한다.

다음에, 상기 플립플롭 회로의 동작을 도 2a~도 2c의 타이밍도를 참조하여 설명한다.

시각 T1에서 제1 데이터 입력 단자(D1)에 하이 레벨(전원 전압)의 신호를 공급하고 제2 데이터 입력 단자(D1B)에는 로우 레벨(접지 전압)의 신호를 공급한다.

여기서, 이들 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급되는 신호를 제1 데이터(DATA1)로 한다. 이 때, 제1 클럭 입력 단자(CK)에 하이 레벨의 신호, 또한 제2 클럭 입력 단자(CKB)에 로우 레벨의 신호가 공급되면, N 채널 MOS 트랜지스터(MN1, MN2)는 오프되고, N 채널 MOS 트랜지스터(MN5 ~ MN7)가 온된다. 또한, N 채널 MOS 트랜지스터(MN10)는 오프된다. 그리고, 시각 T2에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변하면, N 채널 MOS 트랜지스터(MN1, MN2)가 온된다. 따라서, N 채널 MOS 트랜지스터의 임계치 전압을 V_{thn} 이라고 하면 노드(N1)는 전원 전압보다 임계치 전압 V_{thn} 만큼 낮은 전압이 되며, 또한 노드(N2)는 로우 레벨이 된다. 이 때, P 채널 MOS 트랜지스터(MP1)의 게이트 단자는 노드(N2)에 접속되어 있기 때문에, P 채널 MOS 트랜지스터(MP1)이 온되어 P 채널 MOS 트랜지스터(MP1)의 드레인 단자 즉, 노드(N1)는 전원 전압 레벨로 상승된다. 한편, P 채널 MOS 트랜지스터(MP2)의 게이트 단자는 노드(N1)에 접속되어 있기 때문에 오프된다. 따라서, 노드(N2)는 로우 레벨이 되고, 노드(N1)는 하이 레벨이 된다. 이 때, N 채널 MOS 트랜지스터(MN5 ~ MN7)는 오프되고, N 채널 MOS 트랜지스터(MN10)는 온된다.

시각 T3에서 도 2a에 도시된 바와 같이, 제1 데이터 입력 단자(D1)에 공급되는 신호가 로우 레벨로 변하고, 또한 제2 데이터 입력 단자(D1B)에 공급되는 신호가 하이 레벨로 변한다. 여기서, 이들 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급되는 신호를 제2 데이터(DATA2)로 한다. 또한 동시에, 도 2b에 도시된 바와 같이, 제1 클럭 입력 단자(CK)에 공급되는 신호가 하이 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 로우 레벨로 변하면, 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급된 제2 데이터(DATA2)는 N 채널 MOS 트랜지스터(MN1, MN2)가 오프되어 있기 때문에 내부의 회로와 분리된다. 이 때, N 채널 MOS 트랜지스터(MN5)는 온된다. 따라서, 제1 데이터(DATA1)는 P 채널 MOS 트랜지스터(MP1)와 N 채널 MOS 트랜지스터(MN3)로 이루어지는 인버터 게이트 및 P 채널 MOS 트랜지스터(MP2)와 N 채널 MOS 트랜지스터(MN4)로 이루어지는 인버터 게이트가 접속된 페 루프 래치 회로에서 유지된다.

또한 이 때, N 채널 MOS 트랜지스터(MN6, MN7)는 온되고, 노드(N3)는 전원 전압보다 N 채널 MOS 트랜지스터(MN6)의 임계치 전압만큼 낮은 전압이 되고, 노드(N4)는 로우 레벨(접지 전압)이 된다. 이 때, P 채널 MOS 트랜지스터(MP3)의 게이트 단자는 노드(N4)에 접속되어 있기 때문에, P 채널 MOS 트랜지스터(MP3)가 온되어 P 채널 MOS 트랜지스터(MP3)의 드레인 단자 즉, 노드(N3)는 전원 전압에 상승된다. 또, P 채널 MOS 트랜지스터(MP4)의 게이트 단자는 노드(N3)에 접속되어 있기 때문에 오프되어 있다. 그 결과, 제1 데이터 출력 단자(DO)로부터는 하이 레벨의 신호가 출력되며, 제2 데이터 출력 단자(DOB)로부터는 로우 레벨의 신호가 출력된다.

따라서, 이 때에는 제1 데이터 출력 단자(DO) 및 제2 데이터 출력 단자(DOB)를 통해 제1 데이터(DATA1)가 출력된다.

다음에, 시각 T4에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변하면, N 채널 MOS 트랜지스터(MN1, MN2)가 온되고, N 채널 MOS 트랜지스터(MN1, MN2)를 통해 노드(N2)는 전원 전압보다 N 채널 MOS 트랜지스터(MN2)의 임계치 전압만큼 낮은 전압이 되고, 노드(N1)는 로우 레벨이 된다. 이 때, P 채널 MOS 트랜지스터(MP2)의 게이트 단자는 노드(N1)에 접속되어 있기 때문에, P 채널 MOS 트랜지스터(MP2)가 온되어 P 채널 MOS 트랜지스터(MP2)의 드레인 단자 즉, 노드(N2)는 전원 전압 레벨로 상승된다. 또, P 채널 MOS 트랜지스터(MP1)의 게이트 단자는 노드(N2)에 접속되어 있기 때문에 오프되어 있다. 이에 따라, 제2 데이터(DATA2)가 취득된다. 또한, N 채널 MOS 트랜지스터(MN5 ~ MN7)는 오프되고, N 채널 MOS 트랜지스터(MN10)는 온된다. 이 때, P 채널 MOS 트랜지스터(MP3)의 게이트 단자는 노드(N4)에 접속되어 있기 때문에, P 채널 MOS 트랜지스터(MP3)가 온하여 P 채널 MOS 트랜지스터(MP3)의 드레인 단자, 즉 제1 데이터 출력 단자(DO)는 하이 레벨이 된다. 또한, P 채널 MOS 트랜지스터(MP4)의 게이트 단자는 노드(N3)에 접속되어 있기 때문에 오프되어 있다. 이와 같이 해서, 제1 데이터 출력 단자(DO)는 하이 레벨의 신호를, 제2 데이터 출력 단자(DOB)는 로우 레벨의 신호를 각각 계속 출력하고, P 채널 MOS 트랜지스터(MP3)와 N 채널 MOS 트랜지스터(MN8)로 이루어진 인버터 게이트 및 P 채널 MOS 트랜지스터(MP4)와 N 채널 MOS 트랜지스터(MN9)로 이루어지는 인버터 게이트로 구성되는 페 루프 래치 회로에서 제1 데이터(DATA1)가 유지된다.

이와 같이 해서, 이 플립플롭 회로는 제1 및 제2 데이터 입력 단자(D1, D1B)에 공급된 데이터 신호를 클럭 신호와 동기화하여 취득하여, 그 데이터 신호를 일시적으로 유지하고 위상을 변이하여 출력하는 기능을 갖는다.

또한, 상기에 있어서는 제1 데이터 입력 단자(D1)에 공급되는 신호는 하이 레벨로부터 로우 레벨로 변하고, 제2 데이터 입력 단자(D1B)에 공급되는 신호가 로우 레벨로부터 하이 레벨로 변하는 경우를 설명했지만, 시각 T4 이후도 마찬가지로 동작한다.

이상에 의해, 본 실시예에 따른 플립플롭 회로에 따르면 도 9에 도시된 종래의 플립플롭 회로에 비해 필요한 소자수를 적게 하고, 또한 점유 면적을 감소시킬 수 있다. 또한, 도 14에 도시된 클럭 신호를 버퍼링하는 회로가 구동하는 트랜지스터의 수도 감소되며 이 버퍼 회로의 소비 전력도 절감될 수 있다.

< 제2 실시예 >

도 3은 본 발명의 제2 실시예에 따른 래치 회로의 구성을 나타낸 도면이다. 도 3에 도시된 바와 같이 이 래치 회로는 도 1에 도시되는 플립플롭 회로와 마찬가지로의 구성을 갖지만, 제1 데이터 출력 단자(DO)가 노드(N1)에 접속되며 제2 데이터 출력 단자(DOB)가 노드(N2)에 접속된다는 점에서 다르다.

다음에, 이 래치 회로의 동작을 도 4a~도 4c의 타이밍도를 참조하여 설명한다. 우선, 시각 T1에서 제1 데이터 입력 단자(DI)에 하이 레벨의 신호를 입력하고, 제2 데이터 입력 단자(DIB)에 로우 레벨의 신호를 입력한다. 여기서, 이들 제1 및 제2 데이터 입력 단자(DI, DIB)에 공급되는 신호를 제1 데이터(DATA1)로 한다. 이 때, 제1 클럭 입력 단자(CK)에 하이 레벨의 신호를 공급하고 제2 클럭 입력 단자(CKB)에 로우 레벨의 신호를 공급하면, N 채널 MOS 트랜지스터(MN1, MN2)는 오프되고 N 채널 MOS 트랜지스터(MN5)가 온된다.

그리고, 시각 T2에서 제1 클럭 입력 단자(CK)에 공급되는 신호가 로우 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변하면 N 채널 MOS 트랜지스터(MN1, MN2)가 온된다. 따라서, N 채널 MOS 트랜지스터(MN1)의 임계치 전압을 V_{thn} 이라고 하면, 제1 데이터 출력 단자(DO)는 전원 전압보다 임계치 전압 V_{thn} 만큼 낮은 전압이 되며 또한, 제2 데이터 출력 단자(DOB)는 로우 레벨이 된다. 이 때, P 채널 MOS 트랜지스터(MP1)의 게이트 단자는 제2 데이터 출력 단자(DOB)에 접속되어 있기 때문에, P 채널 MOS 트랜지스터(MP1)가 온되어 P 채널 MOS 트랜지스터(MP1)의 드레인 단자 즉, 제1 데이터 출력 단자(DO)는 전원 전압 레벨로 상승된다. 이와 같이 해서, 제1 및 제2 데이터 출력 단자(DO, DOB)로부터 도 4c에 도시된 바와 같이 제1 데이터(DATA1)가 출력된다.

시각 T3에서는 도 4a에 도시된 바와 같이, 제1 데이터 입력 단자(DI)에 공급되는 신호가 로우 레벨로 변하고, 제2 데이터 입력 단자(DIB)에 공급되는 신호가 하이 레벨로 변한다. 여기서, 이들 제1 및 제2 데이터 입력 단자에 공급되는 신호를 제2 데이터(DATA2)로 한다. 또한 동시에, 제1 클럭 입력 단자(CK)에 공급되는 신호가 하이 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 로우 레벨로 변하면, 제1 및 제2 데이터 입력 단자(DI, DIB)에 공급된 제2 데이터(DATA2)는 N 채널 MOS 트랜지스터(MN1, MN2)가 오프되고 있기 때문에, 제1 및 제2 데이터 출력 단자(DO, DOB)로 분리된다. 또, 이 때 N 채널 MOS 트랜지스터(MN5)는 온된다. 따라서, 제1 데이터(DATA1)는 P 채널 MOS 트랜지스터(MP1)와 N 채널 MOS 트랜지스터(MN3)로 이루어지는 인버터 게이트 및 P 채널 MOS 트랜지스터(MP2)와 N 채널 MOS 트랜지스터(MN4)로 이루어지는 인버터 게이트가 접속된 페 루프 래치 회로에서 유지된다.

다음에, 시각 T4에서 제1 클럭 입력 단자(CK)에 공급되어 있는 신호가 로우 레벨로 변하고, 제2 클럭 입력 단자(CKB)에 공급되는 신호가 하이 레벨로 변하면, N 채널 MOS 트랜지스터(MN1, MN2)가 온되고, 제2 데이터 출력 단자(DOB)는 전원 전압보다 N 채널 MOS 트랜지스터(MN2)의 임계치 전압만큼 낮은 전압이 되며, 제1 데이터 출력 단자(DO)는 로우 레벨이 된다. 이 때, P 채널 MOS 트랜지스터(MP2)의 게이트 단자는 노드 N1에 접속되어 있기 때문에, P 채널 MOS 트랜지스터(MP2)가 온되고, P 채널 MOS 트랜지스터(MP2)의 드레인 단자 즉, 제2 데이터 출력 단자(DOB)는 하이 레벨(전원 전압)로 상승된다. 또, P 채널 MOS 트랜지스터(MP1)의 게이트 단자는 노드(N2)에 접속되어 있기 때문에 오프된다. 이와 같이 해서, 제1 데이터 출력 단자(DO)는 로우 레벨의 신호를, 제2 데이터 출력 단자(DOB)는 하이 레벨의 신호를 각각 출력하여 제2 데이터(DATA2)가 출력된다.

이와 같이, 본 실시예에 따른 래치 회로는 제1 및 제2 데이터 입력 단자(DI, DIB)에 공급된 데이터 신호를 제1 및 제2 클럭 입력 단자(CK, CKB)에 공급된 클럭 신호와 동기화하여, 그 데이터 신호를 일시적으로 유지하고 위상을 변이하여 출력하는 기능을 갖는다.

또한, 상기에서는 제1 데이터 입력 단자(DI)에 공급되는 신호가 하이 레벨로부터 로우 레벨로 변하고, 제2 데이터 입력 단자(DIB)에 공급되는 신호가 로우 레벨로부터 하이 레벨로 변하는 시각 T1~T4의 동작을 설명했지만 시각 T4 이후도 마찬가지로 동작한다.

이상에 의해, 본 실시예에 따른 래치 회로는, 도 12에 도시된 종래의 래치 회로에 비해 필요한 소자수가 적으며 점유 면적이 감소될 수 있다. 또한, 도 14에 도시된 클럭 신호를 버퍼링하는 회로(클럭 드라이버)가 구동하는 트랜지스터의 수도 감소되며 이 클럭 드라이버의 소비 전력도 절감될 수 있다.

< 제3 실시예 >

도 5는 본 발명의 제3 실시예에 따른 플립플롭 회로의 구성을 나타낸 회로도이다. 도 5에 도시된 바와 같이, 이 플립플롭 회로는 도 1에 나타낸 제1 실시예에 따른 플립플롭 회로와 마찬가지로의 구성을 갖지만, 플립플롭 회로를 구성하는 모든 트랜지스터에서 게이트 단자와 백 게이트 단자가 접속된다는 점에서 다르다. 또, 제1 실시예에 따른 플립플롭 회로를 구성하는 P 채널 MOS 트랜지스터(MP1 ~ MP4)의 백 게이트 단자는 전원 전압 노드에, N 채널 MOS 트랜지스터(MN1 ~ MN10)의 백 게이트 단자는 접지 전압 노드에 각각 접속된다.

이상에 의해, 본 실시예에 따른 플립플롭 회로에 따르면 구성 요소인 각 트랜지스터 임계치 전압은 작아지기 때문에, 구동력이 증가하여 고속으로 동작한다.

또, 회로 동작은 제1 실시예에 따른 플립플롭 회로의 동작과 마찬가지로이다.

< 제4 실시예 >

도 6은 본 발명의 제4 실시예에 따른 플립플롭 회로의 구성을 나타낸 회로도이다. 도 6에 도시된 바와 같이, 이 플립플롭 회로는 제1 실시예에 따른 플립플롭 회로와 나타낸 구성을 갖지만, 모든 극성이 반전되어 있다는 점에서 다르다.

즉, N 채널 MOS 트랜지스터 대신에 P 채널 MOS 트랜지스터가 사용되며, P 채널 MOS 트랜지스터 대신에 N 채널 MOS 트랜지스터가 사용된다. 또한, 접지 노드와 전원 전압 노드가 교체된 것이기도 하다. 여기서, 각 트랜지스터의 게이트에 공급되는 클럭 신호는 그 레벨이 반전된 것이다.

이러한 구성을 갖는 본 실시예에 따른 플립플롭 회로에서도 제1 실시예에 따른 플립플롭 회로와 마찬가지로의 동작을 실현할 수 있다.

또, 플립플롭 회로를 2개 사용하는 경우에는, 제1 실시예에 따른 플립플롭 회로와 본 실시예에 따른 플립플롭 회로를 조합하여 사용하면, 필요한 N 채널 MOS 트랜지스터와 P 채널 MOS 트랜지스터의 수의 밸런스가 좋아지며 효율적인 레이아웃이 가능하다. 이하, 이것을 보다 구체적으로 설명한다.

도 7은 도 1에 도시된 제1 실시예에 따른 플립플롭 회로의 레이아웃을 나타낸 도면이다. 도 7에 도시된 바와 같이, 이 플립플롭 회로는 셀(4) 상에 형성되며, 셀(4)는 전원 전압 노드(VDD), 접지 전압 노드(GND), 전원 전압 노드(VDD)에 접속되며 4개의 P 채널 MOS 트랜지스터를 포함하는 PMOS 영역(5) 및 접지 전압 노드(GND)에 접속되며 10개의 N 채널 MOS 트랜지스터를 포함하는 NMOS 영역(7)을 구비한다.

한편, 제4 실시예에 따른 플립플롭 회로는 10개의 P 채널 MOS 트랜지스터 및 4개의 N 채널 MOS 트랜지스터를 구비하기 위해서 제1 실시예에 따른 플립플롭 회로와는 반대로 PMOS 영역이 NMOS 영역에 비해 넓어진다.

도 8은 제1 실시예에 따른 플립플롭 회로와 제4 실시예에 따른 플립플롭 회로를 조합한 회로의 레이아웃을 나타낸 도면이다. 도 8에 있어서, 제1 실시예에 따른 플립플롭 회로는 전원 전압 노드(VDD), 제1 PMOS영역(9), 제1 NMOS영역(11) 및 접지 전압 노드(GND)로 구성되며, 제4 실시예에 따른 플립플롭 회로는 전원 전압 노드(VDD), 제2 PMOS영역(13), 제2 NMOS영역(15) 및 접지 전압 노드(GND)로 구성된다.

이와 같이, 도 7에 도시된 제1 실시예에 따른 플립플롭 회로만을 캐스케이드 접속하는 경우보다 제1 실시예에 따른 플립플롭 회로와 제4 실시예에 따른 플립플롭 회로를 조합하여 사용하는 경우 쪽이 셀(8)의 면적을 감소시킬 수 있어 효율적인 레이아웃을 실현할 수 있다.

발명의 효과

본 발명에 따르면, 필요한 소자수 및 점유 면적이 감소되고, 소비 전력이 절감되는 래치 회로 및 플립플롭 회로를 얻을 수 있다.

(57) 청구의 범위

청구항 1

공통 노드;

제1 전원 노드;

상기 공통 노드의 전압과 상기 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작하는 제1 인버터;

상기 공통 노드의 전압과 상기 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작함과 동시에, 입력단이 상기 제1 인버터의 출력단에 접속되고 출력단이 상기 제1 인버터의 입력단에 접속되는 제2 인버터;

제1 데이터 입력 단자;

상기 제1 데이터 입력 단자와 상기 제1 인버터의 입력 단자 사이에 접속되며, 게이트에는 제1 클럭 신호가 공급되는 제1 트랜지스터;

제2 데이터 입력 단자;

상기 제2 데이터 입력 단자와 상기 제2 인버터의 입력 단자 사이에 접속되며, 게이트에는 상기 제1 클럭 신호가 공급되는 제2 트랜지스터;

제2 전원 노드;

상기 공통 노드와 상기 제2 전원 노드 사이에 접속되며, 게이트에는 상기 제1 클럭 신호와 상보적인 제2 클럭 신호가 공급되는 제3 트랜지스터;

상기 제1 인버터의 출력단에 접속된 제1 데이터 출력 단자; 및

상기 제2 인버터의 출력단에 접속된 제2 데이터 출력 단자

를 구비한 래치 회로.

청구항 2

제1항에 있어서, 상기 제1 내지 제3 트랜지스터는 모두 N 채널 MOS 트랜지스터이고, 상기 제1 전원 노드는 전원 전압을 가지며 상기 제2 전원 노드는 접지 전압을 가지는 래치 회로.

청구항 3

복수 개의 캐스케이드 접속된 래치 회로를 구비하며,

각각의 상기 래치 회로는

공통 노드;

제1 전원 노드;

상기 공통 노드의 전압과 상기 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작하는 제1 인버터;

상기 공통 노드의 전압과 상기 제1 전원 노드의 전압을 양 동작 전원 전압으로 하여 동작함과 동시에, 입력단이 상기 제1 인버터의 출력단에 접속되고, 출력단이 상기 제1 인버터의 입력단에 접속되는 제2 인버터;

제1 데이터 입력 단자;

상기 제1 데이터 입력 단자와 상기 제1 인버터의 입력 단자 사이에 접속되며, 게이트에는 제1 클럭 신호가 공급되는 제1 트랜지스터;

제2 데이터 입력 단자;

상기 제2 데이터 입력 단자와 상기 제2 인버터의 입력 단자 사이에 접속되며, 게이트에는 상기 제1 클럭 신호가 공급되는 제2 트랜지스터;

제2 전원 노드;

상기 공통 노드와 상기 제2 전원 노드 사이에 접속되며, 게이트에는 상기 제1 클럭 신호와 상보적인 제2 클럭 신호가 공급되는 제3 트랜지스터;

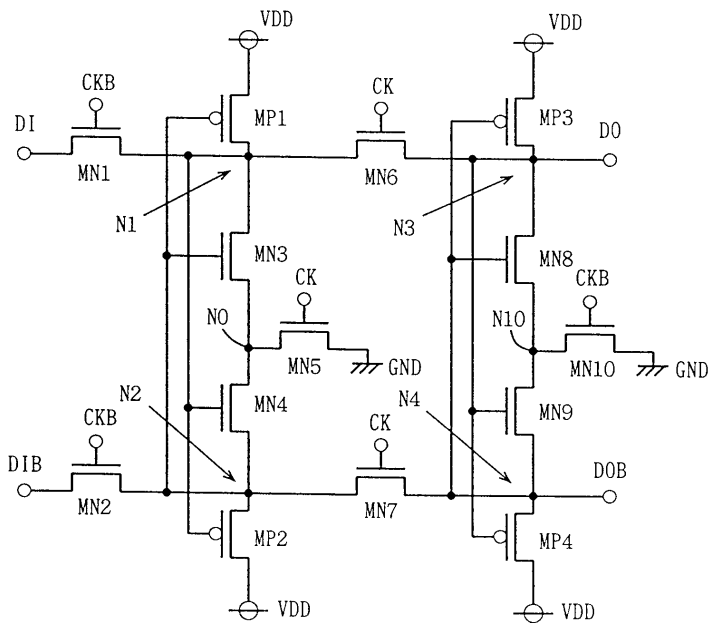
상기 제1 인버터의 출력단에 접속되는 제1 데이터 출력 단자; 및

상기 제2 인버터의 출력단에 접속된 제2 데이터 출력 단자

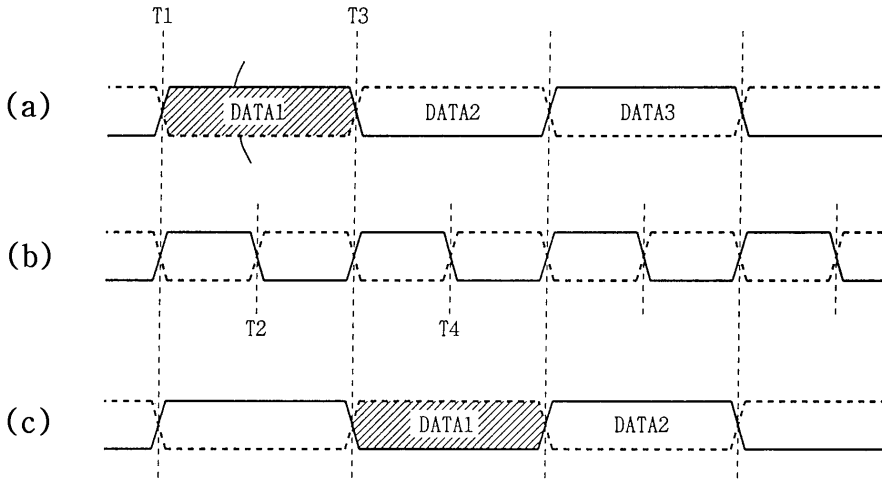
를 포함하며, 인접하는 상기 래치 회로의 상기 제1 클럭 신호는 상보 신호가 되는 플립플롭 회로.

도면

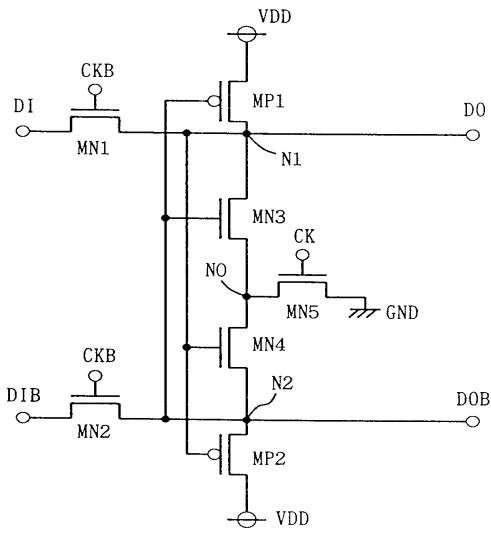
도면1



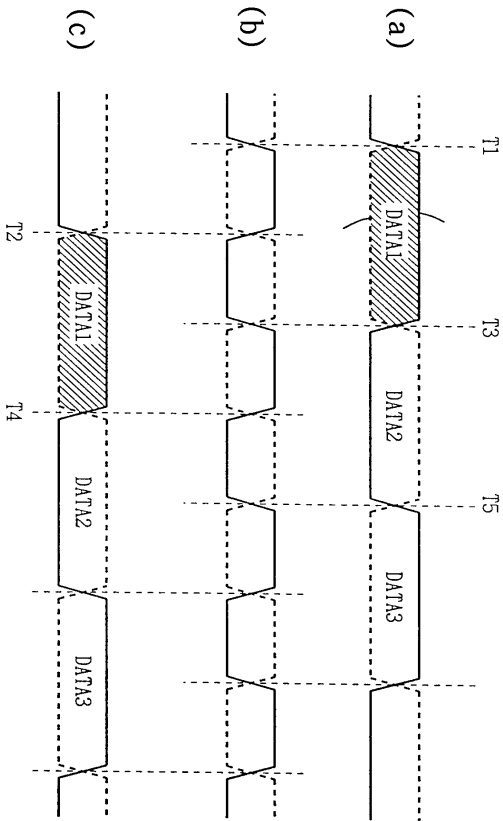
도면2



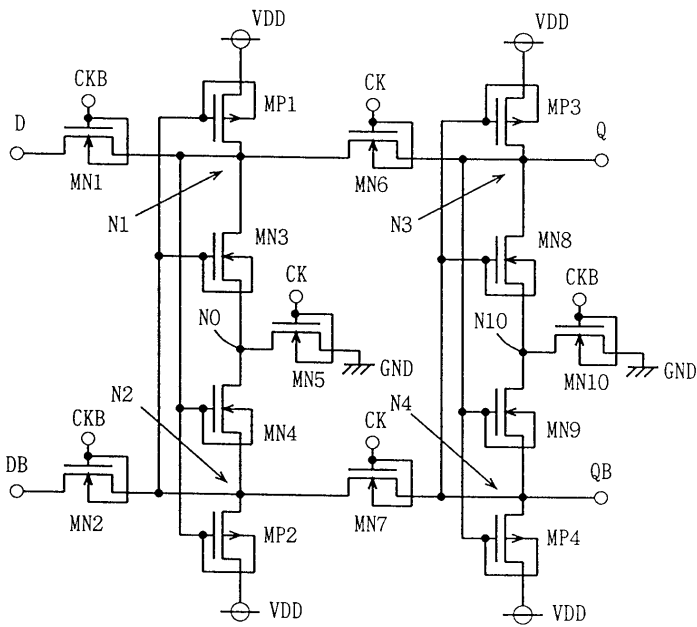
도면3



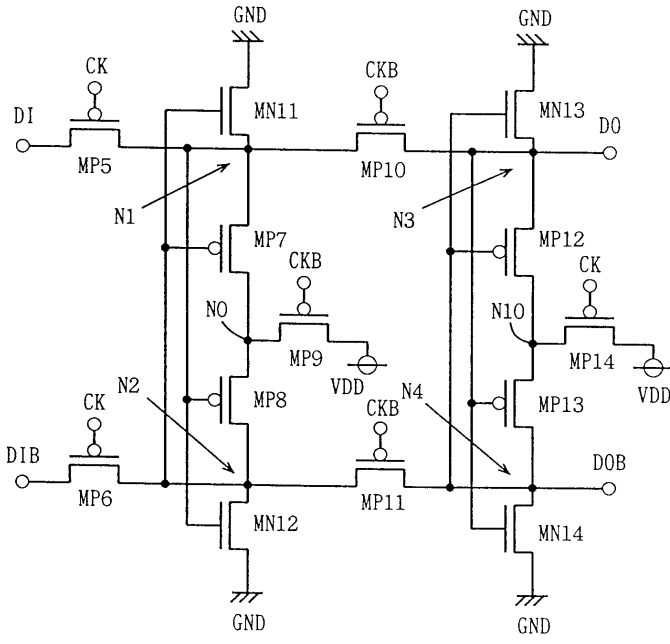
도면4



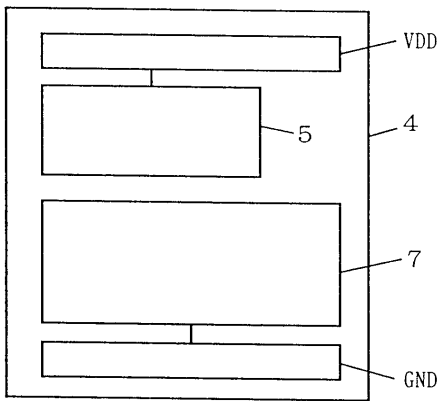
도면5



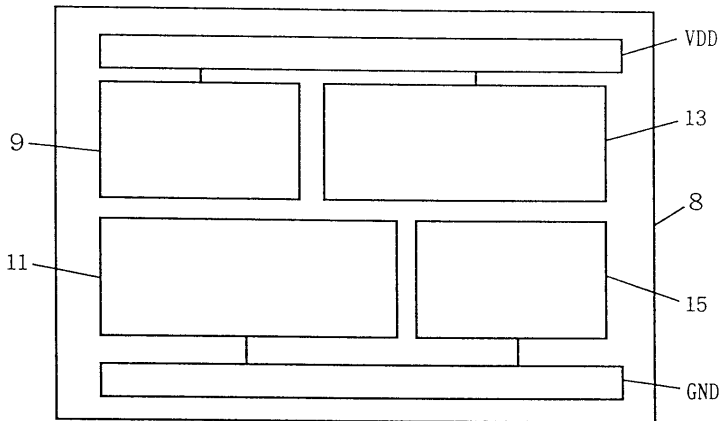
도면6



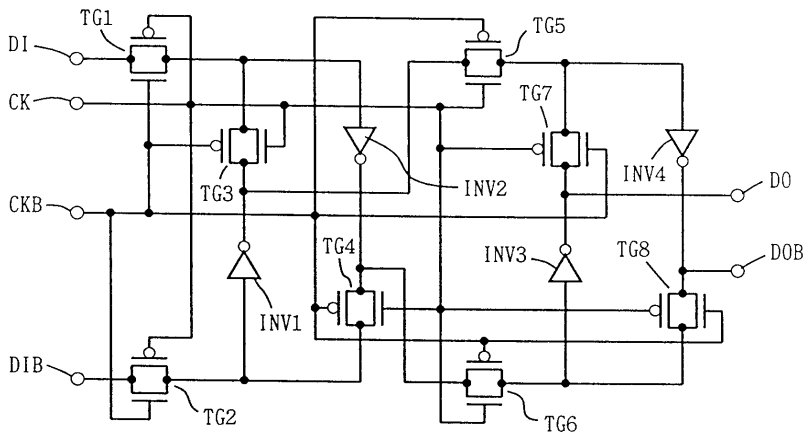
도면7



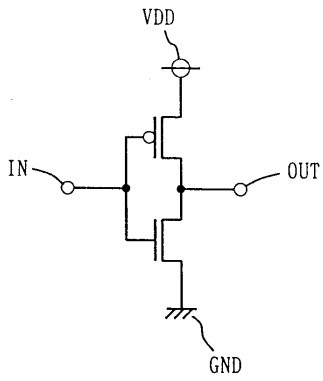
도면8



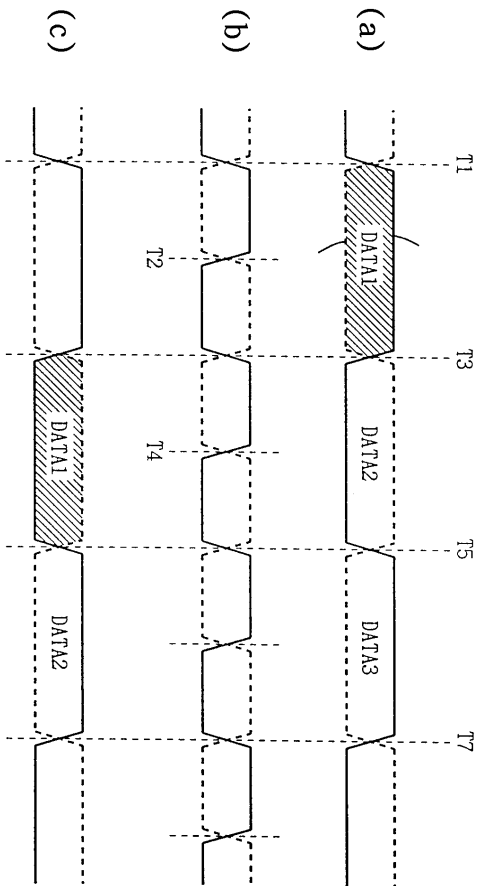
도면9



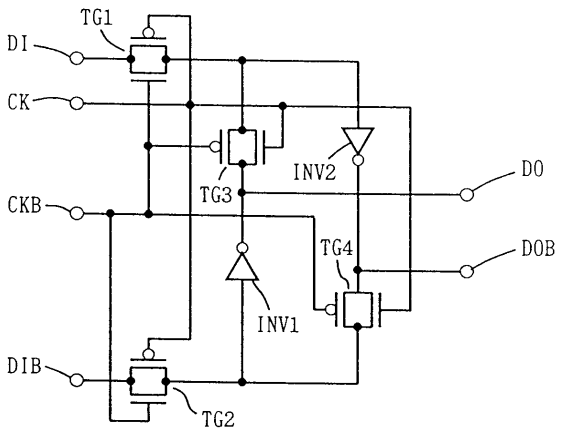
도면10



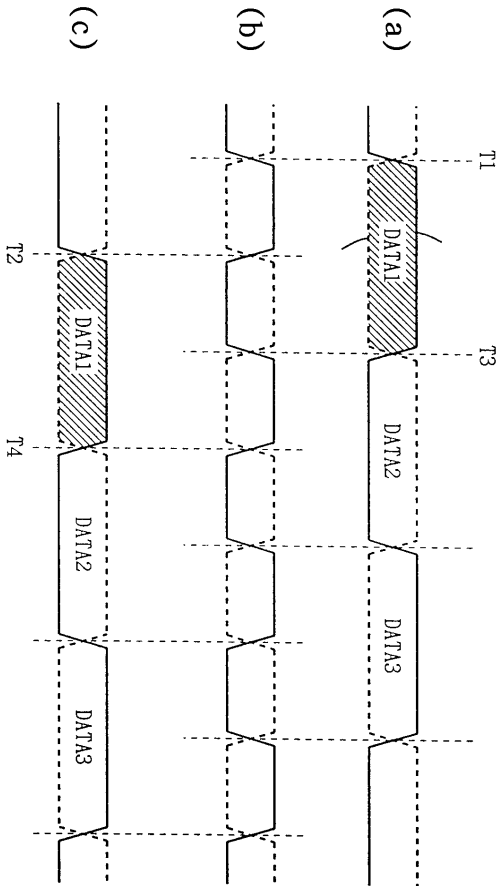
도면11



도면12



도면 13



도면 14

