

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-146853

(P2012-146853A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2011-4758 (P2011-4758)  
 (22) 出願日 平成23年1月13日 (2011.1.13)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100106909  
 弁理士 棚井 澄雄  
 (74) 代理人 100108578  
 弁理士 高橋 詔男  
 (74) 代理人 100138759  
 弁理士 大房 直樹  
 (74) 代理人 100140774  
 弁理士 大浪 一徳  
 (72) 発明者 渡部 光久  
 東京都中央区八重洲二丁目2番1号 エル  
 ピーダメモリ株式会社内

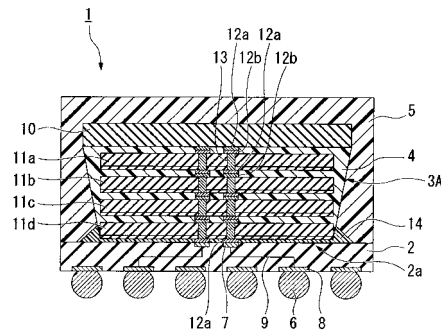
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】クラック等の発生を抑制した半導体装置の製造方法を提供する。

【解決手段】キャリア基板10の上に複数の半導体チップ11a~11dを積層したチップ積層体3Aを形成する工程と、キャリア基板10及び複数の半導体チップ11a~11dの各隙間に第1の封止体4を充填しながら、チップ積層体3Aを第1の封止体4で封止する工程と、配線基板2となる部分が複数並んで形成された母配線基板の一面に、この母配線基板とキャリア基板10との間で複数の半導体チップ11a~11dを挟み込むように、チップ積層体3Aを配線基板2となる部分毎に実装する工程と、第1の封止体4で封止されたチップ積層体3Aの全体を覆うように母配線基板の一面側を第2の封止体5で封止する工程と、母配線基板を配線基板2となる部分毎に切断することによって個々の半導体装置1に分割する工程とを含む。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

キャリア基板の上に複数の半導体チップを積層したチップ積層体を形成する工程と、  
前記キャリア基板及び前記複数の半導体チップの各隙間に第 1 の封止体を充填しながら、  
前記チップ積層体を第 1 の封止体で封止する工程と、  
前記配線基板となる部分が複数並んで形成された母配線基板の一面に、この母配線基板と前記キャリア基板との間で前記複数の半導体チップを挟み込むように、前記チップ積層体を前記配線基板となる部分毎に実装する工程と、  
前記第 1 の封止体で封止されたチップ積層体の全体を覆うように前記母配線基板の一面側を第 2 の封止体で封止する工程と、  
前記母配線基板を前記配線基板となる部分毎に切断することによって個々の半導体装置に分割する工程とを含むことを特徴とする半導体装置の製造方法。

10

**【請求項 2】**

前記チップ積層体を形成する工程は、前記キャリア基板となる部分が複数並んで設けられた母キャリア基板の一面に、前記複数の半導体チップを順次積層しながら前記キャリア基板となる部分毎に実装する工程と、  
前記母キャリア基板を前記キャリア基板となる部分毎に切断することによって個々のチップ積層体に分割する工程とを含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

**【請求項 3】**

前記チップ積層体を前記第 1 の封止体で封止する工程を、前記母キャリア基板を切断して個々のチップ積層体に分割する工程の前に行うことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

**【請求項 4】**

前記チップ積層体を前記第 1 の封止体で封止する工程を、前記母キャリア基板を切断して個々のチップ積層体に分割する工程の後に行うことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

**【請求項 5】**

前記チップ積層体を形成する工程は、一面側に第 1 の接続端子を有するキャリア基板と、一面側に第 1 の接続端子及び他面側に第 2 の接続端子と、これら第 1 の接続端子と第 2 の接続端子との間を接続する貫通電極とを有する複数の半導体チップとを用意し、それぞれの一面と他面とを対向させながら、それぞれの間にある前記第 1 の接続端子と前記第 2 の接続端子とを接合して積層することにより行うことを特徴とする請求項 1 ~ 4 の何れか一項に記載の半導体装置の製造方法。

30

**【請求項 6】**

前記チップ積層体を前記母配線基板に実装する工程は、前記配線基板となる部分に第 3 の接続端子が設けられた母配線基板を用意し、この母配線基板の前記配線基板となる部分毎に、前記チップ積層体の最上層に位置する半導体チップを下方に向けた状態で、この半導体チップの一面と前記配線基板となる部分とを対向させながら、その間にある前記第 3 の接続端子と前記第 1 の接続端子とを接合することにより行うことを特徴とする請求項 1 ~ 5 の何れか一項に記載の半導体装置の製造方法。

40

**【請求項 7】**

前記キャリア基板と前記配線基板には、同じ材質のものをを用いることを特徴とする請求項 1 ~ 6 の何れか一項に記載の半導体装置の製造方法。

**【請求項 8】**

前記チップ積層体を前記配線基板となる部分毎に実装する際に、前記チップ積層体と前記配線基板となる部分との間に接着部材を設け、この接着部材を介して前記チップ積層体を前記配線基板となる部分に接着固定することを特徴とする請求項 1 ~ 7 の何れか一項に記載の半導体装置の製造方法。

**【請求項 9】**

50

前記母配線基板を切断する工程の前に、前記母配線基板の他面側に前記配線基板となる部分毎に外部接続端子を配置する工程を含むことを特徴とする請求項 1 ~ 8 の何れか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体チップの集積度が年々向上し、それに伴ってチップサイズの大型化や、配線の微細化及び多層化などが進んでいる。一方、高密度実装化のためには、パッケージサイズの小型化及び薄型化が必要となっている。

10

【0003】

このような要求に対して、MCP (Multi Chip Package) と呼ばれる 1 つの配線基板の上に複数の半導体チップを高密度実装する技術が開発されている。その中でも、TSV (Through Silicon Via) と呼ばれる貫通電極を有する半導体チップを積層したチップ積層体を配線基板の一面に実装したCOC (Chip on Chip) 型の半導体パッケージ (半導体装置) が注目されている。

【0004】

COC 型の半導体パッケージの製造方法としては、配線基板上にチップ積層体を構成する複数の半導体チップを順次積載し、積載した半導体チップの各隙間にアンダーフィル材 (第 1 の封止体) を充填した後、このアンダーフィル材を熱硬化させることで、チップ積層体を封止することが行われている。さらに、このアンダーフィル材を含むチップ積層体の全体を覆うように配線基板の一面をモールド樹脂 (第 2 の封止体) で封止することが行われている (特許文献 1 を参照。 )。

20

【0005】

一方、ベースウエハに複数の半導体チップを搭載し、ベース基板を切断することで、複数の半導体チップを得る技術が提案されている (特許文献 2 を参照。 )。

【先行技術文献】

【特許文献】

30

【0006】

【特許文献 1】特開 2010 - 251347 号公報

【特許文献 2】特開 2006 - 19429 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、上述したチップ積層体は、複数の半導体チップを積層する構成のため、その厚みが厚くなり易く、薄型化を図るためには、この半導体チップの厚みを薄くする必要がある。しかしながら、半導体チップの厚みを薄くすると、上述したアンダーフィル材を熱硬化させる際に、このアンダーフィル材の硬化収縮や熱膨張等による内部ストレスが、半導体チップを積層したチップ積層体に加わることになる。

40

【0008】

この場合、半導体チップに反り等の変形が発生し、上述したバンプ電極の接合部分 (バンプ接合部) にストレスが加わることで、このバンプ接合部が破断したり、半導体チップにクラックが生じたりするといった問題が発生してしまう。

【0009】

また、アンダーフィル材の供給時に周囲に形成されるフィレットの形状が安定しないため、アンダーフィル材の広がりによってはフィレット幅が大きくなり、パッケージサイズが大きくなってしまう。

【0010】

50

そこで、上記特許文献 1 では、チップ積層体を構成する半導体チップの各隙間にアンダーフィル材を充填した後に、このチップ積層体を配線基板に搭載することで、半導体チップの接続部分に破断が生じたり、半導体チップにクラックが生じたりすることを抑制する技術が提案されている。

【0011】

しかしながら、チップ積層体は、配線基板に搭載された後も封止工程やリフロー工程等で加熱されるため、各半導体チップを厚み方向に貫通する貫通電極が熱膨張することにより、これら半導体チップに応力が加わることになる。特に、半導体チップに加わる応力は、チップ積層体の最上層に位置する半導体チップで最大となる。

【0012】

すなわち、アンダーフィル材により封止されたチップ積層体を、ガラス転移温度 ( T g ) 以上に昇温させことで、貫通電極の膨張・収縮による応力が発生する。この応力は、最上層に位置する半導体チップ ( 配線基板から最も離れた半導体チップ ) の貫通電極の最上層側で最大となるため、この最上層に位置する半導体チップの貫通電極の近傍にクラックが生じ易くなる。

【課題を解決するための手段】

【0013】

本発明に係る半導体装置の製造方法は、キャリア基板の上に複数の半導体チップを積層したチップ積層体を形成する工程と、キャリア基板及び複数の半導体チップの各隙間に第 1 の封止体を充填しながら、チップ積層体を第 1 の封止体で封止する工程と、配線基板となる部分が複数並んで形成された母配線基板の一面に、この母配線基板とキャリア基板との間で複数の半導体チップを挟み込むように、チップ積層体を配線基板となる部分毎に実装する工程と、第 1 の封止体で封止されたチップ積層体の全体を覆うように母配線基板の一面側を第 2 の封止体で封止する工程と、母配線基板を配線基板となる部分毎に切断することによって個々の半導体装置に分割する工程とを含むことを特徴とする。

【発明の効果】

【0014】

以上のように、本発明では、配線基板とキャリア基板との間で複数の半導体チップを挟み込むようにチップ積層体を配線基板の一面に実装することで、実装後の加熱により各半導体チップに加わる応力を低減し、これら半導体チップにクラック等が発生することを抑制することが可能である。また、各半導体チップの接合部分に加わるストレスも低減できるため、この接合部分が破断したり、半導体チップに反り等の変形が発生したりすることを抑制し、半導体装置の接続信頼性を高めることが可能である。

【図面の簡単な説明】

【0015】

【図 1】本発明を適用した半導体パッケージの一例を示す断面図である。

【図 2 A】図 1 に示す半導体パッケージの製造工程を説明するための図であり、母キャリア基板を示す断面図である。

【図 2 B】図 1 に示す半導体パッケージの製造工程を説明するための図であり、母キャリア基板の上に複数の半導体チップを積層する工程を示す断面図である。

【図 2 C】図 1 に示す半導体パッケージの製造工程を説明するための図であり、アンダーフィル材を充填する工程を示す断面図である。

【図 2 D】図 1 に示す半導体パッケージの製造工程を説明するための図であり、母キャリア基板を切断する工程を示す断面図である。

【図 3】図 1 に示す半導体パッケージの製造工程を説明するための図であり、母配線基板を示す断面図である。

【図 4】図 1 に示す半導体パッケージの製造工程を説明するための図であり、母配線基板の上にチップ積層体を実装する工程を示す断面図である。

【図 5】図 1 に示す半導体パッケージの製造工程を説明するための図であり、モールド樹脂で封止する工程を示す断面図である。

10

20

30

40

50

【図6】図1に示す半導体パッケージの製造工程を説明するための図であり、はんだボールを配置する工程を示す断面図である。

【図7】図1に示す半導体パッケージの製造工程を説明するための図であり、母配線基板を切断する工程を示す断面図である。

【図8】図1に示す半導体パッケージの製造工程を説明するための図であり、分割された半導体パッケージを示す断面図である。

【図9A】図1に示す半導体パッケージの別の製造工程を説明するための図であり、母キャリア基板の上に複数の半導体チップを積層する工程を示す断面図である。

【図9B】図1に示す半導体パッケージの別の製造工程を説明するための図であり、母キャリア基板を切断する工程を示す断面図である。

【図9C】図1に示す半導体パッケージの別の製造工程を説明するための図であり、アンダーフィル材を充填する工程を示す断面図である。

【図9D】図1に示す半導体パッケージの別の製造工程を説明するための図であり、母配線基板の上にチップ積層体を実装する工程を示す断面図である。

【図10A】図1に示す半導体パッケージの変形例を説明するための図であり、母キャリア基板の上に複数のメモリーチップ及びIFチップを積層する工程を示す断面図である。

【図10B】図1に示す半導体パッケージの変形例を説明するための図であり、アンダーフィル材を充填する工程を示す断面図である。

【図10C】図1に示す半導体パッケージの変形例を説明するための図であり、母キャリア基板を切断する工程を示す断面図である。

【図10D】図1に示す半導体パッケージの変形例を説明するための図であり、母配線基板の上にチップ積層体を実装する工程を示す断面図である。

【発明を実施するための形態】

【0016】

以下、本発明を適用した半導体装置の製造方法について、図面を参照して詳細に説明する。

なお、以下の説明で用いる図面は、特徴をわかりやすくするために、便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などが実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一例であって、本発明はそれらに必ずしも限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

【0017】

(半導体装置)

先ず、本発明を適用して製造される半導体装置の一例として、図1に示すC o C型の半導体パッケージ1について説明する。

この半導体パッケージ1は、図1に示すように、配線基板2と、この配線基板2の一面(上面)に実装されたチップ積層体3Aと、このチップ積層体3Aを封止する第1の封止体4と、この第1の封止体4を覆った状態で配線基板2の一面を封止する第2の封止体5と、配線基板2の他面(下面)に配置された複数のはんだボール(外部接続端子)6とを備えることによって、BGA(Ball Grid Array)と呼ばれるパッケージ構造を有している。

【0018】

配線基板2は、平面視で矩形状を為すプリント配線板からなり、このプリント配線板は、例えばガラスエポキシ樹脂等からなる絶縁基材の面上にCu等の導電材料からなる導体パターン等を形成し、その表面をソルダーレジスト等の絶縁膜で被覆したものからなる。なお、本例では、厚み0.2mm程度の配線基板2を用いている。

【0019】

この配線基板2の上面中央部には、チップ積層体3Aが実装される実装領域2aが設けられている。また、配線基板2の実装領域2aには、複数のパッド電極(第3の接続端子)7が並んで設けられている。一方、配線基板2の他面(下面)には、複数の接続ランド

10

20

30

40

50

8が並んで設けられている。そして、上記はんだボール6は、これら接続ランド8の上に配置されている。その他にも、配線基板2には、パッド電極7と接続ランド8との間を電氣的に接続するためのビア（貫通電極）や配線パターンなどの引回し配線部9（図1中において模式的に示す。）が設けられている。また、配線基板2の表面は、上述したパッド電極7や接続ランド8が形成された部分を除いて、絶縁膜（図示せず。）で被覆されている。

#### 【0020】

チップ積層体3Aは、キャリア基板10の上に複数（本例では4つ）の半導体チップ11a~11dが積層されたものからなる。このうち、キャリア基板10は、平面視で矩形状を為すと共に、上記配線基板2よりも小さいプリント配線板からなる。また、このキャリア基板10には、上記配線基板2と同じ材質で同じ厚みのプリント配線板を用いている。また、このキャリア基板10は、一面側に複数の第1の bumps 電極（第1の接続端子）12aを有している。

10

#### 【0021】

一方、複数の半導体チップ11a~11dは、平面視で矩形状を為すと共に、キャリア基板10よりも小さい形状を有している。また、各半導体チップ11a~11dは、それぞれ一面側に複数の第1の bumps 電極（第1の接続端子）12aと、他面側に複数の第2の bumps 電極（第2の接続端子）12bと、これら第1の bumps 電極12aと第2の bumps 電極12bとの間を接続する複数の貫通電極（TSV）13とを有している。なお、本例では、厚み50μm程度の半導体チップ11a~11dを用いている。

20

#### 【0022】

そして、これらキャリア基板10及び複数の半導体チップ11a~11dは、それぞれの一面と他面とを対向させながら、それぞれの間にある第1の bumps 電極12aと第2の bumps 電極12bとを接合して積層されることによって、チップ積層体3Aを構成している。

#### 【0023】

また、このチップ積層体3Aは、最上層に位置する半導体チップ11dを下方に向けた状態で、この半導体チップ11dの他面と配線基板2の一面（実装領域2a）とを対向させながら、その間にある第1の bumps 電極12aとパッド電極7とを接合することによって、配線基板2の一面に実装されている。さらに、このチップ積層体3Aは、配線基板2の一面と半導体チップ11dの他面との間に充填された絶縁性の接着部材14を介して配線基板2の実装領域2aに接着固定されている。なお、チップ積層体3Aは、配線基板2のパッド電極7上にワイヤー bumps（接合部材）を設けて、このワイヤー bumps を介して第2の bumps 電極12bとパッド電極7とを接合することによって、配線基板2の一面に実装することも可能である。

30

#### 【0024】

第1の封止体4は、チップ積層体3Aを構成するキャリア基板10及び複数の半導体チップ11a~11dの各隙間に充填されたアンダーフィル材によって、チップ積層体3Aを封止している。

#### 【0025】

第2の封止体5は、第1の封止体4で封止されたチップ積層体3Aの全体を覆うモールド樹脂によって、配線基板2の一面側を全面的に封止している。

40

#### 【0026】

以上のような構造を有する半導体パッケージ1では、配線基板2とキャリア基板10との間で複数の半導体チップ11a~11dを挟み込むようにチップ積層体3Aを配線基板2の一面に実装することで、実装後の加熱より各半導体チップ11a~11dを厚み方向に貫通する貫通電極13が熱膨張した場合に、各半導体チップ11a~11dに加わる応力を配線基板2とキャリア基板10が受けることになる。すなわち、一旦硬化されたアンダーフィル材の熱履歴による応力の集中箇所がキャリア基板10となる。これにより、各半導体チップ11a~11dに加わる応力を低減し、これら半導体チップ11a~11d

50

にクラック等が発生することを抑制することが可能である。

【0027】

また、この半導体パッケージ1では、各半導体チップ11a~11dの接合部分に加わるストレスも低減できる。特に、配線基板2とキャリア基板10に同じ材質のものをを用い、更に厚みを等しくすることで、これら配線基板2とキャリア基板10との間で熱膨張係数の差異による応力を低減できる。これにより、配線基板2とキャリア基板10との間に挟み込まれた半導体チップ11a~11dの接合部分が破断したり、半導体チップ11a~11dに反り等の変形が発生したりすることを抑制し、半導体パッケージ1の接続信頼性を高めることが可能である。

【0028】

(半導体装置の製造方法)

次に、本発明を適用した半導体装置の製造方法として、上記図1に示す半導体パッケージ1の製造工程について説明する。

上記半導体パッケージ1を製造する際は、先ず、図2A~図2Dに示すように、キャリア基板10の上に複数の半導体チップ11a~11eを積層したチップ積層体3Aを形成する。

【0029】

具体的には、先ず、図2Aに示すように、上記キャリア基板10となる部分が複数並んで設けられた母キャリア基板10Aを用意する。この母キャリア基板10Aは、例えばガラスエポキシ基板からなり、上記キャリア基板10となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングラインLに沿って切断することで、上記キャリア基板10となる部分を個々のキャリア基板10として切り出すことが可能となっている。

【0030】

次に、図2Bに示すように、図示を省略する吸着ステージ上に、上記複数の第1のバンブ電極12aが形成された面(一面)を上方に向けた状態で、母キャリア基板10Aを載置する。そして、この母キャリア基板10Aは、吸着ステージに設けられた複数の吸引孔により吸引されながら、この吸着ステージ上に保持される。

【0031】

この状態から、母キャリア基板10A上の上記キャリア基板10となる部分に、ボンディングツール100を用いて、1層目の半導体チップ11aを積層搭載(フリップチップ実装)する。

【0032】

このフリップチップ実装では、ボンディングツール100に設けられた吸引孔101により1層目の半導体チップ11aを吸引保持しながら、このボンディングツール100が半導体チップ11aを第2のバンブ電極12bが形成された面(他面)を下方に向けた状態で保持する。

【0033】

このボンディングツール100は、1層目の半導体チップ11aの他面と、その下にある上記キャリア基板10となる部分の一面とを対向させながら、その間にある第1のバンブ電極12aと第2のバンブ電極12bとの位置を合わせた状態で、1層目の半導体チップ11aを上記キャリア基板10となる部分に載置する。そして、この状態でボンディングツール100が加熱しながら荷重を加えることによって、第1のバンブ電極12aと第2のバンブ電極12bとを熱圧着により接合(フリップチップボンディング)する。なお、この接合時には、荷重だけでなく、超音波も印加するようにしてもよい。

【0034】

これにより、第1のバンブ電極12aと第2のバンブ電極12bとの間が電氣的に接続(フリップチップ接続)されて、1層目の半導体チップ11aが上記キャリア基板10となる部分にフリップチップ実装される。

【0035】

10

20

30

40

50

この状態から更に、上述した1層目の半導体チップ11aをフリップチップ実装する場合と同様の方法を用いて、この1層目の半導体チップ11a上に2層目の半導体チップ11bと、この2層目の半導体チップ11b上に3層目の半導体チップ11cと、この3層目の半導体チップ11c上に4層目の半導体チップ11dとを、順にフリップチップ実装する。そして、このようなボンディングツール100を用いた操作を、母キャリア基板10Aの上記キャリア基板10となる部分毎に繰り返す。

【0036】

次に、図2Cに示すように、母キャリア基板10A上に積層された複数の半導体チップ11a~11dの各隙間に、液状のアンダーフィル材4Aを供給するディスペンサー200を用いて、上記第1の封止体4となるアンダーフィル材4Aを充填する。

10

【0037】

このとき、アンダーフィル材4Aは、毛細管現象により各隙間に浸透しながら充填される。また、各隙間から周囲にはみ出したアンダーフィル材4Aは、上層側から下層側に向かって漸次幅方向に広がった形状となる。

【0038】

この状態から、アンダーフィル材4Aを例えば150程度で加熱(キュア)することで、このアンダーフィル材4Aを硬化させる。これにより、母キャリア基板10Aの上記キャリア基板10となる部分に積層された複数の半導体チップ11a~11dの各隙間が上記第1の封止体4により封止される。そして、このようなディスペンサー200を用いた操作を、母キャリア基板10Aの上記キャリア基板10となる部分毎に繰り返す。

20

【0039】

次に、図2Dに示すように、母キャリア基板10Aの他面側にダイシングテープ300を貼着した後、ダイシングブレード400を用いて、母キャリア基板10Aをダイシングテープ300とは反対側からダイシングラインLに沿って切断し、上記キャリア基板10となる部分を個々のチップ積層体3Aに分割する。これにより、上記第1の封止体4により封止されたチップ積層体3Aを得ることができる。そして、このチップ積層体3Aは、ダイシングテープ300から引き剥がされた後、図示を省略する収納用トレイに収容されて、次工程へと送られる。

【0040】

次に、図3に示すように、上記配線基板2となる部分が複数並んで形成された母配線基板2Aを用意する。この母配線基板2Aは、例えばガラスエポキシ基板からなり、上記配線基板2となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングラインLに沿って切断することで、上記配線基板2となる部分を個々の配線基板2として切り出すことが可能となっている。

30

【0041】

そして、図4に示すように、この母配線基板2Aの一面に、ディスペンサー(図示せず)を用いて、NCP(Non Conductive Paste)と呼ばれる液状の接着部材14を上記配線基板2となる部分の実装領域2a毎に塗布した後、ボンディングツール500を用いて、上記第1の封止体4により封止されたチップ積層体3Aを母配線基板2Aの上記配線基板2となる部分の実装領域2aにフリップ実装する。

40

【0042】

このフリップチップ実装では、ボンディングツール500の吸引孔501によりチップ積層体3Aを吸引保持しながら、このボンディングツール500がキャリア基板10を上方向に向けた状態でチップ積層体3Aを保持する。

【0043】

このボンディングツール500は、半導体チップ11dの他面と上記配線基板2となる部分の実装領域2aとを対向させながら、その間にある第1のバンプ電極12aとパッド電極7との位置を合わせた状態で、上記第1の封止体4により封止されたチップ積層体3Aを上記配線基板2となる部分の実装領域2a上に載置する。そして、この状態でボンディングツール500が加熱しながら荷重を加えることによって、第1のバンプ電極12a

50

とパッド電極 7 とを熱圧着により接合（フリップチップボンディング）する。なお、この接合時には、荷重だけでなく、超音波も印加するようにしてもよい。

【0044】

これにより、第 1 のパンプ電極 1 2 a とパッド電極 7 との間が電氣的に接続（フリップチップ接続）されて、上記第 1 の封止体 4 により封止されたチップ積層体 3 A が母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a にフリップチップ実装される。

【0045】

また、上記接着部材 1 4 は、母配線基板 2 A の一面と半導体チップ 1 1 d の他面との間からはみ出した状態で硬化される。これにより、上記第 1 の封止体 4 により封止されたチップ積層体 3 A は、この接着部材 1 4 を介して母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a に接着固定される。そして、このようなボンディングツール 5 0 0 を用いた操作を、母配線基板 2 A の上記配線基板 2 となる部分毎に繰り返す。

【0046】

なお、上記チップ積層体 3 A の周囲からはみ出した第 1 の封止体 4 は、上記チップ積層体 3 A が上記配線基板 2 となる部分に実装された状態において、下層側から上層側に向かって漸次幅方向に広がる逆テーパ形状となっている。本発明では、このような逆テーパ形状を有する第 1 の封止体 4 によって、母配線基板 2 A の一面と半導体チップ 1 1 d の他面との間からはみ出した接着部材 1 4 の這い上がりや抑制できるため、ボンディングツール 5 0 0 への接着部材 1 4 の付着に起因するチップ積層体 3 A の割れや接合不良等の発生を低減できる。

【0047】

次に、図 5 に示すように、上記第 1 の封止体 4 により封止されたチップ積層体 3 A を覆うように母配線基板 2 A の一面側を上記第 2 の封止体 5 となるモールド樹脂 5 A で封止する。具体的には、図示を省略するトランスファモールド装置を用いる。このトランスファモールド装置は、母配線基板 2 A の他面側を保持する下金型（固定型）と、母配線基板 2 A の一面側に対向してモールド樹脂 5 A が充填されるキャビティ空間を形成すると共に、下金型に対して相対的に接離自在に移動される上金型（可動型）とからなる一対の成型金型を備える。

【0048】

そして、このトランスファモールド装置の成形金型に、上記第 1 の封止体 4 により封止されたチップ積層体 3 A が実装された母配線基板 2 A をセットした後、成形金型内のキャビティ空間内に加熱溶融されたモールド樹脂 5 A を注入する。このモールド樹脂 5 A には、例えばエポキシ樹脂等の熱硬化性樹脂が用いられる。

【0049】

そして、この状態で、モールド樹脂 5 A を所定の温度（例えば 1 8 0 程度）で加熱（キュア）することで、モールド樹脂 5 A を硬化させる。さらに、所定の温度でベークすることで、モールド樹脂 5 A が完全に硬化される。これにより、母配線基板 2 A の一面側が上記第 2 の封止体 5 となるモールド樹脂 5 A で完全に封止される。

【0050】

本発明では、上述したように、第 1 の封止体 4 で封止されたチップ積層体 3 A を母配線基板 2 A 上に実装した後、この母配線基板 2 A 上を上記第 2 の封止体 5 となるモールド樹脂 5 A で一括的に封止することで、ポイド（気泡）の発生を低減できる。

【0051】

次に、図 6 に示すように、母配線基板 2 A の各配線基板 2 となる部分に設けられた上記接続ランド 8 上に、上記はんだボール 6 を配置する。具体的には、複数の吸着孔（図示せず。）が形成されたボールマウンターのマウントツール 6 0 0 を用いて、複数のはんだボール 6 をマウントツール 6 0 0 で吸着保持しながら、これら複数のはんだボール 6 にフラックスを転写形成した後、母配線基板 2 A の各配線基板 2 となる部分毎にはんだボール 6 を接続ランド 8 上に載置する。そして、母配線基板 2 A の全ての配線基板 2 となる部分にはんだボール 6 を載置した後、この母配線基板 2 A をリフローする。これにより、母配線

10

20

30

40

50

基板 2 A の各配線基板 2 となる部分の接続ランド 8 上に、はんだボール 6 が配置される。

【 0 0 5 2 】

次に、図 7 に示すように、母配線基板 2 A を配線基板 2 となる部分毎に切断することによって個々の半導体パッケージ 1 に分割する。具体的には、母配線基板 2 A の第 2 の封止体 5 側にダイシングテープ 7 0 0 を貼着した後、ダイシングブレード 8 0 0 を用いて母配線基板 2 A をダイシングテープ 7 0 0 とは反対側からダイシングライン L に沿って切断する。これにより、半導体パッケージ 1 毎に分割される。そして、図 8 に示すように、これら半導体パッケージ 1 をダイシングテープ 7 0 0 から引き剥がすことで、複数の半導体パッケージ 1 を一括して製造することができる。

【 0 0 5 3 】

以上のように、本発明では、母配線基板 2 A とキャリア基板 1 0 との間で複数の半導体チップ 1 1 a ~ 1 1 d を挟み込むようにチップ積層体 3 A を配線基板 2 となる部分に実装することで、実装後の封止工程やリフロー工程等の加熱より各半導体チップ 1 1 a ~ 1 1 d を厚み方向に貫通する貫通電極 1 3 が熱膨張した場合でも、各半導体チップ 1 1 a ~ 1 1 d に加わる応力を低減し、これら半導体チップ 1 1 a ~ 1 1 d にクラック等が発生することを抑制することが可能である。

【 0 0 5 4 】

また、本発明では、各半導体チップ 1 1 a ~ 1 1 d の接合部分に加わるストレスも低減できる。特に、母配線基板 2 A とキャリア基板 1 0 に同じ材質のものをを用い、更に厚みを等しくすることで、これら母配線基板 2 A とキャリア基板 1 0 との間で熱膨張係数の差異による応力を低減できる。これにより、母配線基板 2 A とキャリア基板 1 0 との間に挟み込まれた半導体チップ 1 1 a ~ 1 1 d の接合部分が破断したり、半導体チップ 1 1 a ~ 1 1 d に反り等の変形が発生したりすることを抑制し、上記半導体パッケージ 1 の接続信頼性を高めることが可能である。

【 0 0 5 5 】

また、本発明では、上述した吸着ステージ上に母キャリア基板 1 0 A を保持しながら、この母キャリア基板 1 0 A 上にボンディングツール 1 0 0 を用いて半導体チップ 1 1 a ~ 1 1 d をフリップ実装することで、従来のような高温（例えば 3 0 0 程度）による熱圧着が不要となり、例えば常温 ~ 1 5 0 程度での超音波接合が可能となるため、半導体チップ 1 1 a ~ 1 1 d への熱の影響を低減できる。

【 0 0 5 6 】

また、本発明では、母キャリア基板 1 0 A を切断して個々のチップ積層体 3 A に分割するまで、この母キャリア基板 1 0 A のまま取り扱うことができるため、組立工程の効率化を図ることが可能である。

【 0 0 5 7 】

なお、本発明は、上記実施形態のものに必ずしも限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば、上記実施形態では、上記チップ積層体 3 A を第 1 の封止体 4 で封止する工程を、母キャリア基板 1 0 A を切断して個々のチップ積層体 3 A に分割する工程の前に行う場合について説明したが、本発明では、上記チップ積層体 3 A を第 1 の封止体 4 で封止する工程を、母キャリア基板 1 0 A を切断して個々のチップ積層体 3 A に分割する工程の後に行うことも可能である。

【 0 0 5 8 】

具体的には、図 9 A に示すように、上述した母キャリア基板 1 0 A の上記キャリア基板 1 0 となる部分毎に複数の半導体チップ 1 1 a ~ 1 1 d を積層した状態から、図 9 B に示すように、母キャリア基板 1 0 A の他面側にダイシングテープ 3 0 0 を貼着した後、ダイシングブレード 4 0 0 を用いて、母キャリア基板 1 0 A をダイシングライン L に沿って切断し、上記キャリア基板 1 0 に分割する。

【 0 0 5 9 】

そして、図 9 C に示すように、キャリア基板 1 0 上に積層された複数の半導体チップ 1

10

20

30

40

50

1 a ~ 1 1 d の各隙間に、液状のアンダーフィル材 4 A を供給するディスペンサー 2 0 0 を用いて、上記第 1 の封止体 4 となるアンダーフィル材 4 A を充填した後、このアンダーフィル材 4 A を硬化させる。これにより、上記第 1 の封止体 4 により封止されたチップ積層体 3 A を得ることができる。

【 0 0 6 0 】

そして、この第 1 の封止体 4 により封止されたチップ積層体 3 A は、図 9 D に示すように、ダイシングテープ 3 0 0 から引き剥がされた後、上記図 4 に示す工程と同様に、ボンディングツール 5 0 0 を用いて、半導体チップ 1 1 d の第 1 のパンプ電極 1 2 a とパッド電極 7 との間を電氣的に接続（フリップチップ接続）しながら、母配線基板 2 A の上記配線基板 2 となる部分の実装領域 2 a にフリップ実装されることになる。

10

【 0 0 6 1 】

本発明では、上述したように、母配線基板 2 A とキャリア基板 1 0 との間で複数の半導体チップ 1 1 a ~ 1 1 d を挟み込むようにチップ積層体 3 A を母配線基板 2 A の一面に実装することで、実装後の加熱により各半導体チップ 1 1 a ~ 1 1 d に加わる応力を低減し、これら半導体チップ 1 1 a ~ 1 1 d にクラック等が発生することを抑制することが可能である。また、各半導体チップ 1 1 a ~ 1 1 d の接合部分に加わるストレスも低減できるため、この接合部分が破断したり、半導体チップ 1 1 a ~ 1 1 d に反り等の変形が発生したりすることを抑制し、半導体パッケージ 1 の接続信頼性を高めることが可能である。

【 0 0 6 2 】

また、本発明では、上記チップ積層体 3 A の構成に必ずしも限定されるものではなく、例えば図 1 0 A ~ 図 1 0 D に示すようなチップ積層体 3 B を配線基板 2 上に実装することも可能である。

20

【 0 0 6 3 】

具体的に、このチップ積層体 3 B は、上記キャリア基板 1 0 の上に、D R A M (Dynamic Random Access Memory) 回路などが形成された複数（本例では 4 つ）のメモリーチップ（第 1 の半導体チップ）1 1 a ~ 1 1 d と、この上に、各メモリーチップ 1 1 a ~ 1 1 d と配線基板 2 との間のインターフェースを取るための I F (InterFace) 回路などが形成された I F チップ（第 2 の半導体チップ）1 1 e とを積層した構造を有している。

【 0 0 6 4 】

このうち、複数のメモリーチップ 1 1 a ~ 1 1 d は、平面視で矩形状を為すと共に、配線基板 2 よりも小さい形状を有している。また、各メモリーチップ 1 1 a ~ 1 1 d は、それぞれ一面側に複数の第 1 のパンプ電極（第 1 の接続端子）1 2 a と、他面側に複数の第 2 のパンプ電極（第 2 の接続端子）1 2 b と、これら第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b との間を接続する複数の貫通電極（T S V）1 3 とを有している。

30

【 0 0 6 5 】

そして、図 1 0 A に示すように、これら複数のメモリーチップ 1 1 a ~ 1 1 d は、上記図 2 B に示す場合と同様に、母キャリア基板 1 0 A 上の上記キャリア基板 1 0 となる部分に、ボンディングツール 1 0 0 を用いて、それぞれの一面と他面とを対向させながら、それぞれの間にある第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b とを接合して積層される。

40

【 0 0 6 6 】

一方、I F チップ 1 1 e は、平面視で矩形状を為すと共に、上記メモリーチップ 1 1 a ~ 1 1 d よりも小さい形状を有している。また、I F チップ 1 1 e は、その一面側に複数の第 1 のパンプ電極（第 1 の接続端子）1 2 a と、その他面側に複数の第 2 のパンプ電極（第 2 の接続端子）1 2 b と、これら第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b との間を接続する複数の貫通電極（T S V）1 3 とを有している。

【 0 0 6 7 】

そして、図 1 0 A に示すように、この I F チップ 1 1 e は、ボンディングツール 1 0 0 を用いて、その他面と、上記メモリーチップ 1 1 d の一面とを対向させながら、その間にある第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b とを接合して積層される。

50

## 【0068】

なお、IFチップ11eの第1の bumps 電極12aは、配線基板2のパッド電極7との間隔に合わせて、上記メモリーチップ11a~11dの第1の bumps 電極12aよりも広い間隔(200 $\mu$ m以上)を有している。このため、IFチップ11eでは、第1の bumps 電極12aと貫通電極13との間に、再配線のための配線パターン15を設けて、配線基板2のパッド電極7との間隔調整を行っている。

## 【0069】

そして、母キャリア基板10A上に複数のメモリーチップ11a~11d及びIFチップ11eを積層した後は、図10Bに示すように、これら複数のメモリーチップ11a~11d及びIFチップ11eの各隙間に、液状のアンダーフィル材4Aを供給するディスペンサー200を用いて、上記第1の封止体4となるアンダーフィル材4Aを充填した後、このアンダーフィル材4Aを硬化させる。

10

## 【0070】

その後は、図10Cに示すように、上記図2Dに示す工程と同様に、母キャリア10Aの他面側にダイシングテープ300を貼着した後、ダイシングブレード400を用いて、母キャリア基板10Aをダイシングテープ300とは反対側からダイシングラインLに沿って切断し、上記キャリア基板10となる部分を個々のチップ積層体3Bに分割する。これにより、上記第1の封止体4により封止されたチップ積層体3Bを得ることができる。

## 【0071】

そして、このチップ積層体3Bは、図10Dに示すように、ダイシングテープ300から引き剥がされた後、上記図4に示す工程と同様に、ボンディングツール500を用いて、IFチップ11eの第1の bumps 電極12aとパッド電極7との間を電氣的に接続(フリップチップ接続)しながら、母配線基板2Aの上記配線基板2となる部分の実装領域2aにフリップ実装されることになる。

20

## 【0072】

本発明では、母配線基板2Aとキャリア基板10との間で複数のメモリーチップ11a~11d及びIFチップ11eを挟み込むようにチップ積層体3Bを母配線基板2Aの一面に実装することで、実装後の加熱により各半導体チップ11a~11eに加わる応力を低減し、これら半導体チップ11a~11eにクラック等が発生することを抑制することが可能である。また、各半導体チップ11a~11eの接合部分に加わるストレスも低減

30

## 【0073】

なお、上記チップ積層体3Bは、メモリーチップ11a~11dとIFチップ11eとを組み合わせた構成となっているが、チップの種類や大きさ等については任意に変更することが可能である。

## 【0074】

また、本発明では、上述した4段構成や5段構成のチップ積層体3A, 3Bの構成に必ずしも限定されるものではなく、チップ積層体の積層数については少なくとも2段以上であればよく、4段以下や6段以上としてもよい。また、第1の bumps 電極12a、貫通電極13及び第2の bumps 電極12bの配置や数についても、上記チップ積層体3A, 3Bの構成に限らず、適宜変更して実施することが可能である。

40

## 【0075】

また、本発明は、上記BGA型の半導体パッケージ1に限らず、例えば、LGA(Land Grid Array)型やCSP(Chip Size Package)型などの他の半導体パッケージにも適用可能である。

## 【符号の説明】

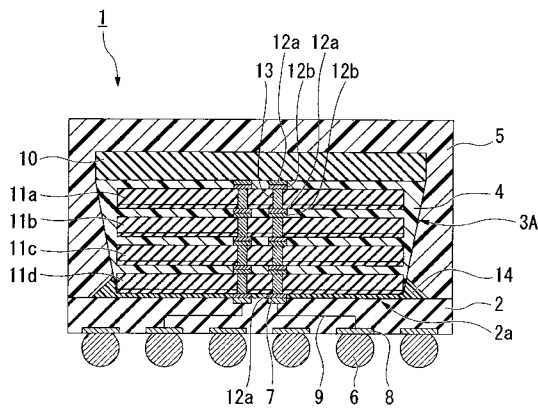
## 【0076】

1...半導体パッケージ(半導体装置) 2...配線基板 2A...母配線基板 2a...実装

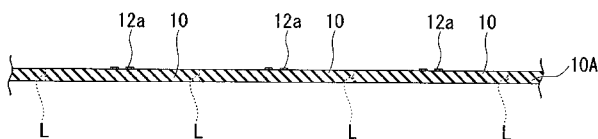
50

領域 2 A ... 母配線基板 3 A , 3 B ... チップ積層体 4 ... 第 1 の封止体 4 A ... アンダーフィル材 5 ... 第 2 の封止体 5 A ... モールド樹脂 6 ... はんだボール ( 外部接続端子 ) 7 ... パッド電極 ( 第 3 の接続端子 ) 8 ... 接続ランド 9 ... 引回し配線部 10 ... キャリア基板 10 A ... 母キャリア基板 11 a ~ 11 d ... メモリーチップ ( 半導体チップ ) 11 e ... I F チップ ( 半導体チップ ) 12 a ... 第 1 のバンパ電極 ( 第 1 の接続端子 ) 12 b ... 第 2 のバンパ電極 ( 第 2 の接続端子 ) 13 ... 貫通電極 14 ... 接着部材 100 ... ボンディングツール 200 ... ディスペンサー 300 ... ダイシングテープ 400 ... ダイシングブレード 500 ... ボンディングツール 600 ... マウントツール 700 ... ダイシングテープ 800 ... ダイシングブレード

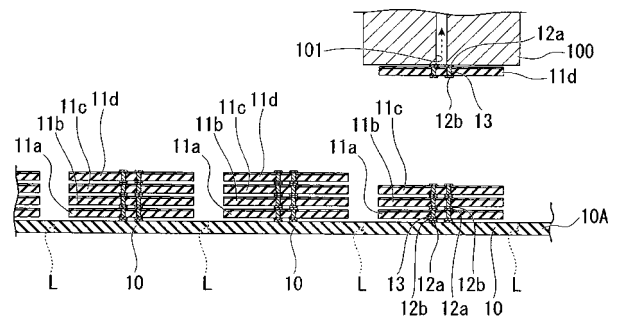
【 図 1 】



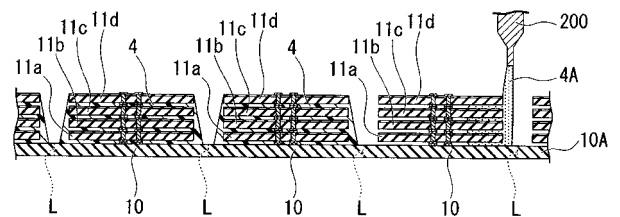
【 図 2 A 】



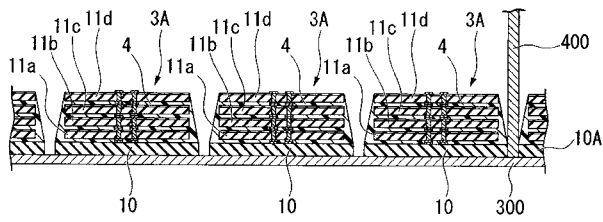
【 図 2 B 】



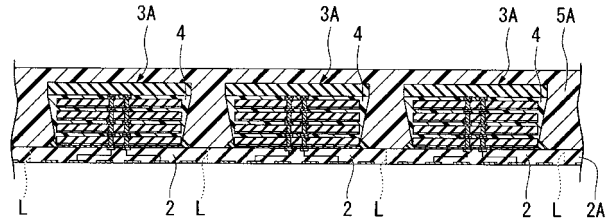
【 図 2 C 】



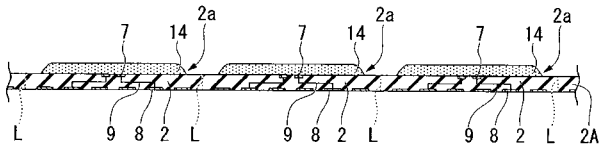
【図 2 D】



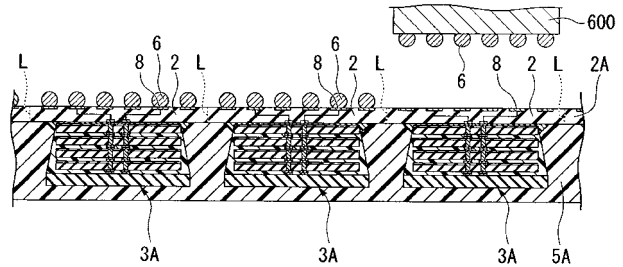
【図 5】



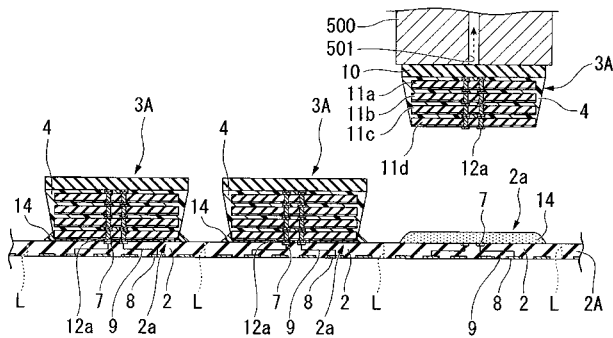
【図 3】



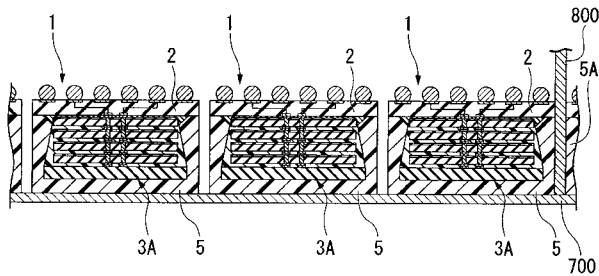
【図 6】



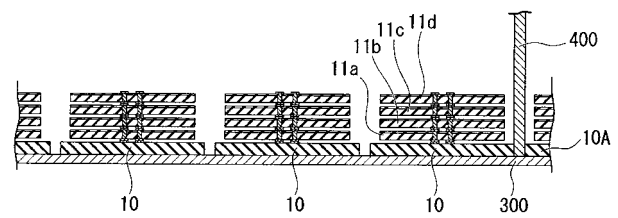
【図 4】



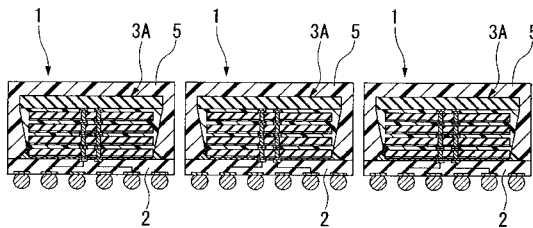
【図 7】



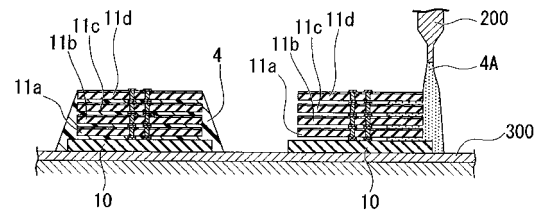
【図 9 B】



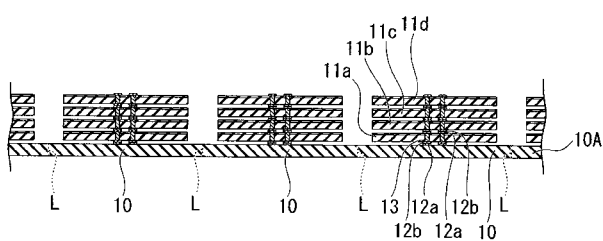
【図 8】



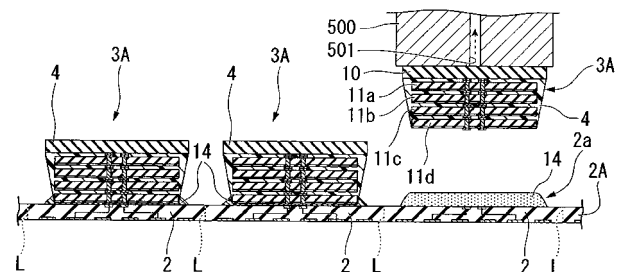
【図 9 C】



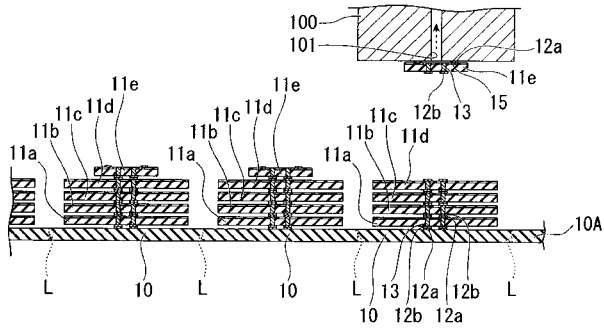
【図 9 A】



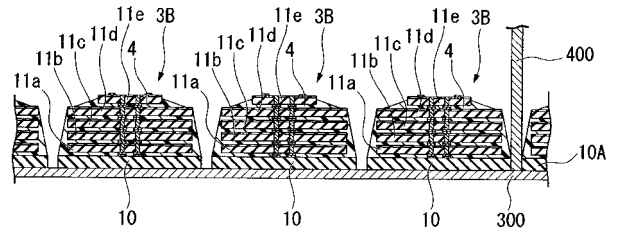
【図 9 D】



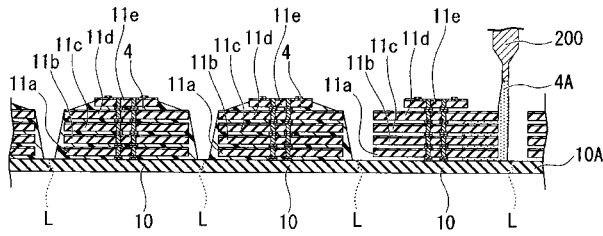
【図10A】



【図10C】



【図10B】



【図10D】

