

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/106821 A1

- (51) 国际专利分类号:
G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2015/070515
- (22) 国际申请日: 2015 年 1 月 12 日 (12.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410850825.2 2014 年 12 月 30 日 (30.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 郝思坤 (HAO, Sikun); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVE CIRCUIT AND SHIFT REGISTER

(54) 发明名称: 栅极驱动电路以及移位寄存器

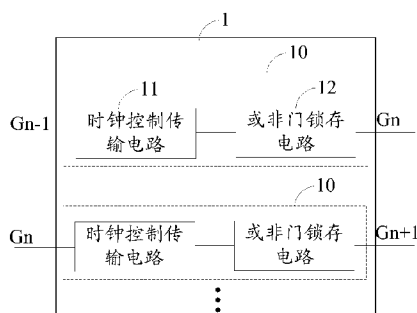


图 1 / Fig.1

- 11 Clock control transmission circuit
12 NOR gate latch circuit
AA Clock control transmission circuit
BB NOR gate latch circuit

(57) Abstract: A gate drive circuit (1) and a shift register (10), the gate drive circuit (1) comprising a plurality of cascaded shift register circuits (10), each shift register circuit (10) comprising a clock control transmission circuit (11) and a NOR gate latch circuit (12). The clock control transmission circuit (11) is triggered by a first clock pulse of a clock signal to transmit a gate drive pulse of a previous level to the NOR gate latch circuit (12), latching is performed by the NOR gate latch circuit (12), and the NOR gate latch circuit (12) is further triggered by a subsequent second clock pulse of the first clock signal to output the gate drive pulse. The gate drive circuit (1) is suitable for a CMOS process, power consumption is low, and a noise margin is wide.

(57) 摘要:

[见续页]

WO 2016/106821 A1



一种栅极驱动电路（1）以及移位寄存器（10），该栅极驱动电路（1）包括多个级联设置的移位寄存电路（10），每一所述移位寄存电路（10）包括时钟控制传输电路（11）以及或非门锁存电路（12），其中所述时钟控制传输电路（11）由所述时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至所述或非门锁存电路（12），并由所述或非门锁存电路（12）进行锁存，所述或非门锁存电路（12）进一步由所述第一时钟信号后续的第二时钟脉冲进行触发进而输出所述栅极驱动脉冲。通过以上方式，所述的栅极驱动电路（1）能够适用于 CMOS 制程，功耗低、噪声容限宽。

说明书

发明名称：栅极驱动电路以及移位寄存器

[1] 【技术领域】

[2] 本发明涉及液晶显示技术领域，特别是涉及一种栅极驱动电路以及移位寄存器。

[3] 【背景技术】

[4] GOA (Gate Driver On Array) 电路是利用现有的液晶显示器的Array制程将栅极扫描驱动电路制作在Array基板上，以实现逐行扫描的驱动方式。其具有降低生产成本和窄边框设计的优点，为多种显示器所使用。GOA电路要具有两项基本功能：第一是输入栅极驱动脉冲，驱动面板内的栅极线，打开显示区内的TFT (Thin Film Transistor, 薄膜场效应晶体管)，由栅极线对像素进行充电；第二是移位寄存，当第n个栅极驱动脉冲输出完成后，可以通过时钟控制进行n+1个栅极驱动脉冲的输出，并依此传递下去。

[5] GOA电路包括上拉电路 (Pull-up circuit)、上拉控制电路 (Pull-up control circuit)、下传电路 (Pull-down circuit)、下拉电路 (Pull-down control circuit) 以及负责电位抬升的上升电路 (Boost circuit)。具体地，上拉电路主要负责将输入的时钟讯号 (Clock) 输出至薄膜晶体管的栅极，作为液晶显示器的驱动信号。上拉控制电路负责控制上拉电路的打开，一般是由上级GOA电路传递来的信号作用。下拉电路负责在输出扫描信号后，快速将扫描信号拉低为低电位，即薄膜晶体管的栅极的电位拉低为低电位；下拉保持电路则负责将扫描信号和上拉电路的信号 (通常称为Q点) 保持在关闭状态 (即设定的负电位)，通常有两个下拉保持电路交替作用。上升电路则负责Q点电位的二次抬升，这样确保上拉电路的G(N)正常输出。

[6] 不同的GOA电路可以使用不同的制程。LTPS (Low Temperature Poly-silicon, 低温多晶硅) 制程具有高电子迁移率和技术成熟的优点，目前被中小尺寸显示器广泛使用。CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) LTPS制程具有低功耗、电子迁移率高、噪声容限宽等优点，因此逐

渐为面板厂商使用，如此需要开发与CMOS LTPS制程对应的GOA电路。

[7] **【发明内容】**

[8] 本发明实施例提供了一种栅极驱动电路以及移位寄存器，以适用于CMOS制程，功耗低、噪声容限宽。

[9] 本发明提供一种栅极驱动电路，其包括多个级联设置的移位寄存电路，每一移位寄存电路包括时钟控制传输电路以及或非门锁存电路，其中时钟控制传输电路由时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至或非门锁存电路，并由或非门锁存电路进行锁存，或非门锁存电路进一步由第一时钟信号后续的第二时钟脉冲进行触发进而输出栅极驱动脉冲；其中，时钟控制传输电路和或非门锁存电路分别为上升沿触发；或非门锁存电路至少包括第一反相器、第一或非门、第二或非门以及与非门，其中第一反相器的输入端连接时钟控制传输电路的输出端，第一或非门的第一输入端连接第一反相器的输出端，第一或非门的第二输入端连接第二或非门的输出端，第二或非门的第一输入端连接第一反相器的输入端，第二或非门的第二输入端连接第一或非门的输出端，第二或非门的输出端进一步连接与非门的第一输入端，与非门的第二输入端接收时钟信号。

[10] 其中，时钟控制传输电路在传输栅极驱动脉冲的过程中对栅极驱动脉冲进行反相。

[11] 其中，或非门锁存电路进一步包括与与非门的输出端连接的多级反相电路。

[12] 其中，多级反相电路包括串联设置的多个第二反相器。

[13] 其中，第二反相器的数量为三个。

[14] 其中，相邻的移位寄存电路的时钟信号互为反相。

[15] 本发明提供一种栅极驱动电路，其包括多个级联设置的移位寄存电路，每一移位寄存电路包括时钟控制传输电路以及或非门锁存电路，其中时钟控制传输电路由时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至或非门锁存电路，并由或非门锁存电路进行锁存，或非门锁存电路进一步由第一时钟信号后续的第二时钟脉冲进行触发进而输出栅极驱动脉冲。

[16] 其中，时钟控制传输电路和或非门锁存电路分别为上升沿触发。

- [17] 其中，或非门锁存电路至少包括第一反相器、第一或非门、第二或非门以及与非门，其中第一反相器的输入端连接时钟控制传输电路的输出端，第一或非门的第一输入端连接第一反相器的输出端，第一或非门的第二输入端连接第二或非门的输出端，第二或非门的第一输入端连接第一反相器的输入端，第二或非门的第二输入端连接第一或非门的输出端，第二或非门的输出端进一步连接与非门的第一输入端，与非门的第二输入端接收时钟信号。
- [18] 其中，时钟控制传输电路在传输栅极驱动脉冲的过程中对栅极驱动脉冲进行反相。
- [19] 其中，或非门锁存电路进一步包括与与非门的输出端连接的多级反相电路。
- [20] 其中，多级反相电路包括串联设置的多个第二反相器。
- [21] 其中，第二反相器的数量为三个。
- [22] 其中，相邻的移位寄存电路的时钟信号互为反相。
- [23] 本发明还提供一种移位寄存器，其包括时钟控制传输电路以及或非门锁存电路，或非门锁存电路至少包括第一反相器、第一或非门、第二或非门以及与非门，其中第一反相器的输入端连接时钟控制传输电路的输出端，第一或非门的第一输入端连接第一反相器的输出端，第一或非门的第二输入端连接第二或非门的输出端，第二或非门的第一输入端连接第一反相器的输入端，第二或非门的第二输入端连接第一或非门的输出端，第二或非门的输出端进一步连接与非门的第一输入端。
- [24] 其中，或非门锁存电路进一步包括与与非门的输出端连接的多级反相电路。
- [25] 其中，多级反相电路包括串联设置的多个第二反相器。
- [26] 其中，第二反相器的数量为三个。
- [27] 通过上述方案，本发明的有益效果是：本发明的栅极驱动电路通过时钟控制传输电路由时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至或非门锁存电路，并由或非门锁存电路进行锁存，或非门锁存电路进一步由第一时钟信号后续的第二时钟脉冲进行触发进而输出栅极驱动脉冲，能够适用于CMOS制程，功耗低、噪声容限宽。

[28] 【附图说明】

[29] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。其中：

[30] 图1是本发明实施例的栅极驱动电路的结构示意图；

[31] 图2是图1中的移位寄存器的电路图；

[32] 图3是本发明第二实施例的移位寄存器的电路图；

[33] 图4是本发明实施例的栅极驱动电路的理论时序图；

[34] 图5是本发明实施例的栅极驱动电路的模拟时序图。

[35] **【具体实施方式】**

[36] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[37] 请参见图1所示，图1是本发明实施例的栅极驱动电路的结构示意图。如图1所示，本实施例所揭示的栅极驱动电路1包括多个级联设置的移位寄存电路10，每一移位寄存电路10包括时钟控制传输电路11以及或非门锁存电路12，其中时钟控制传输电路11由时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至或非门锁存电路12，并由或非门锁存电路12进行锁存，或非门锁存电路12进一步由第一时钟信号后续的第二时钟脉冲进行触发进而输出栅极驱动脉冲。其中时钟控制传输电路11在传输栅极驱动脉冲的过程中对栅极驱动脉冲进行反相。并且时钟控制传输电路11和或非门锁存电路12分别为上升沿触发。本发明实施例通过时钟控制传输电路11控制上下级信号传递，通过或非门锁存电路12锁存信号，能够适用于CMOS制程，功耗低、噪声容限宽。

[38] 在更具体的实施例中，如图2所示，或非门锁存电路12至少包括第一反相器121、第一或非门122、第二或非门123以及与非门124，其中第一反相器121的输入端连接时钟控制传输电路11的输出端，第一或非门122的第一输入端连接第一反相器123的输出端，第一或非门122的第二输入端连接第二或非门123的输出端，

第二或非门123的第一输入端连接第一反相器122的输入端，第二或非门123的第二输入端连接第一或非门122的输出端，第二或非门123的输出端进一步连接与非门124的第一输入端，与非门124的第二输入端接收时钟信号CK。或非门锁存电路12进一步包括与与非门的输出端连接的多级反相电路以提升栅极驱动电路1的驱动能力。其中，多级反相电路包括串联设置的多个第二反相器124。优选地，第二反相器124的数量为三个。

[39] 移位寄存电路10具体的工作原理如下：时钟信号CK的第一时钟脉冲为上升沿时，时钟控制传输电路11触发将前一级的栅极驱动脉冲Gn-1传输至第一反相器121。其中在传输过程中，对栅极驱动脉冲Gn-1进行反相。再经过第一反相器121传输第一或非门122以及第二或非门123，通过至交叉连接的第一或非门122以及第二或非门123对前一级的栅极驱动脉冲Gn-1进行锁存。时钟信号CK的第二时钟脉冲为上升沿，即时钟信号CK的下一个时钟脉冲为上升沿时，对或非门锁存电路12进行触发，使锁存在交叉连接的第一或非门122以及第二或非门123的前一级的栅极驱动脉冲Gn-1传输至第二反相器124，通过第二反相器124传输至后一级的栅极Gn。其中，时钟控制传输电路11还包括时钟信号XCK，时钟信号XCK与时钟信号CK相位相反。

[40] 在本发明实施例中，相邻的移位寄存电路的时钟信号互为反相。参见图3，移位寄存电路20包括时钟控制传输电路21以及或非门锁存电路22。或非门锁存电路22至少包括第一反相器221、第一或非门222、第二或非门223以及与非门224，其中第一反相器221的输入端连接时钟控制传输电路21的输出端，第一或非门222的第一输入端连接第一反相器223的输出端，第一或非门222的第二输入端连接第二或非门223的输出端，第二或非门223的第一输入端连接第一反相器222的输入端，第二或非门223的第二输入端连接第一或非门222的输出端，第二或非门223的输出端进一步连接与非门224的第一输入端，与非门224的第二输入端接收时钟信号XCK。或非门锁存电路22进一步包括与与非门的输出端连接的多级反相电路以提升栅极驱动电路1的驱动能力。其中，多级反相电路包括串联设置的多个第二反相器224。优选地，第二反相器224的数量为三个。

[41] 移位寄存电路20具体的工作原理如下：时钟信号XCK的第一时钟脉冲为上升沿

时，时钟控制传输电路21触发将后一级的栅极驱动脉冲 G_n 传输至第一反相器221。其中在传输过程中，对后一级的栅极驱动脉冲 G_n 进行反相。再经过第一反相器221传输第一或非门222以及第二或非门223，通过至交叉连接的第一或非门222以及第二或非门223对后一级的栅极驱动脉冲 G_n 进行锁存。时钟信号XCK的第二时钟脉冲为上升沿，即时钟信号XCK的下一个时钟脉冲为上升沿时，对或非门锁存电路22进行触发，使锁存在交叉连接的第一或非门222以及第二或非门223的后一级的栅极驱动脉冲 G_n 传输至第二反相器224，通过反相器224传输至第三级的栅极驱动脉冲 G_{n+1} 。其中，时钟控制传输电路21还包括时钟信号CK，时钟信号CK与时钟信号XCK相位相反。

[42] 在本发明实施例中，移位寄存电路10与移位寄存电路20是相邻的。在实际应用中，可以将栅极驱动电路1中的多个级联设置的移位寄存电路分成奇数级和偶数级，可以将移位寄存电路10作为奇数级移位寄存器，将移位寄存电路20作为偶数级移位寄存器。也可以将移位寄存电路20作为奇数级移位寄存器，将移位寄存电路10作为偶数级移位寄存器。参见图4，图4是本发明实施例的栅极驱动电路的理论时序图。其中移位寄存电路10作为奇数级移位寄存器，移位寄存电路20作为偶数级移位寄存器。从图中可以看出，时钟信号CK与时钟信号XCK相位相反。时钟信号CK为上升沿时，前一级的栅极驱动脉冲 G_{n-1} 传输至后一级的栅极，即前一级的栅极驱动脉冲 G_{n-1} 由高电平转为低电平，后一级的栅极驱动脉冲 G_n 由低电平转为高电平，驱动对应的栅极。时钟信号XCK为上升沿时，而后一级的栅极驱动脉冲 G_n 传输至第三级的栅极，即后一级的栅极驱动脉冲 G_n 由高电平转为低电平，而第三级的栅极驱动脉冲 G_{n+1} 则低电平转为高电平，驱动对应的栅极。图5是本发明实施例的栅极驱动电路的模拟时序图。参见图5，其中纵坐标为电压，横坐标为时间。从图中可以看出，栅极驱动电路的模拟时序与图4中的理论时序相同。

[43] 本发明还提供一种移位寄存器，参见图2，移位寄存电路10包括时钟控制传输电路11以及或非门锁存电路12，或非门锁存电路12至少包括第一反相器121、第一或非门122、第二或非门123以及与非门124，其中第一反相器121的输入端连接时钟控制传输电路11的输出端，第一或非门122的第一输入端连接第一反相器

123的输出端，第一或非门122的第二输入端连接第二或非门123的输出端，第二或非门123的第一输入端连接第一反相器122的输入端，第二或非门123的第二输入端连接第一或非门122的输出端，第二或非门123的输出端进一步连接与非门124的第一输入端，与非门124的第二输入端接收时钟信号CK。或非门锁存电路12进一步包括与与非门的输出端连接的多级反相电路以提升驱动能力。其中，多级反相电路包括串联设置的多个第二反相器124。优选地，第二反相器124的数量为三个。

[44] 移位寄存电路10具体的工作原理如下：时钟信号CK的第一时钟脉冲为上升沿时，时钟控制传输电路11触发将前一级的栅极驱动脉冲Gn-1传输至第一反相器121。其中在传输过程中，对栅极驱动脉冲Gn-1进行反相。再经过第一反相器121传输第一或非门122以及第二或非门123，通过至交叉连接的第一或非门122以及第二或非门123对前一级的栅极驱动脉冲Gn-1进行锁存。时钟信号CK的第二时钟脉冲为上升沿，即时钟信号CK的下一个时钟脉冲为上升沿时，对或非门锁存电路12进行触发，使锁存在交叉连接的第一或非门122以及第二或非门123的前一级的栅极驱动脉冲Gn-1传输至第二反相器124，通过第二反相器124传输至后一级的栅极Gn。其中，时钟控制传输电路11还包括时钟信号XCK，时钟信号XCK与时钟信号CK相位相反。在本发明实施例中，可以通过多个移位寄存器10级联组成栅极驱动电路，相邻的移位寄存电路的采用相位相反的时钟信号进行控制。通过时钟控制传输电路11控制上下级信号传递，通过或非门锁存电路12锁存信号，能够适用于CMOS制程，功耗低、噪声容限宽。

[45] 综上所述，本发明的栅极驱动电路通过时钟控制传输电路由时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至或非门锁存电路，并由或非门锁存电路进行锁存，或非门锁存电路进一步由第一时钟信号后续的第二时钟脉冲进行触发进而输出栅极驱动脉冲，能够适用于CMOS制程，功耗低、噪声容限宽。

[46] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种栅极驱动电路，其中所述栅极驱动电路包括多个级联设置的移位寄存电路，每一所述移位寄存电路包括时钟控制传输电路以及或非门锁存电路，其中所述时钟控制传输电路由所述时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至所述或非门锁存电路，并由所述或非门锁存电路进行锁存，所述或非门锁存电路进一步由所述第一时钟信号后续的第二时钟脉冲进行触发进而输出所述栅极驱动脉冲；
- 其中，所述时钟控制传输电路和所述或非门锁存电路分别为上升沿触发；所述或非门锁存电路至少包括第一反相器、第一或非门、第二或非门以及与非门，其中所述第一反相器的输入端连接所述时钟控制传输电路的输出端，所述第一或非门的第一输入端连接所述第一反相器的输出端，所述第一或非门的第二输入端连接所述第二或非门的输出端，所述第二或非门的第一输入端连接所述第一反相器的输入端，所述第二或非门的第二输入端连接所述第一或非门的输出端，所述第二或非门的输出端进一步连接所述与非门的第一输入端，所述与非门的第二输入端接收所述时钟信号。
- [权利要求 2] 根据权利要求1所述的驱动电路，其中所述时钟控制传输电路在传输所述栅极驱动脉冲的过程中对所述栅极驱动脉冲进行反相。
- [权利要求 3] 根据权利要求1所述的驱动电路，其中所述或非门锁存电路进一步包括与所述与非门的输出端连接的多级反相电路。
- [权利要求 4] 根据权利要求1所述的驱动电路，其中所述多级反相电路包括串联设置的多个第二反相器。
- [权利要求 5] 根据权利要求4所述的驱动电路，其中所述第二反相器的数量为三个。
- [权利要求 6] 根据权利要求1所述的驱动电路，其中相邻的所述移位寄存电路的所述时钟信号互为反相。

- [权利要求 7] 一种栅极驱动电路，其中所述栅极驱动电路包括多个级联设置的移位寄存电路，每一所述移位寄存电路包括时钟控制传输电路以及或非门锁存电路，其中所述时钟控制传输电路由所述时钟信号的第一时钟脉冲进行触发将前一级的栅极驱动脉冲传输至所述或非门锁存电路，并由所述或非门锁存电路进行锁存，所述或非门锁存电路进一步由所述第一时钟信号后续的第二时钟脉冲进行触发进而输出所述栅极驱动脉冲。
- [权利要求 8] 根据权利要求7所述的驱动电路，其中所述时钟控制传输电路和所述或非门锁存电路分别为上升沿触发。
- [权利要求 9] 根据权利要求7所述的驱动电路，其中所述或非门锁存电路至少包括第一反相器、第一或非门、第二或非门以及与非门，其中所述第一反相器的输入端连接所述时钟控制传输电路的输出端，所述第一或非门的第一输入端连接所述第一反相器的输出端，所述第一或非门的第二输入端连接所述第二或非门的输出端，所述第二或非门的第一输入端连接所述第一反相器的输入端，所述第二或非门的第二输入端连接所述第一或非门的输出端，所述第二或非门的输出端进一步连接所述与非门的第一输入端，所述与非门的第二输入端接收所述时钟信号。
- [权利要求 10] 根据权利要求9所述的驱动电路，其中所述时钟控制传输电路在传输所述栅极驱动脉冲的过程中对所述栅极驱动脉冲进行反相。
- [权利要求 11] 根据权利要求9所述的驱动电路，其中所述或非门锁存电路进一步包括与所述与非门的输出端连接的多级反相电路。
- [权利要求 12] 根据权利要求9所述的驱动电路，其中所述多级反相电路包括串联设置的多个第二反相器。
- [权利要求 13] 根据权利要求12所述的驱动电路，其中所述第二反相器的数量为三个。
- [权利要求 14] 根据权利要求7所述的驱动电路，其中相邻的所述移位寄存电路的所述时钟信号互为反相。

- [权利要求 15] 一种移位寄存器，其中所述移位寄存电路包括时钟控制传输电路以及或非门锁存电路，所述或非门锁存电路至少包括第一反相器、第一或非门、第二或非门以及与非门，其中所述第一反相器的输入端连接所述时钟控制传输电路的输出端，所述第一或非门的第一输入端连接所述第一反相器的输出端，所述第一或非门的第二输入端连接所述第二或非门的输出端，所述第二或非门的第一输入端连接所述第一反相器的输入端，所述第二或非门的第二输入端连接所述第一或非门的输出端，所述第二或非门的输出端进一步连接所述与非门的第一输入端。
- [权利要求 16] 根据权利要求15所述的移位寄存器，其中所述或非门锁存电路进一步包括与所述与非门的输出端连接的多级反相电路。
- [权利要求 17] 根据权利要求15所述的移位寄存器，其中所述多级反相电路包括串联设置的多个第二反相器。
- [权利要求 18] 根据权利要求17所述的移位寄存器，其中所述第二反相器的数量为三个。

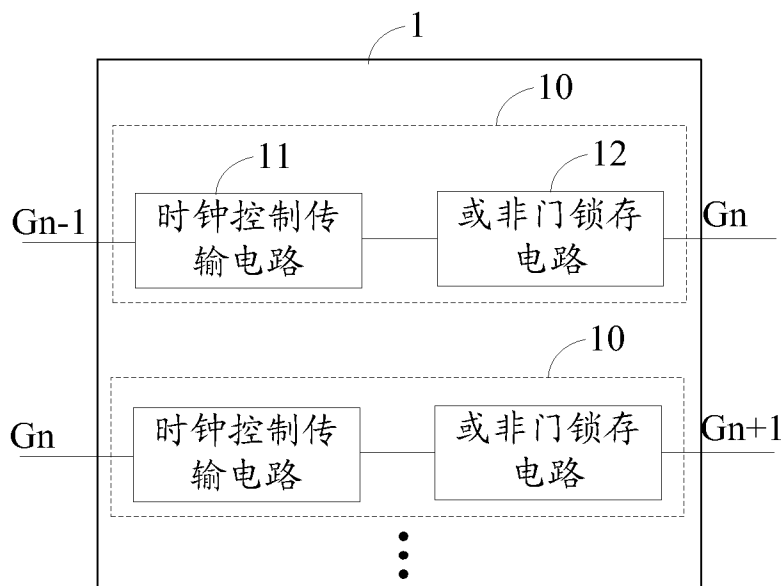


图 1

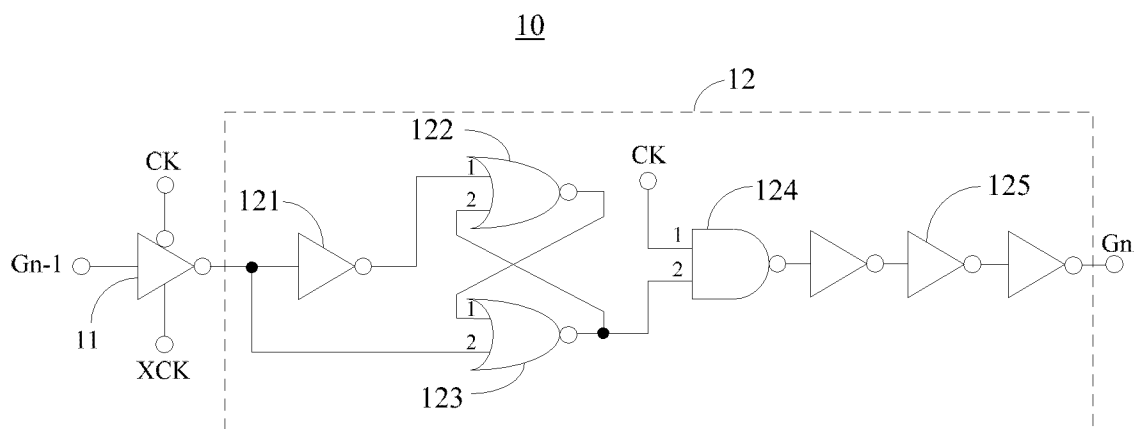


图 2

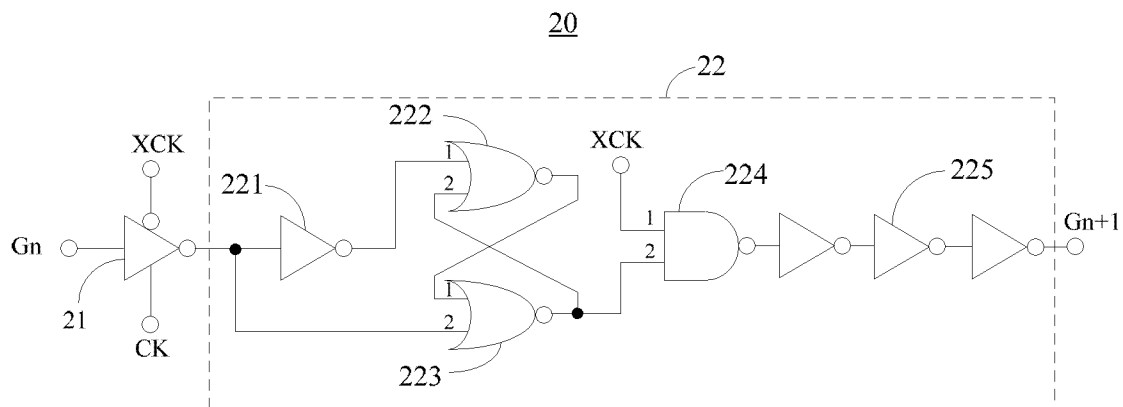


图 3

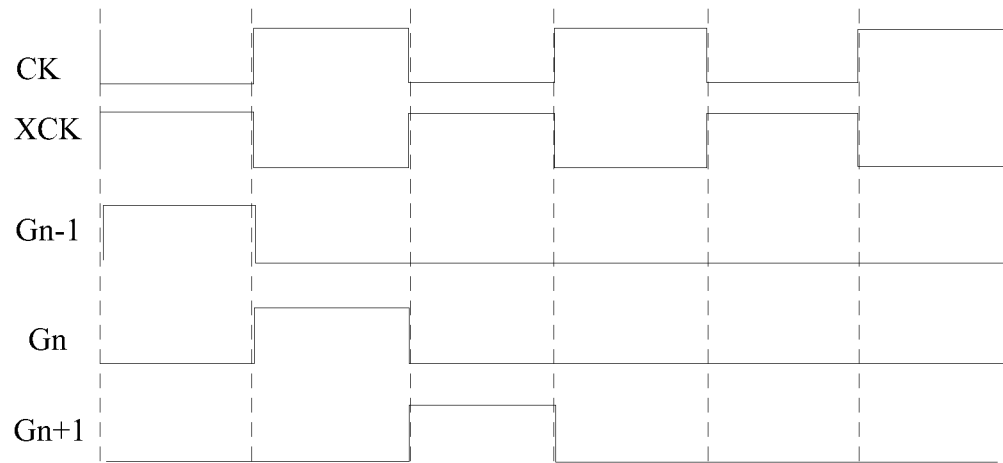


图 4

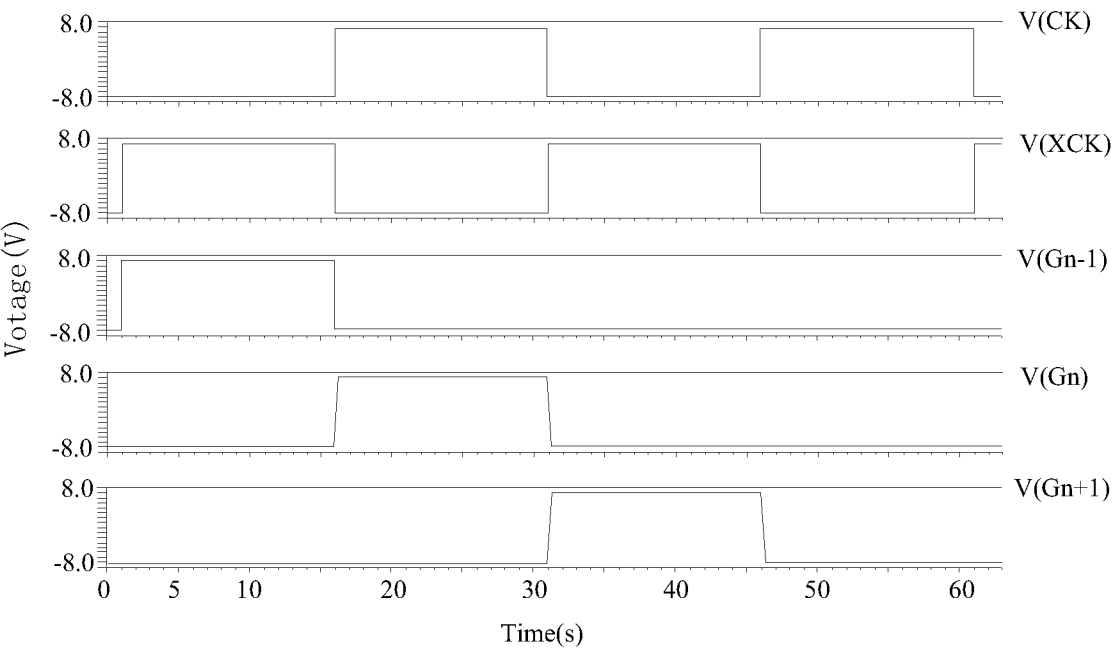


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/070515

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C 19/-, G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: shift, register, NOR gate, inverter, pulse, control, trigger, shift w register, ff, flip w flop, nor, latch, clock, elk, grid, driv+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103345911 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 09 October 2013 (09.10.2013), description, paragraph [0004], and figures 1 and 2	7, 8, 14
Y	CN 1767048 A (SANYO ELECTRIC CO., LTD.), 03 May 2006 (03.05.2006), description, page 9, lines 22-26, and figure 6	7, 8, 14
A	CN 102654968 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 05 September 2012 (05.09.2012), the whole document	1-18
A	CN 1794331 A (SAMSUNG SDI CO., LTD.), 28 June 2006 (28.06.2006), the whole document	1-18
A	CN 102157126 A (MAGNACHIP SEMICONDUCTOR, CO., LTD.), 17 August 2011 (17.08.2011), the whole document	1-18
A	US 2009185654 A1 (HYNIX SEMICONDUCTOR INC.), 23 July 2009 (23.07.2009), the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 September 2015 (09.09.2015)	Date of mailing of the international search report 16 September 2015 (16.09.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SUN, Shixin Telephone No.: (86-10) 62413542

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070515

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103345911 A	09 October 2013	WO 2014205897 A1	31 December 2014
		US 2015248867 A1	03 September 2015
CN 1767048 A	03 May 2006	KR 100730262 B1	20 June 2007
		KR 20060051814 A	19 May 2006
		JP 2006101269 A	13 April 2006
		US 7310057 B2	18 December 2007
		TW 1282556 B	11 June 2007
		US 2006066356 A1	30 March 2006
CN 102654968 A	05 September 2012	WO 2013075536 A1	30 May 2013
		CN 102654968 B	10 December 2014
		US 2013136224 A1	30 May 2013
CN 1794331 A	28 June 2006	US 2006158394 A1	20 July 2006
		JP 2006184871 A	13 July 2006
		JP 4633601 B2	23 February 2011
		KR 100624317 B1	19 September 2006
		CN 100585685 C	27 January 2010
		KR 20060073680 A	28 June 2006
		US 8035581 B2	11 October 2011
CN 102157126 A	17 August 2011	TW 201134098 A	01 October 2011
		US 9030398 B2	12 May 2015
		KR 20110093497 A	18 August 2011
		KR 101128729 B1	27 March 2012
		US 2011199353 A1	18 August 2011
US 2009185654 A1	23 July 2009	KR 100950476 B1	31 March 2010
		KR 20090080437 A	24 July 2009

国际检索报告

国际申请号

PCT/CN2015/070515

A. 主题的分类

G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C19/-, G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPDOC: 栅极, 驱动, 移位, 寄存, 或非门, 锁存, 反相器, 时钟, 脉冲, 控制, 触发, shift w register, ff, flip w flop, nor, latch, clock, clk, grid, driv+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103345911 A (京东方科技集团股份有限公司 等) 2013年 10月 9日 (2013 - 10 - 09) 说明书第 [0004] 段, 附图1, 2	7, 8, 14
Y	CN 1767048 A (三洋电机株式会社) 2006年 5月 3日 (2006 - 05 - 03) 说明书第9页第22-26行, 附图6	7, 8, 14
A	CN 102654968 A (京东方科技集团股份有限公司 等) 2012年 9月 5日 (2012 - 09 - 05) 全文	1-18
A	CN 1794331 A (三星SDI株式会社) 2006年 6月 28日 (2006 - 06 - 28) 全文	1-18
A	CN 102157126 A (美格纳半导体有限公司) 2011年 8月 17日 (2011 - 08 - 17) 全文	1-18
A	US 2009185654 A1 (HYNIX SEMICONDUCTOR INC.) 2009年 7月 23日 (2009 - 07 - 23) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 9日

国际检索报告邮寄日期

2015年 9月 16日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

孙世新

电话号码 (86-10)62413542

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070515

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103345911	A	2013年 10月 9日	WO	2014205897	A1	2014年 12月 31日
				US	2015248867	A1	2015年 9月 3日
CN	1767048	A	2006年 5月 3日	KR	100730262	B1	2007年 6月 20日
				KR	20060051814	A	2006年 5月 19日
				JP	2006101269	A	2006年 4月 13日
				US	7310057	B2	2007年 12月 18日
				TW	I282556	B	2007年 6月 11日
				US	2006066356	A1	2006年 3月 30日
CN	102654968	A	2012年 9月 5日	WO	2013075536	A1	2013年 5月 30日
				CN	102654968	B	2014年 12月 10日
				US	2013136224	A1	2013年 5月 30日
CN	1794331	A	2006年 6月 28日	US	2006158394	A1	2006年 7月 20日
				JP	2006184871	A	2006年 7月 13日
				JP	4633601	B2	2011年 2月 23日
				KR	100624317	B1	2006年 9月 19日
				CN	100585685	C	2010年 1月 27日
				KR	20060073680	A	2006年 6月 28日
				US	8035581	B2	2011年 10月 11日
CN	102157126	A	2011年 8月 17日	TW	201134098	A	2011年 10月 1日
				US	9030398	B2	2015年 5月 12日
				KR	20110093497	A	2011年 8月 18日
				KR	101128729	B1	2012年 3月 27日
				US	2011199353	A1	2011年 8月 18日
US	2009185654	A1	2009年 7月 23日	KR	100950476	B1	2010年 3月 31日
				KR	20090080437	A	2009年 7月 24日

表 PCT/ISA/210 (同族专利附件) (2009年7月)