

89年1月29日 修正
補充

公告本

408339

申請日期	86.12.16
案 號	86118991
類 別	G11C 7/10

A4

C4

(89年元月修正本)

(以上各欄由本局填註)

408339

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有快速寫入回復之記憶體裝置及相關之寫入回復方法
	英 文	"MEMORY DEVICE WITH FAST WRITE RECOVERY AND RELATED WRITE RECOVERY METHOD"
二、發明 創作人	姓 名	1. 迪米翠 C. 潘拉基斯 2. 威廉 L. 馬堤諾, 二世 3. 德瑞克 里曲 4. 法蘭克 A. 米勒 5. 維 T. 勞
	國 籍	均美國
三、申請人	住、居所	1. 美國德州奧斯汀市里歐米斯它路11005號 2. 美國德州奧斯汀市桂堤路3623號 3. 美國德州奧斯汀市巴巴拉街1711號 4. 美國德州奧斯汀市伊凡休小徑10103號 5. 美國德州奧斯汀市艾霍山小徑7721號
	姓 名 (名稱)	美商摩托羅拉公司
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格

裝

訂

線

89年1月29日 修正
補充

公告本

408339

申請日期	86.12.16
案 號	86118991
類 別	G11C 7/10

A4
C4

(89年元月修正本)

(以上各欄由本局填註)

408339

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有快速寫入回復之記憶體裝置及相關之寫入回復方法
	英 文	"MEMORY DEVICE WITH FAST WRITE RECOVERY AND RELATED WRITE RECOVERY METHOD"
二、發明 創作人	姓 名	1. 迪米翠 C. 潘拉基斯 2. 威廉 L. 馬堤諾, 二世 3. 德瑞克 里曲 4. 法蘭克 A. 米勒 5. 維 T. 勞
	國 籍	均美國
三、申請人	住、居所	1. 美國德州奧斯汀市里歐米斯它路11005號 2. 美國德州奧斯汀市桂堤路3623號 3. 美國德州奧斯汀市巴巴拉街1711號 4. 美國德州奧斯汀市伊凡休小徑10103號 5. 美國德州奧斯汀市艾霍山小徑7721號
	姓 名 (名稱)	美商摩托羅拉公司
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格

裝

訂

線

408339

(由本局填寫)

A6
B6

承辦人代碼：

大類：

I P C 分類：

本案已向：

美國 國(地區)

申請專利，申請日期：
1997 年 3 月 12 日

案號：
08/815,527

，☐有 ☐無主張優先權
☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

先前申請之參考

本申請案已於 1997 年 3 月 12 日在美國申請專利，專利申請號碼為 08/815,527。

發明範圍

本發明與記憶體有關，更特定而言是與積體電路之讀取/寫入記憶體有關。

發明背景

積體電路靜態隨機存取記憶體(SRAM)使用在多種應用中。尤其，高速 SRAM 使用在如電腦系統、工作站等的快取裝置。這類快取記憶體提供快速的資料儲存或所可能重新使用的指令。隨著積體電路科技的改善，微處理器的速度已增加，而隨著微處理器速度改善，SRAM 的存取時間必須縮減才能提供有效的快取儲存容量。

一般而言，對於高速 SRAM 而言，當資料自記憶體讀取時，位於致能字元線的記憶體裝置可提供信號至互補之位元線對中。由所選之記憶體單元提供至位元線之信號為相對之弱信號，可以在由記憶體輸出之前放大。這個信號可為差動的電壓信號或差動的電流信號形式。前者又稱為電壓感測技術，需要電壓感測放大器來轉換相對之弱電壓為強電壓來輸出。在電流感測技術中，記憶體單元提供一差動電流到位元線。一電流到電壓放大器必須感知相當弱之差動電流信號，並輸出足夠強之電壓差動信號以作為輸出。

SRAM 必須能執行寫入週期，當寫入週期資料以積體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

路接腳來接受時，具差動信號之相對位元線在尺寸上相對地變大。大的差動信號在強度上夠強，足夠複寫儲存在所選記憶體單元內之資料數值。然而，在寫入週期之末以準備接續之讀取週期時，必須降低或取消該大的差動電壓。

一般而言，有兩種技術可輔助此寫入回復。首先，以一電晶體耦接位元線至互補位元線，此種技術稱為均衡。第二，位元線會被偏壓至某一預定的電壓，此一電壓為感測類型所要的電壓。例如，典型的預先充電電壓為正電壓。然而，其他的預先充電電壓，如 $1/2$ 的正電壓，或正電壓減去電晶體閾值電壓亦可使用。為要發揮 SRAM 的用處，寫入回復必須在預定時間內執行，該預定時間會隨著記憶體存取週期愈變愈小時亦逐漸縮小。

一般而言，使用電流感測技術之記憶體具良好的速度電力值(speed-power product)。然而，使用電流感測技術有許多問題。除非使用大的位元線負載，否則會發生寫入回復速度問題。然而，仍希望盡量利用電流感測技術，使位元線負載愈小愈好。另外，也希望盡量縮小積體電路區。因此，使用電流感測技術之記憶體所需要的是具小規模的快速寫入回復。這類記憶體可由本發明提供，其特色與優點可利用以下圖與敘述來獲致充分的了解。

附圖之簡要說明

圖 1 所示為本發明之記憶體之方塊圖。

圖 2 所示為圖 1 之記憶體之方塊圖與電路圖之結合示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (3)

圖 3 所示為圖 2 之記憶體操作之時序圖。

圖 4 所示為可用於圖 1 之電流感測電路之示意圖。

圖 5 所示為在資料感測程序中，應用至圖 4 之電流感測電路之信號時序圖。

相關實施例之說明

圖 1 為本發明之記憶體 100 的方塊圖。記憶體 100 包括位址緩衝器/解碼器 125，記憶體陣列部份 111，資料 I/O 電路 120，讀取全區資料線匯流排 130，以及寫入全區資料線匯流排 140。記憶體陣列部份 111 可以分為陣列 1/2 線路(halves)或 1/4 線路(quadrants)，及可以包括一個或多個資料區塊。記憶體陣列部份 111 包括記憶體陣列 112，列解碼器 114，欄位邏輯/解碼器 116，及位元線均衡區塊 118。記憶體陣列 112 包括位於字元線與位元線對之記憶體單元陣列。如圖 1 所示的代表性記憶體單元 150，位於字元線 152 與位元線配對 154 之相交處。位元對 154 包括第一位元線 156，可傳導標為"BL"之信號，以及第二位元線 158，可傳導標為" $\overline{\text{BL}}$ "之信號。讀取全區資料線匯流排 130 包括 n 對的互補之全區資料線，該資料線包括第一全區資料線 132，標為"GDL"，而第二全區資料線 134，標為" $\overline{\text{GDL}}$ "。寫入全區資料匯流排 140 亦包括 n 對的互補全區資料線，該資料線包括第一寫入全區資料線 142 與第二寫入全區資料線 144。

位址緩衝器/解碼器 125 接收標為"ADDRESS"輸入位址。位址緩衝器/解碼器 125 亦接收一組的控制信號，標為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

"INTERNAL TIMING SIGNAL"，以及標為" $\overline{R/WI}$ "的信號。位址緩衝器/解碼器 125 接收並區分 ADDRESS 為列位組件，標為"ROW ADDRESS"以及欄位組件，標為"COLUMN ADDRESS"。請注意位址緩衝器/解碼器 125 可以在 ADDRESS 上執行部份或全部的解碼，以獲取 ROW ADDRESS 與 COLUMN ADDRESS。

在記憶體陣列部份 111 中，列位解碼器 114 接收 ROW ADDRESS，並致能回應的字元線。記憶體陣列 112 耦接至每個耦接至列位解碼器 114 之輸出端。在記憶體陣列 112 之記憶體單元位於相對字元線與相對位元線對之相交處。每一位元線對可作為在記憶體 100 之寫入週期之記憶體單元輸入端，以及在讀取週期時當成輸出端。圖 1 說明具代表性的記憶體單元 150。記憶體單元 150 耦接至字元線 152 與位元線對 154。位元線均衡區塊 118 代表耦接至每個位元線之一端之位元線均衡電晶體(短路裝置)。

欄位邏輯/解碼器 116 接收 COLUMN ADDRESS，INTERNAL CLOCK，以及 $\overline{R/W}$ 信號。欄位邏輯/解碼器 116 可耦接至每個位元線對，包括代表性的位元線對 154，並位於與位元線均衡區塊 118 之位元線末端。在所說明之圖中，欄位邏輯/解碼器 116 亦包括位元線負載。這類位元線負載包括均衡電晶體與每一位元線之預先充電電晶體。納入位元線兩端的位元線均衡電晶體，可讓記憶體利用相對長的位元線，獲取較快速的均衡與預先充電。欄位邏輯/解碼器 116 可耦接至讀取全區資料線匯流排 130 與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

寫入全區資料線匯流排 140。每一全區資料線匯流排包括 n 信號線，其中依記憶體 100 之大小， n 可能為任意數，如 1, 2, 4, 8, 16, 32。

資料 I/O 電路 120 耦接至讀取全區資料線匯流排 130 以及寫入全區資料線匯流排 140，以及具可傳導標為 "DATA" 之 n -位元信號之雙向終端。資料 I/O 電路 120 具輸入終端，可接收標為 " $\overline{CS}$ "，" $R/\overline{W}$ "，以及 "CLOCK" 之外部控制信號，以及可提供 INTERNAL TIMING SIGNALS 以及 $R/\overline{W}$ 的 I 信號。在說明的圖中，記憶體 100 為同步記憶體並同步地產生具 CLOCK 信號之 INTERNAL SIGNALS。然而，很明顯地本發明亦可應用至非同步記憶體。對於非同步記憶體，資料 I/O 電路 120 根據致能 $\overline{CS}$ 信號之致能的延遲，而產生 INTERNAL CLOCK SIGNALS，並不具有 CLOCK 輸入終端。

在基本的操作中，位址緩衝器/解碼器 125 在讀取週期中或記憶體 100 之寫入週期中接收 ADDRESS。在讀取週期中，致能信號 $\overline{CS}$ 以及 $R/\overline{W}$ 為邏輯低。信號 $R/\overline{W}$ 由輸入信號 $R/\overline{W}$ 緩衝且為相同信號。列解碼器 114 致能一字元線路來接收 ROW ADDRESS。在讀取週期中，選擇每個耦接至致能字元線路之記憶體單元，並耦接它的輸出端到它所耦接的位元線對。例如，當 ROW ADDRESS 致能字元線 152 時，選擇記憶體單元 150 並提供一差動電流到代表位元儲存狀態之位元線對 154。在讀取週期中，全部位元線對均被連接至致能的字元線之記憶體單元所驅動。全部位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(6)

對之信號均為差動電流。

欄位邏輯/解碼器 116 依 COLUMN ADDRESS 選擇 n 位元線對。 INTERNAL TIMING SIGNALS 提供資訊到欄位邏輯/解碼器 116 中以開始操作，而 $R/\overline{W}$ 可決定要進行讀取週期或寫入週期。在依欄位位址選擇位元線對或多對後，欄位邏輯/解碼器 116 可耦接每個所選定之位元線對至相對的全區資料線對，並利用差動電流感測技術來放大信號。在回應 $\overline{CS}$ 與 $R/\overline{W}$ 表示讀取週期時，資料 I/O 電路 120 接收每一讀取資料線組之差動信號，並將之轉換成單一結束信號，並輸出 DATA。

在寫入週期時，資料流係反向進行。寫入週期由信號 $\overline{CS}$ 發出逐漸變為使用中，而 $R/\overline{W}$ 為邏輯低。資料 I/O 電路 120 接收 DATA 為輸入，並在相應的寫入全區資料線組，驅動每個 DATA 信號為差動信號。例如，寫入全區資料線匯流排 140 為每個所選之記憶體 100 之全區資料線組。寫入全區資料線匯流排 140 由資料 I/O 電路 120 依所接收到的 DATA 來驅動。為回應 INTERNAL TIMING SIGNALS， $R/\overline{WI}$ ，與 COLUMN ADDRESS，欄位邏輯/解碼器 116 耦接每個寫入資料線組至所選的位元線對。列位解碼器 114 致能字元線以及輸入資料驅動至位於致能字元與所選位元線對之交接處之記憶體單元。如同在讀取週期中，位於致能字元線之記憶體單元具耦接至位元線對之輸出資料。然而，由欄位邏輯/解碼器 116 位元線對來驅動之電壓差大於記憶體單元之驅動電壓，並複寫在記憶體單元的儲存位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(7)

元。

在寫入週期的末端，即寫入回復期間，位元線對之均衡可利用位元線之均衡，以及位元線均衡區塊 118 與欄位邏輯/解碼器 116 中之相應位元線負載來達成，以及部份間接由位於位元線與全區位讀取資料線之間之讀取資料線來達成。為要獲得這類均衡，耦接讀取資料線與位元線之電路，會在寫入週期的末端變為使用中。此寫入回復系統尤其有用，在記憶體 100 使用電流感測時，說明請參考圖 2。

圖 2 為結合圖 1 之記憶體 100 之電路圖與方塊圖之結合圖。在圖 2 中所說明的是 n 欄位，其中有三欄位與相應的資料線均衡與感測放大器一起顯示。耦接至單一感測放大器之欄位數目可依應用而不同。例如，在所說明的圖中，有 4 個欄位連至資料線之單一資料線對中。然而，其他的數值亦可以使用。

圖 2 說明的是記憶體陣列 112 部份與圖 1 之欄位邏輯/解碼器 116。圖 2 所說明的記憶體陣列 112 部份包括，第一欄位 200，第二欄位 202，以及第三欄位 204。欄位 200 包括一對的互補位元線，標為 BL 以及 $\overline{BL}$ 以及代表記憶體單元 206 與 208。記憶體單元 206 具輸入終端，耦接至第一字元線，標為 " $WL1$ " 以及具互補輸出端接至 BL 與 $\overline{BL}$ 。記憶體單元 208 具輸入端，耦接至標為 " WLM " 之 m^{th} 字元線，以及兩輸出終端耦接至 BL 與 $\overline{BL}$ 。記憶體單元以任意數 m 來說明，有助於了解本發明未受限於任何特定陣列大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

小。欄位 202 與 204 均包括 m 記憶體單元，耦接至相應之字元線，並提供輸出至相應的位元線對。這些欄位的結構與欄位 200 相同，不再在以下說明。

圖 2 的其餘部份說明欄位邏輯/解碼器 116 之相關部份。例如，第一位元線負載 210 耦接至欄位 200 並包括 P 通道絕緣閘極場效電晶體 212-214，通稱為金屬氧化物半導體 (MOS) 電晶體。電晶體 212 具可耦接至標為 " V_{DD} " 電壓之源極，可接收標為 "WCP1" 之閘極以及耦接至 BL 的汲極。 V_{DD} 為具 3 伏特之正電壓供應，但每一圖均不同。電晶體 213 具耦接至 BL 之第一電流極，可接收標為 " $\overline{EQ}$ " 之控制信號，而第二電流極耦接至標有 " $\overline{BL}$ " 之互補位元線。電晶體 214 具可耦接至 V_{DD} 之電源，可接收 WCP1 之閘極，以及耦接至 $\overline{BL}$ 的汲極。

在形成寫入路徑時，一對驅動電晶體 216 耦接 2 個寫入資料線，標為 "WD" 與 " $\overline{WD}$ "，相對於位元線 BL 與 $\overline{BL}$ 。電晶體對 216 包括第一 N 通道電晶體 218，以及第二 N 通道電晶體 220。電晶體 218 具耦接至 BL 之第一電流極，可接收信號 WCP1 之閘極以及耦接至 WD 之第二電流極。電晶體 220 具耦接至 $\overline{BL}$ 之第一電流極，可接收信號 WCP1 之閘極以及耦接至 $\overline{WD}$ 之第二電流極。請注意電晶體 218 與 220 之源極與汲極之設計，會依所採用之電壓而不同，因此它們均依類別而有不同的設計。

讀取路徑包括一對的驅動電晶體 222。電晶體對 222 包括第一 P 通道電晶體 224 以及第二 P 通道電晶體 226。電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (9)

體 224 具耦接至 BL 之電流極，可接收標為 " $\overline{\text{RD1}} \cdot \overline{\text{EQ}}$ " 之閘極，以及第二電流極以提供信號至標為 "RDATA" 之讀取資料線，其中的 " $\cdot$ " 表示邏輯 AND 運作。電晶體 226 具耦接至 BL 之第一電流極，可接收 $\overline{\text{RD1}} \cdot \overline{\text{EQ}}$ 信號的閘極，以及第二電流極以提供輸出信號至標為 "RDATA" 之互補資料線。相應到欄位 202 之位元線負載電晶體 228-230，寫入驅動電晶體 232 與 234，以及讀取驅動電晶體 236 與 238 為相似。位元線負載提升電晶體均由標為 "WCP2" 之信號來選擇，而均衡電晶體由信號 $\overline{\text{EQ}}$ 選擇。寫入驅動電晶體 232 與 234 由標為 " $\overline{\text{RD2}} \cdot \overline{\text{EQ}}$ " 之信號選擇。最後 n^{th} 欄位 204 包括位元線負載電晶體 240-242，一對寫入電晶體 244 與 246，以及一對的讀取驅動電晶體 248 與 250，相對於之前所描述的。電晶體 240, 242, 244 與 246 接收標為 "WCPN" 之信號，電晶體 241 接收信號 $\overline{\text{EQ}}$ ，而電晶體 248 與 250 接收標為 " $\overline{\text{RDN}} \cdot \overline{\text{EQ}}$ " 之信號。

耦接至讀取資料線組為資料線負載 252。資料線負載 252 包括 P 通道電晶體 253-257。電晶體 253 具可耦接至 V_{DD} 的源極，耦接至標為 " V_{SS} " 之電源終端的閘極，以及接至 $\overline{\text{RDATA}}$ 的汲極。 V_{SS} 為具大約 0 伏特之負電或接地電壓終端。電晶體 254 具可耦接至 V_{DD} 的源極，可接收標有 " $\overline{\text{SEN_EQ}}$ " 之閘極，以及接至 $\overline{\text{RDATA}}$ 之汲極。電晶體 255 具可接至 V_{DD} 的源極，可耦接至 V_{SS} 的閘極，以及可接至 RDATA 之汲極。電晶體 256 具可耦接至 V_{DD} 的源極，可接收標有 $\overline{\text{SEN_EQ}}$ 之閘極，以及接至 RDATA 之汲極。電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

258 具可耦接至 RDATA 的第一電流極，可接收標有 SEN_EQ 之閘極，以及接至 RDATA 之汲極。

耦接至資料線的是電流運送電路 260。電路 260 包括 P 通道電晶體 262，P 通道電晶體 264，P 通道電晶體 266，N 通道電晶體 268，N 通道電晶體 270。電晶體 262 具耦接 RDATA 之第一電流極，閘極以及第二電流極。電晶體 264 具耦接至 RDATA 之電流極，耦接至 RDATA 之第二電流極，以及耦接至電晶體 262 閘極之第二電流極。電晶體 266 具耦接至電晶體 262 之第二電流極之第一電流極，可接收標為 "AMP_EQ" 之信號，與耦接至電晶體 264 之第二電流極之第二電流極。電晶體 268 具第一電流極，耦接至電晶體 262 之第二電流極，可接收標為 "AMP_SEL" 信號之閘極，以及耦接至 GDL 之第二電流極。電晶體 270 具耦接至電晶體 264 之第二電流極之第一電流極，可接收信號 AMP_SEL 之閘極，以及耦接至 GDL 之第二電流極。

在運作上，當記憶體由圖 1 之列位解碼器 114 所存取時，會致能如 WL1 或 WLM 或陣列中任何的字元線。致能一個字元線可由欄位中選擇一個記憶體單元。所選的記憶體單元提供電流信號至相應的 BL 與 BL 信號線，代表其中所儲存的記憶體狀態。圖 2 中所顯示的電晶體 n 欄位僅選擇一個欄位。因此只有 RD1_EQ，RD2_EQ，或 RDN_EQ 其中之一被致能以選擇相應的驅動電晶體。當選定這些相應的電晶體時，差動電流會驅動至 RDATA 與 RDATA，代表在所選的欄位中之記憶體單元狀態。RDATA 與 RDATA 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (11)

間的小差動電流會經由電流傳輸電路 260 而傳送至 GDL 與 $\overline{\text{GDL}}$ 。感測功能在圖 1 之資料 I/O 電路 120 中完成，會在圖 4 中加以說明。

在寫入週期中，相應的 $\text{WD}/\overline{\text{WD}}$ 接收資料，並在致能如信號 WCPI 之相應寫入選擇信號時驅動。不像相弱讀取電流信號，此寫入電壓信號非常強並在邏輯上非常靠近電力供應。差動電壓非常適合複寫所選記憶體單元之內容。

然而，在寫入週期末端，這個在位元線上的大剩餘電壓必須依後續之感測目的而降低。這類降低可由兩種裝置達成。第一裝置為位元線負載。假設欄位 200 所選之欄位，則電晶體 212 與 214 會致能以耦接 BL 與 $\overline{\text{BL}}$ 到 V_{DD} 。另外，電晶體 213 會具有導電性而耦接至 BL 與 $\overline{\text{BL}}$ 。此功能可以參照均衡，但這些動作構成寫入回復的第一裝置。

資料線負載 252 所提供的第二裝置，經由電晶體 253 與 256，在所選欄位中耦接 BL 與 $\overline{\text{BL}}$ 至 V_{DD} 。電晶體 253 與 255 為相對的弱裝置，必須要持續地具傳導性，其中在讀取週期與寫入回復時，電晶體 254 與 256 被切換。因為在資料線負載 252 的電晶體耦接至與 n 欄位相連的資料線，因此它們可以不需要增加欄位的間距而製成大容量，且不影响記憶體區域，如同它們位於相應的位元線負載。

另外，請注意位於讀取資料線上的資料線負載 252 的點上，在該點之後，它們可以自寫入資料線中隔離出來。在記憶體 100 中，寫入路徑經由 N 通道電晶體 218 與 220 來進行，而所選寫入資料線，在另一個寫入資料仍預先充電至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

5X

五、發明說明 (12)

V_{DD} 時，被拉到低電壓。因此，使用 N 通道電晶體來避免閾值電壓下降是很重要的。然而，同時納入這些寫入驅動電晶體而不增加記憶體單元之間距也很重要。若電晶體 218 與 220 轉換為全互補式金屬氧化物半導體 (CMOS) 傳輸閘極，則單元間距亦會增加。因此將負載與位元線負載一起置於資料線，具有不增加記憶體間距的優點。

圖 2 所表示的是可在寫入回復支援位元線均衡之另一項特徵。在均衡階段，所選欄位會經由相對讀取驅動電晶體而耦接至資料線負載 252。然而，在寫入回復時，其他的欄位亦會耦接至讀取資料線，因此全部的欄位會選擇性地耦接至 RDATA 且在寫入回復時耦接至該處。這些連接具有二種優點。第一，它會放大控制信號的解碼。第二，儲存在每個非選擇性的位元線上之電力會快速地在寫入週期之後，沿著所選欄位快速地支援充電。請注意，在其他的圖示中，若不需要額外的充電力與回復優點則不需要耦接至未選的欄位至 RDATA 與 $\overline{RDATA}$ 。另外，在寫入回復時，在其他的圖中資料線負載 252 可以刪除，而全部耦接至 RDATA 與 $\overline{RDATA}$ 的欄位係連接在一起，此二者可在所選欄位中支援位元線以重新充電位元線至 V_{DD} 。這樣會使位元線提升電晶體的容量變小或加速已知大小之電晶體之寫入回復速度。

圖 3 說明信號的時序圖，有助於了解圖 2 之運作。在圖 3 中，水平軸代表時間而垂直軸代表不同信號之電壓，包括 $\overline{EQ}$ ， $\overline{RD1}$ ，WCP1，與 $\overline{SEN_EQ}$ 。這些信號的說明，分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

3 大階段來進行，分別為讀取週期，寫入週期與順序讀取週期。在讀取週期的早期階段中，可在邏輯低時致能信號 $\overline{RD1}$ 來選擇相對欄位。而在此階段中，信號 $\overline{EQ}$ 也很低，可影響位元線的均衡。信號 $WCP1$ 仍保持低，或在整個的讀取週期中不致能。在信號 $\overline{RD1}$ 致能後某一段時間， $\overline{SEN_EQ}$ 在邏輯低時致能，靠近週期的開始，如此一來，可以傳輸差動信號，並在讀取週期的剩餘部份保持不致能。

寫入週期由信號 $\overline{RD1}$ 來表示， $\overline{RD1}$ 不致能而信號 $WCP1$ 變成使用中。在寫入週期中，信號 $\overline{SEN_EQ}$ 仍保持致能中，而在資料線負載 252 之預先充電電晶體仍保持導電性。在時間信號期間時，信號 $\overline{EQ}$ 呈不致能狀態，可使寫入資料分開所選之位元線，並複寫所選之記憶體單元。在寫入週期的末端時，信號 $WCP1$ 會再次關閉，而在致能信號 $\overline{EQ}$ 與關閉信號 $WCP1$ 之前，開始寫入回復。在關閉 $WCP1$ 後之一延遲時間，信號 $\overline{RD1}$ 會致能，以連接資料線至所選欄位之位元線。另外，在寫入回復時，其他的全部 RD 信號之寫入回復，亦變成使用中。寫入週期在 $\overline{RD1}$ 變成使用中時結束。

請注意，由於這類信號 ANDed 在一起，若信號 $\overline{EQ}$ 在低邏輯或信號 RD 在低邏輯致能時會變成具傳導性。因此，在寫入回復時間，全部的讀取驅動電晶體會變成傳導性來耦接至全部欄位之位元線到 $RDATA$ 與 $\overline{RDATA}$ ，並在某些時間之後，寫入回復階段結束而後續之讀取週期開始。請

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (14)

注意，圖 3 說明讀取週期以及寫入週期。若一空閒週期在寫入週期之後，則信號會在寫入週期之間仍保持使用中，即均衡會繼續直到另一週期開始時才停止。

圖 4 為電流感測電路 10 之示意圖，其可以耦接至讀取全區資料線，以完成電流感測功能。電流感測電路 10 為圖 1 資料 I/O 電路 120 之一部份。電流感測電路可經由輸入終端 12 與互補輸入終端 22，來感測流入電流感測電路之電流 I_1 與 I_2 之間的差動電流。電流 I_1 與 I_2 之間的差動電流可用來感測傳輸至電流感測電路 10 之感測資料。輸入終端 12 與互補輸入終端 22 耦接至 GDL 與 $\overline{\text{GDL}}$ 。電流感測電路 10 亦可稱為感測放大器。

感測放大器 10 包括 P 通道絕緣閘極場效電晶體 (FET) 14 與 24，此兩者均作為電流源。FET 14 與 24 閘極均耦接至終端 31，以接收第一致能信號。FET 14 與 24 之源極耦接到電源供應導體 20。舉例而言，導體 20 位於 V_{DD} 的電壓層級。換句話說，FET 14 與 24 之源極耦接至電壓層級 V_{DD} 中。感測放大器 10 亦包括 P 通道絕緣閘極 FET 33，具耦接至終端 32 之閘極，以接收第二致能信號與在導體 20 上耦接至電壓層級 V_{DD} 之源極。

感測放大器 10 包括一反向器 16，P 通道絕緣閘極 FET 18，反向器 26，以及 P 通道絕緣閘極 FET 28。反向器 16 包括 P 通道絕緣閘極 FET 15 與 P 通道絕緣閘極 FET 17。FET 15 與 17 之閘極會耦接以形成反向器 16 之輸入端。FET 15 之源極可當成反向器 16 之第一偏壓節點並耦接至 FET 33

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (15)

之汲極。FET 17 之源極可當成反向器 16 之第二偏壓節點並耦接至 FET 18 之汲極與輸入終端 12。FET 15 與 17 之汲極可耦接以形成反向器 16 之輸出終端。反向器 16 之輸出端耦接至 FET 14 之汲極以及感測放大器 10 之資料輸入終端 19。

反向器 26 包括 P 通道絕緣閘極 FET 25 與 N 通道絕緣閘極 FET 27。FET 25 與 27 之閘極相連以形成反向器 26 之輸入端。FET 25 之源極可作為反向器 26 之第一偏壓節點並耦接至 FET 33 之汲極。FET 27 之源極可作為反向器 26 之第二偏壓節點，並耦接至 FET 28 之汲極以及互補輸入終端 22 中。FET 25 與 27 之汲極可耦接以形成反向器 26 之輸出端。反向器 26 之輸出端可耦接至 FET 24 之汲極，以及感測放大器 10 之互補資料輸出終端 29。

另外，反向器 16 之輸入端耦接至反向器 26 之輸出端，而反向器 26 之輸入端接至反向器 16 之輸出端。FET 18 與 28 之閘極可在導體 20 上耦接至電壓層級 V_{DD} 。FET 18 與 28 之源極可耦接至電壓供應導體 30。舉例而言，電壓供應導體 30 是在接地電壓層級上，如 V_{SS} 。

感測放大器 10 亦包括反向器 36 與兩個開關，一在反向器 16 與 26 之間耦接，另一開關在反向器 16 與 26 之第二偏壓節點之間耦接。位於反向器 16 與 26 之間的開關為一二電晶體通道閘極，包括 P 通道絕緣閘極 FET 35 與 N 通道絕緣閘極 FET 37。反向器 36 之輸入端耦接至終端 34 以接收均衡信號。反向器 36 之輸出端耦接至終端 FET 35 之閘極。

五、發明說明 (16)

FET 37 與閘極接終端 34 中。FET 35 與 37 之源極耦接至 FET 15 與 17 之汲極，而 FET 35 與 37 之汲極可耦接至 FET 25 與 27 之汲極。

耦接至反向器 16 與 26 之間的第二感測偏壓節點為一電晶體通道，包括 N 通道絕緣閘極 FET 38。FET 38 之閘極可耦接至終端 34，FET 38 之電流極耦接至 FET 17 之電流極，而 FET 38 之汲極可接至 FET 27 之電流極。

如圖 5 所示，感測放大器 10 藉由感測傳輸至輸入終端 12 與互補輸入終端 22 之差動電流信號來感測資料。尤其是，感測放大器 10 可經由輸入終端 12 與互補輸入終端 22 來感測電流 I_1 與 I_2 。電流 I_1 與 I_2 亦可稱為差動電流信號之第一與第二電流組件。感測放大器 10 產生兩種電流，一流經由 FET 17，另一流經 FET 27，依電流 I_1 與 I_2 。感測放大器 10 因此可以比較 FET 17 與 FET 27 之電流而感測資料。

應注意的是 FET 14, 15, 17, 18, 24, 25, 27, 28, 33, 35, 37 與 38 並不限於圖 4 所示之絕緣閘極 FET。它們可以用其他的電晶體來替代，如雙極電晶體，金屬半導體 FET，接面 FET 與絕緣閘極雙極電晶體等。另外，FET 33 的功能為開關可以用其他的開關來替代。如同熟知本項技藝人士所知悉，FET 閘極可作為控制電極，而源極及汲極可作為電流傳導電極。

在感測放大器 10 中，FET 14 與 24 可作為電流源，而 FET 18 與 28 可作為電流槽 (current sinks)。它們亦可以用其他的電流源 / 電流槽電路來替代。FET 14 與 18 具與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (17)

FET 24 與 28 相同的電流承載能力。

在反向器 16 中，FET 15 可作為提升式電晶體與 FET 17 可作為下拉式電晶體，因此 FET 15 與 17 為不同的傳導類型。如同在反向器 26，FET 25 可作為提升式電晶體與 FET 27 可作為下拉式電晶體，因此 FET 25 與 27 為不同的傳導類型。在圖 4 中，FET 15 與 25 為 P 通道 FET 而 FET 17 與 27 為 N 通道 FET。在另一圖中，FET 15 與 25 由 PNP 雙極電晶體所替代，而 FET 17 與 27 則由 NPN 雙極電晶體所替代。

FET 38 可作為通道閘，並可由不同類型的通道閘所替代，如雙電晶體通道閘。FET 35 與 37 形成雙電晶體通道閘並可由不同類型的通道閘所替代。雙通道閘可提供感測放大器 10 執行高速背對背(back-to-back)感測運作。應注意的是兩種通道閘在感測放大器 10 中均為選擇性配備。由於大電壓變動(swing)，如從接地電壓到 V_{DD} ，經過輸出終端 19 與互補輸出終端 29，耦接彼此的通道閘最好是如圖 4 所示之雙電晶體通道閘。若用單電晶體通道閘來替代 FET 35 與 37，耦接至控制電流極之均衡信號，最好調整在感測放大器 10 運作時，提供它雙向導電能力。

圖 5 所示為在資料感測程序中，應用至圖 4 之電流感測電路之信號時序圖。時序圖 50 包括第一致能信號 51，第二致能信號 52，以及均衡信號 54。當使用圖 4 之感測放大器 10 來感測資料時，第一致能信號 51，第二致能信號 52，以及均衡信號 54 會耦接至終端 31, 32 與 34。輸入終端 12 與互補輸入終端 22 可經由位元線，讀取資料線以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

全區資料線耦接至記憶體單元。另一例子如，輸入終端 12 與互補輸入終端 22 可經由多工器(未顯示)耦接至 2 個記憶體單元(未顯示)。一記憶體單元稱為主要記憶體單元，而多工器可在正當的運作中，選擇主要的記憶體單元，若主要記憶體單元有瑕疵，則亦會選擇冗餘(redundant)記憶體單元。

當感測放大器 10 為空閒狀態，則第一致能信號 51 與第二致能信號 52 最好在高電壓層級，如 V_{DD} ，而均衡信號 54 最好是在低電壓，如接地電壓層級。因此，FET 14, 24, 33, 35, 37, 38 為非傳導的，反向器 16 與 26 關閉，而感測放大器 10 不會消耗大量電力。

在感測程序開始之前，均衡信號 54 可切換至高電壓層級，如時間 t_0 之 V_{DD} 。高電壓層級傳輸至 FET 37 與 38 之閘極，並切換 FET 37 與 38。高層級電壓亦傳輸至反向器 36 之輸入端，可在 FET 35 之閘極中產生低電壓層級，並開啟 FET 35。傳導的 FET 35 與 37 會在輸出終端 19 以及互補輸出端 29 均衡電位。相同的，傳導的 FET 38 會在輸入終端 12 以及互補輸入端 22 均衡電位。

感測程序在時間 t_1 時開始，當均衡信號 54 被切換回低電壓層級且第一致能信號 51 被切換到低電壓層級，如接地電壓層級。FET 35, 37 與 38 會被關閉。因此可將輸出端 19 自互補輸出端 29 中獨立出來，而輸入端 12 亦可由輸入端 22 獨立出來。FET 14 與 24 被開啟，有一電流路徑可在 V_{DD} 與接地中建立，一經由 FET 14, 17 與 18, 而另一則經由 FET 24,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

27 與 28。應注意的是雖然圖 2 表示第一致能信號 51 之降緣(falling edge)剛好與均衡信號 54 之降緣相同，但這並非用以限制本發明。

儲存在記憶體單元的資料以電流 I_1 與 I_2 來編碼，並經由輸入端 12 與互補輸入端 22，傳輸至感測放大器 10 中。電流 I_1 由記憶體單元經由輸入端 12 與 FET 18 流至導體 30。因此，FET 18 中的電流應與電流 I_1 與流經 FET 14 與 17 之總合相等。同理，電流 I_2 由記憶體單元經由輸入端 22 與 FET 28 流至導體 30。因此，FET 28 中的電流應與電流 I_2 與流經 FET 24 與 27 之總合相等。由於 FET 18 與 28 的設計具相同的電流承載能力，而流經 FET 18 之電流亦與流經由 FET 28 的電流相等，此電流可稱為參照電流。因此，流經 FET 14 與 FET 17 之電流相等於參照電流減去電流 I_1 ，同樣地，流經 FET 24 與 FET 27 之電流相等於參照電流減去電流 I_2 。感測放大器 10 可比較 FET 14 與 FET 17 之電流與 FET 24 與 27 之電流而感測到資料。

若記憶體單元儲存第一邏輯數值，如邏輯 "1"，電流 I_1 會稍大於電流 I_2 。典型而言，電流 I_1 與電流 I_2 之差距範圍大約在 40 微安培(μA)與 80 微安培(μA)之間，而電流差距之標稱(nominal)數值約為 60 μA 。流經 FET 14 與 17 之電流小於流經 FET 24 與 27 之電流，因為電流 I_1 會稍大於電流 I_2 。較小之 FET 14 之電流，其 FET 14 汲一源極間之電壓降較 FET 24 者小。因此，FET 15 與 17 之汲極電壓層級會較高於 FET 25 與 27 者。

五、發明說明 (20)

另一方面，若記憶體單元儲存第二邏輯數值，如邏輯"0"，該邏輯數值互補於第一邏輯數值，電流 I_1 會稍小於電流 I_2 。流經 FET 14 與 17 之電流大於流經 FET 24 與 FET 27 之電流，因為電流 I_1 會稍小於電流 I_2 。較大之 FET 14 之電流，其 FET 14 汲一源極間之電壓降較 FET 24 者大。因此，FET 15 與 17 之汲極電壓層級會較低於 FET 25 與 27 者。

在時間 t_2 中，第一致能信號 51 被切換回高電壓層級，而第二致能信號 52 則被切換回低電壓層級，如接地電壓層級。FET 14 與 24 被關閉，FET 33 被開啟，而致能反向器 16 與 26。為回應跨於 FET 17 與 27 之汲極之電壓，反向器 16 與 26 會形成閉鎖電路，其產生一跨於輸出終端 19 與互補輸出終端 29 之差動電壓信號。

當記憶體單元儲存邏輯"1"，則在 FET 15 與 17 之汲極之電壓層級會稍高於 FET 25 與 27 者。在 FET 15 與 17 之汲極的較高電壓層級，會被傳輸至 FET 25 與 27 之間極，以關閉 FET 25 並開啟 FET 27。同理，在 FET 25 與 27 之汲極的較低電壓層級，會被傳輸至 FET 15 與 17 之間極，以關閉 FET 17 並開啟 FET 15。由於 FET 15 為傳導，而 FET 17 為非傳導，因此反向器 16 會將輸出終端 19 之電壓層級提升到 V_{DD} 。由於 FET 27 為傳導，而 FET 25 為非傳導，因此反向器 26 會將互補輸出終端 29 之電壓層級下拉到接地電壓。因此，邏輯"1"可由記憶體單元讀取。

當記憶體單元儲存邏輯"0"，則在 FET 15 與 17 之汲極之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (²¹)

電壓層級會稍低於 FET 25 與 27 者。在 FET 15 與 17 之汲極的較低電壓層級，會被傳輸至 FET 25 與 27 之閘極，以關閉 FET 27 並開啟 FET 25。同理，在 FET 25 與 27 之汲極的較高電壓層級，會被傳輸至 FET 15 與 17 之閘極，以關閉 FET 15 並開啟 FET 17。由於 FET 15 為非傳導，而 FET 17 為傳導，因此反向器 16 會將輸出終端 19 之電壓層級下拉到接地。由於 FET 25 為傳導，而 FET 27 為非傳導，因此反向器 26 會將互補輸出終端 29 之電壓層級提升到 V_{DD} 。因此，邏輯 "0" 可由記憶體單元讀取。

當第二致能信號 52 切換回高電壓層級時，感測程序會在時間 t_3 中結束。在終端 32 之高電壓層級關閉 FET 33，俾關閉反向器 16 與 26。感測放大器 10 進入空閒狀態，並備妥下一個資料感測程序。

在資料感測程序中，FET 18 與 28 仍保持傳導。因此，在輸入終端 12 與互補輸入終端 22 之電壓層級仍接近接地電壓層級。換句話說，跨於耦接至輸入終端 12 之全區資料線與耦接至互補輸入終端 22 之互補全區資料線之電壓變動係非常小，約小於 20 毫伏特 (mV)。

由於小電壓變動，因此感測放大器 10 適合用於高速長位元線的應用。另外，感測放大器 10 不包括會汲取 (drain) 大量電流的高增益差動電壓放大器，因此，感測放大器 10 較習知者更具效率。當感測放大器 10 產生其輸出時，在輸出端 19 與互補輸出端 29 之電壓層級會提升至 V_{DD} 或下拉至接地。因此，感測放大器 10 與感測程序與標準 CMOS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

邏輯層級相容。

當本發明以相關圖式來說明時，熟知本項技藝的人士應了解，本發明可在多方面作修正，並且除以上所述之外，應有更多的方式可供說明及可有許多之實施例。例如，本文所述的寫入回復技術可以與多種記憶體單元一併使用，包括 SRAM，動態隨機存取記憶體(DRAM)，非揮發性的記憶體等。另應注意的是在其他的圖中，切換的位元線負載提升電晶體可以由持續性導電裝置來替代，如含有接地閘極的 D 通道電晶體。若進行這樣的替代，會造成速度與電

(請先閱讀背面之注意事項再填寫本頁)

裝

四、中文發明摘要(發明之名稱: 具有快速寫入回復之記憶體裝置)
及相關之寫入回復方法

一種記憶體(10)，如電流感測之靜態隨機存取記憶體(SRAM)，可經由位元線負載與兩種額外的裝置，以達成快速寫入回復。首先，共用資料線上之額外負載(252)亦致能，以加速寫入回復程序。第二，多個欄位(200,202,204)在寫入回復時，會耦接至共用資料線，以在寫入週期中將寫入的欄位利用儲存在其他欄位的電力，以電力共用來部份預先充電。這兩種裝置可以最小之欄位間距獲取快速寫入回復，並避免若負載置於寫入資料線所可能發生的問題。

英文發明摘要(發明之名稱: "MEMORY DEVICE WITH FAST WRITE
RECOVERY AND RELATED WRITE
RECOVERY METHOD")

A memory (10) such as a current sensing static random access memory (SRAM) achieves fast write recovery through bit line loads and two additional mechanisms. First, an additional load (252) on shared data lines also becomes active to speed the write recovery process. Second, multiple columns (200, 202, 204) are connected to common data lines during write recovery so that a column written to during a write cycle may be again precharged in part by charge sharing using the charge stored in other columns. These two mechanisms allow fast write recovery with minimum column pitch and avoid the problems which would be encountered if the loads were placed on the write data line.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種記憶體裝置(100)，包括：

多個記憶體單元(206, 208)，該多個記憶體單元之每一記憶體單元(206, 208)耦接至字元線(WL)與位元線對(BL, $\overline{BL}$)；

一位元線負載(210)，耦接至位元線對，以將位元線對充電至預定電壓，以回應第一控制信號；

一讀取資料線對(RDATA, $\overline{RDATA}$)，在記憶體裝置之讀取週期時，選擇性地將位元線對耦接至輸出電路(120)；與

一預先充電電路(252)，耦接至讀取資料線對，以回應第二控制信號，其中在存取耦接至位元線對之記憶體單元後，讀取資料線對耦接至位元線對，以及第一與第二控制信號在大約相同時間發出，以重新充電位元線對至預定電壓。

2. 如申請專利範圍第 1 項之記憶體裝置(100)，其中預先充電電路(252)包括一均衡電路(258)。

3. 如申請專利範圍第 1 項之記憶體裝置(100)，包括寫入資料線對(WD, $\overline{WD}$)，可選擇性地耦接至位元線對，其中寫入資料線對可由位元線對中拆除以回應第一控制信號。

4. 如申請專利範圍第 1 項之記憶體裝置(100)，其中預定數目之位元線對之可選擇性地耦接至讀取資料線對，而每一預定數目之位元線對在支援對耦接至存取記憶體單元之位元線對之預先充電之後耦接至讀取資料線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

六、申請專利範圍

1. 一種記憶體裝置(100)，包括：

多個記憶體單元(206, 208)，該多個記憶體單元之每一記憶體單元(206, 208)耦接至字元線(WL)與位元線對(BL, $\overline{BL}$)；

一位元線負載(210)，耦接至位元線對，以將位元線對充電至預定電壓，以回應第一控制信號；

一讀取資料線對(RDATA, $\overline{RDATA}$)，在記憶體裝置之讀取週期時，選擇性地將位元線對耦接至輸出電路(120)；與

一預先充電電路(252)，耦接至讀取資料線對，以回應第二控制信號，其中在存取耦接至位元線對之記憶體單元後，讀取資料線對耦接至位元線對，以及第一與第二控制信號在大約相同時間發出，以重新充電位元線對至預定電壓。

2. 如申請專利範圍第 1 項之記憶體裝置(100)，其中預先充電電路(252)包括一均衡電路(258)。

3. 如申請專利範圍第 1 項之記憶體裝置(100)，包括寫入資料線對(WD, $\overline{WD}$)，可選擇性地耦接至位元線對，其中寫入資料線對可由位元線對中拆除以回應第一控制信號。

4. 如申請專利範圍第 1 項之記憶體裝置(100)，其中預定數目之位元線對之可選擇性地耦接至讀取資料線對，而每一預定數目之位元線對在支援對耦接至存取記憶體單元之位元線對之預先充電之後耦接至讀取資料線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

六、申請專利範圍

對。

5. 如申請專利範圍第 1 項之記憶體裝置(100)，包括電流傳導感測放大器(260)，耦接至讀取資料線對，以感測在讀取資料線對之電流。
6. 如申請專利範圍第 5 項之記憶體裝置(100)，包括資料線負載(253, 255)，耦接至讀取資料線對，以提供讀取資料線對之電流源。

7. 一種記憶體裝置(100)，包括：

一具耦接至位元線對(BL, $\overline{BL}$)之多個記憶體單元的記憶體單元陣列(112)；

多個位元線負載(118)，每一位元線負載耦接至每個位元線對，以在存取一記憶體單元之後，預先充電位元線對至預定電壓；與

一資料線對(RDATA, $\overline{RDATA}$)，以選擇性地耦接位元線對至輸入/輸出電路(120)；

其中，在存取多個記憶體單元之一後，位元線對耦接至資料線對，以支援預先充電位元線對之至預定電壓。

8. 如申請專利範圍第 7 項之記憶體裝置(100)，包括耦接至資料線對之預先充電電路(252)，回應於第二控制信號，其中在存取耦接至位元線對之記憶體單元後，資料線對耦接至位元線對，且多個位元線負載與預先充電電路係用以重新充電位元線對至預定電壓。

9. 一種在一具多個耦接至字元線(WL, $\overline{WL}$)以及位元線對

六、申請專利範圍

(BL, $\overline{\text{BL}}$) 之記憶體單元 (206, 208) 之記憶體裝置 (100) 中，對預定數目之位元線對中之位元線對之寫入回復方法，每一位元線對具相應的位元線負載 (210)，其中預定數目之位元線對可選擇性地耦接至讀取資料線對 (RDATA, $\overline{\text{RDATA}}$)，讀取資料線對具有一耦接其上之預先充電與均衡電路 (252)，該方法包含下列之步驟：

耦接讀取資料線對至預定數目之位元線對中之位元線對；與

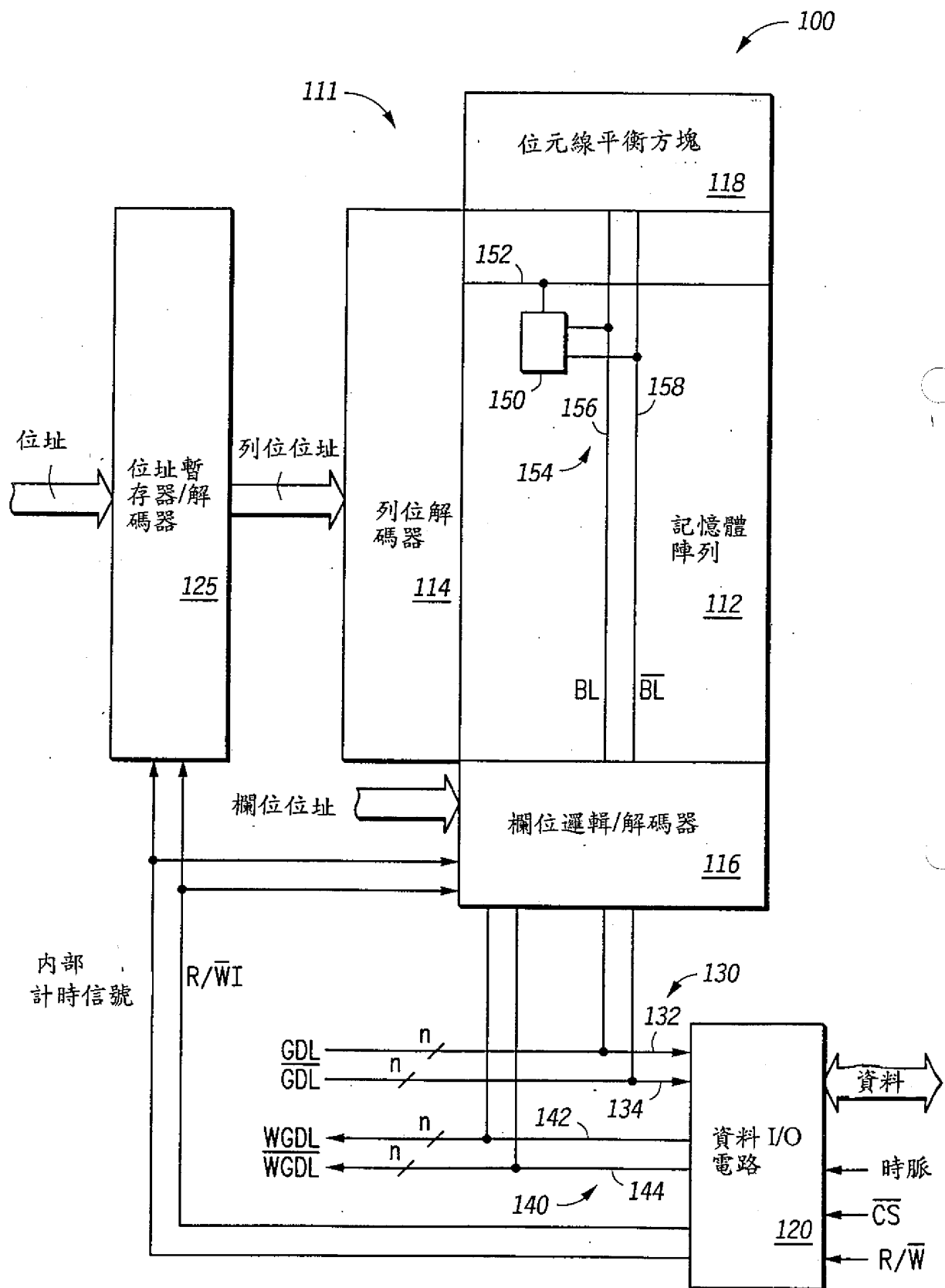
致能預先充電與均衡電路 (252)，其中之位元線負載 (210) 與預先充電與均衡電路 (252)，大約在相同的時間致能，以回復位元線對與讀取資料線對之電壓至預定電壓。

10. 如申請專利範圍第9項之方法，其中耦接讀取資料線對到位元線對之步驟，包括耦接讀取資料線對至預定數目之位元線對。

(請先閱讀背面之注意事項再填寫本頁)

訂

結



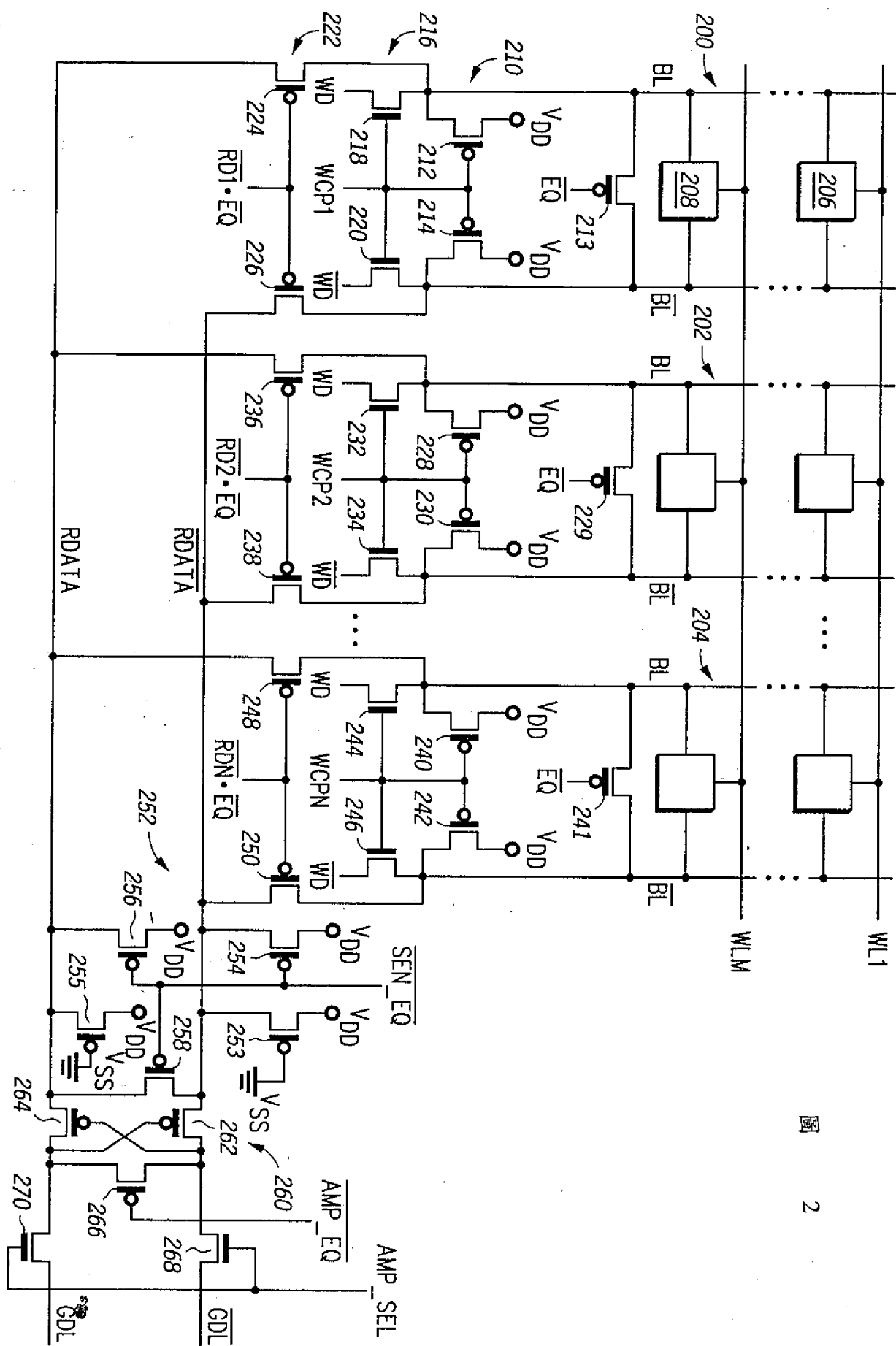


圖 2

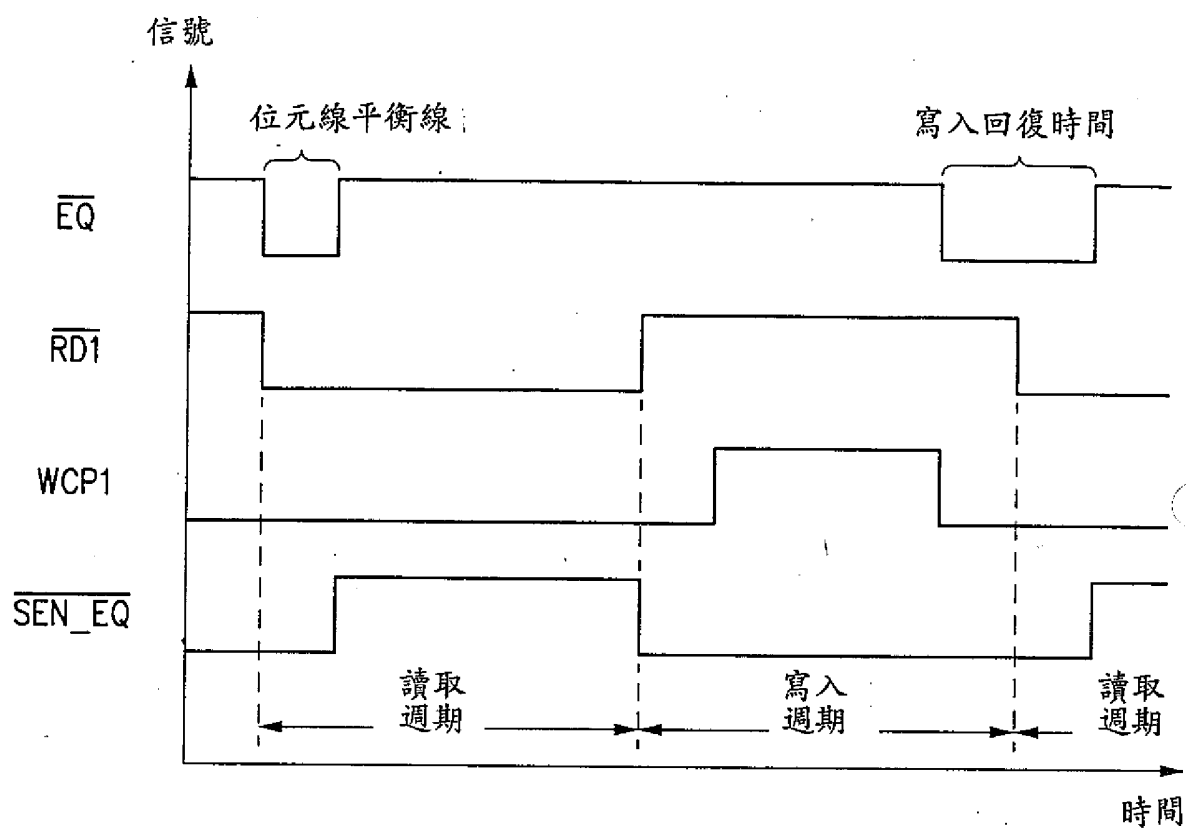
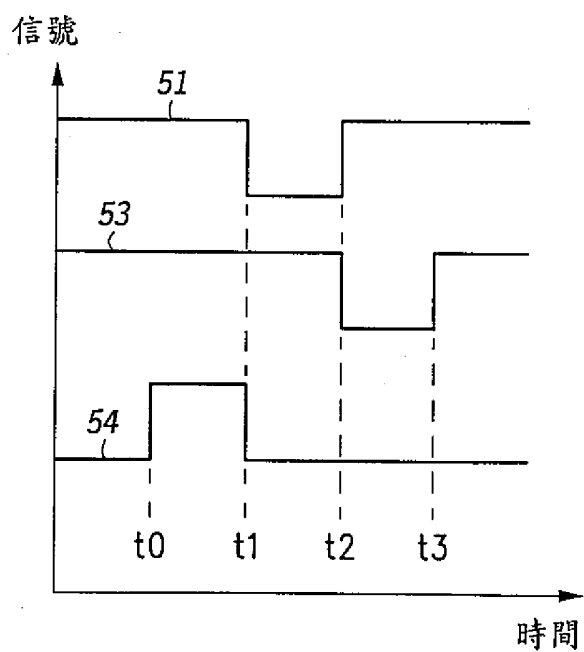


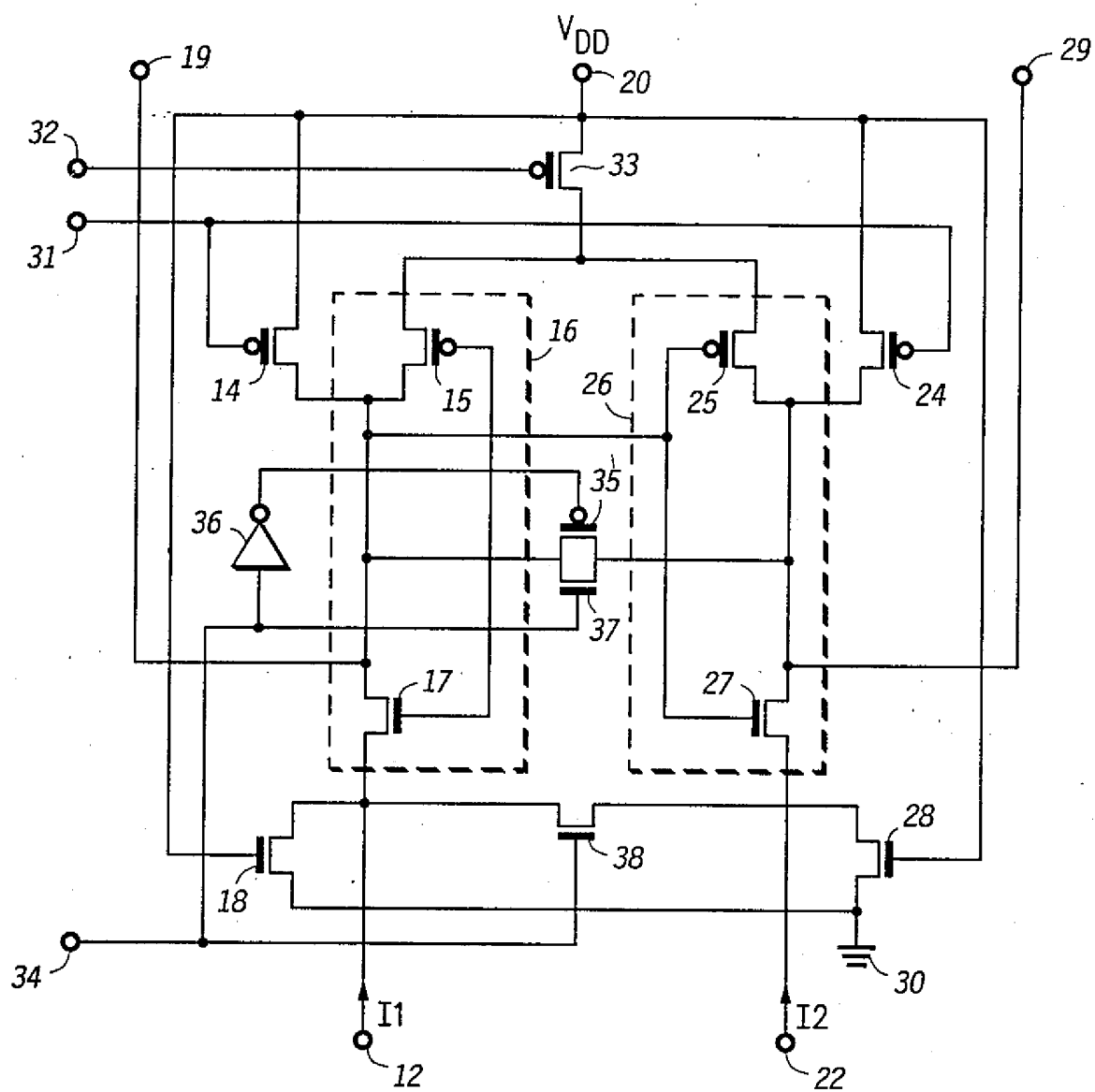
圖 3



50

圖 5

408339



圖

4