

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年6月26日(26.06.2014)



(10) 国際公開番号
WO 2014/097990 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) **G09G 3/20** (2006.01)
- (21) 国際出願番号: PCT/JP2013/083479
- (22) 国際出願日: 2013年12月13日(13.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-277113 2012年12月19日(19.12.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 中川 陽介(NAKAGAWA Yousuke). 前田和宏(MAEDA Kazuhiro).
- (74) 代理人: 船山 武, 外(FUNAYAMA Takeshi et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

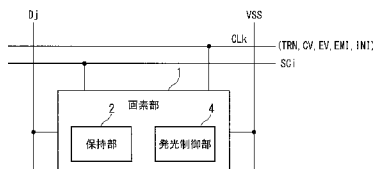
添付公開書類:

— 国際調査報告 (条約第21条(3))

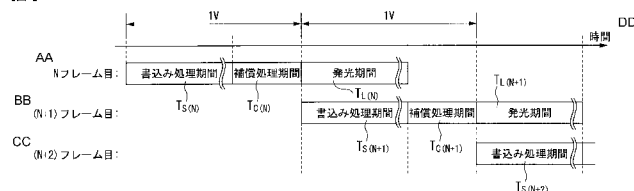
(54) Title: DRIVE CIRCUIT, DISPLAY DEVICE AND DRIVING METHOD

(54) 発明の名称: 駆動回路、表示装置および駆動方法

【図1】



【図2】



1 Pixel unit
2 Holding unit
4 Light emission control unit
 $T_{C(N)}, T_{C(N+1)}$ Compensation process interval
 $T_{L(N)}, T_{L(N+1)}$ Light emission interval
 $T_{S(N)}, T_{S(N+1)}, T_{S(N+2)}$ Write process interval
AA Nth frame
BB (N+1)th frame
CC (N+2)th frame
DD Time

(57) Abstract: A holding unit (2), which holds input data, and a light emission control unit (4), which compensates for the value of a drive current that flows to a light emitting element (49) on the basis of the input data held by the holding unit (2), are disposed in each pixel unit (1) of a display device. While the light emission control unit (4) is displaying the input data for an Nth frame image by driving the light emitting element (49) in a light emitting interval ($TL(N)$), the input data for an (N+1)th frame image is written to the holding unit (2) paired with the light control unit (4) as a process within a write process interval ($TS(N+1)$) of the (N+1)th frame.

(57) 要約: 表示装置の各画素部(1)において、入力データを保持する保持部(2)と、前記保持部(2)が保持した入力データに基づいて発光素子(49)に流す駆動電流の値を補償する発光制御部(4)とを設け、前記発光制御部(4)がNフレーム目の画像の入力データを発光期間 $TL(N)$ において前記発光素子(49)を駆動して表示させている間に、(N+1)フレーム目の書き込み処理期間 $TS(N+1)$ 内の処理として、(N+1)フレーム目の画像の入力データを、前記発光制御部(4)と対になる前記保持部(2)に書き込む。

明 細 書

発明の名称： 駆動回路、表示装置および駆動方法

技術分野

[0001] 本発明は、表示装置の駆動回路、表示装置および駆動方法に関する。

本願は、２０１２年１２月１９日に、日本に出願された特願２０１２－２７７１１３号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 表示装置（表示パネル）の駆動方式として、多画素化および高精細化に適したアクティブ走査型の駆動方式が利用されている。このような表示装置において、多画素化および高精細化による画素数の増加に伴って、単位時間当たりに表示装置に書き込まれるデータ数が増加する傾向にある。

また、表示装置の一種に有機ＥＬ（エレクトロルミネッセンス）ディスプレイがある。

有機ＥＬディスプレイは、個々の画素に設けられた発光素子の発光量を調節することにより画像を形成して表示する。ただし、発光素子を駆動する駆動回路の特性（閾値特性）が変化すると、表示する画像の画質が低下する。このような画質の低下を低減させるため、駆動回路の特性に応じて画素ごとに発光素子の駆動電流を補正して、画質の低下を低減させる技術が知られている（特許文献１）。

特許文献１によれば、表示するデータ（入力データ）の書込み処理期間と発光期間を各走査線の水平走査期間に対応させて設けており、書込み処理期間において書き込んだデータに基づいて、発光期間の発光量（画素の明るさ）を制御している。画質の低下を低減させるための駆動回路の特性（閾値特性）に応じた補償は、書込み処理期間において行っている。

先行技術文献

特許文献

[0003] 特許文献１：特許第４６３７０７０号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献 1 に示される技術によれば、書込み処理期間と補償処理期間（閾値補償期間）が水平走査期間にそれぞれ必要であるため、表示装置の高精細化が進むと、書込み処理期間および補償処理期間を十分に確保できず、発光素子の光量を制御できなくなるという問題があった。

[0005] 本発明は、上記問題を解決すべくなされたもので、その目的は、表示装置の光量の制御を容易にする表示装置の駆動回路、表示装置および駆動方法を提供することにある。

課題を解決するための手段

[0006] [1] この発明は上述した課題を解決するためになされたものであり、本発明の一態様は、供給された入力データを保持する保持部と、前記保持部が保持した入力データに基づいて発光素子に流す駆動電流の値を補償する発光制御部とを備えることを特徴とする駆動回路である。

[0007] [2] また、上記駆動回路の一態様は、前記発光制御部は、前記保持部が前記入力データを保持した後に、前記発光素子に流す駆動電流の値を補償することを特徴とする。

[0008] [3] また、上記駆動回路の一態様は、前記保持部に入力データを保持させる書込み処理期間と、前記発光制御部が前記発光素子を駆動する期間とが重複することを特徴とする。

[0009] [4] また、上記駆動回路の一態様は、複数の前記保持部において前記入力データを保持させる書込み処理期間と、複数の前記発光制御部が前記駆動電流の値をそれぞれ補償する補償処理期間とを分離して設けていることを特徴とする。

[0010] [5] また、上記駆動回路の一態様は、前記複数の発光制御部は、それぞれの前記駆動電流の値を補償する処理を一括して実施することを特徴とする。

[0011] [6] また、上記駆動回路の一態様は、前記複数の発光制御部は、それぞれの前記補償処理期間を互いに一致させていることを特徴とする。

- [0012] [7] また、上記駆動回路の一態様は、複数の前記保持部に前記入力データを保持させる書込み処理期間と、前記複数の前記発光制御部が前記発光素子を駆動する期間とが重複することを特徴とする。
- [0013] [8] また、上記駆動回路の一態様は、前記複数の保持部は、異なる水平走査信号線に対応して設けられていることを特徴とする。
- [0014] [9] また、上記駆動回路の一態様は、前記保持部は、前記発光素子の発光量を示す入力データに応じた電圧を、定められた所定のタイミングに出力するサンプリングスイッチと、前記サンプリングスイッチから出力される電圧を保持する第 1 の静電容量とを備え、前記発光制御部は、前記保持された入力データとして、前記第 1 の静電容量に保持された電圧に基づいて前記駆動電流の値を補償することを特徴とする。
- [0015] [1 0] また、本発明の一態様は、複数の画素がマトリクス状に配列されるアクティブ走査型の表示装置であって、上記の保持部と発光制御部とを対にしてそれぞれ備えており、前記発光制御部が調整する画素の明るさを示す入力データが書き込み処理によって前記保持部に書き込まれることを特徴とする表示装置である。
- [0016] [1 1] また、上記表示装置の一態様は、前記複数の画素を順に走査する垂直走査期間において、前記複数の画素を順に走査して前記保持部を制御する制御信号を前記画素に送る走査信号線と、前記垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を補償する補償処理を前記複数の画素において一括して実施する範囲に含まれる前記画素に対して、前記走査信号線の延伸方向に沿って、2つの前記走査信号線を組にして前記走査信号線の組ごとに前記補償処理および発光制御にかかわる制御信号を送る制御線とを備え、前記補償処理および発光制御にかかわる制御信号が前記走査信号線の組に応じた信号が供給されることを特徴とする。
- [0017] [1 2] また、上記表示装置の一態様は、前記複数の画素を順に走査する垂直走査期間において、前記複数の画素の前記保持部に書き込む入力データを前記画素に送るデータ信号線と、前記垂直走査期間のうちから定められた所

定の期間に、前記発光制御部において前記駆動電流の値を補償する補償処理を前記複数の画素において一括して実施する範囲に含まれる前記画素に対して、前記データ信号線の延伸方向に沿って、2つの前記データ信号線を組にして前記データ信号線の組ごとに前記補償処理および発光制御にかかわる制御信号を送る制御線とを備え、前記補償処理および発光制御にかかわる制御信号が前記データ信号線の組に応じた信号が供給されることを特徴とする。

[0018] [13] また、上記表示装置の一態様は、前記複数の画素が設けられた表示部の領域が複数の領域に分割され、前記分割された領域のそれぞれに対して、前記駆動電流の値を生成させる補償処理および発光制御にかかわる制御信号が独立して供給されることを特徴とする。

[0019] [14] また、上記表示装置の一態様は、前記複数の画素を順に走査する垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を生成させる補償処理を前記複数の画素において一括して実施する補償処理期間を設けた制御信号が供給され、前記発光制御部は、前記発光素子を駆動する駆動部を備え、前記発光制御部は、前記補償処理期間を設けた制御信号に応じて、前記補償処理期間に前記駆動部の閾値特性に応じて前記駆動電流の値を補償することを特徴とする。

[0020] [15] また、上記表示装置の一態様は、前記複数の画素を順に走査する垂直走査期間のうち、前記供給された入力データを前記保持部において保持させる書込み処理期間と前記駆動電流の値をそれぞれ補償する補償処理期間とを異なる期間に設けた制御信号が供給され、前記保持部は、前記書込み処理期間と前記補償処理期間とを異なる期間に設けた制御信号に応じて、前記書込み処理期間に前記供給された入力データを保持することを特徴とする。

[0021] [16] また、上記表示装置の一態様は、前記書込み処理期間が、前記発光素子を発光させる発光期間に含まれている制御信号が供給され、前記発光制御部は、前記書込み処理期間が、前記発光素子を発光させる発光期間に含まれている制御信号に応じて前記発光期間に前記発光素子を発光させることを特徴とする。

[0022] [17] また、上記表示装置の一態様は、第1フレームの画像を形成する前記入力データに基づいて前記発光素子を発光させる発光期間において、前記保持部は、前記第1フレームの次の第2フレームの画像を形成する前記入力データを保持することを特徴とする。

[0023] [18] また、上記表示装置の一態様は、前記発光制御部は、前記駆動電流を調整する電界効果型トランジスタと、前記電界効果型トランジスタのゲート端子に接続されている第2の静電容量とを備え、前記発光制御部は、前記書込み処理期間と前記補償処理期間との間に、前記電界効果型トランジスタのゲート端子に接続されている第2の静電容量に蓄えられている電荷を放電させることを特徴とする。

[0024] [19] また、上記表示装置の一態様は、前記複数の画素を順に走査する垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を生成させる補償処理を前記複数の画素において一括して実施する補償処理期間を設ける制御信号を生成するタイミング信号生成部を備えることを特徴とする。

[0025] [20] また、上記表示装置の一態様は、前記タイミング信号生成部は、前記垂直走査期間のうち、前記供給された入力データを前記保持部において保持させる書込み処理期間と前記補償処理期間とを異なる期間に設けた制御信号を生成することを特徴とする。

[0026] [21] また、上記表示装置の一態様は、前記タイミング信号生成部は、前記書込み処理期間が、前記発光素子を発光させる発光期間に含まれるように制御する制御信号を生成することを特徴とする。

[0027] [22] また、本発明の一態様は、供給された入力データを保持部が保持するステップと、前記保持部が保持した入力データに基づいて発光素子に流す駆動電流の値を補償するステップとを備えることを特徴とする駆動方法である。

発明の効果

[0028] 本発明によれば、発光素子の光量の制御を容易とする表示装置の駆動回路

、表示装置および駆動方法を提供することが可能となる。

図面の簡単な説明

- [0029] [図1]第1実施形態における画素部を示す概略構成図である。
- [図2]本実施形態における画素部の表示制御を示すタイミング図である。
- [図3]本実施形態における表示装置のブロック図である。
- [図4]本実施形態における画素部を示す回路図である。
- [図5]本実施形態における画素部の駆動を示すタイミング図である。
- [図6]第2実施形態における画素部の構成を示す回路図である。
- [図7]本実施形態における画素部の駆動を示すタイミング図である。
- [図8]本実施形態における表示装置のブロック図である。
- [図9]第3実施形態における表示装置を示すブロック図である。
- [図10]本実施形態における画素部の駆動を示すタイミング図である。

発明を実施するための形態

[0030] 以下、図面を参照して、本発明の実施形態について説明する。

[0031] (第1実施形態)

図1は、本発明の実施形態の表示装置に係る画素部の基本構成を示す図である。

図1において、画素部1は、保持部2と発光制御部4とを含んで構成される。画素部1は、書き込まれた入力データに応じた明るさで発光するように、発光制御部4に設けられた発光素子の発光量を調整する。

なお、画素部1がカラー表示を行う場合には、画素部1は複数のサブ画素を備える。この場合には、上記の保持部2と発光制御部4との組は、画素部1内のサブ画素の数に応じて複数設けられる。

[0032] 画素部1には、入力データが供給されるデータ信号線 D_j 、書き込みタイミング（サンプリングタイミング）を示す走査線 SC_i （走査信号線）、各種制御信号（信号 s_{TRN} 、信号 s_{CV} 、信号 s_{EV} 、信号 s_{EMI} 、信号 s_{INI} ）が供給される制御線の組 CL_k 、および、基準電位となる電源線（ VSS 等）が接続されている。それぞれの信号についての詳細は後述する

。

[0033] 保持部 2 は、データ信号線 D_j を介して発光素子の発光量を示す入力データの供給を受け、走査線 SC_i を介して供給される書き込みタイミング（サンプリングタイミング）に応じて、上述の供給された入力データを静電容量（図 4 において C_1 で示すもの。）に保持する。

発光制御部 4 は、発光素子を発光させる駆動電流を流す駆動部を備える。駆動部は発光素子の駆動電流を調整する能動型半導体素子を備えており、発光制御部 4 は、能動型半導体素子の閾値特性に応じて発光素子の駆動電流の値を補償する補償処理を実施する。発光制御部 4 は、保持部 2 に保持された入力データに基づいて上記の補償処理によって補償した発光素子の駆動電流の値を生成し、生成した値に応じて駆動電流を制御する。

これにより、供給された入力データを保持部 2 が保持することにより、発光制御部 4 は、保持部 2 が保持した入力データに基づいて、発光素子に流す駆動電流の値を補償する。

また、発光制御部 4 は、保持部が入力データを保持した後に、発光素子に流す駆動電流の値を補償することもできる。

[0034] 図 2 は、本実施形態における画素部の表示制御を示すタイミング図である。

図 2 には、 N フレーム目から $(N+2)$ フレーム目までの 3 つのフレームの映像信号を画素部に表示させる制御のタイミングを示す。

各フレームの処理を次に示す 3 つの期間に分けて実施する。この 3 つの期間は、書き込み処理期間、補償処理期間および発光期間である。

書き込み処理期間 T_s は、入力データを保持部 2 に保持させる期間である。この書き込み処理期間 T_s において、垂直同期期間に同期してフレームを単位として書き込まれる入力データを、それぞれの保持部 2 が保持する。書き込み処理期間 T_s には、複数の入力データが時分割で供給されており、そのうち対象となる入力データが、当該入力データに対応する保持部 2 に書き込まれる。

[0035] 補償処理期間 T_c は、発光制御部 4 が発光素子の駆動電流の値をそれぞれ補

償する期間である。例えば、この補償処理期間 T_c において発光制御部 4 は、保持部 2 において保持されている入力データに基づいて発光素子の駆動電流の値を生成するとともに、生成した駆動電流の値を補償する。

発光期間 T_L は、補償された駆動電流の値に応じた明るさで、発光素子をそれぞれ発光させる期間である。

このように、本実施形態では、フレーム単位で実施する処理を、互いに期間が重複しない書込み処理期間 T_s 、補償処理期間 T_c 、発光期間 T_L の何れかに割り当てている。

[0036] また、上記のフレーム単位で実施する処理（すなわち、フレームを跨らないで行われる処理）は、書込み処理期間、補償処理期間、発光期間の順に実行される。例えば、 N フレーム目の場合、書込み処理期間 $T_s(N)$ 、補償処理期間 $T_c(N)$ 、発光期間 $T_L(N)$ の順に従って実行される。同様に、 $(N+1)$ フレーム目の場合、書込み処理期間 $T_s(N+1)$ 、補償処理期間 $T_c(N+1)$ 、発光期間 $T_L(N+1)$ の順に従って処理が実行される。 $(N+2)$ フレーム目の場合、書込み処理期間 $T_s(N+2)$ 、補償処理期間 $T_c(N+2)$ 、発光期間 $T_L(N+2)$ の順に従って処理が実行される。

[0037] なお、各フレームの表示に割り当てられる時間は、垂直走査期間（ $1V$ ）の長さである。図 2 に示されるように、 N フレーム目の垂直走査期間（ $1V$ ）には、上記の書込み処理期間 $T_s(N)$ 、補償処理期間 $T_c(N)$ を割り当てられているが、発光期間 $T_L(N)$ は N フレーム目の垂直走査期間（ $1V$ ）に収まらない。そこで、発光期間 $T_L(N)$ は、次の $(N+1)$ フレーム目に割り当てられる。要するに、書込み処理期間 $T_s(N)$ と発光期間 $T_L(N)$ とは、2 つのフレームの期間にそれぞれ割り当てられている。

[0038] 上記のように、発光制御部 4 は、保持部 2 が書込み処理期間 $T_s(N)$ において入力データを保持した後に、補償処理期間 $T_c(N)$ において発光素子に流す駆動電流の値を補償する。

異なるフレーム、例えば、 N フレーム目と $(N+1)$ フレーム目とにおいて、 $(N+1)$ フレーム目において保持部 2 に入力データを保持させる書込

み処理期間 $T_s(N+1)$ と、 N フレーム目において発光制御部4が発光素子を駆動する発光期間 $T_L(N)$ とを重複させている。

[0039] 単一の画素部1に着目し、書き込み処理期間と補償処理期間との関係を説明する。同じ画素部1において保持部2が書き込み処理を実施するタイミングと、発光制御部4が発光素子を発光させる処理を実施するタイミングとが重なるタイミングがある。より具体的に説明すると、 N フレーム目の画像の情報（入力データ）を発光期間 $T_L(N)$ において発光制御部4が発光素子を駆動して表示させている間に、 $(N+1)$ フレーム目の書き込み処理期間 $T_s(N+1)$ 内の処理として、 $(N+1)$ フレーム目の画像の情報（入力データ）が、上記発光制御部4と対になる保持部2に書き込まれる。

[0040] 次に、複数の画素部1を備える場合において、書き込み処理期間と補償処理期間との関係を説明する。この図2に示されるタイミングは、複数の画素部1が設けられた表示パネルの場合にも適用される。この場合、複数の保持部2に入力データをそれぞれ保持させる書き込み処理が書き込み処理期間の内で行われる。また、発光期間において、複数の発光制御部4が発光素子をそれぞれ駆動する。そのため、複数の画素部1が設けられている場合においても単一の画素として説明した場合と同様に、複数の保持部2に入力データを保持させる書き込み処理期間と、複数の発光制御部4が発光素子を駆動する期間とが重複するように設けることができる。

このように、複数の保持部2に入力データを保持させる書き込み処理期間と、複数の発光制御部4が発光素子を駆動する期間とを重複させることにより、書き込み処理期間と、複数の発光制御部4が発光素子を駆動する期間とを分けて設けた場合より、それぞれの時間を確保することができる。

[0041] なお、この場合の複数の保持部2は、異なる水平走査線（水平走査信号線）に対応して設けられているものとする。

このように、複数の保持部は、異なる水平走査線に対応して設けられていることにより、書き込み処理期間と、複数の発光制御部が発光素子を駆動する期間とを重複させた場合であっても、それぞれの処理を独立に実施すること

ができることから、同じ水平走査信号線に対応して設けた場合より、それぞれの時間を効率良く利用することができる。

[0042] 次に、フレーム内の処理に着目し、書込み処理期間と補償処理期間との関係を説明する。フレームに応じた所定の範囲に含まれる複数の保持部2において入力データを保持させる書込み処理期間と、複数の発光制御部4が発光素子の駆動電流の値をそれぞれ補償する補償処理期間とを分離して設けることができる。

このように、複数の保持部において入力データを保持させる書込み処理期間と、複数の発光制御部が発動電流の値をそれぞれ補償する補償処理期間とを分離して設けることができる。

[0043] なお、同一フレーム内の閾値補償処理として、複数の発光制御部4は、それぞれの駆動電流の値を一括して補償してもよい。

このように、複数の発光制御部は、それぞれの駆動電流の値を補償する処理を一括して実施することから、独立に実施するより短時間に処理を終えることができる。

[0044] また、複数の発光制御部は、それぞれの補償処理期間を互いに一致させることにより実施してもよい。

このように、複数の発光制御部は、それぞれの補償処理期間を互いに一致させていることから、独立に実施するより短時間に処理を終えることができる。

[0045] 以上に示す本実施形態において、画素部1の駆動回路6は、書込み処理期間および補償処理期間を確保して、発光素子の光量の制御を容易とすることができる。

[0046] 図3は、本実施形態に係る表示装置31Aの構成を示すブロック図である。表示装置31Aは、表示パネル32A、制御部37、タイミング信号生成部38Aおよび電源部39を備える。

表示パネル32Aは、 n 行 m 列のマトリクス状に配列された複数の画素部1を有する表示部34Aと、各画素部1を駆動する走査線駆動部33A、3

5 A と、データ線駆動部 3 6 とを含んで構成される。表示パネル 3 2 A は、アクティブ走査型の駆動方式により駆動される。

走査線駆動部 3 3 A は、制御線の組 C L 2 ~ C L n に制御信号を供給する。走査線駆動部 3 5 A は、走査線 S C 1 ~ S C n に制御信号を供給する。

[0047] 表示部 3 4 A、走査線駆動部 3 3 A、3 5 A およびデータ線駆動部 3 6 は、製造時の工程と配線容量を低減するために、同一基板上にモノリシックに形成される。また、多くの画素部 1 を集積し、表示面積を拡大するために、表示部 3 4 A、走査線駆動部 3 3 A、3 5 A およびデータ線駆動部 3 6 は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタなどから構成される。以上の製造時の工程は例示である。

[0048] 表示部 3 4 A は、相互に交差する水平方向の n 本の走査線 S C 1 ~ S C n および垂直方向の m 本のデータ信号線 D 1 ~ D m によって区画され、各信号線の交点の位置に複数の画素部 1 が設けられている。

制御線の組 C L 2 ~ C L n は、走査線 S C 1 ~ S C n の延伸方向に沿って設けられている。2 つの走査線ごとに 1 つの制御線が設けられることから、制御線の組 C L 2 ~ C L n の総数は、走査線 S C 1 ~ S C n の総数の半分である。制御線の組 C L 2 ~ C L n には、例えば、制御線 T R N、制御線 C V、制御線 E M I、制御線 E V、制御線 I N I が含まれる。

走査線 S C 1 ~ S C n は、複数の画素部 1 を順に走査する垂直走査期間において、保持部 2 を制御する信号 s S C i (制御信号) を画素部 1 に送る。垂直走査期間のうちから定められた所定の期間に、駆動電流の値を補償する補償処理を複数の画素において一括して実施する範囲が定められている。制御線の組 C L 2 ~ C L n は、一括して実施する範囲の画素部 1 に対して同じ制御信号を供給する。

制御線の組 C L 2 ~ C L n により、補償処理および発光制御にかかわる制御信号が走査線の組に応じた信号が供給される。

1 つの制御線、例えば制御線の組 C L 2 を設ける領域は、走査線 S C 1 と S C 2 がそれぞれ接続される 2 つの画素部 1 の間とする。このように、対応

する2つの画素部1の組の間に配線領域を設けることにより、制御線の組CL2から、走査線SC1に接続される画素部1までの配線と、走査線SC2に接続される画素部1までの配線を効率よく実施することができ、配線領域を低減することができる。制御線の組CL4からCLnまで同様に配線領域を設けることとする。

このように2つの走査線ごとに補償処理および発光制御にかかわる制御信号を送る制御線を設けたことにより、配線領域を削減することができる。

[0049] 図4は、本実施形態における画素部1の構成を示す回路図である。図4に示す各アクティブ素子は、電界効果型トランジスタ、特にPMOS型であるが、NMOS型を用いてもよい。以下では、本実施例に関して電界効果型トランジスタを「トランジスタ」と略称する。

[0050] 画素部1A(1)は、保持部2と発光制御部4Aとを含んで構成される。なお、画素部1が3原色に応じた複数のサブ画素を含んで構成される場合には、保持部2と発光制御部4Aは、サブ画素の数に応じて複数設けられる。

保持部2は、トランジスタ21と、静電容量C1(「第1の静電容量」と言うことがある)と、を含んで構成される。

トランジスタ21は、ゲートが走査線SCiへ接続され、ソースがデータ線Djに接続される。

静電容量C1は、トランジスタ21のドレインに一方の電極が接続され、他方の電極は、共通電極線に接続されている。図4では、共通電極線を接地として図示する。トランジスタ21のドレインと静電容量C1との接続点をノードNAと称する。

なお、静電容量C1は、複数のコンデンサを並列に接続して構成してもよいし、配線領域の浮遊容量を含めてもよい。

[0051] したがって、走査線SCiが選択されると、保持部2においてトランジスタ21が導通し、データ線Djに印加された電圧が静電容量C1に印加される。一方、走査線SCiの選択期間が終了して、電界効果型トランジスタ21が遮断されている間、静電容量C1は、遮断時の静電容量C1の電圧を保持

し続ける。したがって、走査線 SC_i を選択し、データ信号線 D_j へ映像信号 DAT を印加することで、画素部 1 の光量を制御する電圧をノード N_A に保持させることができる。

トランジスタ 21 は、画素の発光量を示す入力データに応じた電圧を、定められた所定のタイミングで出力するサンプリングスイッチとして機能する。なお、トランジスタ 21 をサンプリングスイッチとして例示したが、他の形態のスイッチを用いてもよい。

このように、保持部 2 は簡素な構成でありながら、保持された入力データとして静電容量 C_1 に保持された電圧に基づいて、駆動電流の値を補償することができるという効果を奏する。

[0052] 次に、発光制御部 4 A について説明する。

発光制御部 4 A は、トランジスタ 41、42、43、44、45、46、静電容量 C_3 （「第 2 の静電容量」と言うことがある。）、および発光素子 49 を含んで構成される。

トランジスタ 41 は、ゲートが制御線 IN へ接続され、ソースが制御線 VL に接続される。

トランジスタ 42 は、ゲートが制御線 TRN へ接続され、ソースが保持部 2 のノード N_A に接続される。

トランジスタ 43 は、ゲートがトランジスタ 41 のドレインへ接続され、ソースがトランジスタ 42 のドレインへ接続される。トランジスタ 42 のドレインとトランジスタ 43 のソースとの接続点をノード N_C と称し、トランジスタ 43 のゲートとトランジスタ 41 のドレインとの接続点をノード N_B と称する。

ノード N_B には、静電容量 C_3 の一方の電極が接続され、他方の電極は、共通電極線に接続される。

トランジスタ 44 は、ゲートが制御線 CV へ接続され、ソースがノード N_B へ接続され、ドレインがトランジスタ 43 のドレインへ接続される。トランジスタ 43 のドレインとトランジスタ 44 のドレインとの接続点をノード N_D

と称する。

トランジスタ46は、ゲートが制御線EMIへ接続され、ソースが制御線EVへ接続され、ドレインがノードN_Cへ接続される。

トランジスタ45は、ゲートが制御線EMIへ接続され、ドレインがノードN_Dへ接続され、ソースが発光素子49のアノードへ接続される。

発光素子49は、カソードが電源線VSSへ接続される。

[0053] 制御線CVの電圧がトランジスタ44のゲートに加わることによりトランジスタ44を遮断状態にし、そして制御線INIの電圧がトランジスタ41のゲートに加わることによりトランジスタ41を導通させると、制御線VLの電圧が静電容量C3に印加され、静電容量C3の電位を初期化する。

[0054] ここで、図3に戻り説明を続ける。

制御部37は、外部から供給される制御信号および映像信号を基にして、映像信号DATや、垂直走査期間の同期信号である信号VSYNC、水平走査期間の同期信号である信号HSYNC、などを生成する。制御部37は、各画素部1への映像信号DATを時分割でデータ線駆動部36に供給する。

制御部37は、信号VSYNC、HSYNCをタイミング信号生成部38Aに供給する。

[0055] タイミング信号生成部38Aは、表示部34A、走査線駆動部33A、35A、データ線駆動部36および電源部39を機能させる各種タイミング信号を生成する。

タイミング信号生成部38Aは、生成したタイミング信号を走査線駆動部33Aに供給する。走査線駆動部33Aを機能させるタイミング信号は、信号VSYNCに同期する。

タイミング信号生成部38Aは、走査線駆動部35Aおよびデータ線駆動部36を機能させるタイミング信号を生成し、生成したタイミング信号を走査線駆動部35Aおよびデータ線駆動部36に供給する。走査線駆動部35Aおよびデータ線駆動部36を機能させるタイミング信号は、信号VSYNCと信号HSYNCに同期する。

タイミング信号生成部 38A は、タイミング信号を電源部 39 に供給する。電源部 39 を機能させるタイミング信号は、信号 VSYNC と信号 HSYNC に同期する。

タイミング信号生成部 38A は、複数の画素部 1 を順に走査する垂直走査期間の内から定められた所定の期間に、複数の画素において補償処理を一括して実施する補償処理期間を設ける制御信号を生成する。この補償処理は、発光制御部 4A において発光素子 49 の駆動電流の値を補償する処理である。

これにより、表示装置（表示パネル）を駆動させる各種タイミング信号を生成するとともに、さらに、垂直走査期間のうちから定められた所定の期間を補償処理期間として定めて、複数の画素における補償処理を一括して実施することができる。

[0056] タイミング信号生成部 38A は、垂直走査期間の内、保持部 2 において駆動電流を保持させる書込み処理期間と補償処理期間とを異なる期間に設けた制御信号を生成する。

このように書込み処理期間と補償処理期間とを異なる期間に設けたことにより、それぞれの処理を、それぞれの期間の中で纏めて処理できることにより、有効に時間を利用することができる。

[0057] タイミング信号生成部 38A は、書込み処理期間が発光素子 49 を発光させる発光期間に含まれるように制御する制御信号を生成する。

このように書込み処理期間を発光期間に含ませることにより、発光期間と書込み処理期間を必ずしも一致させる必要がなくなり、発光期間の範囲内で独立させて制御可能になる。これにより、書込み処理期間のタイミングに縛られることなく発光期間を書込み処理期間よりも長くできる。

[0058] データ線駆動部 36 は、タイミング信号生成部 38A から供給されるタイミング信号に同期して、映像信号 DAT から各画素部 1 へ供給する映像データを抽出する。

具体的には、データ線駆動部 36 は、タイミング信号生成部 38A から供

給されるタイミング信号に同期して、映像信号DATを抽出して、各データ信号線D1～Dmへ出力する。例えば、各データ信号線D1～Dmへ出力する信号は、映像信号DATに応じたアナログ信号とする。この場合、データ線駆動部36は、映像信号DATに基づいて、映像信号DATに応じた電圧を生成する。

[0059] 同様に、走査線駆動部33Aは、タイミング信号生成部38Aから供給されるタイミング信号に同期して、所定の間隔ずつタイミングが異なる走査信号を各走査線SC1～SCnへ出力する。

[0060] また、制御部37と電源部39は外部から電力の供給を受ける。電源部39は、表示装置内の各部に電力を供給し、各部を機能させる基準電位を定める。

[0061] 図5は、表示部34Aの駆動を示すタイミング図である。表示部34Aの駆動に係る処理には、書込み処理期間、閾値補償処理期間および発光期間において実施する処理がある。

[0062] 図5には、上から順に、処理の段階を示すステップ番号の他、信号sSCi、入力データsDj、ノードNAの電位(V1)、信号sINI、ノードNBの電位(V2)、信号sEV、信号sCV、信号sEMI、信号sTRNの各信号が並べて示されている。上記の信号のうち、入力データsDj、ノードNAの電位(V1)、ノードNBの電位(V2)、信号sEVは、それぞれの電位を示すアナログ値を示す。信号sSCi、信号sINI、信号sCV、信号sEMI、信号sTRNは、H（ハイ）レベルとL（ロウ）レベルに2値化された論理状態を取る。図5に示される各種信号の状態を変化させるタイミングは、前述のタイミング信号生成部38Aが生成したものである。

[0063] 以下、各ステップにおける処理を順に説明する。

（ステップ0）各信号の初期状態を次のように定める。全制御信号、すなわち信号sSCi、信号sINI、信号sCV、信号sEMIおよび信号sTRNの信号レベルをHレベルにする。したがって、トランジスタ21、41、42、44～46が遮断状態になる。

トランジスタ43は、前フレームでのノード N_B の電位(V_2)の電位に依存して導通または遮断のいずれかの状態を取る。

[0064] (ステップ1) 信号 s_{SCi} をLレベルに遷移させ、そして入力データ D_j には、書き込む入力データの値に応じた電圧 V_{data} が供給される。トランジスタ21のゲートに信号 s_{SCi} が加わるので、トランジスタ21が導通状態になり、ノード N_A の電位(V_1)が V_{data} になる。したがって、コンデンサC1は、 V_{data} の電圧に充電される。

[0065] (ステップ2) 信号 s_{SCi} をHレベルに戻して、トランジスタ21を遮断状態に遷移させる。ノード N_A の電位は、コンデンサC1の電圧に基づいて V_{data} に保持される。

[0066] (ステップ11) トランジスタ41のソースに電圧 V_L を供給するとともに、信号 s_{INi} をLレベルに遷移させる。これにより、信号 s_{INi} がゲートに加わるトランジスタ41が導通状態になり、ノード N_B の電位が V_L になる。ノード N_B に一方の電極が接続されたコンデンサC3は、電圧 V_L に充電された状態になる。ノード N_C 、ノード N_D はフローティングであるが、ノード N_C はノード N_B の電位(V_2)が V_L であり、ノード N_C は V_L よりも高い電位を取るので、トランジスタ43は通常は導通状態となる。

[0067] (ステップ12) 信号 s_{INi} をHレベルに戻し、信号 s_{INi} がゲートに印加されるトランジスタ41を遮断状態に遷移させる。これにより、コンデンサC3の一方の電極が接続されたノード N_B の電位が V_L に保持されることにより、トランジスタ43が導通状態である。

また、信号 s_{EV} を電圧 V_{ini} にするとともに、信号 s_{CV} をLレベルに遷移させ、信号 s_{EMI} をHレベルからLレベルに遷移させる。信号 s_{EMI} がゲートに加わるトランジスタ46が導通状態になり、ノード N_C が電位 V_{ini} になる。併せて、信号 s_{CV} がゲートに加わるトランジスタ44が導通状態になり、トランジスタ43のゲートの電位と同電位のノード N_B の電位が V_{ini} に対してトランジスタ43の閾値特性に応じて補償された電位($V_{ini} - V_{th}$)になるまでコンデンサC3が放電する。ただし、 V_t

hはトランジスタ43の閾値である。また電位 V_{ini} と電位 $(V_L + V_{th})$ は、次の式(1)に示す条件を満たすものとする。

[0068]
$$V_{ini} > V_L + V_{th} \quad (1)$$

[0069] (ステップ13) 信号 s_{CV} をLレベルに維持したまま、信号 s_{EMI} をHレベルに戻し、信号 s_{TRN} をLレベルに遷移させる。これにより、トランジスタ46が遮断状態になり、トランジスタ42が導通状態になる。したがって、ノード N_A の電位とノード N_B の電位とに基づいてノード N_B の電位が充電される。要するに、保持部2において保持されていたデータ入力に応じた電位を、発光制御部4に転送するとともに、駆動電流の値を生成するに当たりトランジスタ43の閾値特性に応じた補償処理を実施する。

[0070] (ステップ14) 信号 s_{CV} をHレベルに戻し、信号 s_{TRN} をHレベルに戻し、トランジスタ44およびトランジスタ42を遮断状態にする。

さらに、信号 s_{EV} に電位 V_{DD} を供給するとともに、信号 s_{EMI} を再びLレベルに遷移させる。これにより、トランジスタ46およびトランジスタ45が導通状態になり、発光素子49に所望の駆動電流を流して、発光素子49を所望の明るさで発光させることができる。

[0071] 上記の(ステップ1)が書込み処理期間に含まれ、(ステップ11)から(ステップ13)が補償処理期間に含まれ、(ステップ14)が発光期間に相当する。また、上記の(ステップ0)又は(ステップ2)の範囲で、(ステップ1)の処理を行った水平走査線と異なる水平走査線に応じた画素部1に対する書き込み処理が行われる。

[0072] 次に、本実施形態における閾値補償動作の詳細について説明する。

入力データ(V_{data})に応じたノード N_A の電位 V_1 を式(2)に示す。

[0073]
$$V_1 = V_{data} \quad (2)$$

[0074] ノード N_B の電位を電位 V_2 として式(3)に示す。この式(3)の電位は、上記の(ステップ11)の状態に対応する。

[0075]
$$V_2 = V_L \quad (3)$$

[0076] ノードN_Bの電位V₂の変化を式(4)に示す。この式(4)の電位は、上記の(ステップ12)の状態に対応する。

$$[0077] \quad V_2 = V_{ini} - V_{th} \quad (4)$$

[0078] ただし、V_{th}はトランジスタ43の閾値である。上記式(4)において、トランジスタ42およびトランジスタ43とを介して、トランジスタ43の閾値の情報が、コンデンサC3が保持する情報として書き込まれるための条件として、式(5)の条件を満たすものとする。

$$[0079] \quad V_{ini} - V_{th} < V_{data} - V_{th} \quad (5)$$

$$[0080] \quad Q_1 = C_1 \times V_{data} \quad (6)$$

$$[0081] \quad Q_2 = C_2 \times (V_{ini} - V_{th}) \quad (7)$$

[0082] 上記式(5)において、式(4)のノードN_Bの電位V₂の初期値を定める際に、電位V₂は入力データV_{data}よりV_{th}ほど低い電位よりさらに下げて設定する。

また、Q₁は静電容量C₁に蓄積される電荷であり、Q₂は静電容量C₃に蓄積される電荷である。

[0083] ノードN_Bの電位V₂の変化を式(8)に示す。式(8)の電位は、上記の(ステップ14)の状態に対応する。

$$[0084] \quad V_2 = V_1 - V_{th} \quad (8)$$

[0085] 上記式(8)において、式(9)と式(10)に示す関係がある。

$$[0086] \quad Q_1 = C_1 \times V_1 = C_1 \times (V_2 + V_{th}) \quad (9)$$

$$[0087] \quad Q_2 = C_2 \times V_2 \quad (10)$$

[0088] 式(6)と式(7)、および、式(9)と式(10)から、並列に接続された静電容量C₁と静電容量C₃の電荷量が一定に保たれることにより、式(11)の関係が導かれる。

$$[0089] \quad \begin{aligned} Q_1 + Q_2 &= C_1 \times (V_2 + V_{th}) + C_2 \times V_2 \\ &= C_1 \times V_{data} + C_2 \times (V_{ini} - V_{th}) \end{aligned} \quad (11)$$

[0090] 上記の式(11)をV₂について整理すると式(12)の関係がある。

$$\begin{aligned}
 [0091] \quad V_2 = & C_1 / (C_1 + C_2) \times V_{data} \\
 & + C_2 / (C_1 + C_2) \times V_{ini} - V_{th} \quad (12)
 \end{aligned}$$

[0092] 次に、発光素子49の駆動電流 I_L を式(13)に示す。

$$[0093] \quad I_L = 1/2 \beta (V_{DD} - V_2 - V_{th})^2 \quad (13)$$

[0094] 上記式(13)において、 β は係数を示し、 V_{th} はトランジスタ43の閾値である。

上記式(13)に上記式(12)を適用すると、駆動電流 I_L を式(14)によって示すことができる。

$$\begin{aligned}
 [0095] \quad I_L = & 1/2 \beta (V_{DD} - C_1 / (C_1 + C_2) \times V_{data} \\
 & - C_2 / (C_1 + C_2) \times V_{ini})^2 \quad (14)
 \end{aligned}$$

[0096] 上記式(14)に示されるように、駆動電流 I_L は閾値 V_{th} に依存する項がなくなることから、閾値の影響を受けることなく駆動電流を導くことができる。

[0097] 書込み処理期間と補償処理期間を分割し、閾値補償をある表示領域で一括して行うことで閾値補償時間を削減することができる。また、一括して閾値補償を行う表示領域は全走査線数(1V分)を整数で割った走査線数分であることが望ましい。例えば、1V分のデータを画素電極にラッチした後、一括で閾値補償を行う。閾値補償は、データラッチ部に蓄えられた電荷を閾値補償部に転送し、トランジスタ43の閾値補償された電圧を生成する。

[0098] 以上に示す本実施形態において、表示装置31Aは、書込み処理期間および補償処理期間を確保して、発光素子の光量の制御を容易とすることができる。

[0099] (第2実施形態)

[0100] 図6は、本実施形態における画素部1の構成を示す回路図である。

図6に示す画素部1B(1)は、保持部2と発光制御部4Bとを含んで構成される。図4に示す画素部1Aに対して図6に示す画素部1Bは、図4の発光制御部4Aに代えて発光制御部4Bを備える点が相違する。また、タイ

ミング信号生成部 38A からの制御信号から、信号 s_{IN} と信号 s_{EV} とが削除されている。

[0101] 次に、発光制御部 4B について説明する。

発光制御部 4B は、トランジスタ 42、43、44、45、48 と、静電容量 C_2 、 C_3 と発光素子 49 とを備える。

トランジスタ 42 は、ゲートが制御線 TRN へ、ソースが保持部 2 のノード N_A に接続される。

トランジスタ 48 は、ゲートが制御線 CV へ、ソースが電源 VDD に接続され、ドレインがトランジスタ 42 のドレインに接続される。トランジスタ 42 のドレインとトランジスタ 48 のドレインとの接続点をノード N_C と称する。

ノード N_C には、静電容量 C_2 の一方の電極が接続されている。

[0102] トランジスタ 44 は、ゲートが制御線 CV へ接続され、ソースが静電容量 C_2 の他方の電極に接続される。トランジスタ 44 のソースと静電容量 C_2 の他方の電極との接続点をノード N_B と称する。

ノード N_B には、静電容量 C_3 の一方の電極が接続され、静電容量 C_3 の他方の電極が電源線 VDD に接続されている。

[0103] トランジスタ 43 は、ゲートがノード N_B へ接続され、ソースが電源線 VDD に接続され、ドレインがトランジスタ 44 のドレインへ接続される。トランジスタ 43 のドレインとトランジスタ 44 のドレインとの接続点をノード N_E と称する。

トランジスタ 45 は、ゲートが制御線 EMI へ接続され、ドレインがノード N_E へ接続され、ソースが発光素子 49 のアノードへ接続される。

発光素子 49 は、カソードが電源線 VSS へ接続される。

[0104] 図 7 は、本実施形態における画素部の駆動を示すタイミング図である。

この図 7 に示されるタイミング図は、前述の書込み処理期間、閾値補償処理期間、発光期間に対応する処理を時系列に従う順に示す。

[0105] 図 7 には、一番上に処理の段階を示すステップ番号が示されている。図 7

には、上から順に、信号 s_{SCi} 、入力データ s_{Dj} 、ノード N_A の電位 (V_1)、ノード N_B の電位 (V_2)、ノード N_C の電位 (V_3)、信号 s_{CV} 、信号 s_{EMI} 、信号 s_{TRN} の各信号が並べて示されている。上記の信号のうち、入力データ s_{Dj} 、ノード N_A の電位 (V_1)、ノード N_B の電位 (V_2)、ノード N_C の電位 (V_3) は、それぞれの電位を示すアナログ値を示し、信号 s_{SCi} 、信号 s_{CV} 、信号 s_{EMI} 、信号 s_{TRN} は、2 値化された論理状態を示す。

[0106] (ステップ0) 各信号の初期状態を次のように定める。全制御信号 (信号 s_{SCi} 、信号 s_{CV} 、信号 s_{EMI} 、信号 s_{TRN}) の信号レベルを、H (ハイ) レベルにする。

[0107] (ステップ1) 信号 s_{SCi} を L (ロウ) レベルに遷移させて、入力データ s_{Dj} には、書き込む入力データの値に応じた電位 V_{data} が供給される。これにより、トランジスタ 21 が導通状態になりノード N_A の電位 (V_1) が電位 V_{data} になる。

[0108] (ステップ2) 信号 s_{SCi} を H レベルに戻して、トランジスタ 21 を遮断状態に遷移させる。これにより、ノード N_A の電位 (V_1) が電位 V_{data} に保持される。

[0109] (ステップ12) 信号 s_{CV} を L レベルに遷移させる。これにより、トランジスタ 48 が導通状態になり、ノード N_C の電位 (V_3) が電位 V_{DD} に充電される。併せてトランジスタ 44 が導通状態になり、ノード N_B の電位 (V_2) が電位 ($V_{DD} - T_{th}$ (トランジスタ 43 の閾値)) になる。

(ステップ13) 信号 s_{CV} を H レベルに戻し、信号 s_{TRN} を L レベルに遷移させる。

これにより、トランジスタ 44、48 が遮断状態になり、トランジスタ 42 が導通状態になることで、ノード N_A の電位 (V_1) とノード N_C の電位 (V_3) とに基づいてノード N_B の電位 (V_2) が充電される。保持部 2 において保持されていたデータ入力に応じた電圧を、発光制御部 4B に転送するとともに、駆動電流の値を生成するに当たりトランジスタ 43 の閾値特性に応じ

た補償処理を行う。このノードN_Bの電位（V₂）に基づいて駆動電流が定まる。

[0110] （ステップ14）信号s_{TRN}をHレベルに戻し、トランジスタ42を遮断状態にする。

また、信号s_{EMI}をLレベルに遷移させる。これにより、TR48が導通状態になり、発光素子49に所望の駆動電流を流して、発光素子49を所望の明るさで発光させることができる。

[0111] 上記（ステップ1）が書込み処理期間に含まれ、（ステップ12）と（ステップ13）が補償処理期間に含まれ、（ステップ14）が発光期間に相当する。

[0112] 次に、本実施形態における閾値補償動作の詳細について説明する。

入力データ（V_{data}）に応じたノードN_Aの電位V₁を式（15）に示す。

$$[0113] \quad V_1 = V_{data} \quad (15)$$

[0114] ノードN_Bの電位を電位V₂として式（16）に示す。

$$[0115] \quad V_2 = V_{DD} - V_{th} \quad (16)$$

[0116] 上記式（16）において、V_{th}はトランジスタ43の閾値である。

[0117] ここで、本実施形態におけるステップ12からステップ13に状態が遷移する場合において、信号s_{CV}がHに遷移する時点のノードN_AとノードN_Cとのそれぞれに蓄積されている電荷量を、Q₁とQ₃とすると、以下の式（17）が導かれる。

$$\begin{aligned}
 [0118] \quad Q_1 &= V_1 \times C_1 = V_{data} \times C_1 \quad Q_3 = (V_3 - V_{DD}) \times C_2 \times C_3 / (C_2 + C_3) \\
 &= (V_{DD} - V_{DD}) \times C_2 \times C_3 / (C_2 + C_3) \\
 &= 0 \quad (17)
 \end{aligned}$$

[0119] 上記の式（17）から導かれるように、ステップ12からステップ13に状態が遷移する場合に信号s_{CV}がHに遷移した直後には、ノードN_Cの電位（V₃）がV_{DD}になることから、電荷Q₃は、0とみなすことができる。

[0120] また、ステップ13において信号sTRNがLに保持されていることから、トランジスタ42を介してコンデンサC1と直列に接続されたコンデンサC2、C3が並列に接続されるようになり、それぞれに蓄積された電荷量(Q1とQ3)が保存されることから、ノードN_cの電位が電位V3になって安定するとすれば、式(18)に示される関係が導かれる。

$$[0121] \quad Q1 + Q3 = V_{data} \times C1 + 0 = V3 \times C1 + (V3 - VDD) \times C2 \times C3 / (C2 + C3) \quad (18)$$

[0122] 上記の式(18)を電位V3について整理すると、下記の式(19)が導かれる。

$$[0123] \quad V3 = (V_{data} \times C1 + VDD \times C2 \times C3 / (C2 + C3)) / (C1 + C2 \times C3 / (C2 + C3)) \quad (19)$$

[0124] ここでノードN_Bの電位V2は、ノードN_cの電位V3の電位変化の影響を受ける。

電位変化の影響を考慮した電位V2を式(20)に示す。

$$[0125] \quad V2 = ((V3 - VDD) \times C2 / (C2 + C3) + VDD - V_{th}) = V_{cd} - V_{th} \quad (20)$$

[0126] 次に、発光素子49の駆動電流I_Lを式(21)に示す。

$$[0127] \quad I_L = 1/2 \beta (VDD - V2 - V_{th})^2 \quad (21)$$

[0128] 上記式(21)において、βは係数を示し、V_{th}が、トランジスタ43の閾値である。上記式(21)に上記式(20)を適用すると、駆動電流I_Lを式(22)によって示すことができる。

$$[0129] \quad I_L = 1/2 \beta (VDD - V_{cd} + V_{th} - V_{th})^2 = 1/2 \beta (VDD - V_{cd})^2 \quad (22)$$

[0130] 上記式(22)に示されるように、駆動電流I_Lは閾値V_{th}に依存する項がなくなることから、閾値の影響を受けることなく駆動電流を導くことができる。

[0131] 以上に示す本実施形態において、表示装置は、書込み処理期間および補償処理期間を確保して、発光素子の光量の制御を容易とすることができる。

[0132] 図8は、本実施形態における表示装置のブロック図である。図8に示される表示装置31Bは、表示パネル32B、制御部37、タイミング信号生成部38Aおよび電源部39を含んで構成される。

図8に示す表示装置31Bは、第1実施形態の図3に示す表示装置31Aに対して、表示パネル32Bが相違する。

表示パネル32Bは、マトリクス状に配列された画素部1を有する表示部34Bと、各画素部1を駆動する走査線駆動部33B、35Aおよびデータ線駆動部36とを含めて構成される。

図8に示す表示パネル32Bは、前述の図3に示す表示パネル32Aに対して、表示部34Bと、走査線駆動部33Bが相違する。

[0133] 本実施形態における表示部34Bには、データ信号線D1～Dmの延伸方向に沿って制御線の組CL2～CLmがさらに設けられている。本実施形態の場合、2つのデータ信号線ごとに制御線の組CLが設けられることから、制御線の組CL2～CLmの総組数は、データ信号線D1～Dmの数(m)の半数である。本実施形態の場合、制御線の組CLには、例えば、制御線TRN、制御線CV、制御線EMI、制御線EV、制御線INIが含まれる。データ信号線D1～Dmは、複数の画素を順に走査する垂直走査期間において、複数の画素の保持部2に書き込む入力データを画素部1に送る。

このように、垂直走査期間のうちから定められた所定の期間に、駆動電流の値を補償する補償処理を複数の画素において一括して実施する範囲が定められている。制御線の組CL2～CLnは、一括して実施する範囲の画素部1に対して同じ制御信号を供給する。

この制御線の組CL2～CLnにより、補償処理および発光制御にかかわる制御信号が走査線の組に応じた信号が供給される。

[0134] 例えば、この制御線の組CL2を配線する領域は、データ信号線D1とD2がそれぞれ接続される2つの画素部1の間に設けることとする。このように、対応する画素部1の組の間に配線領域を設けることにより、制御線の組CL2から、データ信号線D1に接続される画素部1までの配線と、データ

信号線D 2に接続される画素部1までの配線を効率よく行うことができ、配線領域を低減することができる。制御線の組CL 4からCL mまで同様に配線領域を設けることとする。

このように2つのデータ信号線ごとに補償処理および発光制御にかかわる制御信号を送る制御線を設けたことにより、配線領域を削減することができるという効果を奏する。

[0135] さらに、一般的に走査線は高抵抗のメタルで配線されるが、データ信号線は低抵抗のメタルで配線される場合が多い。上記のようにデータ信号線と並行に配線することで、低抵抗のメタルを用いて配線することが可能となり、配線抵抗を低減できるという効果を奏する。

[0136] 走査線駆動部33Bは、制御線の組CLを駆動するドライバー回路を備えている。走査線駆動部33Bは、上記のデータ信号線D 1～D mの延伸方向に沿って設けられた制御線の組CL 2～CL mに各種制御信号を供給する。

[0137] 以上に示す本実施形態において、表示装置31B（表示パネル32B）は、書込み処理期間および補償処理期間を確保して、発光素子の光量の制御を容易とすることができる。

[0138] （第3実施形態）

[0139] 図9は、本実施形態における表示装置を示すブロック図である。

図9に示す表示装置31Cは、表示パネル32C、制御部37、タイミング信号生成部38Cおよび電源部39を含んで構成される。

図9に示す表示装置31Cは、第1実施形態の図3に示す表示装置31Aに対して、表示パネル32C、タイミング信号生成部38Cが相違する。

表示パネル32Cは、マトリクス状に配列された画素部1を有する表示部34Cと、各画素部1を駆動する走査線駆動部33C、35Cおよびデータ線駆動部36とを含めて構成される。

図9に示す表示パネル32Cは、前述の図3に示す表示パネル32Aに対して、表示部34Cと、走査線駆動部33C、35Cが相違する。

[0140] 本実施形態における表示部34Cには、複数の画素部1がマトリクス状に

配列されているが、さらにこれらの画素部は複数の領域に分割されている。例えば、この図9に示されているように4つの領域（領域34C1～C4）に分割されている。

分割された領域34C1～C4のそれぞれに対して、駆動電流の値を生成させる補償処理および発光制御にかかわる制御信号が独立して供給される。

例えば、領域34C1には、走査線駆動部33Cを介して信号sTRN1、信号sCV1、信号sEMI1、信号sEV1および信号sINI1が供給される。領域34C2には、走査線駆動部33Cを介して信号sTRN2、信号sCV2、信号sEMI2、信号sEV2、信号sINI2が供給される。領域34C3には、走査線駆動部33Cを介して信号sTRN3、信号sCV3、信号sEMI3、信号sEV3、信号sINI3が供給される。領域34C4には、走査線駆動部33Cを介して信号sTRN4、信号sCV4、信号sEMI4、信号sEV4、信号sINI4が供給される。

なお、上記の信号sTRN1～4は、第1、第2実施形態に関して説明をした信号sTRNに相当する。信号sCV1～4は、同様に信号sCVに相当する。信号sEMI1～4は、同様に信号sEMIに相当する。信号sEV1～4は、同様に信号sEVに相当する。信号sINI1～4は、前述の信号sINIに相当する。

[0141] また、上記のように画素部1が設けられた領域を4つの領域に分割したことにより、走査線駆動部33Cは、タイミング信号生成部38Cから供給されるタイミング信号に同期して、所定の間隔ずつタイミングが異なる走査信号をそれぞれの領域に分けて出力する。

領域34C1には、走査線駆動部35Cを介して信号sSC1～sSCaが供給される。領域34C2には、走査線駆動部35Cを介して信号sSCa+1～sSC2aが供給される。領域34C3には、走査線駆動部35Cを介して信号sSC2a+1～sSC3aが供給される。領域34C4には、走査線駆動部35Cを介して信号sSC3a+1～sSC4aが供給される。

なお、上記の信号 $s_{SC1} \sim s_{SCa}$ 、信号 $s_{SCa+1} \sim s_{SC2a}$ 、信号 $s_{SC2a+1} \sim s_{SC3a}$ 、信号 $s_{SC3a+1} \sim s_{SC4a}$ は、第1、第2実施形態に関して説明をした信号 $s_{SC1} \sim s_{SCn}$ に相当し、供給先が領域ごとに分割されている点異なる。

同様に走査線 $SC1 \sim SCa$ 、走査線 $SCa+1 \sim SC2a$ 、走査線 $SC2a+1 \sim SC3a$ 、走査線 $SC3a+1 \sim SC4a$ は、同様に走査線 $SC1 \sim SCn$ に相当し、供給先が領域ごとに分割されている点異なる。

[0142] 次に、図10を参照し、本実施形態における画素部の表示制御について説明する。

図10は、本実施形態における画素部の表示制御を示すタイミング図である。

図10には、4つの領域に対応させて、 $(N-1)$ フレーム目から $(N+1)$ フレーム目までの3つのフレームの映像信号を画素部に表示させる制御のタイミングが示されている。

各フレームの処理を次に示す3つ期間に分けて実施する。3つの期間は、図2と同様に書込み処理期間、補償処理期間、発光期間である。

[0143] また、上記のフレーム単位で実施する処理は、書込み処理期間、補償処理期間、発光期間の順に行われる。例えば、領域 $34C1$ における N フレーム目の場合、書込み処理期間 $T_{SZ1}(N)$ 、補償処理期間 $T_{CZ1}(N)$ 、発光期間 $T_{LZ1}(N)$ の順に従って処理される。同様に、 $(N+1)$ フレーム目の場合、書込み処理期間 $T_{SZ1}(N+1)$ 、補償処理期間 $T_{CZ1}(N+1)$ 、発光期間 $T_{LZ1}(N+1)$ の順に従って処理される。

領域 $34C2$ における $(N-1)$ フレーム目の場合、書込み処理期間 $T_{SZ2}(N-1)$ 、補償処理期間 $T_{CZ2}(N-1)$ 、発光期間 $T_{LZ2}(N-1)$ の順に従って処理される。同様に、 N フレーム目の場合、書込み処理期間 $T_{SZ2}(N)$ 、補償処理期間 $T_{CZ2}(N)$ 、発光期間 $T_{LZ2}(N)$ の順に従って処理される。

領域 $34C3$ における $(N-1)$ フレーム目の場合、書込み処理期間 T_{SZ3}

($N-1$)、補償処理期間 $T_{CZ3}(N-1)$ 、発光期間 $T_{LZ3}(N-1)$ の順に従って処理される。同様に、 N フレーム目の場合、書込み処理期間 $T_{SZ3}(N)$ 、補償処理期間 $T_{CZ3}(N)$ 、発光期間 $T_{LZ3}(N)$ の順に従って処理される。

領域 3 4 C 4 における ($N-1$) フレーム目の場合、書込み処理期間 $T_{SZ4}(N-1)$ 、補償処理期間 $T_{CZ4}(N-1)$ 、発光期間 $T_{LZ4}(N-1)$ の順に従って処理される。同様に、 N フレーム目の場合、書込み処理期間 $T_{SZ4}(N)$ 、補償処理期間 $T_{CZ4}(N)$ 、発光期間 $T_{LZ4}(N)$ の順に従って処理される。

[0144] ここで、 N フレーム目の書込み処理期間に着目する。 N フレーム目の書込み処理期間について、処理を実施する順に並べると、領域 3 4 C 1 における書込み処理期間 $T_{SZ1}(N)$ 、領域 3 4 C 2 における書込み処理期間 $T_{SZ2}(N)$ 、領域 3 4 C 3 における書込み処理期間 $T_{SZ3}(N)$ 、領域 3 4 C 4 における書込み処理期間 $T_{SZ4}(N)$ の順になる。

領域が 4 等分されていることから、それぞれの書込み処理期間の長さは、垂直走査期間の ($1/4$) V になる。要するに、4 つの書込み処理期間の長さを合計すると、垂直走査期間 ($1 V$) になる。

[0145] このように、SC 1 ~ SC 4 a まで順次走査を行い、各領域の画素部にデータが書き込まれた時点で、一括して閾値補償、発光制御が行われる。

また、分割された領域 3 4 C 1 から領域 3 4 C 4 のそれぞれに対して、駆動電流の値を生成させる補償処理および発光制御にかかわる制御信号が独立して供給されていることにより、上記のタイミングチャートに示すような制御を可能とする。

垂直走査期間 ($1 V$) 分の入力データを保持してから閾値補償を実施する場合と比較して、本実施形態に示すように領域を分割することにより、保持部 2 が入力データを保持する時間の、画面全体における画素間の時間差が小さくなる。これにより保持部 2 に保持されている電圧 (ノード N_A の電圧 (V_1)) に対するリーク電流の影響を抑制することが可能になる。

また、異なる領域間では閾値補償とデータ書込みを同時に実施することが可能であるため、実質的に垂直走査期間（1 V）すべてを書込み処理期間に割り当てることが可能となることから、単位画素あたりにわりつけることができるデータ書込み時間を長くすることができる。

さらに、各水平走査期間における閾値補償時間を削減することが可能とし、垂直走査期間の何れかのタイミングに一括して実施することが可能になる。また、保持部と発光制御部が分離されているため、発光させながら、データの書込みを実施することが可能となる。

[0146] 以上の各実施形態に示す表示装置（表示パネル、駆動回路）は、発光素子の光量の制御を容易とすることができる。

[0147] なお、上述の実施形態の要件は、発明の技術的な特徴に影響のない範囲で適宜変更することができる。また、一部の構成要素を用いない場合もある。

符号の説明

[0148] 1 画素部 2 保持部 4 発光制御部

請求の範囲

- [請求項1] 供給された入力データを保持する保持部と、
前記保持部が保持した入力データに基づいて発光素子に流す駆動電流の値を補償する発光制御部と
を備えることを特徴とする駆動回路。
- [請求項2] 前記発光制御部は、
前記保持部が前記入力データを保持した後に、前記発光素子に流す駆動電流の値を補償する
ことを特徴とする請求項1に記載の駆動回路。
- [請求項3] 前記保持部に入力データを保持させる書込み処理期間と、前記発光制御部が前記発光素子を駆動する期間とが重複する
ことを特徴とする請求項1又は2に記載の駆動回路。
- [請求項4] 複数の前記保持部において前記入力データを保持させる書込み処理期間と、複数の前記発光制御部が前記駆動電流の値をそれぞれ補償する補償処理期間とを分離して設けている
ことを特徴とする請求項3に記載の駆動回路。
- [請求項5] 前記複数の発光制御部は、
それぞれの前記駆動電流の値を補償する処理を一括して実施することを特徴とする請求項4に記載の駆動回路。
- [請求項6] 前記複数の発光制御部は、
それぞれの前記補償処理期間を互いに一致させている
ことを特徴とする請求項4又は5に記載の駆動回路。
- [請求項7] 複数の前記保持部に前記入力データを保持させる書込み処理期間と、前記複数の前記発光制御部が前記発光素子を駆動する期間とが重複する
ことを特徴とする請求項4から6の何れか1項に記載の駆動回路。
- [請求項8] 前記複数の保持部は、異なる水平走査信号線に対応して設けられている

ことを特徴とする請求項4から7の何れか1項に記載の駆動回路。

[請求項9]

前記保持部は、

前記発光素子の発光量を示す入力データに応じた電圧を、定められた所定のタイミングに出力するサンプリングスイッチと、

前記サンプリングスイッチから出力される電圧を保持する第1の静電容量と

を備え、

前記発光制御部は、

前記保持された入力データとして、前記第1の静電容量に保持された電圧に基づいて前記駆動電流の値を補償する

ことを特徴とする請求項4から8の何れか1項に記載の駆動回路。

[請求項10]

複数の画素がマトリクス状に配列されるアクティブ走査型の表示装置であって、

請求項1から9の何れか1項に記載の保持部と発光制御部とを対にしてそれぞれ備えており、

前記発光制御部が調整する画素の明るさを示す入力データが書き込み処理によって前記保持部に書き込まれる

ことを特徴とする表示装置。

[請求項11]

前記複数の画素を順に走査する垂直走査期間において、前記複数の画素を順に走査して前記保持部を制御する制御信号を前記画素に送る走査信号線と、

前記垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を補償する補償処理を前記複数の画素において一括して実施する範囲に含まれる前記画素に対して、前記走査信号線の延伸方向に沿って、2つの前記走査信号線を組にして前記走査信号線の組ごとに前記補償処理および発光制御にかかわる制御信号を送る制御線と

を備え、

前記補償処理および発光制御にかかわる制御信号が前記走査信号線の組に応じた信号が供給される

ことを特徴とする請求項 10 に記載の表示装置。

[請求項12]

前記複数の画素を順に走査する垂直走査期間において、前記複数の画素の前記保持部に書き込む入力データを前記画素に送るデータ信号線と、

前記垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を補償する補償処理を前記複数の画素において一括して実施する範囲に含まれる前記画素に対して、前記データ信号線の延伸方向に沿って、2つの前記データ信号線を組にして前記データ信号線の組ごとに前記補償処理および発光制御にかかわる制御信号を送る制御線と

を備え、

前記補償処理および発光制御にかかわる制御信号が前記データ信号線の組に応じた信号が供給される

ことを特徴とする請求項 10 に記載の表示装置。

[請求項13]

前記複数の画素が設けられた表示部の領域が複数の領域に分割され、前記分割された領域のそれぞれに対して、前記駆動電流の値を生成させる補償処理および発光制御にかかわる制御信号が独立して供給される

ことを特徴とする請求項 10 から 12 の何れか 1 項に記載の表示装置。

[請求項14]

前記複数の画素を順に走査する垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を生成させる補償処理を前記複数の画素において一括して実施する補償処理期間を設けた制御信号が供給され、

前記発光制御部は、

前記発光素子を駆動する駆動部

を備え、

前記発光制御部は、

前記補償処理期間を設けた制御信号に応じて、前記補償処理期間に前記駆動部の閾値特性に応じて前記駆動電流の値を補償する

ことを特徴とする請求項 10 から 13 の何れか 1 項に記載の表示装置。

[請求項15] 前記複数の画素を順に走査する垂直走査期間のうち、前記供給された入力データを前記保持部において保持させる書込み処理期間と前記駆動電流の値をそれぞれ補償する補償処理期間とを異なる期間に設けた制御信号が供給され、

前記保持部は、

前記書込み処理期間と前記補償処理期間とを異なる期間に設けた制御信号に応じて、前記書込み処理期間に前記供給された入力データを保持する

ことを特徴とする請求項 14 の何れか 1 項に記載の表示装置。

[請求項16] 前記書込み処理期間が、前記発光素子を発光させる発光期間に含まれている制御信号が供給され、

前記発光制御部は、

前記書込み処理期間が、前記発光素子を発光させる発光期間に含まれている制御信号に応じて前記発光期間に前記発光素子を発光させる

ことを特徴とする請求項 15 の何れか 1 項に記載の表示装置。

[請求項17] 第 1 フレームの画像を形成する前記入力データに基づいて前記発光素子を発光させる発光期間において、

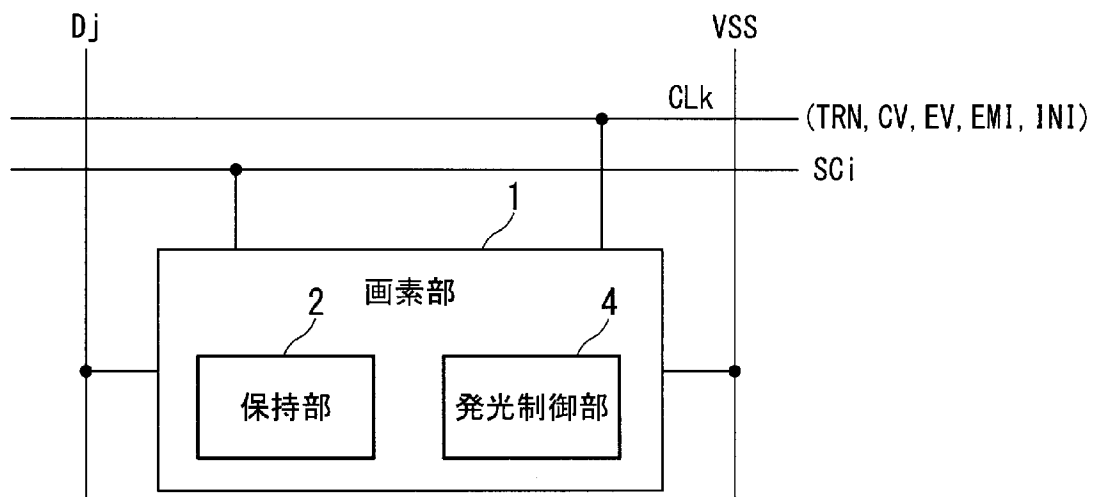
前記保持部は、

前記第 1 フレームの次の第 2 フレームの画像を形成する前記入力データを保持する

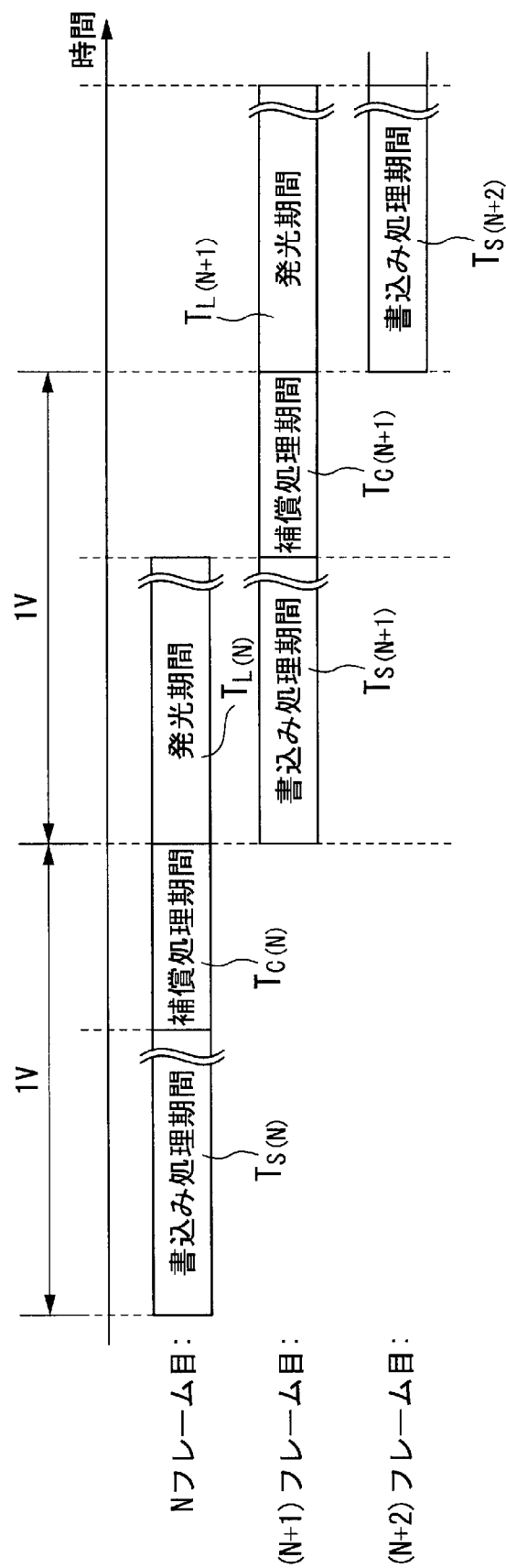
ことを特徴とする請求項 10 から 16 の何れか 1 項に記載の表示装置。

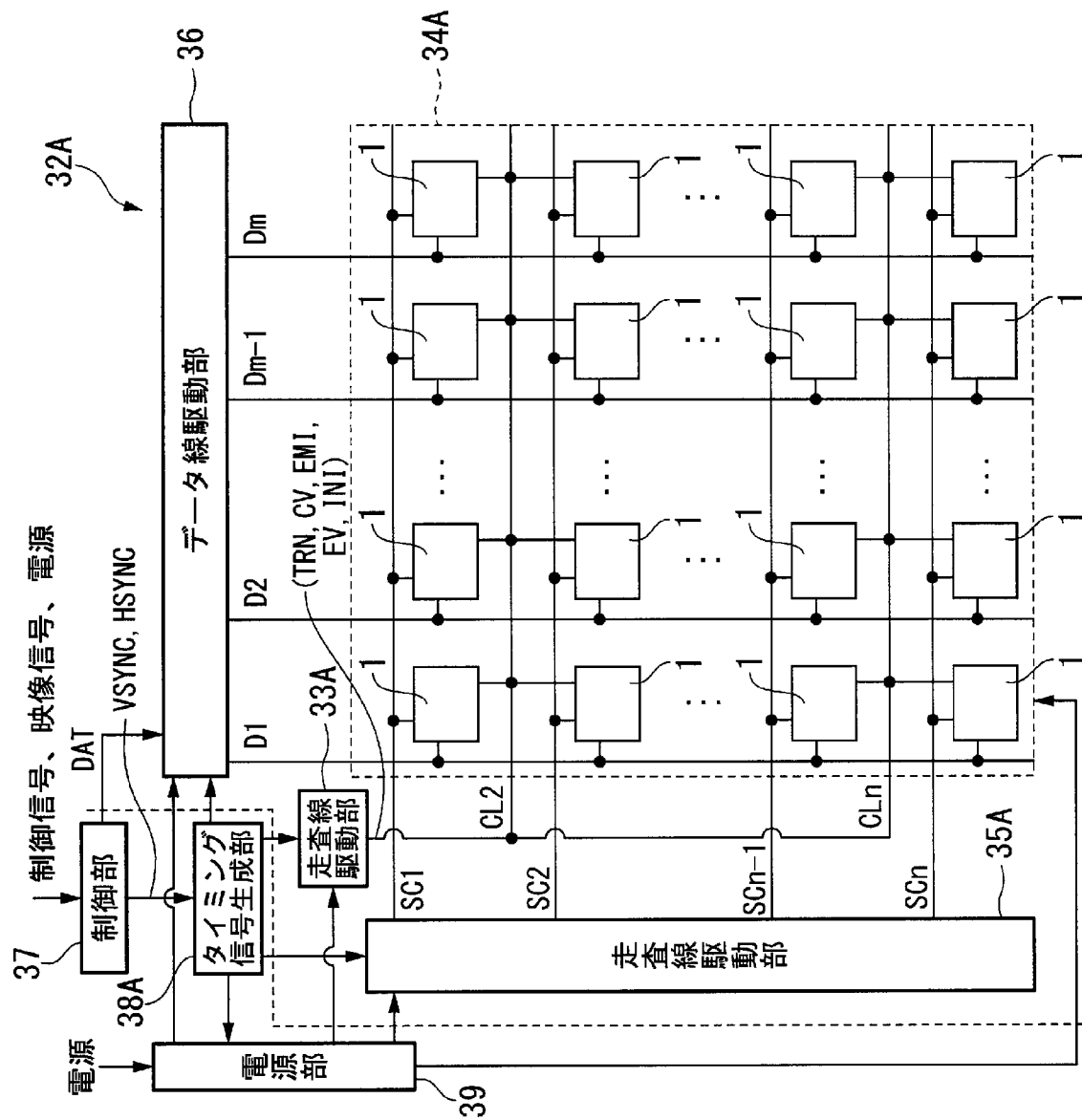
- [請求項18] 前記発光制御部は、
前記駆動電流を調整する電界効果型トランジスタと、
前記電界効果型トランジスタのゲート端子に接続されている第2の静電容量と
を備え、
前記発光制御部は、
前記書込み処理期間と前記補償処理期間との間に、前記電界効果型トランジスタのゲート端子に接続されている第2の静電容量に蓄えられている電荷を放電させる
ことを特徴とする請求項15に記載の表示装置。
- [請求項19] 前記複数の画素を順に走査する垂直走査期間のうちから定められた所定の期間に、前記発光制御部において前記駆動電流の値を生成させる補償処理を前記複数の画素において一括して実施する補償処理期間を設ける制御信号を生成するタイミング信号生成部
を備えることを特徴とする請求項15に記載の表示装置。
- [請求項20] 前記タイミング信号生成部は、
前記垂直走査期間のうち、前記供給された入力データを前記保持部において保持させる書込み処理期間と前記補償処理期間とを異なる期間に設けた制御信号を生成する
ことを特徴とする請求項19に記載の表示装置。
- [請求項21] 前記タイミング信号生成部は、
前記書込み処理期間が、前記発光素子を発光させる発光期間に含まれるように制御する制御信号を生成する
ことを特徴とする請求項19又は20に記載の表示装置。
- [請求項22] 供給された入力データを保持部が保持するステップと、
前記保持部が保持した入力データに基づいて発光素子に流す駆動電流の値を補償するステップと
を備えることを特徴とする駆動方法。

[図1]

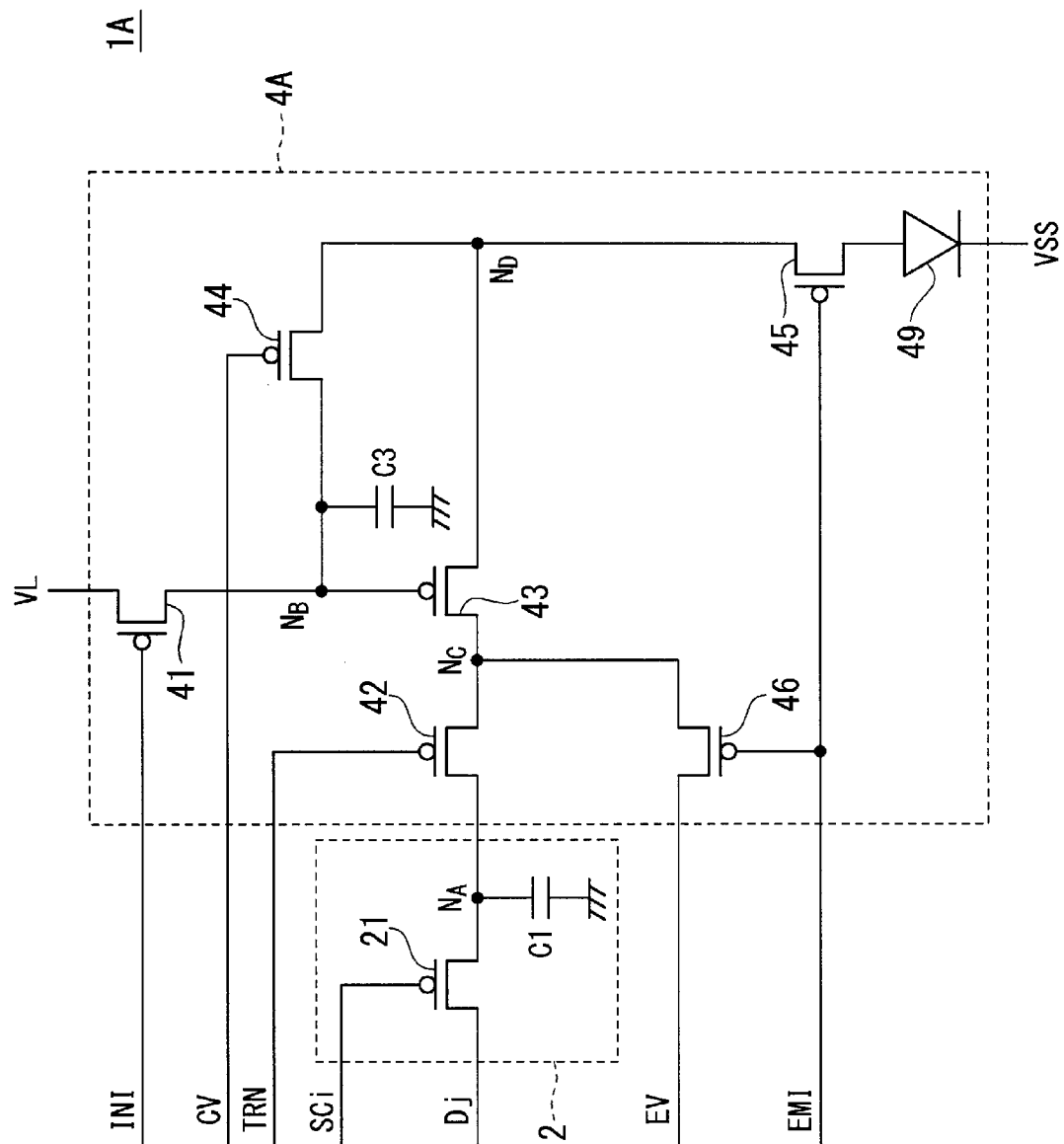


[図2]

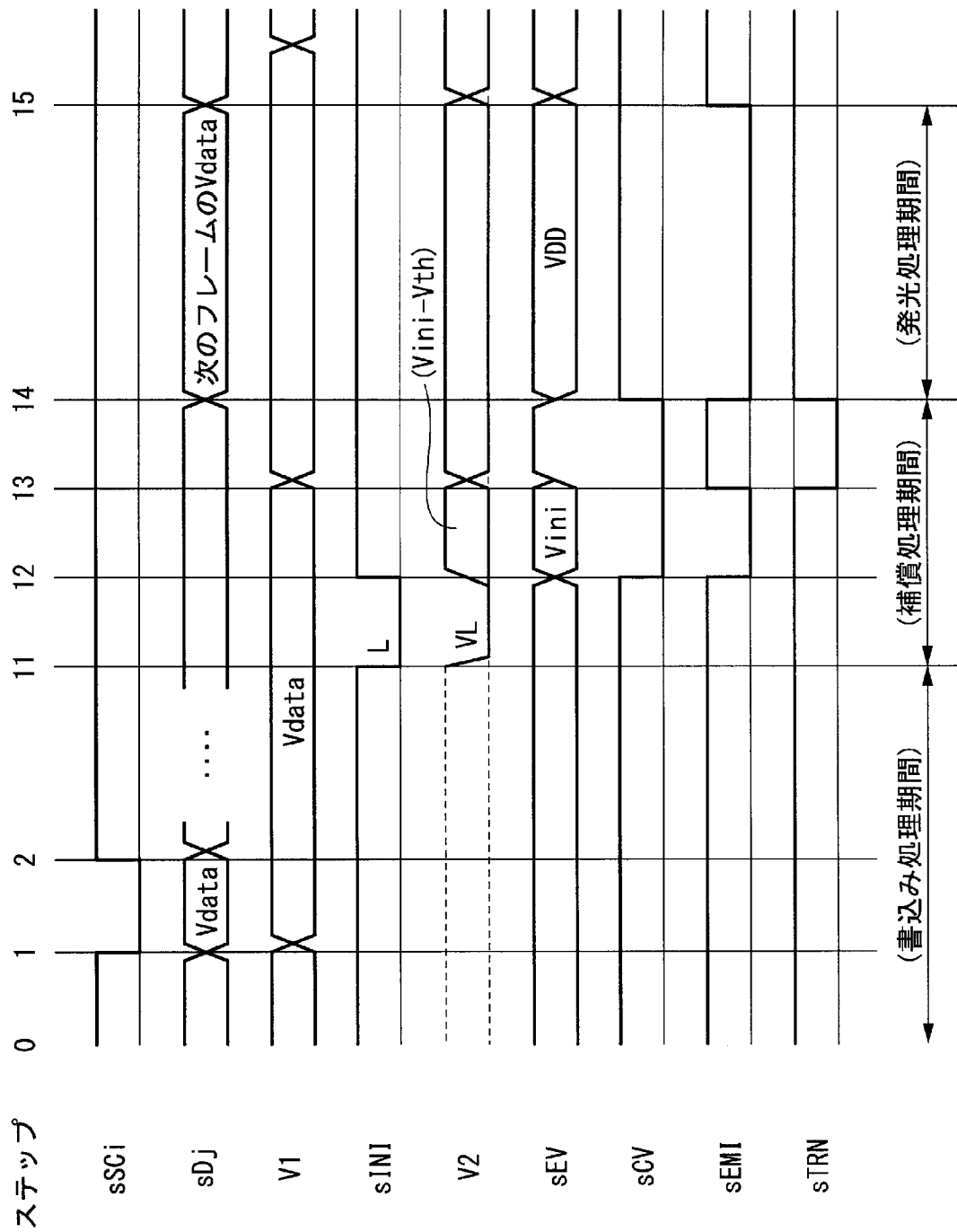


31A

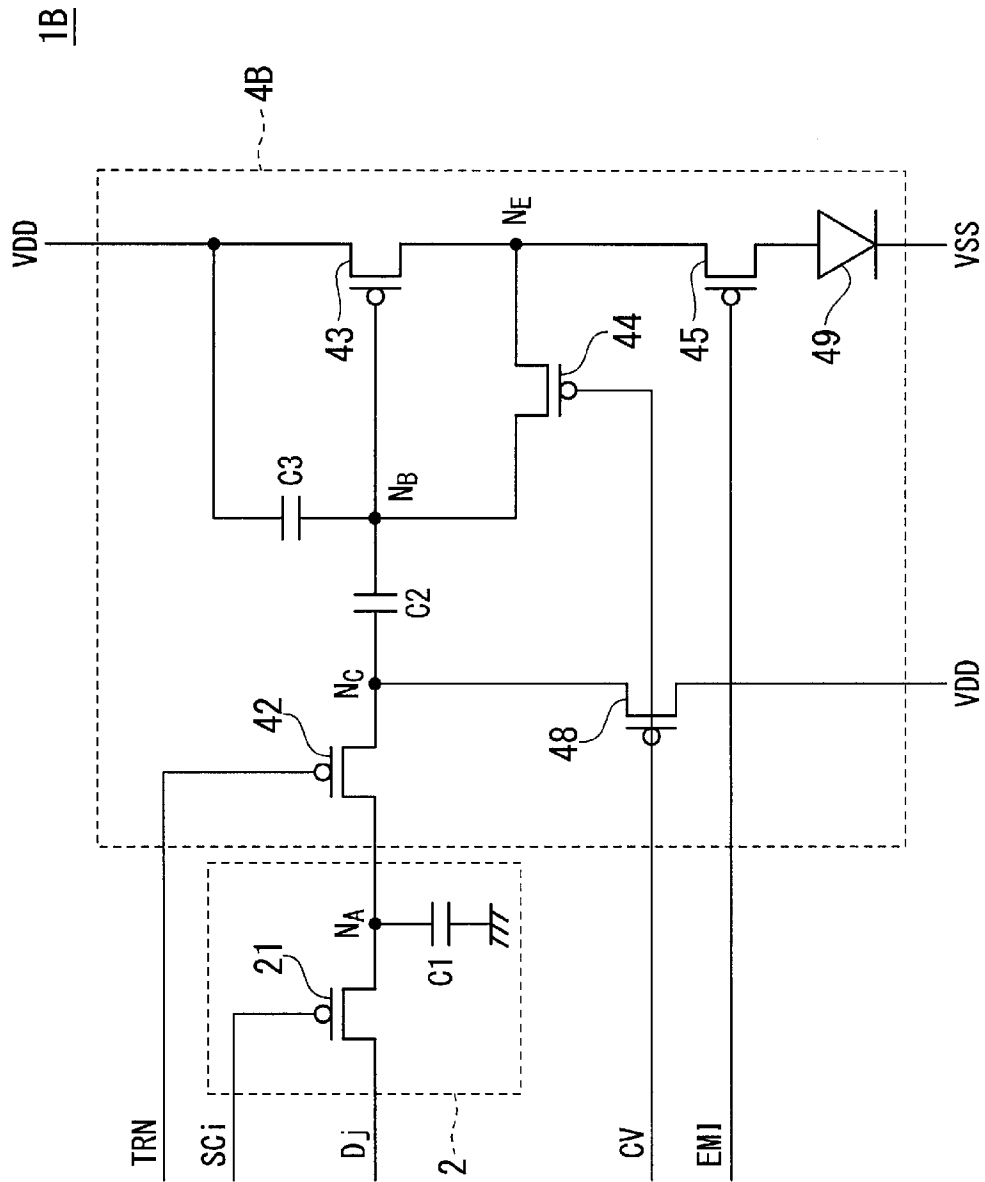
[図4]



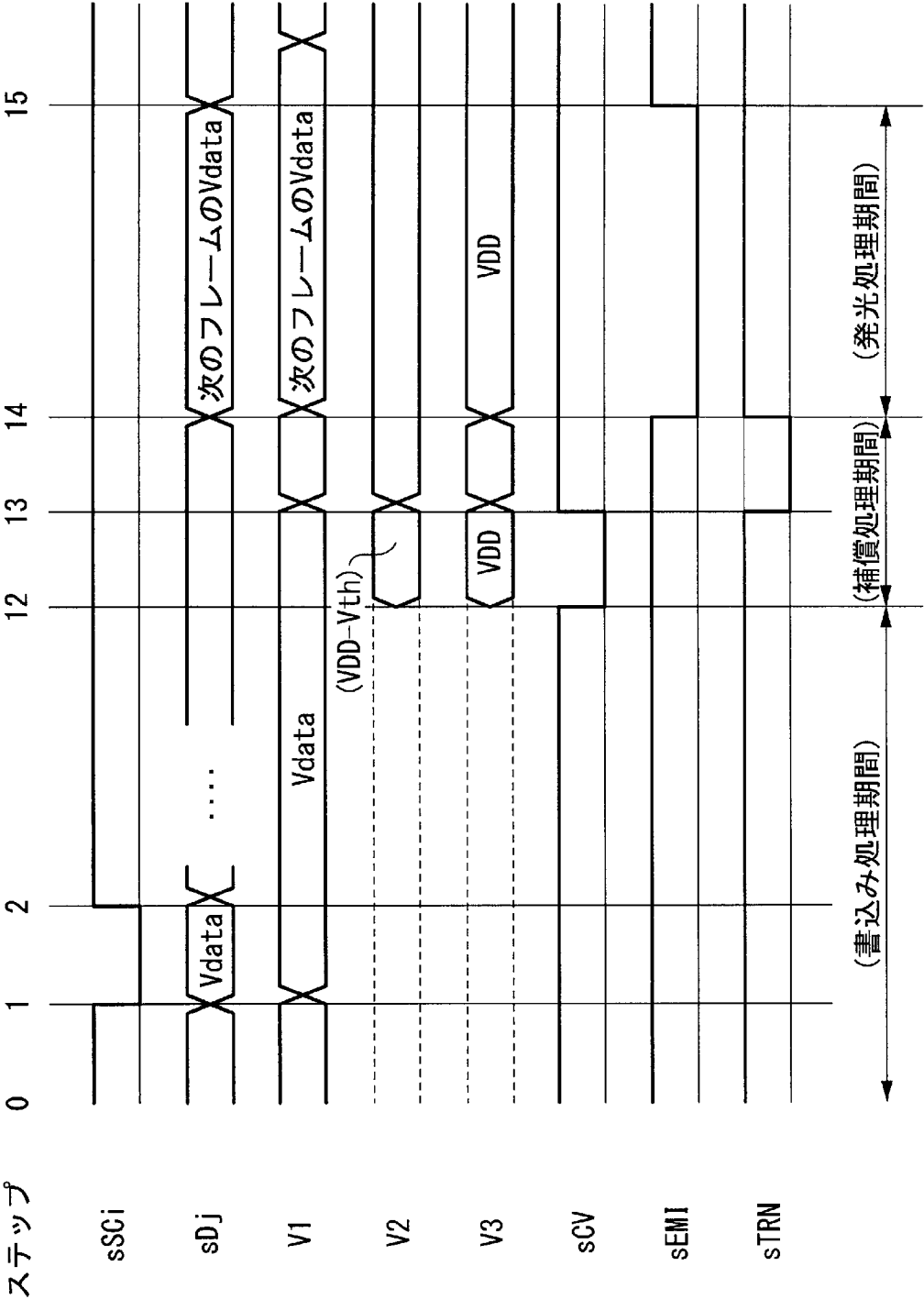
【図5】

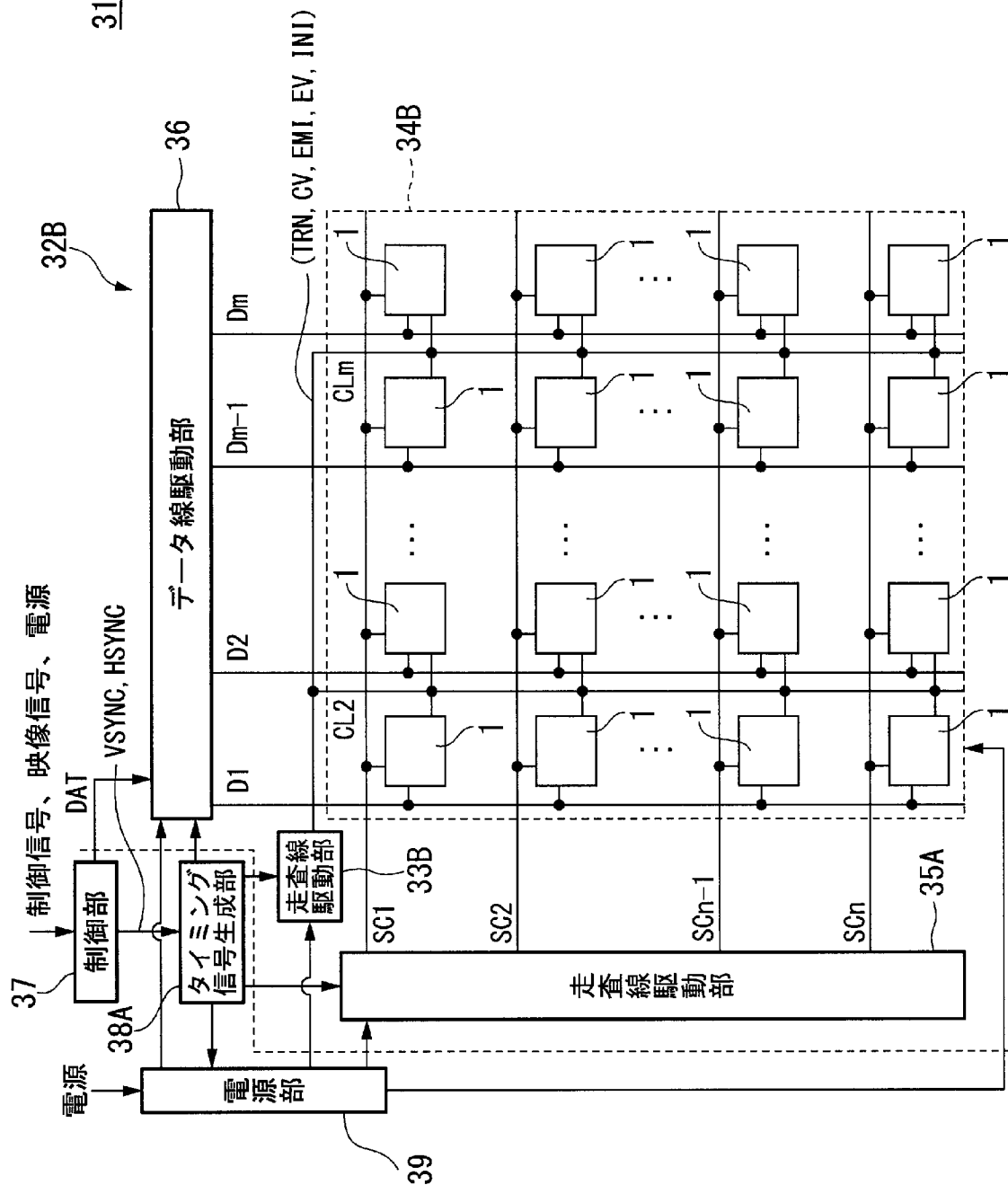


[図6]



[図7]



31B

[図9]

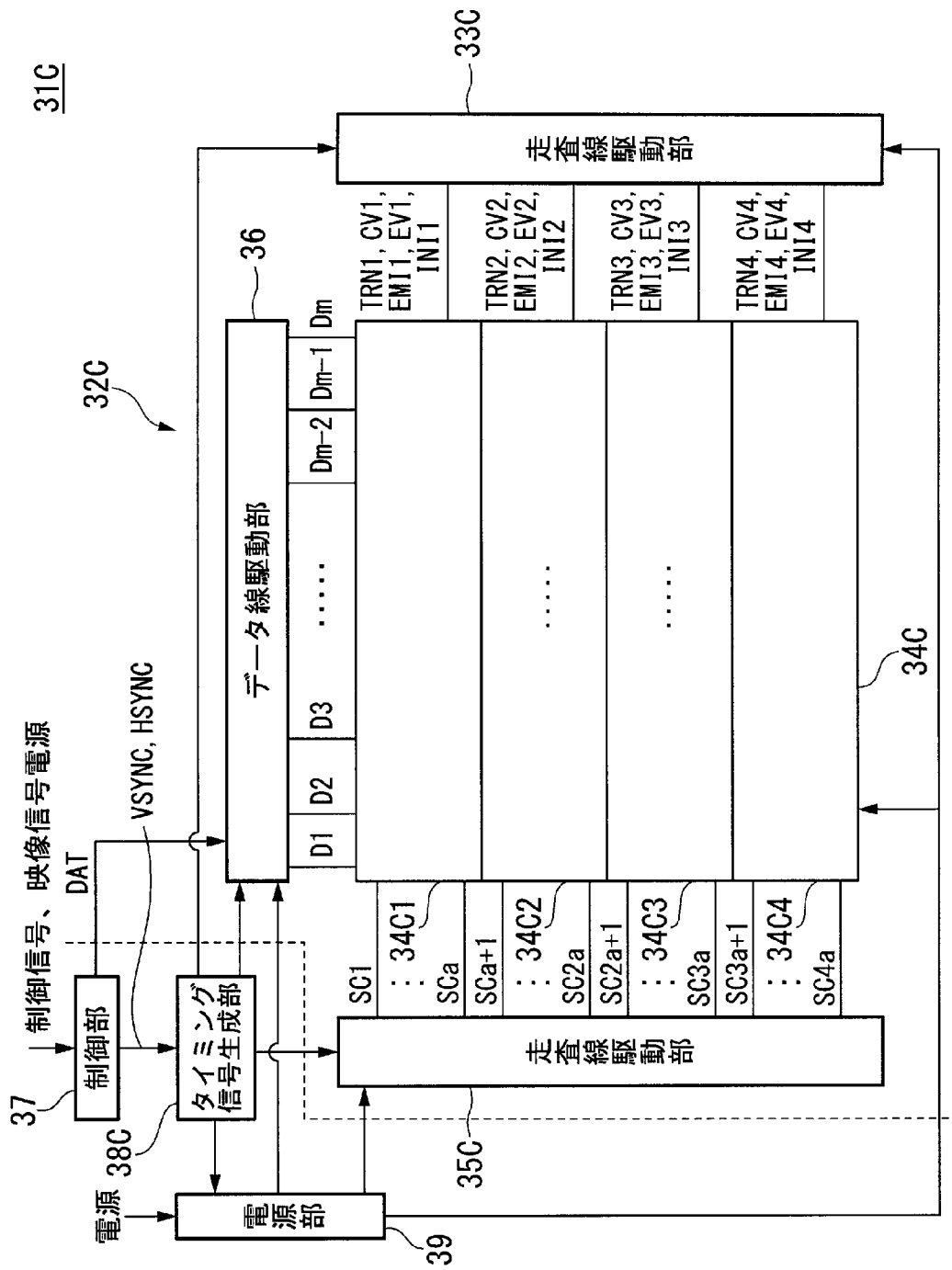


Figure 10 is a timing diagram illustrating the relationship between frame numbers and time intervals. The diagram is divided into four sections: 34C1, 34C2, 34C3, and 34C4. Each section shows a sequence of time intervals for different frame numbers (N, N-1, N+1). The intervals are labeled with T and include sub-intervals for data writing, threshold compensation, and light emission. A vertical axis on the right indicates time, with markers for 1, 2, 3, 4, and 5. A horizontal axis at the bottom indicates frame numbers. A vertical double-headed arrow labeled (1/4)V indicates a specific time interval.

The diagram shows the following time intervals and their sub-intervals:

- 34C1 (Frame N):**
 - $T_{SZ1}(N)$ (Data writing period)
 - $T_{LZ2}(N-1)$ (Light emission period)
 - $T_{CZ1}(N)$ (Threshold compensation period)
 - $T_{SZ2}(N)$ (Data writing period)
 - $T_{LZ1}(N)$ (Light emission period)
 - $T_{CZ2}(N)$ (Threshold compensation period)
 - $T_{SZ3}(N)$ (Data writing period)
 - $T_{LZ3}(N)$ (Light emission period)
 - $T_{CZ3}(N)$ (Threshold compensation period)
 - $T_{SZ4}(N)$ (Data writing period)
 - $T_{LZ4}(N)$ (Light emission period)
 - $T_{CZ4}(N)$ (Threshold compensation period)
- 34C2 (Frame N-1):**
 - $T_{LZ2}(N-1)$ (Light emission period)
 - $T_{SZ2}(N)$ (Data writing period)
 - $T_{LZ3}(N)$ (Light emission period)
 - $T_{SZ3}(N)$ (Data writing period)
 - $T_{LZ4}(N-1)$ (Light emission period)
 - $T_{SZ4}(N)$ (Data writing period)
- 34C3 (Frame N-1):**
 - $T_{LZ3}(N-1)$ (Light emission period)
 - $T_{SZ3}(N)$ (Data writing period)
 - $T_{LZ4}(N-1)$ (Light emission period)
 - $T_{SZ4}(N)$ (Data writing period)
- 34C4 (Frame N-1):**
 - $T_{LZ4}(N-1)$ (Light emission period)
 - $T_{SZ4}(N)$ (Data writing period)

The diagram also shows a vertical double-headed arrow labeled (1/4)V, indicating a specific time interval.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/083479

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-171325 A (Seiko Epson Corp.), 05 July 2007 (05.07.2007), paragraphs [0016] to [0040]; fig. 1 to 6 (Family: none)	1-2, 10, 22 3-4, 7-9, 17 5-6, 11-16, 18-21
X Y A	JP 2007-206589 A (Seiko Epson Corp.), 16 August 2007 (16.08.2007), paragraphs [0020] to [0027], [0030] to [0040]; fig. 2, 4 to 8 (Family: none)	1-2, 10, 22 3-4, 7-9, 17 5-6, 11-16, 18-21
Y	WO 2011/077718 A1 (Panasonic Corp.), 30 June 2011 (30.06.2011), paragraphs [0060] to [0070], [0094]; fig. 2 & US 2012/0327108 A1	3-4, 7-9, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 March, 2014 (06.03.14)

Date of mailing of the international search report
18 March, 2014 (18.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/083479

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-222902 A (Hitachi, Ltd.), 08 August 2003 (08.08.2003), paragraph [0046]; fig. 17 (Family: none)	1-22
A	JP 2003-186439 A (Matsushita Electric Industrial Co., Ltd.), 04 July 2003 (04.07.2003), entire text; all drawings (Family: none)	5-6
A	JP 2009-237041 A (Sony Corp.), 15 October 2009 (15.10.2009), entire text; all drawings & US 2009/0244055 A1 & CN 101546519 A & KR 10-2009-0102644 A & TW 201003602 A	5-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/20-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	J P 2 0 0 7 - 1 7 1 3 2 5 A (セイコーエプソン株式会社) 2 0 0 7 . 0 7 . 0 5, 【0 0 1 6】～【0 0 4 0】, 図1～6 (ファミリーなし)	1-2, 10, 22 3-4, 7-9, 17 5-6, 11-16, 18-21
X Y A	J P 2 0 0 7 - 2 0 6 5 8 9 A (セイコーエプソン株式会社) 2 0 0 7 . 0 8 . 1 6, 【0 0 2 0】～【0 0 2 7】, 【0 0 3 0】～【0 0 4 0】, 図2, 図4～8 (ファミリーなし)	1-2, 10, 22 3-4, 7-9, 17 5-6, 11-16, 18-21

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 3 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小川 浩史

2 G

9 1 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/077718 A1 (パナソニック株式会社) 2011.06.30, [0060] ~ [0070], [0094], 図2 &US 2012/0327108 A1	3-4, 7-9, 17
A	J P 2003-222902 A (株式会社日立製作所) 2003.08.08, 【0046】, 図17 (ファミリーなし)	1-22
A	J P 2003-186439 A (松下電器産業株式会社) 2003.07.04, 全文, 全図 (ファミリーなし)	5-6
A	J P 2009-237041 A (ソニー株式会社) 2009.10.15, 全文, 全図 &US 2009/0244055 A1 &CN 101546519 A &KR 10-2009-0102644 A &TW 201003602 A	5-6