(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 11/401 (2006.01)

(45) 공고일자 2006년10월16일
(11) 등록번호 10-0634896
(24) 등록일자 2006년10월10일

(21) 출원번호 10-1999-0058141
(22) 출원일자 1999년12월16일

(65) 공개번호 10-2000-0048171
(43) 공개일자 2000년07월25일

(30) 우선권주장 98-365887 1998년12월24일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 사카모토타쯔야
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

나가시마오사무
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

타케무라리이치로우
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

(74) 대리인 특허법인 원전

심사관 : 장호근

(54) 반도체 기억장치

요약

다이내믹형 RAM에 설치되는 센스 앰프와 상보 비트선과의 사이에 스위치 MOSFET를 설치하고, 워드선의 선택동작에 의해서 선택된 복수의 다이내믹형 메모리 셀에서 복수 쌍의 상보 비트선에 각각의 기억정보에 따라 신호전압이 판독된 후에, 상기 스위치 MOSFET의 스위치 제어신호를 선택 레벨에서 소정의 중간 전위로 변화시킨다. 상기 중간 전위가 게이트에 주어진 상기 스위치 MOSFET는 센스 앰프의 증폭동작에 따라 센스 노드가 한쪽의 레벨로 되는 것에 의해 온 상태가 된다. 상기 증폭동작에 의해 형성된 증폭신호를 컬럼 선택신호에 의해 컬럼 선택회로를 통해서 상기 입출력선에 전달하며, 상기 컬럼 선택회로의 선택동작에 대응하여 상기 스위치 제어신호를 중간 전위 레벨에서 선택 레벨로 되돌린다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 다이내믹형 RAM의 일실시예를 나타내는 개략 레이아웃 도면,

도 2는 본 발명에 의한 다이내믹형 RAM에서의 서브 어레이와 그 주변회로의 일실시예를 나타내는 개략 레이아웃 도면,

도 3은 본 발명에 의한 다이내믹형 RAM의 센스 앰프부를 중심으로 하여, 어드레스 입력에서 데이터 출력까지의 간략화된 일실시예를 나타내는 회로도,

도 4는 본 발명에 의한 다이내믹형 RAM의 센스 앰프부의 일실시예를 나타내는 회로도,

도 5는 도 3의 실시예에 나타낸 메인 앰프의 일실시예를 나타내는 회로도,

도 6은 본 발명에 의한 다이내믹형 RAM의 출력버퍼의 일실시예를 나타내는 회로도,

도 7은 본 발명에 의한 다이내믹형 RAM의 판독동작의 일예를 설명하기 위한 타이밍 도면,

도 8은 본 발명에 의한 다이내믹형 RAM의 판독동작을 설명하기 위한 타이밍 도면,

도 9는 본 발명에 의한 다이내믹형 RAM의 판독동작의 다른 일예를 설명하기 위한 타이밍 도면,

도 10은 셰어드(shared) 선택신호를 형성하는 타이밍 발생회로의 일실시예를 나타내는 회로도,

도 11은 본 발명에 의한 다이내믹형 RAM의 판독동작의 다른 일예를 설명하기 위한 타이밍 도면,

도 12는 오버 드라이브 기능을 가지는 센스 앰프의 일실시예를 나타내는 회로도,

도 13은 본 발명에 의한 다이내믹형 RAM에 이용되는 센스 앰프부의 일실시예를 나타내는 개략소자 레이아웃 도면,

도 14는 본 발명에 의한 다이내믹형 RAM의 판독동작의 또 다른 일예를 설명하기 위한 타이밍 도면,

도 15는 본 발명에 의한 다이내믹형 RAM의 다른 일실시예를 나타내는 센스 앰프부의 회로도,

도 16은 본 발명을 싱크로너스 다이내믹형 RAM에 적용한 경우의 동작의 일예를 설명하기 위한 파형도 이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 반도체 기억장치에 관한 것으로, 주로 센스 앰프와 비트선과의 사이에 스위치 MOSFET가 설치된 다이내믹형 RAM(랜덤·억세스·메모리)에 이용하는 유효한 기술에 관한 것이다.

셰어드(shared) 선택 MOSFET의 선택측도 일시적으로 오프 상태로 해서 센스 앰프의 부하를 경감하여 센스 앰프의 고속화를 도모한 다이내믹형 RAM으로서, 일본특허공개 소 64-73596호 공보, 일본특허공개 평 5-62463호 공보, 일본특허공개 평 8-106781호 공보가 있다. 또 센스 앰프의 입출력 노드와 상보 비트선과의 사이에 스위치 MOSFET를 설치하여, 센스 앰프의 증폭 개시시에 그것을 일단 비선택 레벨로 하고, 센스 앰프와 상보 비트선을 분리하여 증폭동작을 개시하며, 컬럼 선택을 행한 후에 상기 스위치 MOSFET의 게이트 전압을 중간 전위로 하여 IO선으로의 센스 앰프 증폭신호의 한쪽의 증폭신호의 출력 동작과 그것과 다른쪽의 증폭신호의 비트선으로의 리스토어(restore) 동작을 병행하여 행하며, 그 후에 상기 스위치 MOSFET의 게이트 전압을 선택 레벨로 되돌려 상기 한쪽의 증폭 신호를 비트선을 통해서 메모리 셀에 리스토어 하는 것처럼 한 다이내믹형 RAM으로서 일본특허공개 평 4-167293호 공보가 있다.

또한, MOS(Metal Oxide Semiconductor)FET는 일반적인 인식에 따라, MIS(Metal Insulated Semiconductor)FET를 포함하는 용어이며, 전계효과형 트랜지스터를 넓게 표현하고 있다.

상기 일본특허공개 소 64-73596호 공보, 일본특허공개 평 5-62463호 공보, 일본특허공개 평 8-106781호 공보에 기재된 다이내믹형 RAM과 같이, 센스 앰프의 증폭 개시전에 셰어드 선택 MOSFET를 오프 상태로 하여 상보 비트선과 센스 앰프의 센스 노드를 분리하여 버리는 것은, 그 센스 노드가 풀(full) 진폭 레벨 상태이더라도 상기 셰어드 선택 MOSFET를 재차 온 상태로 되돌리면, 그 센스 노드의 레벨이 작게되어 버린다. 즉, 비트선의 비교적 큰 기생용량에 유지되어 있는 메모리 셀에서의 판독 전하와 상기 센스 노드에서의 전하와의 차지셰어(charge share)에 의해 센스 노드의 전위가 저하하여 일시적으로 신호진폭이 작게되어 버리는 것이 본 발명자의 검토에 의해 명백하게 되었다. 혹은, 컬럼 선택동작에 의해 데이터 출력선과 센스 노드를 접속한 경우라도, 동일하게 데이터 출력선의 기생용량에 유지되어 있는 프리차지(precharge) 전하와 상기 센스 노드에서의 전하와의 차지셰어에 의해 일시적으로 센스 노드의 신호진폭이 작게되어 버리는 것이 본 발명자의 검토에 의해 명백하게 되었다. 이 결과, 컬럼 선택동작에서 센스 노드의 신호를 데이터 입출력선에 전달하기 위해서 비교적 긴 시간을 소비할 필요가 있고, 고속화를 방해하는 원인이 되는 것이 본 발명자의 검토에 의해 명백하게 되었다.

상기 일본특허공개 평 4-167293호 공보에서는, 상기 스위치 MOSFET의 게이트를 중간 전위로 하여 I/O선으로의 센스 앰프에 의한 로(low) 레벨의 출력 동작을 행하고, 이것과 병행하여 하이 레벨측의 비트선으로의 데이터의 리스토어(재기록)을 행하게 하는 것이다. 그러나, 주지(周知) 한 바와 같이 메모리 셀은 2치 정보를 기억하는 것으로서, 상기와 같이 하이 레벨측의 데이터의 리스토어만을 고의로 빠르게 하여도, 로 레벨측의 데이터 리스토어가 상기 스위치 MOSFET를 온 상태로 되돌리고 나서 행하는 것인 것을 고려하면, 메모리 억세스 전체에서 본 경우 효과의 정도가 의심스러운 것이 본 발명자의 검토에 의해 명백하게 되었다. 또, 하나의 스위치 MOSFET의 게이트에 공급되는 게이트 전압을 센스 동작 개시 직전에서 비트선의 리스토어 동작에 이르는 짧은 시간 내에 비선택 레벨 - 선택 레벨 - 중간 레벨 - 비선택 레벨과 같은 레벨로 변화시키고, 더욱이 상기 선택 레벨에서 중간 레벨로의 이행은 센스 출력이 충분히 크게 된 후에 행하지 않으면, 상기 스위치 MOSFET를 설치한 의미가 없는 것 및 소자의 프로세스 변동도 고려하면, 그것을 실효 있게 하기 위해서는 상기 레벨의 타이밍 제어가 복잡하게 된다는 문제도 포함하고 있는 것이 본 발명자의 검토에 의해 명백하게 되었다. 또한, 중간 레벨에서 비선택 레벨로 변화시키면, 리스토어 동작의 고속화가 방해되는 것이 본 발명자의 검토에 의해 명백하게 되었다.

본 발명의 목적은 간단한 구성으로 센스 앰프의 안정적인 증폭동작과 고속화를 실현한 반도체 기억장치를 제공하는 것에 있다. 본 발명의 상기 및 그 외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면으로부터 명백하게 될 것이다.

발명이 이루고자 하는 기술적 과제

본원에서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면, 하기와 같다. 즉, 다이내믹형 RAM에 설치되는 센스 앰프와 상보 비트선과의 사이에 스위치 MOSFET를 설치하여, 워드선의 선택동작에 의해 선택된 복수의 다이내믹형 메모리 셀에서 복수 쌍의 상보 비트선에 각각의 기억정보에 따라서 신호전압이 판독된 후에, 상기 스위치 MOSFET의 스위치 제어신호를 선택 레벨에서 상기 상보 비트선에 판독된 신호전압에서는 오프 상태 또는 비교적 큰 온 저항치를 가지도록, 센스 앰프의 증폭동작에 의한 센스 노드가 한쪽의 레벨로 된 전위에서는 비교적 작은 온 저항치를 가지고 온 상태로 되며, 다른쪽의 레벨로 된 전위에서는 오프 상태로 되는 중간 전위로 변화시켜, 상기 스위치 제어신호의 변화에 대응하여 상기 센스 앰프에 동작전압을 가하여 증폭동작을 개시시키고, 상기 증폭동작에 의해 형성된 증폭신호를 컬럼 선택신호에 의해 컬럼 선택회로를 통해서 상기 입출력선에 전달하며, 상기 컬럼 선택회로의 선택동작에 대응하여 상기 스위치 제어신호를 선택 레벨로 되돌린다.

상기 구성에서는, 센스 앰프의 증폭동작에서 센스 노드의 한쪽이 비트선에 접속된 상태로 되어 비트선에서의 기생용량에 의해 큰 신호 전하를 형성할 수 있기 때문에, 컬럼 선택동작시에 데이터 입출력선에 큰 판독신호를 출력시킬 수 있으므로 센스 출력동작의 고속화가 가능하게 된다.

발명의 구성 및 작용

도 1에는 본 발명이 적용되는 다이내믹형 RAM의 일실시예의 개략 레이아웃 도면이 나타나 있다. 동 도면에서는, 이 발명이 적용되는 다이내믹형 RAM을 구성하는 각 회로 블록 중, 그 주요부가 알 수 있도록 나타나 있고, 그것이 공지의 반도체 집적회로의 제조기술에 의해, 단결정 실리콘과 같은 1개의 반도체기판 상에서 형성된다.

이 실시예에서는, 특히 제한되지 않지만, 메모리 어레이는 전체로서 4개로 나누어져 있다. 반도체 칩의 장변방향에 대해서 중앙부분(14)에 어드레스 입력회로, 데이터 입출력회로 및 본딩 패드 열(列)로 이루어지는 입출력 인터페이스 회로 및 강압회로를 포함하는 전원회로 등이 설치된다. 이들 중앙부분(14)의 양측의 메모리 어레이에 접하는 부분에는 컬럼 디코더 영역(13)이 배치된다.

상술한 바와 같이 반도체 칩의 장변방향에 대해서 좌우로 2개, 상하로 2개씩 나누어진 4개로 이루어지는 각 메모리 어레이는, 각각이 하나의 메모리 뱅크를 구성하도록 된다. 상기 각 메모리 어레이에서, 장변방향에 대해서 상하 중앙부에 메인 로 디코더영역(11)이 설치된다. 이 메인 로 디코더의 상하에는 메인 워드 드라이버영역(12)이 형성되며, 상기 상하로 분할된 메모리 어레이의 메인 워드선을 각각이 구동하도록 된다.

상기 메모리 셀 어레이(서브 어레이)(15)는 그 확대도에 나타내는 바와 같이, 메모리 셀 어레이(15)를 사이에 두고 센스 앰프영역(16), 서브 워드 드라이버영역(17)에 둘러싸여 형성되어 있는 것이다. 상기 센스 앰프영역과, 상기 서브 워드 드라이버영역의 교차부는 교차영역(크로스 에리어)(18)으로 된다. 상기 센스 앰프영역(16)에 설치되는 센스 앰프는 셰어드 센스 방식으로 구성되며, 메모리 셀 어레이의 양단에 배치되는 센스 앰프를 제외하고, 센스 앰프를 중심으로 하여 좌우에 상보 비트선이 설치되며, 좌우 어느쪽의 메모리 셀 어레이의 상보 비트선에 선택적으로 접속된다.

상술한 바와 같이 반도체 칩의 장변방향에 대해서 좌우로 4개씩 나누어진 메모리 어레이는 2개씩 조(組)를 이루어 배치된다. 이와 같이 2개씩 조를 이루어 배치된 2개의 메모리 어레이는 그 중앙부분에 상기 메인 로 디코더영역(11)과 메인 워드 드라이버(12)가 배치된다. 메인 워드 드라이버(12)는 상기 하나의 메모리 어레이를 관통하도록 연장되는 메인 워드선의 선택신호를 형성한다. 또, 상기 메인 워드 드라이버(12)에 서브 워드 선택용의 드라이버도 설치되며, 후술하는 바와 같이 상기 메인 워드선과 평행하게 연장되어 서브 워드 선택신호를 형성한다.

확대도로 나타낸 하나의 메모리 셀 어레이(서브 어레이)(15)는, 특히 제한되지 않지만, 도시하지 않은 서브 워드선이 256개와, 그것과 직교하는 상보 비트선(또는 데이터선)이 256쌍으로 된다. 혹은, 서브 워드선이 512개와, 그것과 직교하는 상보 비트선이 512쌍으로 된다. 동 도면과 같이 상기 하나의 메모리 어레이에서, 상기 메모리 어레이(서브 어레이)(15)를 비트선 방향으로 16개를 설치한 경우, 256 구성에서는 전체로서의 상기 서브 워드선은 약 4K분 설치되고, 512 구성에서는 8K분 설치되며, 워드선 방향으로 8개 설치되기 때문에, 상보 비트선은 256 구성에서는 전체로서 약 4K분 설치되고, 512 구성에서는 8K분 설치된다. 이와 같은 메모리 어레이가 전체에서 8개 설치되기 때문에, 전체에서는 8 ×2K ×4K = 64M 또는 8 ×4K ×8K = 256M 비트와 같은 기억용량을 가지게 된다.

상기 하나의 메모리 어레이는 메인 워드선 방향에 대해서 8개로 분할된다. 이렇게 분할된 메모리 셀 어레이(15) 마다 서브 워드 드라이버(서브 워드선 구동회로)(17)가 설치된다. 서브 워드 드라이버(17)는 메인 워드선에 대해서 1/8의 길이로 분할되며, 그것과 평행하게 연장되는 서브 워드선의 선택신호를 형성한다. 이 실시예에서는 메인 워드선의 수를 저감하기 위해서, 다시 말하면, 메인 워드선의 배선 피치를 완만하게 하기 위해서, 특히 제한되지 않지만, 하나의 메인 워드선에 대해서, 상보 비트선 방향으로 4개로 이루어지는 서브 워드선을 배치시킨다. 이와 같이 메인 워드선 방향으로는 8개가 분할되며 및 상보 비트선 방향에 대해서 4개씩이 할당된 서브 워드선 중에서 1개의 서브 워드선을 선택하기 때문에, 서브 워드 선택 드라이버가 배치된다. 이 서브 워드 선택 드라이버는 상기 서브 워드 드라이버의 배열 방향으로 연장되는 4개의 서브 워드 선택선 중에서 하나를 선택하는 선택신호를 형성한다.

상기와 같이 하나의 메모리 어레이는 상보 비트선 방향에 대해서 4K 비트 또는 8K 비트의 기억용량을 가진다. 그러나, 하나의 상보 비트선에 대해서 4K 또는 8K의 메모리 셀을 접속하면, 상보 비트선의 기생용량이 증대하고, 미세한 정보 기억용 커패시터와의 용량비에 의해 판독되는 신호 레벨을 얻을 수 없게 되어 버리기 때문에, 상보 비트선 방향에 대해서도 16개로 분할된다. 결국, 굵고 검은색의 선으로 나타낸 센스 앰프(16)에 의해 상보 비트선이 16개로 분할된다. 특히 제한되지 않지만, 센스 앰프(16)는 셰어드 센스 방식으로 구성되며, 메모리 어레이의 양단에 배치되는 센스 앰프(16)를 제외하고, 센스 앰프(16)를 중심으로 하여 좌우에 상보 비트선이 설치되며, 좌우 어느쪽의 상보 비트선에 선택적으로 접속된다.

상기 서브 어레이의 구성은 비트선으로 판독되는 신호량을 확보하기 위해서, 그것에 접속되는 메모리 셀의 수를 256개(용장셀 제외)로 하여, 비트선의 분할 수를 워드선(서브 워드선)의 분할 수보다 많게 해도 된다. 이 경우에는 약 256M 비트의 기억용량을 가지는 다이내믹형 RAM에서, 4 분할되어 이루어지는 하나의 메모리 어레이의 각각이 8K ×8K = 64M 비트의 기억용량을 구성하기 때문에, 비트선은 32 분할로 되고, 워드선은 16 분할로 되어, 이것에 대응하여 서브 어레이가 설치된다.

도 2에는 본 발명에 관계되는 다이내믹형 RAM에서의 서브 어레이와 그 주변회로의 일실시예의 개략적인 레이아웃 도면이 나타나 있다. 도 3에서는 서브 어레이(SBARY)가 형성되는 영역에는 사선을 붙임에 따라, 그 주변에 설치되어 서브 워드 드라이버영역, 센스 앰프영역 및 교차영역을 구별하는 것이다.

서브 어레이(SBARY)는 상기와 같이 256 ×256 구성의 예에서, 다음과 같은 4종류로 나누어진다. 즉, 워드선의 연장방향을 수평방향으로 하면, 우측 밑에 배치되는 제1의 서브 어레이(SBARY)는 서브 워드선(SWL)이 256개 배치되며, 상보 비트선 쌍은 256 쌍으로 구성된다. 그러므로, 상기 256개의 서브 워드선(SWL)에 대응한 256개의 서브 워드 드라이버(SDW)는 이러한 서브 어레이의 좌우에 128개씩으로 분할하여 배치된다. 상기 256 쌍의 상보 비트선(BL)에 대응하여 설치되는 256개의 센스 앰프(SA)는 상기와 같은 셰어드 센스 앰프 방식에 더하고, 또 서로 번갈아 배치하여, 이러한 서브 어레이의 상하에서 128개씩 분할하여 배치된다.

우측 위에 배치되는 제2의 서브 어레이(SBARY)는 특히 제한되지 않지만, 정규의 서브 워드선(SWL)이 256개에 더하여 8개의 예비(용장) 워드선이 설치되며, 상보 비트선 쌍은 256 쌍으로 구성된다. 그러므로, 상기 256 + 8개의 서브 워드선(SWL)에 대응한 264개의 서브 워드 드라이버(SWD)는, 이러한 서브 어레이의 좌우에 132개씩 분할하여 배치된다. 센스 앰프는 상기와 같이 128개씩이 상하로 배치된다. 즉, 상기 우측의 상하에 배치되는 서브 어레이(SBARY)에 형성되는 256쌍 중의 128 쌍의 상보 비트선은 그 사이에 놓여진 센스 앰프(SA)에 대해서 셰어드 스위치 MOSFET를 통해서 공통으로 접속된다.

좌측 밑에 배치되는 제3의 서브 어레이(SBARY)는 우측에 인접하는 서브 어레이(SBARY)와 마찬가지로 서브 워드선(SWL)이 256개로 구성된다. 상기와 같이 128개의 서브 워드 드라이버가 분할하여 배치된다. 상기 하측 좌우에 배치된 서브 어레이(SBARY)의 256개 중의 128개의 서브 워드선(SWL)은 그 사이에 놓여진 영역에 형성된 128개의 서브 워드 드라이버(SWD)에 대해서 공통으로 접속된다. 상기와 같이 좌측 밑에 배치되는 서브 어레이(SBARY)는 256쌍으로 이루어지는 정규의 상보 비트선(BL)에 더하여, 4쌍의 예비(용장) 비트선(4RED)이 설치된다. 그러므로, 상기 260 쌍으로 이루어지는 상보 비트선(BL)에 대응한 260개의 센스 앰프(SA)는 이러한 서브 어레이의 상하에 130개씩 분할하여 배치된다.

좌측 위에 배치되는 제4의 서브 어레이(SBARY)는 우측에 인접하는 서브 어레이(SBARY)와 마찬가지로 정규의 서브 워드선(SWL)이 256개에 예비 서브 워드선이 8개 설치되며, 하측에 인접하는 서브 어레이와 마찬가지로 정규의 상보 비트선 쌍의 256 쌍에 더하여, 예비의 비트선이 4쌍 설치되기 때문에, 서브 워드 드라이버는 좌우에 132개씩 분할하여 배치되고, 센스 앰프(SA)는 상하에 130개씩이 분할하여 배치된다.

메인 워드선(MWL)은 그 하나가 대표로서 예시적으로 나타나 있는 바와 같이 상기와 같은 수평방향으로 연장된다. 또, 컬럼 선택선(YS)은 그 하나가 대표로서 예시되는 바와 같이 종(縱)방향으로 연장된다. 상기 메인 워드선(MWL)과 평행하게 서브 워드선(SWL)이 배치되며, 상기 컬럼 선택선(YS)과 평행하게 상보 비트선(BL)(도시하지 않음)이 배치되는 것이다.

상기 4개로 이루어지는 서브 어레이에 대해서, 8개의 서브 워드 선택선(FX0B ~ FX7B)이, 메인 워드선(MWL)과 마찬가지로 4조(8개)의 서브 어레이를 관통하는 것처럼 연장된다. 그리고, 서브 워드 선택선(FX0B ~ FX3B)으로 이루어지는 4개와, FX4B ~ FX7B로 이루어지는 4개가 상하의 서브 어레이 상에 나누어 연장시키도록 한다. 이와 같이 2개의 서브 어레이에 대해서 1조의 서브 워드 선택선(FX0B ~ FX7B)을 할당하고, 또한 그들을 서브 어레이 상을 연장시키도록 하는 이유는 메모리 칩의 소형화를 도모하기 위함 이다.

즉, 각 서브 어레이에 대해서 상기 8개의 서브 워드 선택선(FX0B ~ FX7B)을 할당하고, 더욱 그것을 센스 앰프 에리어 상의 배선 채널로 형성한 경우, 도 1의 메모리 어레이와 같이 단변 방향의 32개의 센스 앰프에서, 8 ×32 = 256개분의 배선 채널이 필요하게 되는 것이다. 이것에 대해서, 상기의 실시예에서는 배선 그 자체가 상하 2개의 서브 어레이에 대해서 상기 8개의 서브 워드 선택선(FX0B ~ FX7B)을 공통으로 할당하고, 더욱이 그것을 서브 어레이 상을 메인 워드선과 평행하게 서로 혼재시켜 배치시키는 것에 의해, 각별한 배선 전용영역을 설치하지 않고 형성할 수 있다.

애초, 서브 어레이 상에는 8개의 서브 워드선에 대해서 1개의 메인 워드선이 설치되는 것이며, 그 8개 중의 1개의 서브 워드선을 선택하기 위해서 서브 워드 선택선이 필요하게 되는 것이다. 메모리 셀의 피치에 맞추어 형성되는 서브 워드선(SWL)의 8개분에 1개의 비율로 메인 워드선(MWL)이 형성되는 것이기 때문에, 메인 워드선(MWL)의 배선 피치는 완만하게 되어 있다. 따라서, 메인 워드선(MWL)과 같은 배선층을 이용하여, 상기 서브 워드 선택선을 메인 워드선의 사이에 형성하는 것은 배선 피치의 완만함을 조금 희생하므로서 비교적 용이하게 할 수 있다.

본 실시예의 서브 워드 드라이버(SWD)는 상기 서브 워드 선택선(FX0B) 등을 통해서 공급되는 선택신호와, 그것을 반전시킨 선택신호를 이용하여 하나의 서브 워드선(SWL)을 선택하는 구성을 채용한다. 그리고, 서브 워드 드라이버(SWD)는 그것을 중심으로 해서 좌우에 배치되는 서브 어레이의 서브 워드선(SWL)을 동시에 선택하는 구성을 채용하는 것이다. 그 때문에, 상기와 같이 FX0B 등을 공유하는 2개의 서브 어레이에 대해서는 128 ×2 = 256개의 서브 워드 드라이버에 대하여, 상기 4개의 서브 워드 선택선을 할당하여 공급한다. 즉, 서브 워드 선택선(FX0B)에 착안하면, 2개의 서브 어레이에 대해서 256 ÷4 = 64개의 서브 워드 드라이버(SWD)에 선택신호를 공급할 필요가 있다.

상기 메인 워드선(MWL)과 평행하게 연장되는 것을 제1의 서브 워드 선택선(FX0B)으로 하면, 좌측 상부의 교차영역에 설치되고, 상기 제1의 서브 워드 선택선(FX0B)으로부터의 선택신호를 받는 서브 워드 선택선 구동회로(FXD)를 통해서, 상기 상하에 배열되는 64개의 서브 워드 드라이버에 선택신호를 공급하는 제2의 서브 워드 선택선(FX0)이 설치된다. 상기 제1의 서브 워드 선택선(FX0B)은 상기 메인 워드선(MWL) 및 서브 워드선(SWL)과 평행하게 연장되는 것에 비해서 상기 제2의 서브 워드 선택선은 그것과 직교하는 컬럼 선택선(YS) 및 상보 비트선(BL)과 평행하게 서브 워드 드라이버영역 상으로 연장된다. 상기 8개의 제1의 서브 워드 선택선(FX0B ~ FX7B)과 마찬가지로, 상기 제2의 서브 워드 선택선(FX0B ~ FX7B)도, 짝수(FX0, 2, 4, 6)와, 홀수(FX1, 3, 7)로 분할되어 서브 어레이(SBARY)의 좌우에 설치된 서브 워드 드라이버(SWD)에 분배되어 배치된다.

상기 서브 워드 선택선 구동회로(FXD)는 동 도면에서 ■로 나타낸 바와 같이, 1개의 교차영역의 상하에 2개씩 분배하여 배치된다. 즉, 상기와 같이 좌측 상부의 교차영역에서는 하측에 배치된 서브 워드 선택선 구동회로가 상기 제1의 서브 워드 선택선(FX0B)에 대응되고, 좌측 중간부의 교차영역에 설치된 2개의 서브 워드 선택선 구동회로(FXD)가 제1의 서브 워드 선택선(FX2B, FX4B)에 대응되며, 좌측 하부의 교차영역의 상측에 배치된 서브 워드 선택선 구동회로가 상기 제1의 서브 워드 선택선(FX6B)에 대응된다.

중앙 상부의 교차영역에서는, 하측에 배치된 서브 워드선 구동회로가 상기 제1의 서브 워드 선택선(FX1B)에 대응되고, 중앙 중간부의 교차영역에 설치된 2개의 서브 워드 선택선 구동회로(FXD)가 제1의 서브 워드 선택선(FX3B, FX5B)에 대응되며, 중앙 하부의 교차영역의 상측에 배치된 서브 워드 선택선 구동회로가 상기 제1의 서브 워드 선택선(FX7B)에 대응된다. 그리고, 우측 상부의 교차영역에서는, 하측에 배치된 서브 워드 선택선 구동회로가 상기 제1의 서브 워드 선택선(FX0B)에 대응되고, 우측 중간부의 교차영역에 설치된 2개의 서브 워드 선택선 구동회로(FXD)가 제1의 서브 워드 선택선(FX2B, FX4B)에 대응되며, 우측 하부의 교차영역의 상측에 배치된 서브 워드 선택선 구동회로가 상기 제1의 서브 워드 선택선(FX6B)에 대응된다. 이와 같이 메모리 어레이의 단부에 설치된 서브 워드 드라이버에서는, 그 우측에는 서브 어레이가 존재하지 않기 때문에, 좌측만의 서브 워드선(SWL)만을 구동한다.

이 실시예와 같이 서브 어레이 상의 메인 워드선(MWL)의 피치의 간격에 서브 워드 선택선(FXB)을 배치하는 구성에서는, 각별한 배선 채널이 불필요하기 때문에, 하나의 서브 어레이에 8개의 서브 워드 선택선을 배치하게 하여도 메모리 칩이 크게되는 일은 없다. 그러나, 상기와 같은 서브 워드 선택선 구동회로(FXD)를 형성하기 위해서 교차영역의 면적이 증대하고, 고집적화를 방해하는 것이 된다. 즉, 상기 교차영역에는 동 도면에서 점선으로 나타낸 메인 입출력선(MIO)이나 로컬 입출력선(LIO)에 대응하여 설치되는 스위치회로(IOSW)나 센스 앰프를 구동하는 파워 MOSFET, 셰어드 스위치 MOSFET를 구동하기 위한 구동회로, 프리차지 MOSFET를 구동하는 구동회로 등의 주변회로가 형성되기 때문에 면적적으로 여유가 없기 때문이다. 이 때문에, 도 3의 실시예에서는 상/하의 2개의 서브 어레이에서 서브 워드 선택선 구동회로(FXD)를 공용하여 면적 증가를 억제하고 있다.

상기 교차영역 중, 짝수에 대응한 제2의 서브 워드 선택선(FX0 ~ FX6)의 연장방향(A)에 배치된 것에는 후술하는 바와 같이 센스 앰프에 대해서 정전압화된 내부전압(VDL)을 공급하는 N채널형의 파워 MOSFET(Q15)(및 오버 드라이버용의 전원전압(VDD)을 공급하는 N채널형의 파워 MOSFET(Q16)) 및 센스 앰프에 대해서 회로의 접지전위(VSS)를 공급하기 위한 N채널형의 파워 MOSFET(Q14)가 설치된다.

상기 교차영역 중, 홀수에 대응한 제2의 서브 워드 선택선(FX1 ~ FX7)의 연장방향(B)에 배치된 것에는 비트선의 프리차지 및 이퀄라이즈(equalize)용 MOSFET를 오프 상태로 하는 인버터회로와, 특히 제한되지 않지만, 센스 앰프에 대해서 회로의 접지전위(VSS)를 공급하기 위한 N채널형의 파워 MOSFET가 설치된다. 이 N채널형의 파워 MOSFET는 센스 앰프열의 양측에서 센스 앰프를 구성하는 N채널형 MOSFET의 증폭 MOSFET의 공통 소스선(CSN)에 접지전위를 공급하는 것이다. 즉, 센스 앰프 에리어에 설치되는 128개 또는 130개의 센스 앰프에 대해서는 상기 A측의 교차영역에 설치된 N채널형의 파워 MOSFET와, 상기 B측의 교차영역에 설치된 N채널형의 파워 MOSFET의 양쪽에 의해 접지전위가 공급된다.

상기와 같이 서브 워드선 구동회로(SWD)는 그것을 중심으로 하여 좌우 양측의 서브 어레이의 서브 워드선을 선택한다. 이것에 대해서, 상기 선택된 2개의 서브 어레이의 서브 워드선에 대응하여 좌우 2개의 센스 앰프가 활성화된다. 즉, 서브 워드선을 선택상태로 하면, 어드레스 선택 MOSFET가 온 상태로 되며, 기억 커패시터의 전하가 비트선 전하와 합성되어 버리기 때문에, 센스 앰프를 활성화 시켜서 원래의 전하의 상태로 되돌리는 재기록 동작을 행할 필요가 있기 때문이다. 이 때문에, 상기 단부의 서브 어레이에 대응한 것을 제외하고, 상기 파워 MOSFET는 그것을 사이에 두고 양측의 센스 앰프를 활성화시키기 위해서 이용된다. 이것에 대해서, 서브 어레이군의 끝에 설치된 서브 어레이의 우측 또는 좌측에 설치된 서브 워드선 구동회로(SWD)에서는 상기 서브 어레이의 서브 워드선밖에 선택할 수 없으므로, 상기 파워 MOSFET는 상기 서브 어레이에 대응한 편측(片側)의 센스 앰프군만을 활성화하는 것이다.

상기 센스 앰프는 셰어드 센스 방식으로 되며, 그것을 사이에 두고 양측에 배치되는 서브 어레이 중, 상기 서브 워드선이 비선택된 측의 상보 비트선에 대응한 셰어드 스위치 MOSFET가 오프 상태로 되어 분리되는 것에 의해, 상기 선택된 서브 워드선에 대응한 상보 비트선의 판독신호를 증폭하고, 메모리 셀의 기억 커패시터를 원래의 전하 상태로 되돌린다는 재기록 동작을 행한다. 이 경우, 본 실시예에서는 선택된 서브 워드선에 대응한 상보 비트선의 셰어드 스위치 MOSFET는, 센스 앰프의 증폭동작에 대응하여 중간전위로 저하되며, 메모리 셀로부터의 판독신호를 증폭하고, 그것을 컬럼 선택회로를 통해서 출력선에 전달한 후에 다시 선택 레벨로 되돌려진다.

도 3에는 본 발명에 의한 다이내믹형 RAM의 센스 앰프부를 중심으로 하여, 어드레스 입력에서 데이터 출력까지의 간략화된 일실시예의 회로도가 나타나 있다. 동 도면에 있어서는 2개의 서브 어레이(15)에 상하에서 사이에 끼워 놓은것 같은 센스 앰프(16)와 상기 교차영역(18)에 설치되는 회로가 예시적으로 나타내어지며, 다른것은 블록도로서 나타내고 있다. 또, 점선으로 나타낸 회로 블록은 상기 부호에 의해 각각으로 나타나 있다.

다이내믹형 메모리 셀은 상기 하나의 서브 어레이(15)에 설치된 서브 워드선(SWL)과, 상보 비트선(BLT, BLB)중 한쪽의 비트선(BLT)과의 사이에 설치된 하나가 대표로서 예시적으로 나타나 있다. 다이내믹형 메모리 셀은 어드레스 선택 MOSFET(Qm)와 기억 커패시터(Cs)로 구성된다. 여기서 비트선(BLT)의 T는 하이 레벨이 논리 1에 대응한 트루(true)측을 표시하고, 비트선(BLB)의 B는 로 레벨이 논리 1에 대응한 바(bar)측을 표시한다.

상기 어드레스 선택 MOSFET(Qm)의 게이트는, 서브 워드선(SWL)에 접속되고, 이 MOSFET(Qm)의 드레인이 비트선(BL)에 접속되며, 소스에 기억 커패시터(Cs)가 접속된다. 기억 커패시터(Cs)의 다른쪽의 전극은 공통화되어 플레이트 전압(VPLT)이 주어진다. 상기 MOSFET(Qm)의 기판(채널)에는 마이너스의 백 바이어스 전압(VBB)이 인가된다. 상기 서브 워드선(SWL)의 선택 레벨은 상기 비트선의 하이 레벨에 대해서 상기 어드레스 선택 MOSFET(Qm)의 문턱치 전압분 만큼 높게된 고전압(VPP)으로 된다.

센스 앰프를 내부 강압전압(VDL)으로 동작시키게 한 경우, 센스 앰프에 의해 증폭되어 비트선에 주어지는 하이 레벨은 상기 내부전압(VDL) 레벨이 된다. 따라서, 상기 워드선의 선택 레벨에 대응한 고전압(VPP)은 VDL + Vth + α가 된다. 센스 앰프의 좌측에 설치된 서브 어레이의 한쌍의 상보 비트선(BLT, BLB)은 동 도면에 나타내는 바와 같이 평행하게 배치되며, 비트선의 용량 밸런스 등을 취하기 위해서 필요에 따라 적당하게 교차시키게 된다. 이러한 상보 비트선(BLT, BLB)은 셰어드 스위치 MOSFET(Q1, Q2)에 의해 센스 앰프의 단위 회로의 입출력 노드와 접속된다.

센스 앰프의 단위회로는, 게이트와 드레인이 교차 접속되어 랫치형태로 된 N채널형의 증폭 MOSFET(Q5, Q6) 및 P채널형의 증폭 MOSFET MOSFET(Q7, Q8)로 구성된다. N채널형 MOSFET(Q5, Q6)의 소스는 공통 소스선(CSN)에 접속된다. P채널형 MOSFET(Q7, Q8)의 소스는 공통 소스선(CSP)에 접속된다. 상기 공통 소스선(CSN, CSP)에는 각각 파워 스위치 MOSFET가 접속된다. 특히 제한되지 않지만, N채널형의 증폭 MOSFET(Q5, Q6)의 소스가 접속된 공통 소스선(CSN)에는, 상기 교차영역(18)에 설치된 N채널형의 파워 스위치 MOSFET(Q14)에 의해 접지전위에 대응한 동작 전압이 주어진다. 상기 P채널형의 증폭 MOSFET(Q7, Q8)의 소스가 접속된 공통 소스선(CSP)에는 상기 교차영역(18)에 설치된 상기 내부전압(VDL)을 공급하는 N채널형의 파워 MOSFET(Q15)가 설치된다.

상기 N채널형의 파워 MOSFET(Q14, Q15)의 게이트에 공급되는 센스 앰프 활성화 신호(SAN, SAP1)는 동상(同相)의 신호로 되며, SAN의 선택 레벨은 상기 VDL과 같은 비교적 낮은 전위로 되는 데에 대하여, SAP1은 MOSFET(Q15)의 소스에서 VDL과 같은 동작 전압을 출력시키기 위해서 전원전압(VDD)(또는 필요에 따라 워드선의 선택 레벨에 대응하는 승압전압(VPP))이 이용된다.

상기 센스 앰프의 단위회로의 입출력 노드인 센스 노드에는 상보 비트선을 단락시키는 이퀄라이즈 MOSFET(Q11)와 상보 비트선에 하프 프리차지 전압(VBLR)을 공급하는 스위치 MOSFET(Q9, Q10)로 이루어지는 프리차지 회로가 설치된다.

이들의 MOSFET(Q9 ~ Q11)의 게이트는 공통으로 프리차지 신호(PCB)가 공급된다. 이 프리차지 신호(PCS)를 형성하는 드라이버 회로는, 도시하지 않지만, 상기 교차영역에 인버터 회로를 설치하여, 그 하강을 고속으로 한다. 즉, 메모리 억세스의 개시시에 워드선 선택 타이밍에 선행하여, 각 교차영역에 분산하여 설치된 인버터 회로를 통하여 상기 프리차지 회로를 구성하는 MOSFET(Q9 ~ Q11)를 고속으로 전환하게 하는 것이다.

상기 교차영역(18)에는 도 3에 나타낸 회로 이외에도, 필요에 따라서 센스 앰프의 공통 소스선(CSP, CSN)을 비동작 시에 하프 프리차지 전압(VDL/2)으로 설정하는 하프 프리차지 회로, 로컬 입출력선(LIOT, LIOB)의 하프 프리차지 회로, 셰어드 선택 신호선(SHR, SHL)의 분산 드라이버 회로 등도 설치된다.

센스 앰프의 단위회로는 셰어드 스위치 MOSFET(Q3, Q4)를 통해서 도면 하측의 서브 어레이(15)와 같은 상보 비트선(BLB, BLB)에 접속된다. 스위치 MOSFET(Q12, Q13)는 컬럼 스위치회로를 구성하는 것이며, 상기 선택신호(YS)가 선택레벨(하이 레벨)로 되면 온 상태가 되고, 상기 센스 앰프의 단위회로의 입출력 노드인 센스 노드와 로컬 입출력선(LIO1, LIO1B, LIO2T, LIO2B) 등을 접속시킨다. 예를 들어, 상측의 서브 어레이의 서브 워드선(SWL)이 선택되었을 때에는, 센스 앰프의 상측의 셰어드 스위치 MOSFET(Q1, Q2)는 온 상태인 채로 하고, 하측의 셰어드 스위치 MOSFET(Q3, Q4)를 오프 상태로 한다.

이것에 의해, 센스 앰프의 입출력 노드는, 상기 상측의 상보 비트선(BLT, BLB)에 접속되어 선택된 서브 워드선(SWL)에 접속된 메모리 셀의 미소신호를 증폭하고, 상기 컬럼 스위치회로(Q12, Q13)를 통하여 로컬 입출력선(LIO1T, LIO1B)에 전한다. 상기 로컬 입출력선(LIO1T, LIO1B)은 교차영역(18)에 설치된 N채널형 MOSFET(Q19, Q20)로 이루어지는 스위치회로(IOSW)를 통하여 메인 앰프(61)의 입력단자가 접속되는 메인 입출력선(MIOT, MIOB)에 접속된다. 동 도면에서는, 생략되어 있지만, MOSFET(Q19, Q20)와 병렬로 P채널형 MOSFET를 설치했다. 소위, 아날로그 게이트로 하는 것에 의해 한층 더 고속화를 도모할 수 있다. 또, MOSFET(Q19, Q20)의 게이트 전압도 강압전압(VPERI) 대신에 전원전압(VDD)을 이용하면 온 저항을 낮추어서 고속화 할 수 있다. 또, 동 도면에서는 생략되어 있지만, 상기 메인 입출력선(MIOT, MIOB)에는 기록 앰프의 출력단자도 접속된다.

특히 제한되지 않지만, 상기 컬럼 스위치회로는 하나의 선택신호(YS)에 의해 두쌍의 상보 비트선(BL, BLB)을 두쌍의 로컬 입출력선(LIO1T, LIO1B와 LIO2T, LIO2B)에 접속시킨다. 그러므로, 하나의 메인 워드선의 선택동작에 의해 선택된 서브 어레이에서, 그 양측에 설치되는 한쌍의 센스 앰프에 대응하여 설치되는 상기 두쌍의 컬럼 스위치회로에 의해 합계 4쌍의 상보 비트선이 선택되는 것으로 되기 때문에, 1개의 YS 선택에 의해 4비트의 동시 판독/기록을 할 수 있다.

어드레스 신호(Ai)는 어드레스 버퍼(51)에 공급된다. 이 어드레스 버퍼는 시분할적으로 동작하여 X어드레스 신호와 Y어드레스 신호를 받아들인다. X어드레스 신호는 프리 디코더(52)에 공급되며, 메인 로 디코더(11)와 메인 워드 드라이버(12)를 통해서 메인 워드선(MWL)의 선택신호가 형성된다. 상기 어드레스 버퍼(51)는 외부단자에서 공급되는 어드레스 신호(Ai)를 받는 것이기 때문에, 외부단자에서 공급되는 전원전압(VDD)에 의해 동작하게 되며, 상기 프리 디코더는 강압전압(VPERI)에 의해 동작하게 되고, 상기 메인 워드 드라이버(12)는 승압전압(VPP)에 의해 동작하게 된다. 컬럼 디코더(드라이버)(53)는 상기 어드레스 버퍼(51)의 시분할적인 동작에 의해 공급되는 Y어드레스 신호를 받아서, 상기 컬럼 선택신호(YS)를 형성한다.

상기 메인 앰프(61)는 강압전압(VPERI)에 의해 동작하게 되며, 외부단자에서 공급되는 전원전압(VDD)으로 동작하게 되는 출력버퍼(62)를 통해서 외부단자(Dout)(또는 DQ)에서 출력된다. 외부단자(Din)(또는 DQ)에서 입력되는 기록신호는 입력 버퍼(63)를 통해서 받아들이며, 동 도면에서 메인 앰프(61)에 포함되는 후술하는 바와 같은 기록 앰프를 통해서 상기 메인 입출력선(MIO, MIOB)에 기록 신호를 공급한다. 상기 출력버퍼의 입력부에는 다음에 설명하는 바와 같이 레벨 시프트 회로와, 이러한 레벨 시프트된 출력 신호를 타이밍 신호에 동기시켜 출력시키기 위한 논리부가 설치된다.

특히 제한되지 않지만, 상기 외부단자에서 공급되는 전원전압(VDD)은 2.5V로 되며, 내부회로에 공급되는 강압전압(VPERI)과 센스 앰프의 동작전압(VDL)은 모두 1.8V로 된다. 이 경우, 주변회로의 동작에 의한 전원 노이즈가 센스 앰프의 증폭동작에 영향을 주지않도록, 동일 전압인데도 불구하고 각각이 독립한 전원회로(강압회로)에 의해 형성된다. 워드선(서브 워드선, 메인 워드선)의 선택신호와 비선택신호에 이용되는 승압전압(VPP)은 3.5V로 된다. 비트선의 프리차지 전압(VBLR)은 VDL/2에 대응한 0.9V로 되며, 플레이트 전압(VPLT)도 0.9V로 된다. 그리고, 기판전압(VBB)은 -1.0V로 된다.

도 4에는 본 발명에 관계되는 다이내믹형 RAM의 센스 앰프부의 일실시예의 회로도가 나타나 있다. 동 도면의 회로는 도 3에 나타낸 회로와 기본적으로 동일하다. 센스 앰프의 단위회로를 구성하는 CMOS 랫치회로는 랫치형태로 된 N채널형

MOSFET(Q5, Q6) 및 P채널형 MOSFET(Q7, Q8)로 구성된다. 이들의 랫치형태의 N채널형 MOSFET(Q5, Q6) 및 P채널형 MOSFET(Q7, Q8)의 소스는, 상기 동일한 서브 어레이에 대응하여 설치되는 도시하지 않는 다른 동일한 센스 앰프를 구성하는 N채널형 MOSFET 및 P채널형 MOSFET의 소스를 각각 공통 접속하는 공통 소스선(CSN과 CSP)에 접속된다.

상기 공통 소스선(CSN)에는, 타이밍 신호(SAN)를 받는 N채널형 MOSFET(Q14)를 통해서 동작전압(VSSA)이 공급되며, 상기 공통 소스선(CSP)에는 타이밍 신호(SAP1)를 받는 N채널형 MOSFET(Q15)를 통해서 동작전압(VDL)이 공급된다. 본 실시예에서, 상기 센스 앰프의 한쪽의 동작전압으로 되는 접지전위(VSSA)는, 상기 주변회로 등으로부터의 노이즈의 영향을 받지않도록 하기 위해서, 그 접지전위(VSS)와는 분리된 접지선에 의해 외부단자에서 공급되는 접지전위가 주어진다. 즉, 센스 앰프에 주어지는 접지전위(VSSA)는, 상기 주변회로나 입출력회로와는 별도로 설치된 배선에 의해 외부단자에서 직접적으로 회로의 접지전위가 주어진다.

상기 랫치회로의 한쌍의 입출력 노드(센스 노드)(SAT, SAB)에는, 그들을 단락하는 이퀄라이즈 MOSFET(Q12)와 하프 프리차지 전압(VBLR)을 상기 센스 노드(SAT, SAB)에 전달하는 프리차지 MOSFET(Q10, Q11)로 이루어지는 프리차지 회로가 설치된다. 또, 상기 센스 노드(SAT, SAB)는 게이트에 컬럼 선택신호(YS)가 공급되는 컬럼 스위치 MOSFET(Q12, Q13)를 통해서 로컬 입출력선(LIOT, LIOB)에 접속된다. 그리고, 상기 센스 앰프부를 사이에 끼워 좌측에 설치되는 상보 비트선(BLLT, BLLB)과의 사이에는 셰어드 스위치 MOSFET(Q1, Q2)가 설치되며, 우측에 설치되는 상보 비트선(BLRT, BLRB)과의 사이에는 셰어드 스위치 MOSFET(Q3, Q4)가 설치된다.

상기 셰어드 스위치 MOSFET(Q1, Q2)의 게이트에는 제어신호(SHL)가 공급되며, 상기 셰어드 스위치 MOSFET(Q3, Q4)의 게이트에는 제어신호(SHR)가 공급된다. 상기 센스 앰프부의 좌측의 상보 비트선(BLLT, BLLB)과 그것과 직교하게 배치된 서브 워드선(SWL1, SWL2) 등의 각각의 교점에 상기와 같은 어드레스 선택 MOSFET(Qm)와 기억 커패시터(Cs)로 이루어지는 다이내믹형 메모리 셀이 설치된다. 마찬가지로, 상기 센스 앰프부의 우측의 상보 비트선(BLRT, BLRB)과 그것과 직교하게 배치된 서브 워드선(SWL3, SWL4) 등의 각각의 교점에 상기와 같은 어드레스 선택 MOSFET(Qm)와 기억 커패시터(Cs)로 이루어지는 다이내믹형 메모리 셀이 설치된다.

도 5에는 도 3의 실시예에 나타낸 메인 앰프의 일실시예의 회로도가 나타나 있다. 메인 앰프는 상기 센스 앰프와 마찬가지로 랫치형태로 된 N채널형 MOSFET(Q21, Q22) 및 P채널형 MOSFET(Q24, Q25)로 이루어지는 CMOS 랫치회로와, 상기 N채널형 MOSFET(Q21, Q22)의 공통 접속된 소스와 회로의 접지전위와의 사이에 설치된 N채널형 MOSFET(Q23)로 구성된다. 상기 CMOS 랫치회로의 입출력 노드는, 상기와 같은 메인 입출력선(MIOT, MIOB)에 접속된다. 상기 랫치형태의 P채널형 MOSFET(Q24와 Q25)의 공통 접속된 소스에는 동작전압(VPERI)이 공급된다. 이 전압(VPERI)은 상기 센스 앰프의 동작전압(VDL)과 동일한 전압으로 되어 있다.

특히 제한되지 않지만, 상기 메인 입출력선(MIOT와 MIOB)은, 로컬 입출력선(LIOT, LIOB)에 설치되는 도시하지 않은 프리차지 회로에 의해, 이러한 로컬 입출력선(LIOT, LIOB)과 함께 VPERI(VDL)로 프리차지 된다. 그러므로, 상기 센스 앰프의 증폭동작에 의해서 로컬 입출력선(LIOT, LIOB) 및 메인 입출력선(MIOT, MIOB)에 판독된 출력신호는 메인 입출력선(MIOT, MIOB)의 한쪽이 프리차지 전위(VPERI = VDL)에서 로 레벨측으로 저하된 전압으로 되며, 타이밍 신호(MAE)에 의해 MOSFET(Q23)가 온 상태로 되어, 상기의 전위차를 상기의 랫치형태의 N채널형 MOSFET(Q21, Q22)에 의해 증폭하는 것이다.

도 6에는 본 발명에 의한 다이내믹형 RAM의 출력버퍼의 일실시예의 회로도가 나타나 있다. 동 도면에서는 다이내믹형 RAM의 전체적인 동작을 나타내는 회로 블록도 합쳐서 나타내고 있다. 즉, 디코더에서는 강압전압(VPERI)에서 동작하게 되며, 그것에 대응한 신호 진폭의 디코더 신호가 형성된다. 메인 워드 드라이버는 승압전압(VPP)에서 동작하게 된다. 메모리 어레이에서는 상기와 같이 센스 앰프의 동작전압(VDL)에 대응한 신호 진폭의 판독신호가 출력된다. 메인 앰프는 상기 강압전압(VPERI)에서 동작하게 되며, 그것에 대응한 판독신호(MOB)를 형성한다. 여기서 MOB의 B는 상기와 같이 논리 "1"이 로 레벨, 논리 "0"이 하이 레벨인 것을 의미하고, 그것에 대하는 역상의 신호는 MOT로 표시하는 것이다.

출력버퍼에서는, 상기 메인 앰프의 출력신호(MOB)가 레벨 시프트 회로(LS)에 의해 상기 강압전압(VPERI)에 대응한 신호 레벨을 외부 전원전압(VDD)에 대응한 전압 레벨로 변환(증폭)한다. 이 증폭된 신호(MOTH)는 난드 게이트 회로(G1)의 한쪽의 입력에 공급된다. 또, 상기 신호(MOTH)는 인버터 회로(N1)에 의해 반전되어 난드 게이트 회로(G2)의 한쪽의 입력에 공급된다. 이들 난드 게이트 회로(G1, G2)의 다른쪽의 입력에는 상기 전원전압(VDD)에 대응한 신호 레벨의 데이터 출력 타이밍 신호(DOC)가 공급된다. 출력 MOSFET(QP, QN)는 큰 부하 구동능력을 얻기 위해서 비교적 큰 사이즈로 형성되기 때문에 큰 게이트 용량을 가진다. 이와 같은 출력 MOSFET(QP, QN)를 고속으로 구동하기 위해서 순차적으로 상기 게이트 회로(G1, G2)의 출력신호는 인버터 회로(N2 ~ N4)를 통하여 전달된다.

출력버퍼의 P채널형 출력 MOSFET(QP)의 소스에 주어지는 전원전압(VDD)은, 상기 P채널형 출력 MOSFET(QP)가 비교적 큰 동작 전류를 흐르게 하기 위해서 독립한 전원단자(VDDQ) 및 전원선을 통하여 동작전압이 주어진다. 마찬가지로, P채널형 출력 MOSFET(QN)의 소스에 주어지는 접지전위도, 독립한 접지단자(VSSQ) 및 전원선을 통하여 주어진다. 상기 P채널형 출력 MOSFET(QP)는 N채널형 출력 MOSFET로 치환하는 것도 가능하다. 단지, 전원전압(VDD)까지의 출력 레벨을 얻을 수 있도록 하기 위해서 게이트에 승압된 전압을 공급하게 하면 된다. 이 승압전압은 상기와 같은 워드선 등의 승압전압(VPP)을 이용하는 것이라도 좋지만, 부트스트랩(bootstrap) 회로로 형성하는 것이 일반적이다.

도 7에는 본 발명에 의한 다이내믹형 RAM의 판독동작의 일예를 설명하기 위한 타이밍도가 나타나 있다. 셰어드 선택신호(SHR, SHL)는 프리차지 기간에는 승압전압(VPP)과 같은 선택 레벨로 되어 있다. 그러므로, 센스 앰프의 센스 노드에 설치된 프리차지 회로에 의해, 그것을 중심으로 좌우에 설치된 상보 비트선(BLLT, BLLB) 등은 하프 프리차지 전압(VBLR)(= VDL/2)으로 설정되어 있다.

서브 워드선(SWL1)이 선택되었을 때, 그것에 앞서 비선택측의 서브 어레이에 대응한 셰어드 선택신호(SHR)가 회로의 접지전위(VSS)와 같은 비선택 레벨로 된다. 그러므로, 센스 앰프는 좌측의 상보 비트선과는 분리된 상태로 되며, 서브 워드선(SWL1)의 선택동작에 의해 좌측의 상보 비트선(BLLT, BLLB)에 선택된 메모리 셀의 기억전하에 대응한 미소 전압차가 발생한다.

상기 미소 전압이 발생하고, 센스 앰프가 증폭동작을 개시하기 전에 상기 셰어드 선택신호(SHL)가 강압전압(VDL)과 같은 중간전압으로 저하하게 된다. 그리고, 센스 앰프 활성화 신호(SAN, SAP1)를 하이 레벨로 하여, 센스 앰프의 증폭동작을 개시시킨다. 즉, 센스 앰프 활성화 신호(SAN)에 의해 파워 스위치 MOSFET(Q14)를 온 상태로 하여 센스 앰프의 공통 소스선(CSN)을 하프 프리차지 전압에서 회로의 접지전위(VSSA)와 같은 전위로 저하시키고, 센스 앰프 활성화 신호(SAP1)에 의해 파워 스위치 MOSFET(Q15)를 온 상태로 하여 센스 앰프의 공통 소스선(CSP)을 하프 프리차지 전압에서 동작전압(VDL)으로 상승시킨다.

이 증폭동작에서 확대도에 나타나 있는 바와 같이, 선택측의 셰어드 선택신호(SHL)의 전위는 VDL과 같이 낮은 전위로 저하하고, 센스 노드(SAT, SAB)와의 전위차가 0.9V 정도로 작은 것에 의해 스위치 MOSFET(Q1, Q2)와는 비교적 큰 온 저항치를 갖고 비트선(BLLT, BLLB)과 접속시킨다. 따라서, 센스 노드(SAT, SAB)에는 비트선(BLLT, BLLB)이 큰 기생용량이 직접 접속되는 일이 없기 때문에, 센스 앰프의 증폭 개시에 의해 센스 노드(SAT, SAB)와는 상기 미소 전위차에 대응하여 고속으로 확대한다.

즉, 하이 레벨의 판독신호에 대응한 센스 노드(SAT)는, 스위치 MOSFET(Q1)가 오프 상태로 되어 있기 때문에, VDL로 향하는 상승이 고속으로 된다. 이것에 대해서, 로 레벨의 판독신호에 대응한 센스 노드(SAB)는 그 전위 저하에 대응하여 스위치 MOSFET(Q2)의 게이트 소스와 소스간 전위가 확대하여, 비트선(BLLB)과의 결합을 보다 강하게 하여 비트선(BLLB)의 전위를 저하시킨다.

즉, 센스 앰프의 증폭 개시 시에는 상기 스위치 MOSFET(Q1)는 오프 상태로, 스위치 MOSFET(Q2)는 큰 저항치를 기지고 온 상태로 되며, 센스 노드와 비트선(BLLT, BLLB)과의 결합을 약하게 하고 있기 때문에, 미소 전위차를 센스 앰프의 증폭동작에 의한 전위차의 확대를 고속으로 하고, 그 전위차의 확대에 대응하여 로 레벨측의 스위치 MOSFET(Q2)는 증폭전압의 확대에 대응하여 비트선(BLLB)과의 결합을 강하게 하여 상기 비트선(BLLB)의 전위의 저하를 충족하도록 작용한다. 다시 말하면, 이 때의 스위치 MOSFET(Q2)는 이른바 게이트 접지, 소스 입력의 리니어 증폭 MOSFET로서 기능하고, 비트선(BLB)의 전위 저하를 발생시키는 것이다.

상기 센스 앰프는 센스 노드(SAT, SAB)에 전달되는 미소 전압을 정귀환 루프를 이용한 고속동작을 행하는 것이기 때문에, 증폭동작 개시시에 노이즈가 실려 판독되는 레벨에 대해서 전위차가 역전하여 버리면, 잘못된 판독동작, 다시 말하면, 그 증폭출력이 메모리 셀에 재기록되는 것에 의해 잘못된 기억동작을 일으켜 버린다. 따라서, 센스 앰프의 증폭 개시시에는 셰어드 스위치 MOSFET(Q1, Q2)가 만약 온 상태이더라도, 게이트, 소스 사이의 전압이 문턱치 전압 부근에 있기 때문에 비트선과의 결합이 약하게 되어 있으므로, 상기 비트선 측으로부터의 노이즈의 영향을 방지하면서, 미소 전위차를 고속으로 확대하고, 그 확대에 대응하여 하이 레벨측의 스위치 MOSFET(Q1)를 오프 상태로, 상기 증폭신호의 로 레벨측으로의 확대에 대응하여 스위치 MOSFET(Q2)의 온 저항을 서서히 작게하여, 증폭동작이 고속으로 더 안정하게 되었을 때의 비트선과 강하게 결합시켜서 전위를 저하시키는 것이다.

이와 같이 하여 센스 노드(SAB)는 비교적 큰 기생용량을 가지는 비트선(BLLB)과의 스위치 MOSFET(Q2)를 통한 접속에 의해, 실질적으로 큰 신호 전하량을 가지게 된다. 따라서, 컬럼 선택신호(YS)에 의해 상기 센스 노드(SAB)가 로컬 비트선에 접속되었을 때에, 로컬 비트선과의 차지셰어에 의해 판독되는 신호량을 크게 할 수 있기 때문에, 결과로서 고속 판독이 가능하게 되는 것이다.

도 8에는 본 발명에 의한 다이내믹형 RAM의 판독동작을 설명하기 위한 타이밍 도면이 나타나 있다. 이 타이밍 도면에서는, 종래와 같이 선택측의 셰어드 스위치 MOSFET를 완전하게 오프 상태로 한 경우의 판독동작과의 비교에 의해, 본 발명에서의 상기와 같은 중간전위에서의 판독동작의 우위성을 설명하는 것이다.

동 도면과 같이 셰어드 선택신호(SHL)를 회로의 접지전위(VSSA)와 같은 로 레벨로 하여 센스 앰프를 활성화시킨 경우에는, 센스 노드(SAT, SAB)의 전위는 미소한 판독 전위차가 급격하게 확대한다. 그러나, 셰어드 선택신호(SHL)를 선택 레벨로 되돌리면, 비교적 큰 기생용량을 가지는 비트선(BLT, BLB)의 챠지셰어에 의해 센스 노드(SAT, SAB)가 비트선 전위측으로 변화하여 양자의 전위차가 V2와 같이 작게되어 버린다. 이 타이밍에서 컬럼 선택신호(YS)를 하이 레벨로 하여 로컬 입출력선과 접속시켜서 판독을 행하게 하면, 상기 로컬 입출력선을 통해서 메인 입출력선(MIOT, MIOB)에 전달되는 신호량이, 그것에 접속되는 메인 앰프의 증폭동작에 필요한 전압 V3에 도달할 때까지의 시간이 늦어진다. 따라서, 컬럼 선택신호(YS)는 상기 전압 V3가 얻어질 때까지의 사이, 선택 레벨로 되어 센스 노드와 로컬 입출력선과의 접속을 유지하지 않으면 안된다.

이것에 대해서, 본원 발명과 같이 선택측의 셰어드 선택신호(SHL)를 점선으로 나타낸 바와 같이 중간전위(VDL)까지 밖에 저하시키지 않는 경우에는, 센스 앰프의 증폭기간에 로 레벨측의 증폭출력이 비트선(BLB)에 전달되는 것이기 때문에 셰어드 선택신호(SHL)를 선택 레벨로 되돌려도 비트선(BLB)의 전위가 저하하고 있기 때문에, 센스 노드(SAT, SAB)의 전위차가 V1과 같이 확대되고 있다. 따라서, 컬럼 선택신호(YS)를 하이 레벨로 하여 로컬 입출력선과 접속시켜서 판독을 행할 때에, 동 도면에 점선으로 나타내는 바와 같이 상기 로컬 입출력선을 통해서 메인 입출력선(MIOT, MIOB)에 전달되는 신호량을 크게할 수 있기 때문에, 그것에 접속되는 메인 앰프의 증폭동작에 필요한 전압 V3에 도달할 때까지의 시간을 짧게 할 수 있고, 그것에 따라서 메인 앰프의 활성화 신호(MAE)의 타이밍을 빠르게 할 수 있음과 동시에, 컬럼 선택신호(YS)의 선택기간을 짧게할 수 있다.

상기 중간전압은 상기 센스 앰프의 동작전압(VDL)에 한정되지 않는다. 이 중간전위는 이상적으로는 MOSFET(Q1, Q2)의 문턱치 전압을 VT1과 VT2로 하면, VT2 < 중간전위 < VT1 이면 된다. 단지, VT1, VT2 < 중간전위와 같이 하여도, 그 온 저항이 커서 상기 센스 앰프의 증폭 개시에 실질적으로 영향을 주지 않는다면 문제가 되지 않는다.

상기 문턱치 전압(VT1, VT2)은 다음 식(1)과 (2)에 의해 표시된다.

$$VT1 = VT10 + K\sqrt{|\ VBB - VSAT\ |} + 2\phi F - \sqrt{2\phi F} \cdots (1)$$

$$VT2 = VT20 + K\sqrt{|\ VBB - VSAT\ |} + 2\phi F - \sqrt{2\phi F} \cdots (2)$$

여기서, VT10은 VBB - VSAT = 0 일때의 문턱치 전압, VT20은 VBB - VSAB = 0 일때의 문턱치 전압, K는 기판 효과 정수, VSAT는 센스 노드(SAT)의 전압치, VSAB는 센스 노드(SAB)의 전압치, VBB는 기판전압, ϕF는 페르미 준위이다.

도 9에는, 이 발명에 의한 다이내믹형 RAM의 판독동작 외의 일예를 설명하기 위한 타이밍 도면이 나타나 있다. 이 실시예에서는 선택측의 셰어드 선택신호(SHL)를 중간전위(VDL)로 한 후에, 전압(VPP)과 같은 선택 레벨로 되돌릴 때에 그 상승시간(tr)이 tr1과 같이 늦어진다. 이것에 의해 비트선(BT)과 하이 레벨측의 센스 노드(SAT)와의 결합이 느슨하게 행하여져, 비트선(BLT)의 하락이 작게된다. 그 결과로서, 센스 노드(SAT, SAB)에서의 전위차가 V1에서 V5와 같이 확대시키는 것이 가능하게 된다. 이것에 의해, 상기와 같은 센스 출력의 데이터 입출력선 측으로의 판독을 고속으로 할 수 있다.

도 10에는, 셰어드 선택신호를 형성하는 타이밍 발생회로의 일실시예의 회로도가 나타나 있다. SH 선택 논리블록에 의해, 3가지의 타이밍 신호(ϕA, ϕB 및 ϕC)가 형성된다. 예를 들어, 선택측에서는 타이밍 신호(ϕB, ϕC) 가 발생되며, 비선택측에서는 타이밍 신호(ϕA, ϕC)가 발생된다. 즉, 선택측에 있어서는, 타이밍 신호(ϕC, ϕA, ϕC)가 발생되며, 그것에 대응하여 출력 MOSFET(Q27, Q26 및 Q27)가 온 상태로 되기 때문에, SHL(SHR)전위는 VPP - VSS - VPP와 같은 2치 전압이 설정된다. 비선택측에서는, 타이밍 신호(ϕC, ϕA, ϕC)가 발생되며, 그것에 대응하여 출력 MOSFET(Q27, Q28 및 Q27)가 온 상태로 되기 때문에, SHL(SHR)전위는 VPP - VSS - VPP와 같은 2치 전압으로 설정된다.

상기와 같이 선택 레벨을 VPP 레벨로 하는 경우, MOSFET(Q27)를 N채널형 MOSFET로 구성한 경우에는, 상기 타이밍 신호(φC)의 선택 레벨은 VPP + VT27과 같은 승압전압으로 된다. 상기 MOSFET(Q27)를 P채널형 MOSFET로 한 경우, 상기 타이밍 신호(φC)는 VPP가 비선택 레벨로 되어 VSS가 선택 레벨로 된다.

상기 도 9와 같이 중간전압(VDL)에서 선택 레벨(VPP)로의 상승을 지연시키는 경우에는 MOSFET(Q27)를 병렬 접속한 2개의 MOSFET로 하고, VSS에서 VPP로 상승시킬 때에는 2개의 MOSFET를 동시에 온 상태로 하며, VDL에서 VPP로 상승시킬 때에는 하나의 MOSFET를 온 상태로 하면 된다. 혹은 타이밍 신호(φC)의 상승을 늦게 하게 하는 것이더라도 된다. 이와 같이, MOSFET의 사이즈나 게이트 입력전압의 변경에 의해서, 상기 선택적인 신호 레벨의 변화를 행할 수 있다.

도 11에는 본 발명에 의한 다이내믹형 RAM의 판독동작 외의 일예를 설명하기 위한 타이밍 도면이 나타나 있다. 본 실시예에서는 센스 앰프가 오버 드라이브된다. 즉, 센스 앰프의 P채널형 MOSFET의 공통 소스선(CSP)에 동작전압(VDL)보다도 높은 전압(VDD)을 공급하고, 그 상승을 급격하게 하여 하이 레벨측의 센스 출력의 상승을 고속으로 하는 것이다. 이 때문에, 상기 공통 소스선(CSP)을 구동하는 타이밍 신호로서, 타이밍 신호(SAP2)가 추가된다. 이 타이밍 신호(SAP2)는 타이밍 신호(SAN)와 동시에 일시적으로 VPP 레벨과 같은 높은 전압으로 되며, 상기 공통 소스선(CSP)을 일시적으로 VDL 보다도 높게 한다. 이 타이밍 신호(SAP2)의 비선택 레벨로의 변화에 대응하여 늦게 상기 타이밍 신호(SAP1)가 발생되며, 공통 소스선(CSP)에 동작전압(VDL)을 공급하는 것이다.

이와 같은 센스 앰프의 오버 드라이브에 의해서, 센스 노드(SAT, SAB)의 전압차를 V4와 같이 크게 할 수 있다. 이 때문에, 셰어드 선택신호(SHL)를 중간전압(VDL)에서 선택전압(VPP)으로 되돌렸을 때의 센스 노드의 하락분을 상기 오버 드라이브 전압에 의해서 보상할 수 있기 때문에 컬럼 선택신호(YS)에 의한 데이터 입출력선으로의 판독동작을 고속으로 할 수 있다.

도 12에는 오버 드라이브 기능을 가지는 센스 앰프의 일실시예의 회로도가 나타나 있다. 센스 앰프의 P채널형 MOSFET(Q7, Q8)의 소스가 접속되는 공통 소스선(CSP)에 상기와 같은 파워 스위치 MOSFET(Q15)에 더하여, 오버 드라이브부를 구성하는 N채널형 MOSFET(Q16)가 부가된다. 이 MOSFET(Q16)는 타이밍 신호(SAP2)에 대응하여 전원전압(VDD)을 상기 공통 소스선(CSP)에 공급하는 동작을 행한다. 상기 MOSFET(Q16)의 소스에서 상기와 같은 전원전압(VDD)을 출력시키기 위해서, 게이트에 공급되는 타이밍 신호(SAP2)의 선택 레벨은 승압전압(VPP)과 같은 높은 전압으로 된다.

상기 오버 드라이브용의 전압에는 외부단자에서 공급되는 전원전압(VDD) 대신에, 센스 앰프 동작속도의 전원전압(VDD) 의존성을 경감하기 위해서, 게이트에 승압전압(VPP)이 인가되고, 드레인이 전원전압(VDD)에 접속되며, 소스에서 상기 전원전압(VDD)으로부터 약간 강압된 전압을 이용하게 하는 것이라도 된다. 이와 같은 오버 드라이브부의 부가에 의해 타이밍 신호(SAP2)에 대응하여, 센스 앰프의 동작전압인 공통 소스선(CSP)의 전위를 일시적으로 VDD와 같은 높은 전압으로 할 수 있다.

도 13에는 본 발명에 의한 다이내믹형 RAM에 이용되는 센스 앰프부의 일실시예의 개략소자 레이아웃 도면이 나타나 있다. 이 실시예에서는 센스 앰프를 구동하는 파워 스위치 MOSFET(Q14, Q15)가 센스 앰프 열(列)을 따라 분산하여 배치된다. 즉, 상기와 같은 교차영역에 큰 사이즈로서 정리하여 배치되는 것이 아니고, 센스 앰프 열 중에 분산하여 작은 소자 사이즈의 파워 스위치 MOSFET(Q14, Q15)가 설치된다.

특히 제한되지 않지만, 이 실시예에서는 16개의 단위회로에 대응하여 상기 2개의 MOSFET(Q14, Q15)가 배치된다. 즉, 좌측 끝에 설치된 단위회로를 예로 하여 설명하면, 상측에서 순서대로 셰어드 스위치 MOSFET(Q1, Q2), 프리차지 회로를 구성하는 MOSFET(Q10 ~ Q12), 컬럼 선택회로를 구성하는 스위치 MOSFET(Q12, Q13), CMOS 랫치회로를 구성하는 P채널형 증폭 MOSFET(Q7, Q8), 상기 파워 스위치 MOSFET(Q14, Q15)의 형성영역을 사이에 두고 CMOS 랫치회로를 구성하는 N채널형 증폭 MOSFET(Q5, Q6) 및 셰어드 스위치 MOSFET(Q3, Q4)와 같이 배치된다.

상기 파워 스위치 MOSFET(Q14, Q15)는 센스 앰프 열을 따라 게이트가 연장되는 것과 같이, 상기 셰어드 스위치 MOSFET에 비하여 채널 폭이 크고, 다시 말하면, 소자 사이즈가 크게 형성되어 큰 전류를 흐르게 할 수 있게 된다. 이 경우, N채널형 MOSFET의 공통 소스선(CSN)을 구동하는 MOSFET(Q14)는 그 게이트에 공급되는 전압이 VDL과 같이 비교적 낮은 전위이기 때문에 게이트에 전원전압(VDD) 또는 승압전압(VPP)이 공급되는 MOSFET(Q15)에 비하여 큰 사이즈가 된다. 이와 같이 센스 앰프를 구동하는 파워 스위치 MOSFET를 분산 배치한 경우에는, 센스 노드와 파워 스위치 MOSFET와의 사이의 거리를 짧게 할 수 있고, 서브 어레이에 설치되는 복수의 센스 앰프의 동작 타이밍을 상호 균일하게 할 수 있음과 동시에, 상기 교차영역을 다른 회로를 위해 유효하게 이용할 수 있다.

도 14에서는, 이 발명에 의한 다이내믹형 RAM의 판독동작의 또 다른 일예를 더 설명하기 위한 타이밍 도면이 나타나 있다. 이 실시예에서는 셰어드 스위치 MOSFET가 P채널형 MOSFET로 구성되는 예에 대응한 타이밍 도면이 나타나 있다. 셰어드 스위치 MOSFET가 P채널형 MOSFET로 구성되는 경우, 그 선택 레벨은 VSSA와 같은 회로의 접지전위로 되며, 비선택 레벨은 비트선의 하이 레벨에 대응한 강압전압(VDL)과 같은 전압으로 된다.

따라서, 선택측의 셰어드 스위치 MOSFET에 공급되는 셰어드 선택신호(SHL)는 서브 워드선(SWL)이 선택되어 센스 앰프의 센스 노드(SAT, SAB)에 판독 전압차가 나타난 후에 VDL/2와 같은 하프 프리차지 전압(VBLR)에 대응한 전위로 설정된다. 센스 앰프의 증폭동작에 의해 센스 노드(SAT, SAB)의 전위차가 확대하면, 게이트 전위가 상대적으로 낮은 전위로 되는 하이 레벨측의 비트선(BLT)에 접속되는 스위치 MOSFET(Q1)에 의해 하이 레벨측의 비트선(BLLT)의 전위가 상승하여 센스 노드(SAT, SAB)의 전위차를 확대시키는 것이다.

이와 같은 P채널형 MOSFET를 셰어드 선택 MOSFET로서 이용하고, 그 하이 레벨측의 신호량을 크게 할 경우, 데이터 입출력선의 프리차지 전위를 접지전위측으로 하고, 메인 앰프를 구성하는 CMOS 랫치회로에는 P채널형 MOSFET에 의해 증폭동작을 행하도록 하는 것이 바람직하다. 즉, 도 5와 같은 메인 앰프를 이용하는 경우에는, P채널형 MOSFET(Q24, Q25)의 소스측에 P채널형 MOSFET에 의해 VDL과 같은 동작전압을 주고, N채널형 MOSFET(Q21, Q22)의 소스에는 회로의 접지전위를 주도록 하는 것이다. 이것에 의해, 센스 앰프로부터의 출력신호에 대응하여, 메인 앰프를 감도가 좋은 영역에서 동작시킬 수 있다.

도 15에는, 본 발명에 의한 다이내믹형 RAM의 다른 일실시예의 센스 앰프부의 회로도가 나타나 있다. 이 실시예는 센스 앰프에 대응하여 한쌍의 상보 비트선을 설치하는 예가 나타나 있다. 이와 같이 센스 앰프에 대해서 한쌍의 상보 비트선(BLT, BLB)을 할당하는 경우라도, 비트선과 센스 앰프의 센스 노드(SAT, SAB)와의 사이에, 비트선 컷트용의 MOSFET(Q1′, Q2′)가 설치된다. 그리고, 이 MOSFET(Q1′, Q2′)의 게이트에 공급되는 제어신호(BC)는 상기 일본특허공개 평4-167293호 공보와 같은 3치 레벨에서의 제어와는 다르며, VPP와 같은 선택 레벨과 VDL과 같은 중간전위의 2치 전압으로 변화하게 된다.

이와 같은 비트선 컷트용 MOSFET를 설치한 경우라도, 그 제어신호(BC)를 상기 공보와 같이 3치 레벨에서 제어하지 않고, 2치 레벨에서 제어하는 것에 의해, 상기 설명한 바와 같이 센스 출력의 데이터 입출력선(IOT, IOB)으로의 판독을 고속으로 할 수 있는 것이다. 이 데이터 입출력선(IOT, IOB)은 상기와 같은 메모리 어레이가 서브 어레이와 같이 분할되어 있는 경우에는 로컬 입출력선에 대응한 것이며, 선택회로에 의해 메인 앰프가 설치된 메인 입출력선에 접속된다.

도 16에는, 본 발명을 싱크로너스 DRAMDP 적용한 경우의 동작을 설명하기 위한 파형도가 나타나 있다. 동 도면에서는 버스트 길이(BL) = 2, CAS 레이턴시(latency)(CL) = 2의 경우를 예로하여 나타내고 있다. 상기 BL = 2, CL = 2는 모드 레지스터에 설정된다. BL = 2라는 것은 2개의 연속 사이클에서 2개의 컬럼 스위치로부터 판독/기록을 행하는 것이며, CL = 2라는 것은 판독 커맨드에서 2사이클 후에 출력단자(DQ)로부터 출력 데이터를 출력시키는 것이다.

뱅크 액티브 커맨드에 의해, 어드레스 입력단자에서 로계의 어드레스 신호를 받아들여, 그것을 디코드하는 것에 의해 서브 워드선(SWL)이 VPP와 같은 선택 레벨로 된다. 이것에 의해, 상보 비트선(BLT, BLB)에는 미소 판독신호가 나타난다. 센스 앰프가 동작 타이밍 신호에 의해 활성화 되기 때문에 상기 상보 비트선(BLT, BLB)의 상기 미소 판독신호는 VDL과 같은 하이 레벨과 VSS와 같은 로 레벨로 증폭되며, 서브 워드선(SWL)이 선택된 메모리 셀으로의 재기록(리프레시)이 행해진다. 이 때의 센스 앰프의 동작 개시시에, 도시하지 않는 선택측의 셰어드 스위치 MOSFET의 게이트 전압이 상기와 같이 일시적으로 중간전압으로 된 후에 선택 레벨로 되돌려져 상기 리프레시가 실행된다.

뱅크 액티브의 2사이클 후에 판독 커맨드가 입력되며, 도시하지 않는 컬럼계의 어드레스 신호를 받아들여, 컬럼 선택신호(YS1)를 상승시킨다. 이것에 의해, 메인 입출력선(MIOT, MIOB)은 상기 컬럼 선택 직전까지 VDL 레벨로 프리차지되어 있고, 상기 YS 선택의 비트선 정보에 의해 필요한 판독 전압차를 얻어, 이것을 신호(MAE)에 의해 활성화되는 메인 앰프에 의해 증폭하여 출력신호(MO)를 형성한다. 이 메인 앰프의 출력신호(MO)는 상기와 같은 강압전압(VPERI)에 대응한 저진폭신호이기 때문에, 출력버퍼의 입력부에서 레벨 시프트하여 VDD 레벨로 변환시켜, 출력 타이밍 신호(DOC)로 동기하여 출력시킨다. 상기 BL = 2일 때에는 판독 커맨드의 다음 클럭(CLK)에 동기하여 Y계의 어드레스가 전환되며, 그것에 대응하여 메인 앰프의 출력신호(MO)가 형성된다.

뱅크 액티브 커맨드에서 최초의 출력신호(DQ)를 확정하기까지의 억세스 시간이 tRACeq, 판독 커맨드에서 출력신호(DQ)를 확정하기까지의 억세스 시간이 tAAeq, 클럭신호(CLK)에서 출력신호(DQ)를 확정하기까지의 억세스 시간이 tAC이다. 본 발명은 Y 선택 동작시에 메인 앰프로의 필요량의 판독신호를 고속으로 얻을 수 있는 것이기 때문에, 상기 억세스 시간

tAC의 단축화가 가능하게 된다. 그리고, 상기와 같은 고진폭 신호에서의 제어에 의해, 그것에 의해 구동되는 MOSFET에서 흐르는 전류를 크게 할 수 있고, 그래서 신호 지연도 작게 할 수 있기 때문에 고속화에 기여하는 것이 된다. 따라서, 클럭신호(CLK)의 주기를 그 만큼 짧게 할 수 있고, 싱크로너스 DRAM의 고속화를 도모할 수 있다.

상기 실시예로부터 얻어지는 작용 효과는 하기와 같다. 즉,

(1) 다이내믹형 RAM에 설치되는 센스 앰프와 상보 비트선과의 사이에 스위치 MOSFET를 설치하여, 워드선의 선택동작에 의해 선택된 복수의 다이내믹형 메모리 셀로부터 복수 쌍의 상보 비트선에 각각의 기억정보에 따라서 신호전압이 판독된 후에, 상기 스위치 MOSFET의 스위치 제어신호를 선택 레벨에서 상기 상보 비트선에 판독된 신호전압에서는 오프 상태 또는 비교적 큰 온 저항치를 가지고, 센스 앰프의 증폭동작에 의한 센스 노드가 한쪽의 레벨로 된 전위에서는 비교적 작은 온 저항치를 가지고 온 상태로 되며, 다른쪽의 레벨로 된 전위에서는 오프 상태로 되는 중간전위로 변화시키고, 상기 스위치 제어신호의 변화에 대응하여 상기 센스 앰프에 동작전압을 가하여 증폭동작을 개시시키며, 상기 증폭동작에 의해 형성된 증폭신호를 컬럼 선택신호에 의해 컬럼 선택회로를 통해서 상기 입출력선에 전달하고, 상기 컬럼 선택회로의 선택동작에 대응하여 상기 스위치 제어신호를 선택 레벨로 되돌리는 것에 의해, 미소신호의 센스 증폭동작을 안정적으로 더 고속으로 행하면서, 그 증폭신호의 데이터 입출력선으로의 출력을 고속으로 할 수 있다는 효과를 얻을 수 있다.

(2) 상기 센스 노드에 상기 상보 비트선을 프리차지하는 프리차지 회로를 더 설치하고, 상기 워드선이 비선택 상태 일때에 상기 스위치 제어신호를 선택 레벨로 하여 상기 스위치 MOSFET를 통해서 센스 노드에 설치된 프리차지 회로에서 상보 비트선을 프리차지하는 것에 의해, 미소신호의 센스 증폭동작을 안정적으로 더 고속으로 행하면서, 그 증폭신호의 데이터 입출력선으로의 출력을 고속으로 할 수 있음과 동시에, 프리차지 회로를 센스 노드와 상보 비트선의 양쪽에 공용할 수 있기 때문에 회로의 간소화가 가능하게 된다는 효과를 얻을 수 있다.

(3) 상기 센스 노드를 중심으로 하여 좌우에 상보 비트선을 배치하고, 상기 스위치 MOSFET를 상기 좌우에 배치된 상보 비트선의 선택 스위치 MOSFET와 병용하며, 비선택으로 된 상보 비트선에 대응한 스위치 MOSFET의 스위치 제어신호를 상기 워드선이 선택되기 전에 비선택 레벨로 하는 셰어드 센스 방식으로 하는 것에 의해 미소신호의 센스 증폭동작을 안정적으로 더 고속으로 행하면서, 그 증폭신호의 데이터 입출력선으로의 출력을 고속으로 할 수 있음과 동시에, 회로의 간소화가 가능하게 된다는 효과를 얻을 수 있다.

(4) 상기 컬럼 선택회로의 선택동작에 대응하여 상기 스위치 제어신호를 상기 중간전위에서 선택 레벨로 되돌리 때, 그 신호변화를 완만하게 하는 것에 의해, 다른쪽의 레벨측의 신호전압도 크게 할 수 있기 때문에, 미소신호의 센스 증폭동작을 안정적으로 더 고속으로 행하면서, 그 증폭신호의 데이터 입출력선으로의 출력을 한층 더 고속으로 할 수 있다는 효과를 얻을 수 있다.

(5) 상기 데이터 입출력선에 입출력 단자가 접속된 CMOS 랫치회로로 이루어지는 메인 앰프를 접속하고, 상기 데이터 입출력선을 상기 센스 노드의 한쪽의 레벨과는 역극성의 다른쪽의 레벨로 프리차지하며, 상기 메인 앰프는 그것이 동작상태로 되었을 때에 상기 CMOS 랫치회로에 대하여 다른쪽의 전위에 대응한 동작전압을 가하는 것에 의해, CMOS 랫치회로로 이루어지는 메인 앰프를 고감도로 동작시킬 수 있다는 효과를 얻을 수 있다.

(6) 상기 워드선을 메인 워드선과, 이러한 메인 워드선에 대하여 공통으로 할당되어 이루어지는 복수의 서브 워드선으로 구성하고, 상기 서브 워드선에 대하여 상기 다이내믹형 메모리 셀의 어드레스 선택 MOSFET의 게이트를 접속하며, 상기 서브 워드선을 상기 메인 워드선의 신호와 서브 워드 선택선의 신호를 받는 서브 위드 드라이버에 의해 상기 복수 중 1개를 선택하고, 상기 서브 워드 드라이버를 메모리 셀 어레이의 끝부분을 제외하고 그것을 중심으로 하여 좌우에 설치되는 서브 워드선의 선택신호를 형성하는 것으로 하며, 상기 센스 앰프를 메모리 셀 에레이의 끝부분을 제외하고 그것을 중심으로 하여 좌우에 설치되는 상보 비트선으로부터의 증폭신호를 센스하는 것으로 하는 것에 의해, 대기억용량의 다이내믹형 RAM을 실현하면서, 미소신호의 센스 증폭동작을 안정적으로 하고, 증폭신호의 데이터 입출력선으로의 출력을 고속으로 할 수 있다는 효과를 얻을 수 있다.

(7) 상기 센스 앰프에 주어지는 동작전압을 외부단자에서 공급된 전원전압을 강압한 강압전압으로 하고, 상기 워드선의 선택 레벨과 상기 스위치 MOSFET의 선택 레벨을 상기 전원전압을 승압한 승압전압으로 하며, 상기 중간전위를 상기 센스 앰프의 동작전압에 대응한 강압전압을 이용하는 것에 의해, 특별한 내부 전원회로를 추가하는 것 없이, 미소신호의 센스 증폭동작을 안정적으로 더 고속화하면서, 증폭신호의 데이터 입출력선으로의 출력을 고속으로 할 수 있다는 효과를 얻을 수 있다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 의거하여 구체적으로 설명했지만, 본원 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다. 예를 들면, 상기 도 1 또는 도 2에 나타낸 다이내믹형 RAM에서 메모리 어레이, 서브 어레이 및 서브 워드 드라이버의 구성은 여러가지 실시형태를 채용할 수 있고, 서브 워드 드라이버를 이용하지 않는 워드 션트(shunt)방식이라도 된다. 센스 앰프에 동작전압(VDL)을 가하는 파워 스위치 MOSFET(Q15)는 P채널형 MOSFET를 이용하는 것이라도 된다.

센스 앰프의 동작전압은 외부단자에서 공급된 전원전압을 그대로 이용하는 것이라도 된다. 이 경우, 상기 중간전압은 하프 프리차지 전압을 이용하는 것, 혹은 그것 전용으로 형성한 전압을 이용하는 것이라도 된다. 메인 앰프는 상기와 같은 CMOS 랫치회로를 이용하는 것 외, 차동 증폭회로를 이용하는 것이라도 된다. 본 발명은 다이내믹형 메모리 셀을 이용한 반도체 기억장치에 넓리 이용할 수 있고, 예를 들면 마이크로 컴퓨터 등의 디지탈 집적회로에 탑재되는 반도체 기억장치 등에도 적용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면, 하기와 같다. 즉, 다이내믹형 RAM에 설치되는 센스 앰프와 상보 비트선과의 사이에 스위치 MOSFET를 설치하여, 워드선의 선택동작에 의해 선택된 복수의 다이내믹형 메모리 셀에서 복수 쌍의 상보 비트선에 각각의 기억정보에 따라 신호전압이 판독된 후에, 상기 스위치 MOSFET의 스위치 제어신호를 선택 레벨에서 상기 상보 비트선으로 판독된 신호전압에서는 오프 상태 또는 비교적 큰 온 저항치를 가지고, 센스 앰프의 증폭동작에 의한 센스 노드가 한쪽의 레벨로 된 전위에서는 비교적 작은 온 저항치를 가지고 온 상태로 되며, 다른쪽의 레벨로 된 전위에서는 오프 상태로 되는 중간전위로 변환시켜, 상기 스위치 제어신호의 변화에 대응하여 상기 센스 앰프에 동작전압을 주어 증폭동작을 개시시키고, 상기 증폭동작에 의해 형성된 증폭신호를 컬럼 선택신호에 의해 컬럼 선택회로를 통해서 상기 입출력선에 전달하며, 상기 컬럼 선택회로의 선택동작에 대응하여 상기 스위치 제어신호를 선택 레벨로 되돌리는 것에 의해, 미소신호의 센스 증폭동작을 안정적으로 더 고속으로 행하면서, 그 증폭신호의 데이터 입출력선으로의 출력을 고속으로 할 수 있다.

(57) 청구의 범위

청구항 1.

복수로 이루어지는 다이내믹형 메모리 셀의 어드레스 선택단자가 각각에 접속되어 이루어지는 복수의 워드선과,

복수로 이루어지는 다이내믹형 메모리 셀이 각각에 접속되어 이루어지는 복수 쌍의 상보 비트선과,

상기 복수 쌍의 상보 비트선과 복수 쌍의 센스 노드와의 사이에 설치되어, 제어신호를 게이트로 받는 복수 쌍으로 이루어지는 전송 MOSFET와,

상기 복수 쌍의 센스 노드에 각각의 입출력단자가 접속되며, 동작 타이밍 신호에 대응하여 동작전압이 주어지는 복수의 센스 앰프와,

컬럼 선택신호에 의해 스위치 제어되는 컬럼 선택회로를 통해서 상기 센스 노드가 접속되는 데이터 출력선을 구비하고,

상기 제어신호의 전압 레벨은 선택 레벨, 비선택 레벨 및 이들의 중간 레벨의 하나로 선택적으로 설정 가능하게 되며,

상기 워드선의 선택동작에 의해서 다이내믹형 메모리 셀에서 복수 쌍의 상보 비트선에 각각의 기억정보에 따라 신호전압이 판독된 후에, 상기 제어신호는 선택 레벨에서 중간 레벨로 되며,

상기 제어신호의 중간 레벨로의 변화에 대응하여 상기 센스 앰프에 동작전압을 주어 증폭동작을 개시시키고,

상기 증폭동작에 의해 형성된 증폭신호를 컬럼 선택신호에 의해 컬럼 선택회로를 통해서 상기 입출력선에 전달하며,

상기 컬럼 선택회로의 선택동작에 대응하여 상기 제어신호를 중간 레벨에서 선택 레벨로 되돌리게 하여 이루어지며,

상기 중간 레벨의 신호를 게이트로 받는 상기 한쌍의 전송 MOSFET는, 상기 상보 비트선에 메모리 셀로부터의 신호가 판독된 상태에서는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되고, 센스 앰프의 증폭동작에 의해 센스 노드의 신호가 증폭된 상태에서는 한쪽의 MOSFET는 온 상태 또는 비교적 작은 저항치를 가지게 되며, 다른쪽의 MOSFET는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되는 것을 특징으로 하는 반도체 기억장치.

청구항 2.

제 1 항에 있어서,

상기 센스 노드에 접속되어 상기 상보 비트선을 프리차지하는 프리차지 회로가 더 설치되고,

상기 워드선이 비선택 상태일 때에 상기 제어신호가 선택 레벨로 되어 상기 전송 MOSFET를 통해서 센스 노드에 설치된 프리차지회로에서 상보 비트선이 프리차지 되는 것을 특징으로 하는 반도체 기억장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 센스 노드는, 그것을 중심부로 하여 좌우에 상보 비트선이 배치되는 것이며,

상기 전송 MOSFET는 상기 좌우에 배치된 상보 비트선의 선택 스위치 MOSFET와 병용되는 것이고,

비선택으로 된 상보 비트선에 대응한 전송 MOSFET의 스위치 제어신호는 상기 워드선이 선택되기 전에 비선택 레벨로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 4.

제 3 항에 있어서,

상기 컬럼 선택회로의 선택동작에 대응하여 상기 제어신호를 상기 중간 레벨에서 선택 레벨로 되돌릴 때, 그 신호 변화가 선택 레벨에서 중간 레벨로 변화하는 경우보다 완만하게 하여 이루어지는 것을 특징으로 하는 반도체 기억장치.

청구항 5.

삭제

청구항 6.

제 3 항에 있어서,

상기 워드선은 메인 워드선과, 이러한 메인 워드선에 대하여 공통으로 할당되어 이루어지는 복수의 서브 워드선으로 이루어지고,

상기 서브 워드선에 대하여 상기 다이내믹형 메모리 셀의 어드레스 선택 MOSFET의 게이트가 접속되며,

상기 서브 워드선은 상기 메인 워드선의 신호와 서브 워드 선택선의 신호를 받는 서브 워드 드라이버에 의해 상기 복수 중 하나가 선택되는 것이고,

상기 서브 워드 드라이버는 메모리 셀 어레이의 끝부분을 제외하고, 그것을 중심으로 하여 좌우에 설치되는 서브 워드선의 선택신호를 형성하는 것이며,

상기 센스 앰프는 메모리 셀 어레이의 끝부분을 제외하고 그것을 중심으로 하여 좌우에 설치되는 상보 비트선으로부터의 증폭신호를 센스하는 것을 특징으로 하는 반도체 기억장치.

청구항 7.

제 3 항에 있어서,

상기 센스 앰프에 주어지는 동작전압은 외부단자에서 공급된 전원전압을 강압한 강압전압이고,

상기 워드선의 선택 레벨과 상기 전송 MOSFET의 선택 레벨은 상기 전원전압을 승압한 승압전압이며,

상기 중간 레벨은 상기 센스 앰프의 동작전압에 대응한 강압전압을 이용하는 것을 특징으로 하는 반도체 기억장치.

청구항 8.

복수의 워드선,

상보 비트선,

상기 복수의 워드선에 각각 접속된 복수의 메모리 셀,

메모리 셀이 선택되는 것에 의해 상기 상보 비트선에 나타난 판독신호를 증폭하는 센스 앰프,

상기 센스 앰프의 한쌍의 센스 노드와 상기 상보 비트선과의 사이에 설치되어, 제어신호를 그 게이트로 받는 한쌍의 MOSFET를 구비하고,

상기 제어신호는 선택 레벨, 비선택 레벨 및 이들의 중간 레벨의 하나로 선택적으로 설정 가능하게 되며,

상기 판독신호가 상기 상보 비트선에 나타난 후에 상기 제어신호가 상기 선택 레벨에서 중간 레벨로 되고,

상기 센스 앰프의 동작개시 후에 상기 제어신호가 상기 중간 레벨에서 상기 선택 레벨로 되돌려지는 것을 특징으로 하는 반도체 기억장치.

청구항 9.

제 8 항에 있어서,

상기 중간 레벨의 제어신호를 게이트로 받고 있는 상기 한쌍의 MOSFET는, 상기 상보 비트선에 상기 판독신호가 나타난 상태에서는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되며, 상기 센스 앰프의 동작에 의해 상기 한쌍의 센스 노드의 신호가 증폭된 상태에서는 상기 한쌍의 MOSFET의 한쪽의 MOSFET는 온 상태 또는 비교적 작은 온 저항치를 가지게 되고, 다른쪽의 MOSFET는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되는 것을 특징으로 하는 반도체 기억장치.

청구항 10.

제 9 항에 있어서,

상기 선택 레벨의 제어신호를 게이트로 받고 있는 상기 한쌍의 MOSFET는 온 상태로 되며,

상기 비선택 레벨의 제어신호를 게이트로 받고 있는 상기 한쌍의 MOSFET는 오프 상태로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 11.

복수의 제1 워드선과, 상기 복수의 제1 워드선과 교차하는 상보 비트선과, 복수의 메모리 셀을 가지는 제1 메모리 어레이와,

복수의 제2 워드선과, 상기 복수의 제2 워드선과 교차하는 상보 비트선과, 복수의 메모리 셀을 가지는 제2 메모리 어레이와,

상기 제1 메모리 어레이와 제2 메모리 어레이에 공용되어, 메모리 셀이 선택되는 것에 의해 대응하는 상보 비트선에 나타난 판독신호를 증폭하는 센스 앰프와,

상기 센스 앰프의 한쌍의 센스 노드와 상기 제1 메모리 어레이 측의 상보 비트선과의 사이 및 상기 한쌍의 센스 노드와 상기 제2 메모리 어레이 측의 상보 비트선과의 사이에 각각 설치되는 MOSFET 쌍을 구비하고,

각 MOSFET 쌍의 게이트전압은 선택 레벨, 비선택 레벨 및 이들의 중간 레벨의 하나로 선택적으로 설정 가능하게 되며,

상기 제1 메모리 어레이의 메모리 셀이 선택되는 경우는 상기 제2 메모리 어레이 측의 MOSFET 쌍의 게이트전압은 비선택 레벨로 되고,

상기 제2 메모리 어레이의 메모리 셀이 선택되는 경우는 상기 제1 메모리 어레이 측의 MOSFET 쌍의 게이트전압은 비선택 레벨로 되며,

상기 판독신호가 상기 상보 비트선에 나타난 후에, 대응하는 MOSFET 쌍의 게이트전압은 상기 선택 레벨에서 중간 레벨로 되고,

상기 센스 앰프의 동작개시 후에 상기 대응하는 MOSFET 쌍의 게이트전압은 상기 중간 레벨에서 상기 선택 레벨로 되돌려지는 것을 특징으로 하는 반도체 기억장치.

청구항 12.

제 11 항에 있어서,

상기 중간 레벨의 게이트전압을 받고 있는 상기 MOSFET 쌍은, 상기 상보 비트선에 상기 판독신호가 나타난 상태에서는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되고, 상기 센스 앰프의 동작에 의해서 상기 한쌍의 센스 노드의 신호가 증폭된 상태에서는 상기 MOSFET 쌍의 한쪽의 MOSFET는 온 상태 또는 비교적 작은 온 저항치를 가지게 되며, 다른쪽의 MOSFET는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되는 것을 특징으로 하는 반도체 기억장치.

청구항 13.

제 12 항에 있어서,

상기 선택 레벨의 게이트전압을 받고 있는 상기 전송 MOSFET 쌍은 온 상태로 되며,

상기 비선택 레벨의 게이트전압을 받고 있는 상기 전송 MOSFET 쌍은 오프 상태로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 14.

복수의 워드선,

상보 비트선,

상기 복수의 워드선에 각각 접속된 복수의 다이내믹형 메모리 셀,

메모리 셀이 선택되는 것에 의해 상기 상보 비트선에 나타난 판독신호를 증폭하는 센스 앰프,

상기 센스 앰프의 한쌍의 센스 노드와 상기 상보 비트선과의 사이에 설치되어, 제어신호를 그 게이트로 받는 한쌍의 MOSFET를 구비하고,

상기 제어신호는 선택 레벨, 비선택 레벨 및 이들의 중간 레벨의 하나로 선택적으로 설정 가능하게 되고,

상기 상보 비트선에 상기 판독신호가 나타난 후에 상기 제어신호가 상기 선택 레벨에서 중간 레벨로 되며,

상기 센스 앰프의 동작개시 후에 상기 제어신호가 상기 중간 레벨에서 상기 선택 레벨로 되돌려지고,

상기 선택 레벨에서는 상기 한쌍의 MOSFET는 온 상태로 되고, 상기 비선택 레벨에서는 상기 한쌍의 MOSFET는 오프 상태로 되며, 상기 중간 레벨에서는 상기 상보 비트선에 상기 판독신호가 나타난 상태에서는 상기 한쌍의 MOSFET는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되고, 상기 센스 앰프의 동작에 의해서 상기 한쌍의 센스 노드의 신호가 증폭된 상태에서는 상기 한쌍의 MOSFET의 한쪽의 MOSFET는 온 상태 또는 비교적 작은 온 저항치를 가지게 되고, 다른쪽의 MOSFET는 오프 상태 또는 비교적 큰 온 저항치를 가지게 되는 것을 특징으로 하는 반도체 기억장치.

청구항 15.

제 14 항에 있어서,

상기 센스 앰프는 상기 한쌍의 센스 노드에 하이 레벨 및 로 레벨의 신호를 출력하는 CMOS 랫치회로로 이루어지며,

상기 온 상태 또는 비교적 작은 온 저항치를 가지게 되는 상기 한쪽의 MOSFET는 상기 로 레벨의 신호를 받고,

상기 오프 상태 또는 비교적 큰 온 저항치를 가지게 되는 상기 다른쪽의 MOSFET는 상기 하이 레벨의 신호를 받는 것을 특징으로 하는 반도체 기억장치.

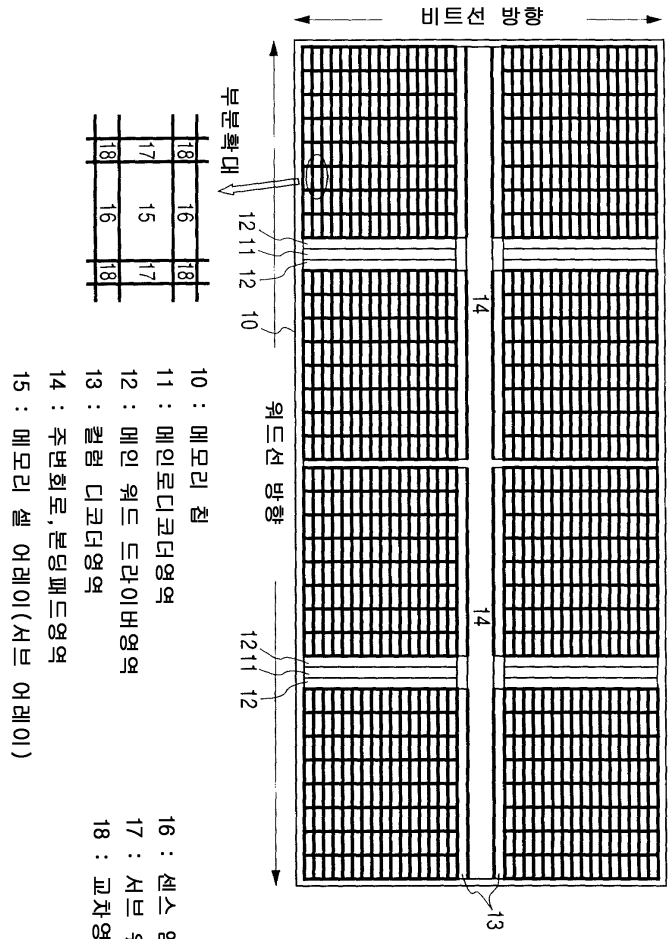
청구항 16.

제 15 항에 있어서,

상기 한쌍의 MOSFET는 N채널형이며, 상기 선택 레벨은 상기 워드선의 선택 레벨이고, 상기 비선택 레벨은 상기 CMOS 랫치회로의 출력신호의 로 레벨이며, 상기 중간 레벨은 상기 CMOS 랫치회로의 출력신호의 하이 레벨인 것을 특징으로 하는 반도체 기억장치.

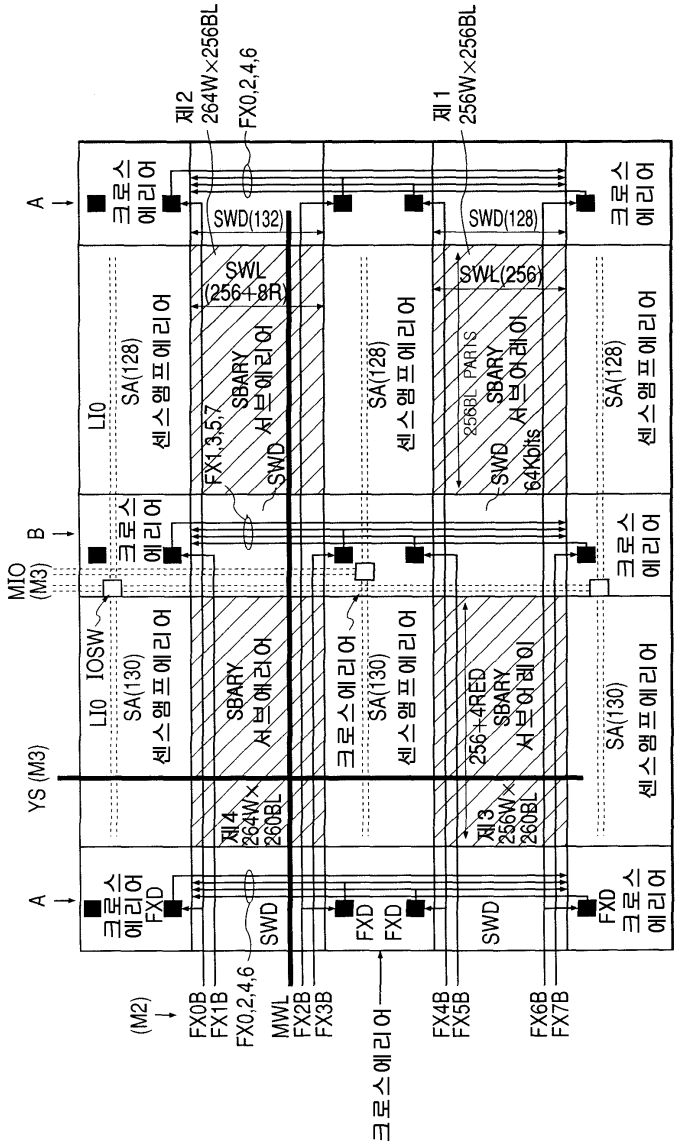
도면

도면1

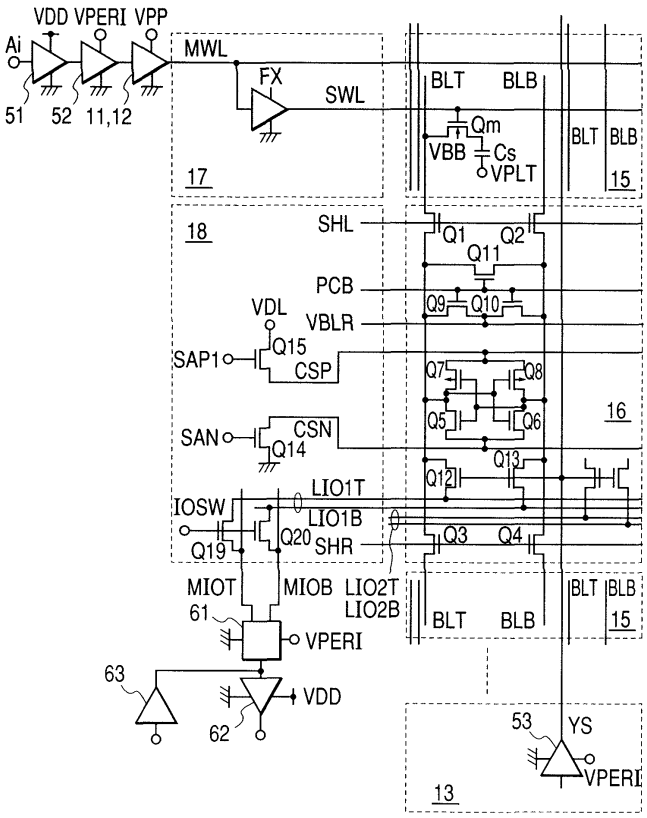


10 : 메모리 칩
11 : 메인로디코더영역
12 : 메인 워드 드라이버영역
13 : 컬럼 디코더영역
14 : 주변회로, 본딩패드영역
15 : 메모리 셀 어레이(서브 어레이)
16 : 센스 앰프영역
17 : 서브 워드 드라이버영역
18 : 교차영역(크로스 에리어)

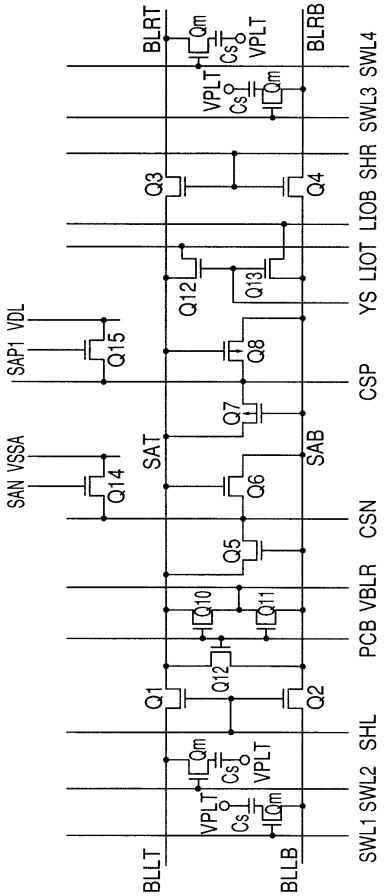
도면2


제2
264W×256BL
FX0,2,4,6
제1
256W×256BL
A
B
크로스
에리어
SWD(132)
SWD(128)
SWL
(256+8R)
SWL(256)
LIO
SA(128)
센스앰프에리어
FX1,3,5,7
SBARY
서브에리어
SWD
256BL PAIRS
64Kbits
MIO
(M3)
LIO IOSW
SA(130)
YS (M3)
256+4RED
제4
264W×
260BL
제3
256W×
260BL
FXD
(M2)
FX0B
FX1B
FX0,2,4,6
MWL
FX2B
FX3B
FX4B
FX5B
FX6B
FX7B

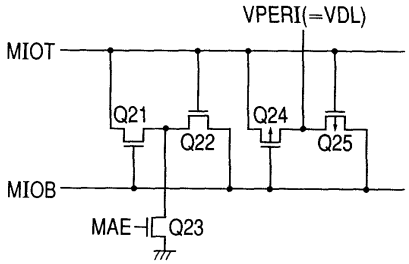
도면3


VDD VPERI VPP
Ai
MWL
FX
SWL
51
52
11,12
17
BLT
BLB
Qm
VBB
Cs
VPLT
15
18
SHL
Q1
Q2
Q11
PCB
Q9
Q10
VDL
VBLR
Q15
SAP1
CSP
Q7
Q8
Q5
Q6
16
SAN
CSN
Q14
Q13
Q12
LIO1T
IOSW
LIO1B
Q20
SHR
Q19
Q3
Q4
MIOT
MIOB
LIO2T
LIO2B
61
VPERI
63
VDD
62
53
YS
13

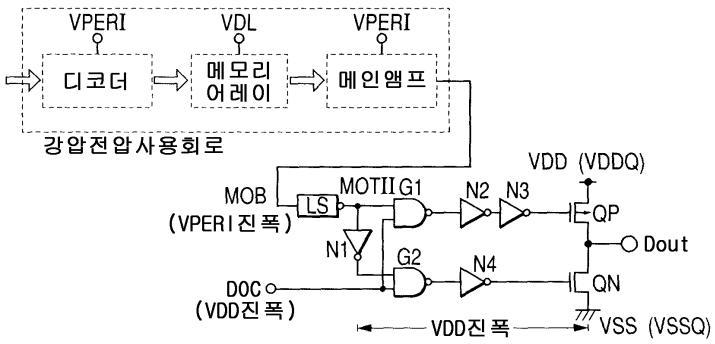
도면4


BLRT
BLRB
BLLT
BLLB
Qm
Cs
VPLT
SWL4
SWL3
SHR
LIOB
LIOT
YS
CSP
CSN
VBLR
PCB
SHL
SWL2
SWL1
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q10
Q11
Q12
Q13
Q14
Q15
SAP1
VDL
SAN
VSSA
SAT
SAB

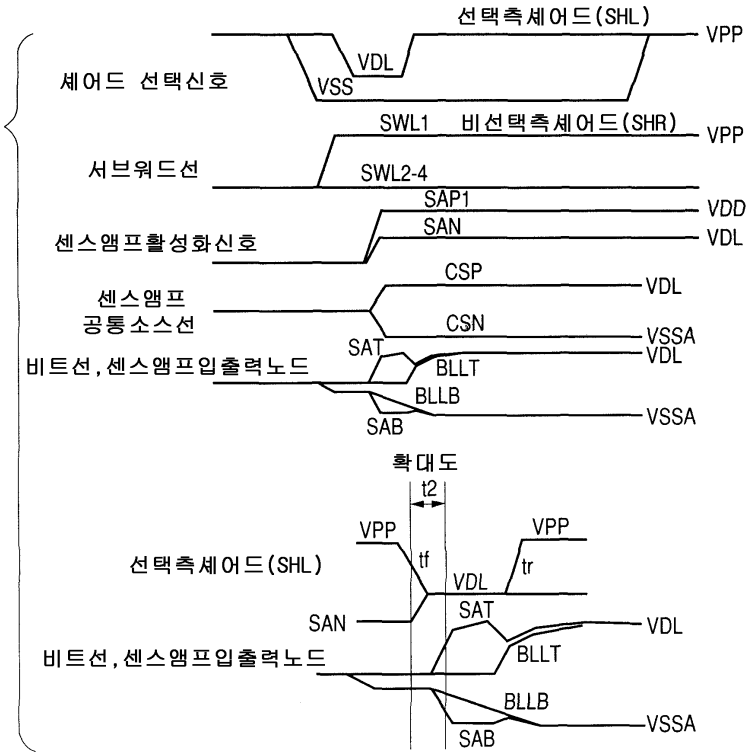
도면5


VPERI(=VDL)
MIOT
MIOB
MAE
Q21
Q22
Q23
Q24
Q25

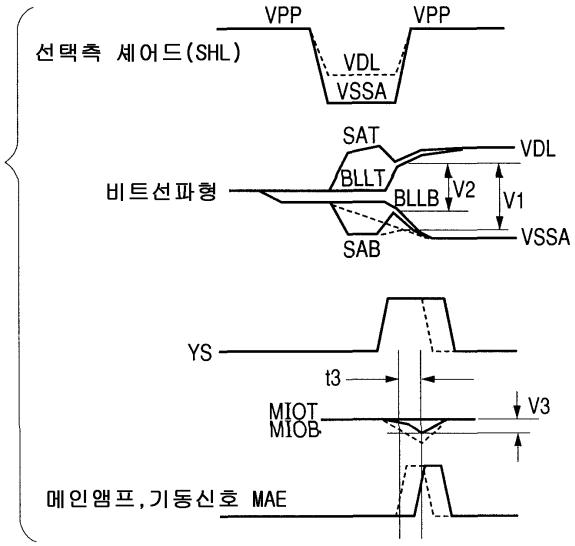
도면6


VPERI
VDL
VPERI
디코더
메모리 어레이
메인앰프
강압전압사용회로
VDD (VDDQ)
MOB
(VPERI진폭)
MOTII
LS
G1
N2
N3
QP
N1
G2
N4
Dout
DOC
(VDD진폭)
QN
VDD진폭
VSS (VSSQ)

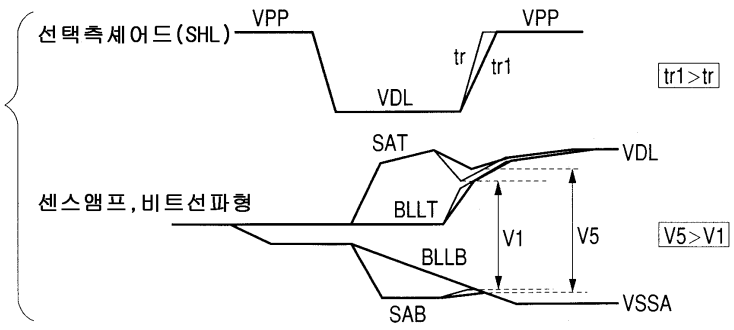
도면7


선택측셰어드(SHL)
VPP
VDL
VSS
셰어드 선택신호
SWL1
비선택측셰어드(SHR)
VPP
서브워드선
SWL2-4
SAP1
VDD
SAN
VDL
센스앰프활성화신호
CSP
VDL
센스앰프
공통소스선
CSN
VSSA
SAT
VDL
BLLT
비트선,센스앰프입출력노드
BLLB
SAB
VSSA
확대도
t2
VPP
VPP
선택측셰어드(SHL)
tf
tr
VDL
SAN
SAT
VDL
BLLT
비트선,센스앰프입출력노드
BLLB
VSSA
SAB

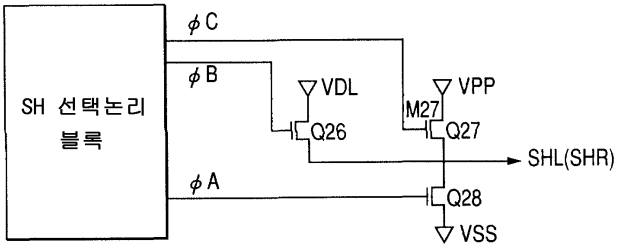
도면8


VPP
VPP
선택측 셰어드(SHL)
VDL
VSSA
SAT
VDL
BLLT
V2
V1
비트선파형
BLLB
VSSA
SAB
YS
t3
V3
MIOT
MIOB
메인앰프,기동신호 MAE

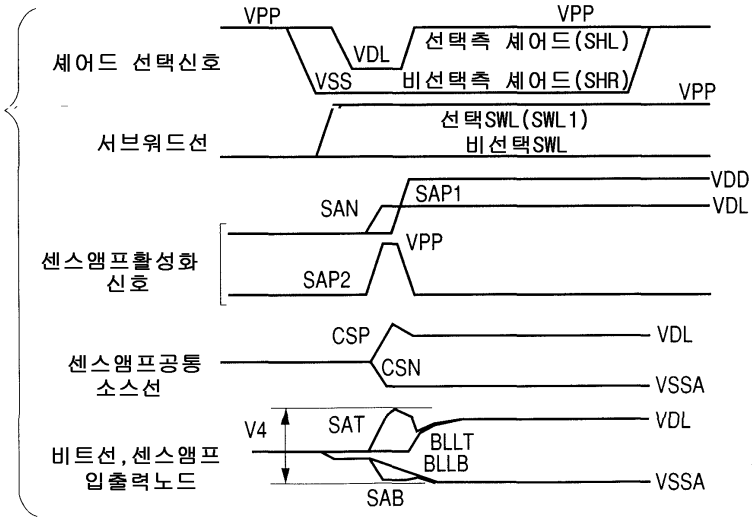
도면9



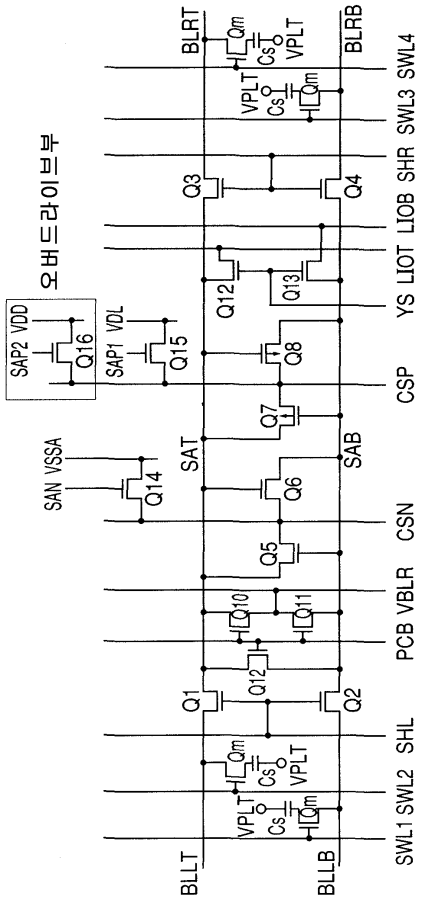
도면10



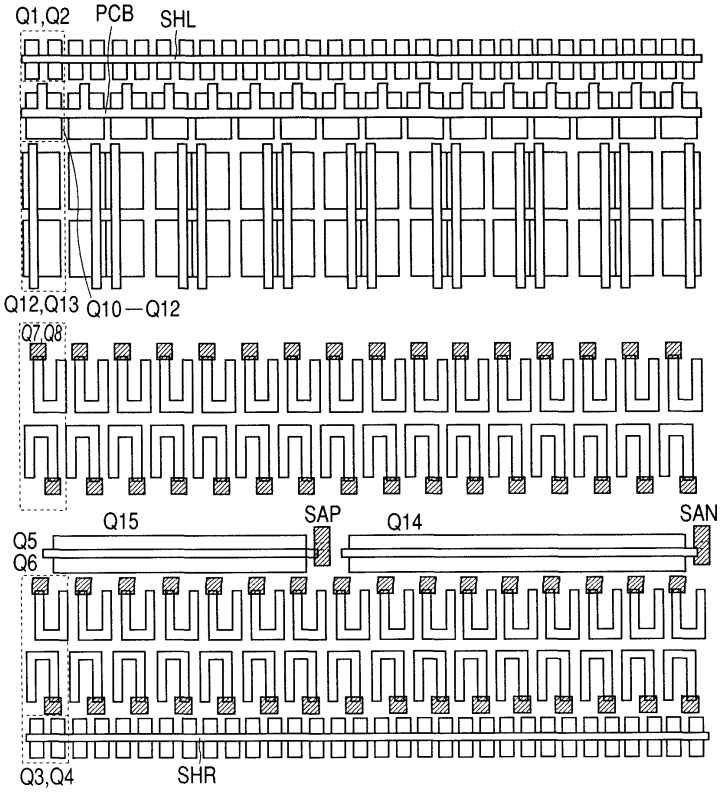
도면11



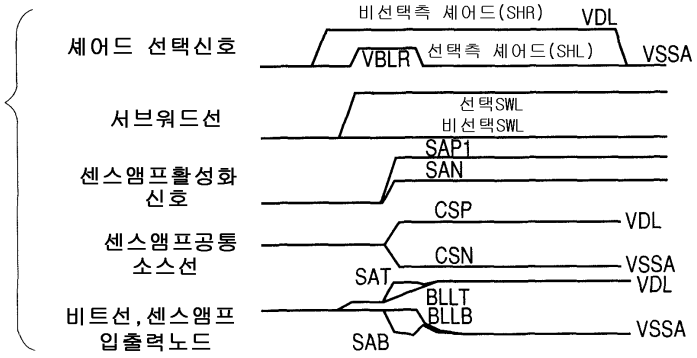
도면12


오버드라이브부
SAP2 VDD
SAP1 VDL
SAN VSSA
Q16
Q15
Q14
Q13
Q12
Q11
Q10
Q8
Q7
Q6
Q5
Q4
Q3
Q2
Q1
BLRT
BLRB
BLLT
BLLB
SAT
SAB
Qm
Cs
VPLT
SWL1 SWL2 SHL PCB VBLR CSN CSP YS LIOT LIOB SHR SWL3 SWL4

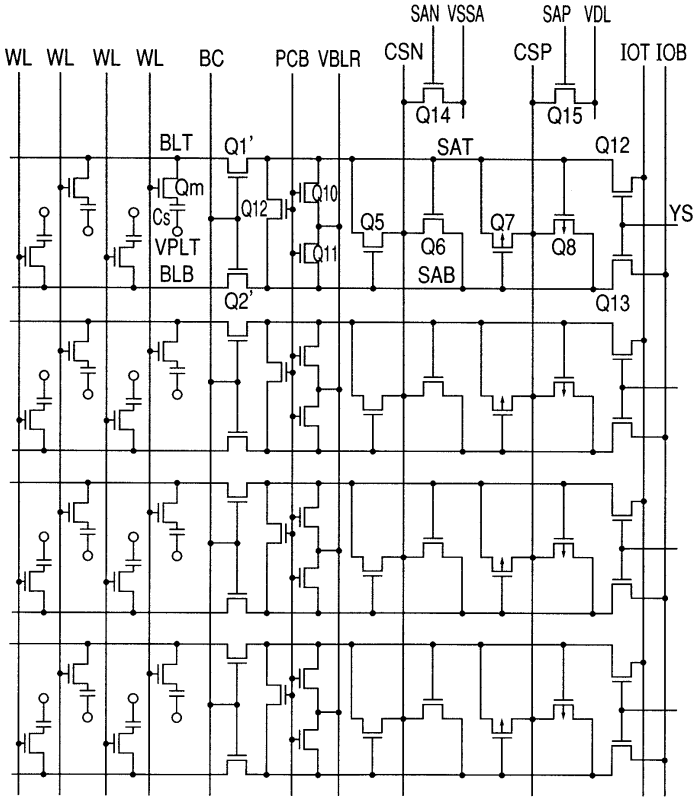
도면13


Q1,Q2
PCB
SHL
Q12,Q13
Q10—Q12
Q7,Q8
Q15
SAP
Q14
SAN
Q5
Q6
Q3,Q4
SHR

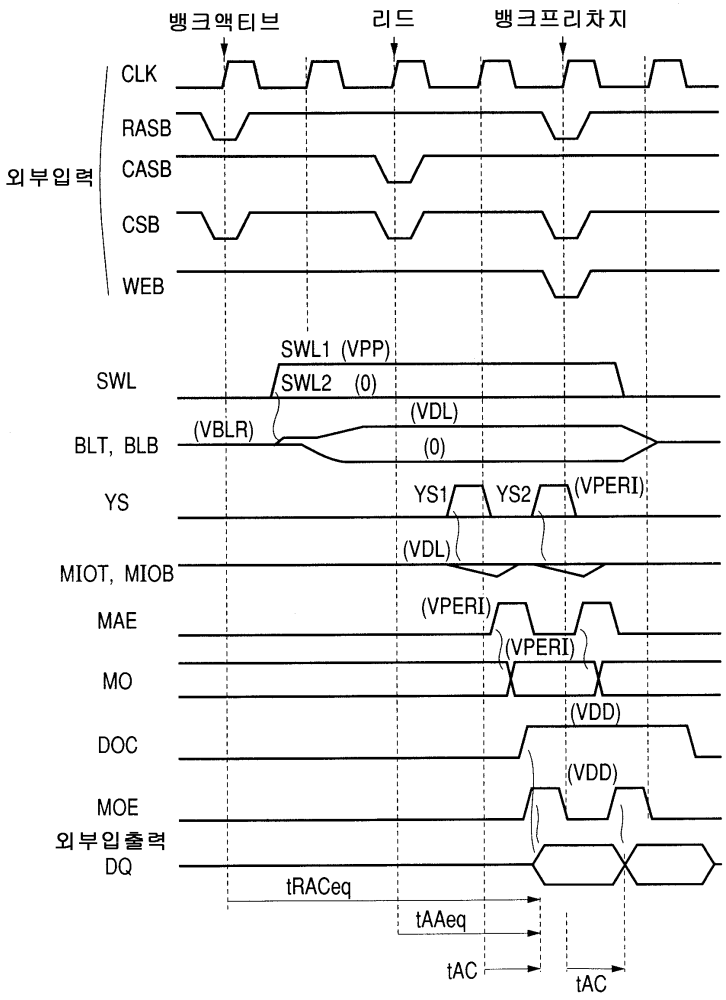
도면14


비선택측 제어드(SHR)
VDL
제어드 선택신호
VBLR
선택측 제어드(SHL)
VSSA
서브워드선
선택SWL
비선택SWL
SAP1
센스앰프활성화 신호
SAN
CSP
VDL
센스앰프공통 소스선
CSN
VSSA
SAT
VDL
BLLT
BLLB
비트선,센스앰프 입출력노드
VSSA
SAB

도면15


WL
WL
WL
WL
BC
PCB
VBLR
CSN
SAN
VSSA
SAP
VDL
CSP
IOT
IOB
Q14
Q15
BLT
Q1'
SAT
Q12
Qm
Cs
VPLT
BLB
Q12
Q10
Q11
Q5
Q6
SAB
Q7
Q8
YS
Q2'
Q13

도면16


뱅크액티브
리드
뱅크프리차지
외부입력
CLK
RASB
CASB
CSB
WEB
SWL
SWL1 (VPP)
SWL2 (0)
BLT, BLB
(VBLR)
(VDL)
(0)
YS
YS1
YS2
(VPERI)
MIOT, MIOB
(VDL)
MAE
(VPERI)
MO
(VPERI)
DOC
(VDD)
MOE
(VDD)
외부입출력
DQ
tRACeq
tAAeq
tAC
tAC