

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-79653
(P2010-79653A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 5 F 1/56 (2006.01)	G O 5 F 1/56 3 1 O F	5 H 4 2 O
G 0 5 F 3/26 (2006.01)	G O 5 F 1/56 3 1 O C	5 H 4 3 O
	G O 5 F 1/56 3 1 O D	
	G O 5 F 3/26	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2008-248062 (P2008-248062)	(71) 出願人	308033711 O K I セミコンダクタ株式会社 東京都八王子市東浅川町550番地1
(22) 出願日	平成20年9月26日 (2008.9.26)	(74) 代理人	100086807 弁理士 柿本 恭成
		(71) 出願人	591049893 株式会社 沖マイクロデザイン 宮崎県宮崎郡清武町大字木原7083番地
		(74) 代理人	100086807 弁理士 柿本 恭成
		(74) 代理人	100091362 弁理士 阿仁屋 節雄
		(74) 代理人	100090136 弁理士 油井 透

最終頁に続く

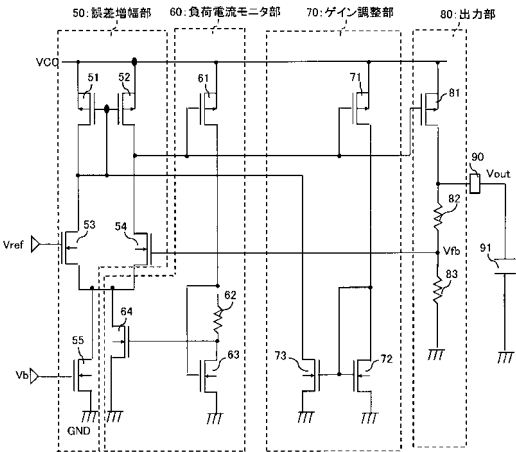
(54) 【発明の名称】 定電圧電源回路

(57) 【要約】

【課題】 起動時や過負荷時に内部の消費電流を制限し、起動時においてオーバシュートの発生を抑制する。

【解決手段】 定電圧電源回路は、誤差増幅部50と、出力用PMOS81を有する出力部80と、PMOS81に流れる負荷電流をモニタし、負荷電流に応じて誤差増幅部50のバイアス電流を増加させる負荷電流モニタ部60と、電流制限用の抵抗62を有し、負荷電流をモニタしてこの負荷電流に応じて誤差増幅部50のゲインを低下させるゲイン調整部70とを備えている。そのため、起動時や過負荷時にゲイン調整部70をリミッタ回路として動作するようになるため、起動時や過負荷時に内部の消費電流を制限できる。しかも、起動時においては、このリミッタ動作により、起動時の応答を遅くすることとなるため、オーバシュートの発生を抑制できる。

【選択図】 図1



本発明の実施例1の定電圧電源回路

【特許請求の範囲】

【請求項 1】

バイアス電圧によりバイアス電流が流れ、基準電圧と出力端子から出力される出力電圧に対応する第 1 の電圧との差分を増幅する誤差増幅部と、

前記出力端子と電源ノードとの間に接続され、前記誤差増幅部の出力により制御されて前記出力電圧を一定に制御する出力トランジスタと、

前記出力トランジスタに流れる負荷電流をモニタし、前記負荷電流に応じて前記バイアス電流を増加させる負荷電流モニタ部と、

前記負荷電流をモニタし、前記負荷電流に応じて前記誤差増幅部のゲインを低下させるゲイン調整部と、

前記負荷電流モニタ部内に設けられ、起動時あるいは過負荷時における前記負荷電流モニタ部の消費電流あるいは前記バイアス電流を制限する電流制限抵抗と、

を有することを特徴とする定電圧電源回路。

10

【請求項 2】

前記誤差増幅部は、

前記基準電圧及び前記第 1 の電圧をそれぞれ入力して差動増幅する第 1 及び第 2 の入力トランジスタと、

前記バイアス電圧に基づき、前記第 1 及び第 2 の入力トランジスタに前記バイアス電流を流す定電流源用の第 1 のトランジスタと、

を有する差動増幅器により構成されていることを特徴とする請求項 1 記載の定電圧電源回路。

20

【請求項 3】

前記負荷電流モニタ部は、

前記第 1 のトランジスタに対して並列に接続されたバイアス電流調整用の第 2 のトランジスタと、

前記出力トランジスタと共にカレントミラー回路を構成して前記負荷電流をモニタする第 3 のトランジスタと、

前記第 3 のトランジスタに対して直列に接続され、前記第 2 のトランジスタと共にカレントミラー回路を構成して、前記第 3 のトランジスタに流れる電流に対応した電流を、前記第 2 のトランジスタに流す第 4 のトランジスタと、

30

前記第 4 のトランジスタに対して直列に接続された前記電流制限抵抗と、

を有することを特徴とする請求項 2 記載の定電圧電源回路。

【請求項 4】

前記第 1 の電圧は、前記出力電圧を抵抗で分圧して生成されることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の定電圧電源回路。

【請求項 5】

前記出力端子には、安定化用コンデンサが接続されることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の定電圧電源回路。

【請求項 6】

前記定電圧電源回路は、半導体集積回路に搭載されていることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の定電圧電源回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路等に搭載される定電圧電源回路に関するものである。

【背景技術】

【0002】

図 4 は、従来の定電圧電源回路を示す回路図である。

この定電圧電源回路は、基準電圧 V_{ref} と出力端子 30 から出力される出力電圧 V_{out} に比例した電圧 V_{fb} との差分を増幅する誤差増幅部 10 と、この誤差増幅部 10 の

50

出力側に接続され、誤差増幅部 10 の出力により制御されて出力端子 30 から出力する出力電圧 V_{out} を一定に制御する出力部 20 とにより構成されている。

【0003】

誤差増幅部 10 は、電源電圧 V_{CC} ノードに接続された負荷用の P チャンネル MOS トランジスタ（以下「PMOS」という。）11、12 と、この PMOS 11、12 に直列に接続され、基準電圧 V_{ref} 及び電圧 V_{fb} をそれぞれ入力して差動増幅する入力トランジスタである N チャンネル MOS トランジスタ（以下「NMOS」という。）13、14 と、この NMOS 13、14 とグランド GND との間に接続され、バイアス電圧 V_b により一定電流を流す定電流源用の NMOS 15 とを有する差動増幅器により構成されている。出力部 20 は、出力トランジスタである PMOS 21 と分圧抵抗 22、23 とを有し、これらが電源電圧 V_{CC} ノードとグランド GND との間に直列に接続されている。PMOS 21 と分圧抵抗 22 との接続点には、出力電圧 V_{out} を出力する出力端子 30 が接続されている。

10

【0004】

一般には、急峻な負荷電流変動に対して出力電圧変動を抑制するために、容量値（例えば、数 μF 程度）のコンデンサ 31 を外部に接続して使用される。

【0005】

図 5 は、図 4 の定電圧電源回路における周波数特性を示す図である。

外部にコンデンサ 31 が接続された図 4 の回路構成の場合、定電圧電源回路の誤差増幅部 10 と出力部 20 の周波数特性は、図 5 に示すように、誤差増幅部 10 のポールよりも出力部 20 のポールが低周波域に存在する場合がある。2 つのポールが存在する場合は、2 つのポールが近い周波数域に存在すると、位相余裕がとれず、出力電圧 V_{out} の発振を生じるおそれがあるため、十分に 2 つのポールを分離する必要がある。

20

【0006】

図 5 に示すように、出力部 20 のポールが低周波域にある場合には、出力部 20 のポールは、PMOS 21 を流れる負荷電流の大きさにより高周波側へ移動するため、このようなポール位置関係を持つ定電圧電源回路を安定動作させるには、負荷電流変動により出力部 20 のポールが変化しても位相余裕が十分とれるように、誤差増幅部 10 のポールを十分に高周波側に配置する必要があるが、そのためには誤差増幅部 10 のバイアス電流を大きくする等の対策が必要となる。しかし、大きな負荷電流駆動能力を必要とする用途では、出力部 20 のポールの高周波側への移動範囲が広がるため、誤差増幅部 10 のバイアス電流を大きくする対策だけでは、過大な電流を消費することとなり、おのずと限界がある。

30

【0007】

そこで、図 4 の定電圧電源回路において、動作開始時の出力電圧 V_{out} の安定性及び過電流防止のために、下記の特許文献 1 に開示されているような負帰還回路を設ける対策が考えられる。

【0008】

更に、位相余裕をより確保するためには、下記の特許文献 2 に開示されているような負荷電流モニタ部を設ける対策が考えられる。

40

【0009】

図 6 は、特許文献 2 に記載された従来の他の定電圧電源回路を示す回路図である。

この定電圧電源回路では、図 4 の回路に、負荷電流モニタ部 40 が付加されている。負荷電流モニタ部 40 は、出力端子 30 の出力電流に比例したバイアス電流を誤差増幅部 10 へフィードバックすることで、高速応答と低消費電流を実現する回路であり、PMOS 41 及び NMOS 42、43 により構成されている。

【0010】

図 7 は、図 6 の定電圧電源回路において負荷電流が大きい場合の周波数特性を示す図である。

【0011】

50

図 6 に示す負荷電流モニタ部 40 を付加することにより、前述したように、出力部 20 のボールが誤差増幅部 10 のボールよりも低周波側にある場合、PMOS 21 に流れる負荷電流の増加に応じて誤差増幅部 10 のバイアス電流を増加させることができる。そのため、図 7 に示すように、誤差増幅部 10 のボールを負荷電流に応じて高周波側へ移動させることができる。

【0012】

従って、出力部 20 のボールと誤差増幅部 10 のボールが、共に負荷電流に応じて移動することにより、出力部 20 のボールと誤差増幅部 10 のボールの位置関係とを、全負荷電流範囲で十分な位相余裕を確保できるように設計すれば、負荷電流の大きさにより回路内部での消費電流を変化させることで、低消費電力化を図ることが可能になると共に安定

10

【0013】

【特許文献 1】特開 2007 - 233657 号公報

【特許文献 2】特開平 3 - 158912 号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、従来の図 6 の定電圧電源回路では、次のような課題があった。

図 8 は、図 6 の定電圧電源回路において負荷電流が小さい場合の周波数特性を示す図である。

20

【0015】

図 6 の負荷電流モニタ部 40 では、PMOS 21 に流れる負荷電流が小さい範囲において、PMOS 21、及びこの PMOS 21 のゲート電圧をモニタする PMOS 41 のゲート・ソース間電圧 V_{gs} の変化量が小さくなるため、負荷電流モニタ部 40 による誤差増幅部 10 のバイアス電流は、ほとんど増加しないことになる。

【0016】

このため、負荷電流が小さい時には、図 8 に示すように、出力部 20 の負荷電流増加に伴うボール移動量に対し、誤差増幅部 10 のボールがほとんど移動しないため、2つのボールが接近し位相余裕が低下する。この場合、PMOS 41 のゲート幅を大きくすることで、負荷電流に対する誤差増幅部 10 でのバイアス電流増加量を大きくし、誤差増幅部 10 のボール移動量を大きくすることは可能である。しかし、PMOS 41 のゲート幅を大きくすると、回路面積を大きくするだけでなく、負荷電流モニタ部 40 での消費電流が大きくなり、回路全体の消費電流が大きくなるため良策ではない。

30

【0017】

このように、負荷電流モニタ部 40 を付加した場合は、高速応答、且つ低消費電流という利点がある反面、負荷電流が小さい場合に位相余裕が低下する欠点の他に、起動時に出力電圧 V_{out} のオーバシュート量が大きくなる虞れがあること、又、過負荷により出力電圧 V_{out} がクランプすると、負荷電流モニタ部自体での電流消費が大きくなるという課題があった。

【課題を解決するための手段】

40

【0018】

本発明の定電圧電源回路は、バイアス電圧により流れるバイアス電流が供給され、基準電圧と出力端子から出力される出力電圧に対応する第 1 の電圧との差分を増幅する誤差増幅部と、前記出力端子と電源ノードとの間に接続され、前記誤差増幅部の出力により制御されて前記出力電圧を一定に制御する出力トランジスタと、前記出力トランジスタに流れる負荷電流をモニタし、前記負荷電流に応じて前記バイアス電流を増加させる負荷電流モニタ部と、前記負荷電流をモニタし、前記負荷電流に応じて前記誤差増幅部のゲインを低下させるゲイン調整部と、前記負荷電流モニタ回路内に設けられ、起動時あるいは過負荷時における前記負荷電流モニタ部の消費電流あるいは前記バイアス電流を制限する電流制限抵抗とを有することを特徴とする。

50

【発明の効果】

【0019】

本発明によれば、起動時や過負荷時にゲイン調整部をリミッタ回路として動作するようになるため、起動時や過負荷時に内部の消費電流を制限できる。しかも、起動時には、このリミッタ動作により、起動時の応答を遅くすることとなるため、オーバシュートの発生を抑えることができる。

【発明を実施するための最良の形態】

【0020】

本発明を実施するための最良の形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例1】

【0021】

(実施例1の構成)

図1は、本発明の実施例1における定電圧電源回路を示す回路図である。

この定電圧電源回路は、例えば、半導体集積回路に搭載される回路であって、従来と同様の誤差増幅部50を有し、この誤差増幅部50の出力側に、従来とは異なる構成の負荷電流モニタ部60、新たに追加されたゲイン調整部70、及び従来と同様の出力部80が縦続接続され、更に、この出力部80の出力側に、出力電圧 V_{out} を出力する出力端子90が接続されている。

【0022】

誤差増幅部50は、外部で発生するバイアス電圧 V_b によりバイアス電流が流れ、外部で生成される基準電圧 V_{ref} と出力電圧 V_{out} に対応する第1の電圧(例えば、フィードバック電圧) V_{fb} との差分を増幅する回路であり、負荷用のトランジスタ(例えば、PMOS)51、52と、第1及び第2の入力トランジスタ(例えば、NMOS)53、54と、バイアス電流を流す定電流源用の第1のトランジスタ(例えば、NMOS)55とにより構成されている。

【0023】

各PMOS51、52は、ソース端子(以下単に「ソース」という。)が電源電圧 V_{CC} ノードに接続され、ゲート端子(以下単に「ゲート」という。)が相互に接続されている。各PMOS51、52のドレイン端子(以下単に「ドレイン」という。)には、各NMOS53、54のドレインがそれぞれ接続されている。NMOS53のゲートには、基準電圧 V_{ref} が印加される。NMOS54のゲートには、出力電圧 V_{out} に対応するフィードバック電圧 V_{fb} が印加される。これらのNMOS53、54のソースは相互に接続され、この接続点にNMOS55のドレインが接続されている。NMOS55のソースはグランド GND に接続され、このゲートに、外部で発生するバイアス電圧 V_b が印加される。

【0024】

負荷電流モニタ部60は、出力部80に流れる負荷電流をモニタし、この負荷電流に応じて誤差増幅部50のバイアス電流を増加させる回路であり、負荷電流モニタ用の第3のトランジスタ(例えば、PMOS)61、電流制限用の抵抗62(例えば、シリコン基板上の層間絶縁膜内に埋め込まれた多結晶シリコンによる配線抵抗素子)、第4のトランジスタ(例えば、NMOS)63、及びバイアス電流調整用の第2のトランジスタ(例えば、NMOS)64により構成されている。

【0025】

PMOS61は、ソースが電源電圧 V_{CC} ノードに接続され、ゲートがPMOS52のドレインに接続されている。PMOS61のドレインには、抵抗62を介してNMOS63のドレインが接続されると共に、NMOS63のゲートが接続され、このNMOS63のソースがグランド GND に接続されている。NMOS63のソースには、NMOS64のゲートが接続され、このNMOS64のドレインがNMOS53、54のソースに共通

に接続され、更に、NMOS 64のソースがグランドGNDに接続されている。NMOS 63及び64は、カレントミラー回路を構成している。

【0026】

ゲイン調整部70は、出力部80に流れる負荷電流をモニタし、この負荷電流に応じて誤差増幅部50のゲインを低下させる回路であり、負荷電流モニタ用のPMOS 71と、NMOS 72, 73からなるカレントミラー回路とにより構成されている。

【0027】

PMOS 71は、ソースが電源電圧VCCノードに接続され、ゲートがPMOS 61のゲートに接続されている。PMOS 71のドレインには、NMOS 72のドレイン及びゲートとNMOS 73のゲートとが接続され、これらのNMOS 72, 73のソースがグランドGNDに接続されている。NMOS 73のドレインは、PMOS 51のドレイン及びゲートとPMOS 52のゲートとが接続されている。

10

【0028】

出力部80は、誤差増幅部50の出力電圧により制御されて出力電圧Voutを一定に制御する出力トランジスタ（例えば、負荷電流を流すPMOS）81と、出力電圧Voutを分圧してフィードバック電圧Vfbを生成する分圧抵抗82, 83とにより構成されている。

【0029】

PMOS 81は、ソースが電源電圧VCCノードに接続され、ゲートがPMOS 52のドレイン及びPMOS 61, 71のゲートに接続されている。PMOS 81のドレインには、分圧抵抗82, 83及びグランドGNDが直列に接続されている。PMOS 81及び分圧抵抗82の接続点には、出力端子90が接続されている。出力端子90には、例えば、安定化用のコンデンサ91が接続される。

20

【0030】

図2は、図1中のNMOS 63箇所の回路図である。図3は、その図2の回路を有する定電圧電源回路において負荷電流が小さい場合の周波数特性を示す図である。

【0031】

本実施例1の定電圧電源回路は、図2に示すように、負荷電流モニタ部60におけるNMOS 63箇所に抵抗62を持たない回路構成を基礎技術としている。そのため、まず、抵抗62を持たない定電圧電源回路の動作1を、図3を参照しつつ説明した後、抵抗62を付加した図1の定電圧電源回路における動作2を説明する。

30

【0032】

（実施例1の動作1）

電源電圧VCC、基準電圧Vref、及びバイアス電圧Vbが印加されると、誤差増幅部50は、基準電圧Vrefと、出力電圧Voutを抵抗82, 83で分圧したフィードバック電圧Vfbとの差分を増幅して、出力用PMOS 81のゲート電圧を生成する。出力用PMOS 81は、このゲート電圧により制御され、出力電圧Voutを一定に制御する。

【0033】

負荷電流モニタ部60のPMOS 61は、出力用PMOS 81に流れるドレイン電流をある比（例えば、1:1000等）でコピーし、NMOS 63に供給する。NMOS 63及び64は、カレントミラー回路を構成しており、NMOS 63に供給された電流は、NMOS 64にコピーされ、誤差増幅部50のバイアス電流となる。負荷電流モニタ部60は、出力用PMOS 81のドレイン電流（負荷電流）が大きくなると、PMOS 61によりコピーされ、NMOS 63及び64のカレントミラー回路を介して誤差増幅部50のバイアス電流を増加させる。これにより、出力電圧Voutの応答を高速にすると共に、誤差増幅部50のポールを高周波側に移動させる。

40

【0034】

ゲイン調整部70は、負荷電流モニタ部60のPMOS 61と同様に、PMOS 71で出力用PMOS 81のドレイン電流をコピーし、PMOS 72に供給する。但し、PMO

50

S 6 1 と P M O S 7 1 のゲート幅 / ゲート長 (W / L) 比は、P M O S 6 1 を P M O S 7 1 より大きくし、P M O S 8 1 のドレイン電流に対し、(P M O S 6 1 のドレイン電流 > P M O S 7 1 のドレイン電流) となるように設定しておく。

【 0 0 3 5 】

P M O S 7 2 と N M O S 7 3 はカレントミラー回路を構成しており、P M O S 7 2 に供給された電流はコピーされ、モニタした電流分だけ誤差増幅部 5 0 の P M O S 5 1 のドレイン電流を吸い込む。

【 0 0 3 6 】

誤差増幅部 5 0 において、基準電圧 V_{ref} と、抵抗 8 2 , 8 3 によって出力電圧 V_{out} を分圧したフィードバック電圧 V_{fb} とが等しい状態であるとする、誤差増幅部 5 0 の差動段を構成する N M O S 5 3 と N M O S 5 4 のドレイン電流は等しく、その電流は、N M O S 5 5 と N M O S 6 4 のドレイン電流の和の 1 / 2 になる。従来のようにゲイン調整部 7 0 がない場合は、N M O S 5 3 と P M O S 5 1 のドレイン電流、N M O S 5 4 と P M O S 5 2 のドレイン電流は等しくなり、バランスしている状態になる。本実施例 1 のようにゲイン調整部 7 0 を接続すると、P M O S 5 1 のドレイン電流は、N M O S 5 3 と N M O S 7 3 のドレイン電流の和になり、ゲイン調整部 7 0 がない場合に比べ、P M O S 5 1 のドレイン電流は N M O S 7 3 のドレイン電流分だけ増加する。これにより、誤差増幅部 5 0 の出力インピーダンスが低下し、図 3 に示すように、誤差増幅部 5 0 のゲインを低下させる共に、誤差増幅部 5 0 のポールを高周波側へ移動させる。

【 0 0 3 7 】

従来のように、負荷電流モニタ部 6 0 のみで構成した場合には、負荷電流が小さい時に、誤差増幅部 5 0 のバイアス電流がほとんど増加しないため、出力部 8 0 のポールの移動量に対し、誤差増幅部 5 0 のポールが移動せず、ある負荷電流範囲で位相余裕が低下する問題があった。これに対し、本実施例 1 のように、ゲイン調整部 7 0 を付加することにより、誤差増幅部 5 0 のポールを高周波側へ移動させることにより、位相余裕の低下を防ぐことができる。

【 0 0 3 8 】

一般に、誤差増幅部 5 0 のバイアス電流 (N M O S 5 5 のドレイン電流) は、消費電流を抑えるためにできるだけ小さくする。負荷電流が小さい時には、負荷電流モニタ部 6 0 によるバイアス電流 (N M O S 6 4 のドレイン電流) も小さいため、ゲイン調整部 7 0 の N M O S 7 3 による吸い込み電流は小さいが、誤差増幅部 5 0 のバイアス電流に対する N M O S 7 3 による吸い込み電流の割合が大きいため、負荷電流が小さい時には、ゲイン調整部 7 0 によるポール移動の効果が大きく現れる。

【 0 0 3 9 】

一方、負荷電流が大きくなると、ゲイン調整部 7 0 による N M O S 7 3 の吸い込み電流量が大きくなるが、負荷電流モニタ部 6 0 によるバイアス電流増加の割合が大きくなるため、負荷電流モニタ部 6 0 によるポール移動の効果が大きく現れる。

【 0 0 4 0 】

本来の負荷電流モニタ部 6 0 の特徴であった、高速応答については、負荷電流が大きく変動した場合には、負荷電流モニタ部 6 0 による誤差増幅部 5 0 のバイアス電流増加が大きいため、図 2 の回路においてもその特徴はそのまま生かされる。又、ゲイン調整部 7 0 は、負荷電流モニタ部 6 0 と同様に、負荷電流に応じて吸い込み電流を調整する構成であるため、ゲイン調整部 7 0 を付加しても、内部での消費電流は十分に小さくできる。

【 0 0 4 1 】

以上のように、図 1 の定電圧電源回路において、図 2 のように抵抗 6 2 を持たない回路構成によれば、ゲイン調整部 7 0 を付加することにより、本来、負荷電流モニタ部 6 0 が持っていた高速応答・低消費電流という特徴を残したまま、負荷電流が小さい時に安定性が劣化するという問題を改善できる。

【 0 0 4 2 】

しかし、負荷電流モニタ部 6 0 は、高速応答、且つ低消費電流という利点がある反面、

10

20

30

40

50

前述した負荷電流が小さい場合に位相余裕が低下する欠点の他に、起動時に出力電圧のオーバシュート量が大きくなる虞があること、又、過負荷等により出力電圧 V_{out} がクランプすると、負荷電流モニタ部 60 自体での電流消費が大きくなるという問題が依然として残る。

【0043】

そこで、この点を改善するために、本実施例 1 では、図 1 に示すように、負荷電流モニタ部 60 に電流制限用の抵抗 62 を設けている。この動作 2 を以下説明する。

【0044】

(実施例 1 の動作 2)

図 1 の定電圧電源回路において、起動時や過負荷時には出力用 PMOS 81 に大きな電流が流れるため、PMOS 81 のドレイン電流をコピーする負荷電流モニタ部 60 の PMOS 61 のドレイン電流も大きくなる。しかし、抵抗 62 が挿入されているので、PMOS 61 のドレイン電流がある電流値以上になった時に、抵抗 62 の電圧降下により、NMOS 63 のソース・ドレイン間電圧が低くなる。これに伴い、NMOS 64 のゲート電圧が低くなるため、ドレイン電流が減少し、誤差増幅部 50 のバイアス電流が減少する。

10

【0045】

一方、ゲイン調整部 70 では、起動時や過負荷時には、PMOS 71, 72 のドレイン電流が大きくなり、NMOS 73 による吸い込み電流が大きくなる。負荷電流モニタ部 60 によるバイアス電流が低下し、ゲイン調整部 70 の吸い込み電流が増加すると、ゲイン調整部 70 のみが機能することとなり、ゲイン調整部 70 による負帰還により出力用 PMOS 81 のゲート電圧はある一定レベルに固定される。これは、ゲイン調整部 70 がリミッタとして動作していることを意味しており、この状態になると、PMOS 81 による出力電流が制限されるだけでなく、ゲイン調整部 70 での消費電流も制限されることになり、起動時・過負荷時に消費する電流を制限できることになる。

20

【0046】

(実施例 1 の効果)

本実施例 1 によれば、図 1 に示す回路構成とすることにより、起動時や過負荷時にゲイン調整部 70 をリミッタ回路として動作するようになるため、起動時や過負荷時に内部の消費電流を制限できる。しかも、起動時においては、このリミッタ動作により、起動時の応答を遅くすることとなるため、オーバシュートの発生を抑制できる。

30

【0047】

(変形例)

本発明は、上記実施例 1 に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の (a) ~ (c) のようなものがある。

【0048】

(a) 実施例 1 では、NMOS トランジスタによる差動段をもつ誤差増幅部 50 を使用しているが、いかなる構成の誤差増幅部 50 であっても、誤差増幅部 50 及び出力トランジスタ (PMOS 81) という回路構成であれば適用可能である。

【0049】

(b) 負荷電流モニタ部 60 の抵抗 62 の挿入場所は、過負荷状態における負荷電流モニタ部 60 の消費電流、あるいは誤差増幅部 50 のバイアス電流を制限するものであれば、図 1 の回路図以外の場所でも可能である。

40

【0050】

(c) 抵抗 62 の代わりに、MOS トランジスタ等を抵抗として使用することも可能である。

【図面の簡単な説明】

【0051】

【図 1】本発明の実施例 1 における定電圧電源回路を示す回路図である。

【図 2】図 1 中の NMOS 63 箇所の回路図である。

【図 3】図 2 の回路を有する定電圧電源回路において負荷電流が小さい場合の周波数特性

50

を示す図である。

【図4】従来の定電圧電源回路を示す回路図である。

【図5】図4の定電圧電源回路における周波数特性を示す図である。

【図6】従来の他の定電圧電源回路を示す回路図である。

【図7】図6の定電圧電源回路において負荷電流が大きい場合の周波数特性を示す図である。

【図8】図6の定電圧電源回路において負荷電流が小さい場合の周波数特性を示す図である。

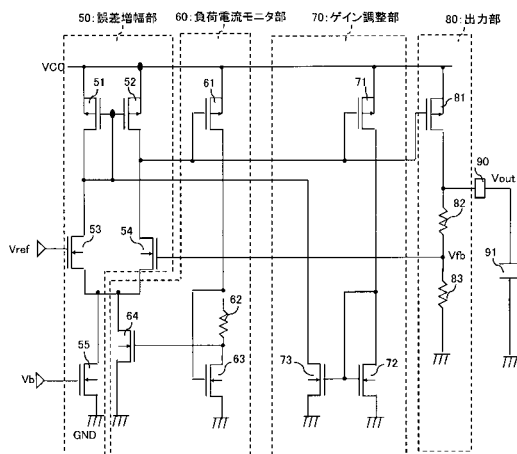
【符号の説明】

【0052】

- | | |
|----|----------|
| 50 | 誤差増幅部 |
| 60 | 負荷電流モニタ部 |
| 62 | 抵抗 |
| 70 | ゲイン調整部 |
| 80 | 出力部 |

10

【図1】



本発明の実施例1の定電圧電源回路

【図3】

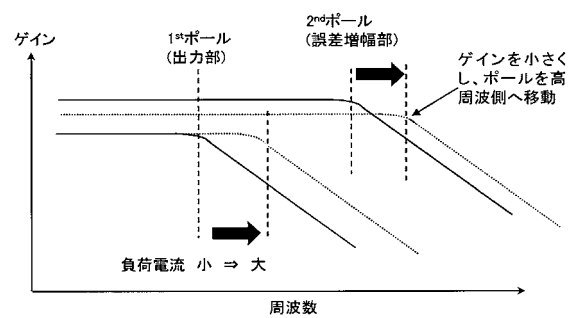


図2の周波数特性(負荷電流小)

【図2】

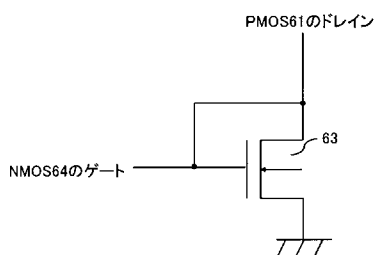
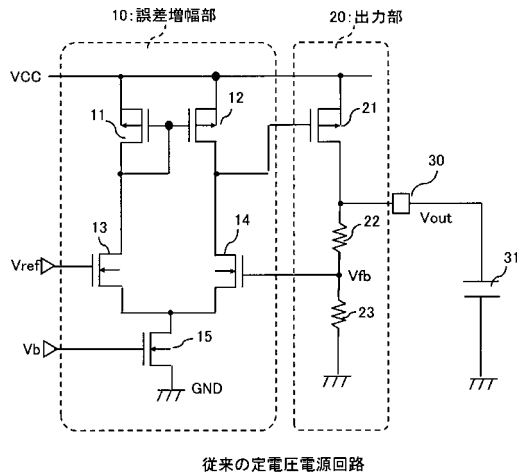
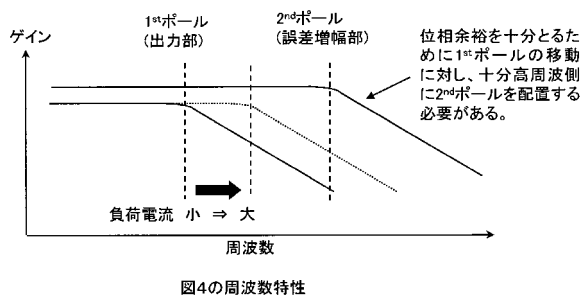


図1の負荷電流モニタ部60中のNMOS63箇所

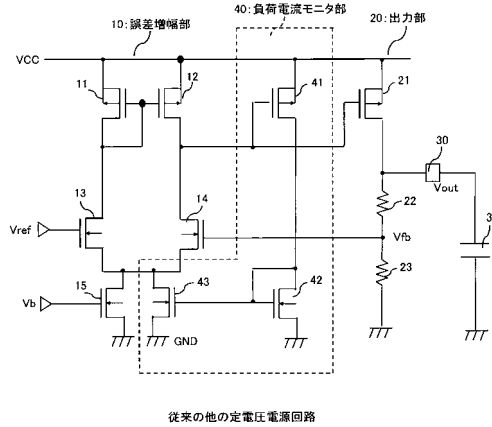
【図 4】



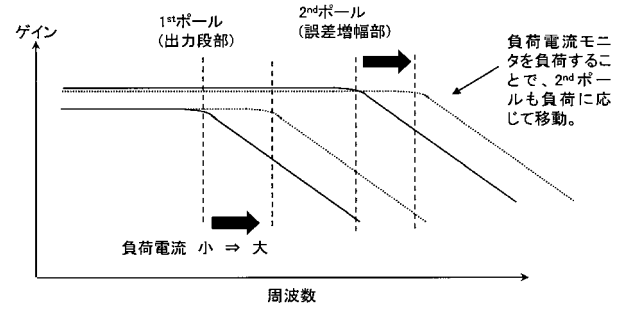
【図 5】



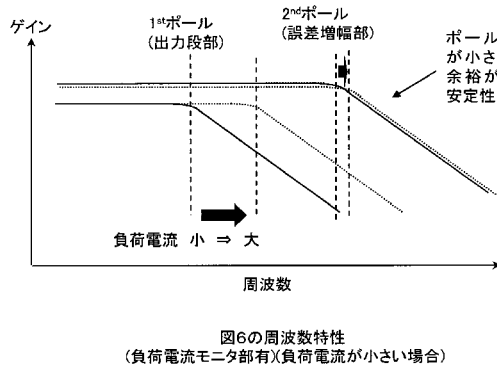
【図 6】



【図 7】



【図 8】



フロントページの続き

(74)代理人 100105256

弁理士 清野 仁

(74)代理人 100145872

弁理士 福岡 昌浩

(72)発明者 柳川 賢二

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖マイクロデザイン内

F ターム(参考) 5H420 NB02 NB12 NB22 NB25 NB36 NC02 NC14 NC23 NC27

5H430 BB01 BB05 BB09 BB11 EE06 FF04 FF07 FF13 GG01 HH03

JJ03