



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0059728
(43) 공개일자 2025년05월07일

(51) 국제특허분류(Int. Cl.)

H03M 3/00 (2006.01)

(52) CPC특허분류

H03M 3/37 (2013.01)

H03M 3/39 (2013.01)

(21) 출원번호 10-2023-0143597

(22) 출원일자 2023년10월25일

심사청구일자 2023년10월25일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

조영균

대전광역시 유성구

(74) 대리인

이은철, 김재문

전체 청구항 수 : 총 19 항

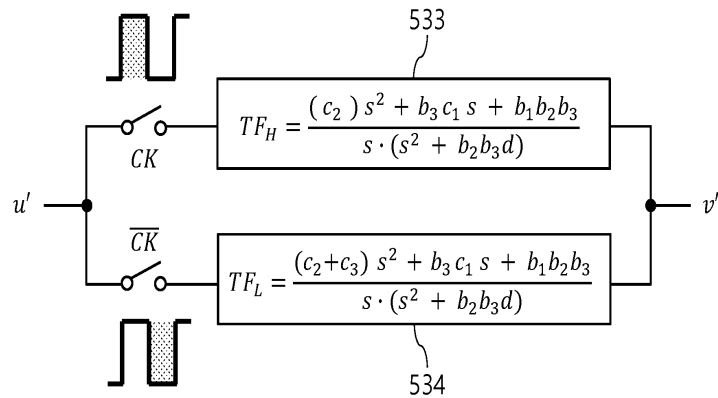
(54) 발명의 명칭 시분할 스위칭 기법을 이용한 과도루프지연 보상 장치 및 방법

(57) 요약

시분할 스위칭(TDS) 기법을 이용한 과도루프지연(ELD) 보상 방법에 관한 기술이 개시된다. 과도루프지연 보상 방법이 적용된 델타 시그마 모듈레이터(DSM)는 단일 연산 증폭기 기반 공진기(SOR) 루프 필터를 포함한다. 루프 필터는 하나의 연산 증폭기와, 연산 증폭기의 입력단과 출력단 사이에 서로 직렬로 연결되는 복수의 커패시터와, 복수의 커패시터 사이의 노드 중 하나의 노드에 공통으로 연결되는 복수의 저항부를 포함한다. 복수의 저항부 중 적어도 2개의 저항부는 클럭 신호에 따라 각 저항부의 저항값이 변경되어, 루프 필터의 3차 전달함수의 계수를 클럭 신호에 따라 변경하여 델타 시그마 모듈레이터의 과도루프지연을 효과적으로 보상할 수 있다.

대표도 - 도5

530



(52) CPC특허분류

H03M 3/422 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345370812
과제번호	2021RIS-004
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지자체대학협력기반지역혁신사업
연구과제명	(대전세종충남지역혁신플랫폼)충남대학교
기 여 율	1/2
과제수행기관명	(대전세종충남지역혁신플랫폼)충남대학교
연구기간	2023.05.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186762
과제번호	2021R1F1A1056073
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	차세대 반도체 빔형성 안테나를 위한 일체형 저잡음 전력변환기 개발
기 여 율	1/2
과제수행기관명	충남대학교
연구기간	2021.06.01 ~ 2024.02.29

명세서

청구범위

청구항 1

신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가지는 루프 필터에 있어서,
하나의 연산 증폭기;
상기 연산 증폭기의 입력단과 출력단 사이에 서로 직렬로 연결되는 복수의 커패시터; 및
상기 복수의 커패시터 사이의 노드 중 하나의 노드에 공통으로 연결되는 복수의 저항부;를 포함하고,
상기 복수의 저항부 중 적어도 2개의 저항부는 클럭 신호에 따라 각 저항부의 저항값이 변경되는,
루프 필터.

청구항 2

제1항에 있어서,
상기 2개의 저항부의 저항값 변화에 따라 루프 필터의 3차 전달함수 중 분자의 최고차 항의 계수가 변경되는,
루프 필터.

청구항 3

제1항에 있어서,
상기 2개의 저항부 중 하나의 저항부는 클럭 신호가 하이(High)인 경우 저항값이 증가하고, 다른 하나의 저항부는 클럭 신호가 로우(Low)인 경우 저항값이 증가하도록 변경되는,
루프 필터.

청구항 4

제1항에 있어서,
상기 2개의 저항부의 각 저항부는,
복수의 저항; 및
상기 복수의 저항 중 적어도 하나의 저항에 연결되고, 클럭 신호에 의해 저항값을 결정하는 스위치;를 포함하는,
루프 필터.

청구항 5

제4항에 있어서,
상기 2개의 저항부의 각 저항부는, 복수의 저항과 스위치가 동일한 구조로 연결되고,
상기 2개의 저항부 중 하나의 저항부의 스위치는 클럭 신호를 입력받고, 다른 하나의 저항부의 스위치는 반전된 클럭 신호를 입력받는,

루프 필터.

청구항 6

제4항에 있어서,

상기 2개의 저항부의 각 저항부에 포함되는 복수의 저항 중 2개의 저항은 직렬로 연결되고,

각 저항부에서 직렬로 연결된 2개의 저항 중 하나의 저항은 그 양단이 각 저항부의 스위치의 두 단자와 연결되는,

루프 필터.

청구항 7

제1항에 있어서,

상기 복수의 저항부는,

루프 필터의 반전 입력단과 상기 연산 증폭기의 출력단 사이에 배치되고 상기 복수의 커패시터 중 제1 커패시터와 제2 커패시터 사이의 제1 노드에 공통으로 연결되는 3개의 저항부를 포함하는 제1 저항세트; 및

루프 필터의 입력단과 상기 연산 증폭기의 반전 출력단 사이에 배치되고 상기 복수의 커패시터 중 상기 제2 커패시터와 제3 커패시터 사이의 제2 노드에 공통으로 연결되는 3개의 저항부를 포함하는 제2 저항세트;를 포함하는,

루프 필터.

청구항 8

제7항에 있어서,

상기 제2 저항세트는,

상기 제2 노드와 그라운드 사이에 연결되는 제3 저항부;

상기 제2 노드와 상기 연산 증폭기의 반전 출력단에 연결되는 제5 저항부; 및

루프 필터의 입력단과 상기 제2 노드 사이에 연결되는 제7 저항부;를 포함하고,

클럭 신호는 상기 제7 저항부 및 상기 제3 저항부의 저항값을 변화시키는,

루프필터.

청구항 9

제8항에 있어서,

상기 제3 저항부 및 상기 제7 저항부는,

복수의 저항; 및

상기 복수의 저항 중 적어도 하나의 저항에 연결되고, 클럭 신호에 의해 저항값을 결정하는 스위치;를 포함하는,

루프필터.

청구항 10

제9항에 있어서,

상기 제3 저항부의 제1 스위치는, 제3 저항부에 포함되는 적어도 하나의 저항의 양단에 두 단자가 연결되고,
 상기 제7 저항부의 제2 스위치는, 제7 저항부에 포함되는 적어도 하나의 저항의 양단에 두 단자가 연결되고,
 상기 제1 스위치와 상기 제2 스위치는 클럭 신호에 의해 제어되며,
 상기 제1 스위치와 상기 제2 스위치에 입력되는 클럭 신호 중 하나는 반전되어 입력되는,
 루프 필터.

청구항 11

신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가지고, 입력 신호 및 아날로그 신호의 차이를 적분하여 출력하는 루프 필터;

상기 루프 필터에서 출력되는 신호를 양자화하여 출력하는 양자화기; 및

상기 양자화기로부터 출력되는 신호를 디지털 아날로그 변환(digital to analog)하여 상기 아날로그 신호를 출력하는 디지털 아날로그 변환기(Digital to Analog Converter, DAC);를 포함하고,

상기 루프 필터는,

하나의 연산 증폭기;

상기 연산 증폭기의 입력단과 출력단 사이에 서로 직렬로 연결되는 복수의 커패시터; 및

상기 복수의 커패시터 사이의 노드 중 하나의 노드에 공통으로 연결되는 복수의 저항부;를 포함하고,

상기 복수의 저항부 중 적어도 2개의 저항부는 클럭 신호에 따라 각 저항부의 저항값이 변경되는,

델타 시그마 모듈레이터.

청구항 12

제11항에 있어서,

상기 2개의 저항부의 저항값 변화에 따라 루프 필터의 3차 전달함수 중 분자의 최고차 항의 계수가 변경되는,
 델타 시그마 모듈레이터.

청구항 13

제11항에 있어서,

상기 2개의 저항부 중 하나의 저항부는 클럭 신호가 하이(High)인 경우 저항값이 증가하고, 다른 하나의 저항부는 클럭 신호가 로우(Low)인 경우 저항값이 증가하도록 변경되는,

델타 시그마 모듈레이터.

청구항 14

제11항에 있어서,

상기 2개의 저항부의 각 저항부는,

복수의 저항; 및

상기 복수의 저항 중 적어도 하나의 저항에 연결되고, 클럭 신호에 의해 저항값을 결정하는 스위치;를 포함하는,

델타 시그마 모듈레이터.

청구항 15

제14항에 있어서,

상기 2개의 저항부의 각 저항부는, 복수의 저항과 스위치가 동일한 구조로 연결되고,

상기 2개의 저항부 중 하나의 저항부의 스위치는 클럭 신호를 입력받고, 다른 하나의 저항부의 스위치는 반전된 클럭 신호를 입력받는,

델타 시그마 모듈레이터.

청구항 16

제14항에 있어서,

상기 2개의 저항부의 각 저항부에 포함되는 복수의 저항 중 2개의 저항은 직렬로 연결되고,

각 저항부에서 직렬로 연결된 2개의 저항 중 하나의 저항은 그 양단이 각 저항부의 스위치의 두 단자에 연결되는,

델타 시그마 모듈레이터.

청구항 17

시분할 스위칭 기법을 이용하여 과도루프지연의 보상이 가능한, 델타 시그마 모듈레이터를 포함하는 통신 단말에 있어서,

상기 델타 시그마 모듈레이터는, 신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가지는 루프 필터를 포함하고,

상기 루프 필터는,

하나의 연산 증폭기;

상기 연산 증폭기의 입력단과 출력단 사이에 서로 직렬로 연결되는 복수의 커패시터; 및

상기 복수의 커패시터 사이의 노드 중 하나의 노드에 공통으로 연결되는 복수의 저항부;를 포함하고,

상기 복수의 저항부 중 적어도 2개의 저항부는 클럭 신호에 따라 각 저항부의 저항값이 변경되는,

통신 단말.

청구항 18

제17항에 있어서,

상기 2개의 저항부의 저항값 변화에 따라 루프 필터의 3차 전달함수 중 분자의 최고차 항의 계수가 변경되는,

통신 단말.

청구항 19

제17항에 있어서,

상기 2개의 저항부 중 하나의 저항부는 클럭 신호가 하이(High)인 경우 저항값이 증가하고, 다른 하나의 저항부는 클럭 신호가 로우(Low)인 경우 저항값이 증가하도록 변경되는,

통신 단말.

발명의 설명

기술 분야

[0001] 본 발명은 델타 시그마 모듈레이터에서 과도루프지연을 보상하는 기술에 관한 것으로, 특히 시분할 스위칭 기법으로 전달함수를 스위칭하여 과도루프지연을 보상하는 루프 필터 및 이를 이용하는 델타 시그마 모듈레이터에 관한 것이다.

배경 기술

[0002] 델타 시그마 모듈레이터(delta sigma modulator, DSM)는 아날로그 입력을 디지털 펄스로 변환하는 회로이다. 델타 시그마 모듈레이터(DSM)는 디지털 펄스의 평균값이 아날로그 입력값의 평균값과 같도록 펄스를 제어한다. 델타 시그마 모듈레이터(DSM)는 디지털 데이터에 대해 샘플링을 여러 번하는 오버 샘플링 변환기이다. 따라서 DSM은 양자화 잡음을 최소화할 수 있고, 상대적으로 높은 해상도를 가지고 아날로그 디지털 변환을 수행할 수 있다. 이러한 특성때문에 델타 시그마 모듈레이터(DSM)는 각종 무선 통신 시스템의 효율성 향상을 위해 사용되고 있다.

[0003] 델타 시그마 모듈레이터(DSM)의 내부 피드백 경로에서 양자화기 및 트랜지스터 등의 제어 회로의 동작 시간으로 인해 과도루프지연(excess loop delay, ELD)이 발생한다. 특히, 변환 대역폭(conversion bandwidth)이 커지고 샘플링하는 클럭 속도가 빨라지는 경우, 과도루프지연(ELD)은 DSM의 안정성을 손상시키고 분해능을 낮춘다. 따라서 고속 연속 시간(continuous time, CT) DSM에서 과도루프지연(ELD) 보상은 필수적이다.

[0004] 델타 시그마 모듈레이터(DSM)의 과도루프지연(ELD) 보상을 위해, 마지막 적분기 뒤에 직접 피드백 경로를 삽입하여, 양자화기 주위에 추가적인 빠른 피드백 루프를 구현할 수 있다. 그러나 이러한 구성은 넓은 대역폭이 필요한 합산 증폭기(summing amplifier)를 사용하여, 전력 소모가 커지는 문제가 있다. 따라서 전력 소모가 적어서 효율적이며 과도루프지연(ELD) 보상이 가능한 델타 시그마 모듈레이터(DSM) 및 루프 필터를 개발할 필요가 있다.

[0005] 2023년 09월 27일 공고된 등록특허 제10-2583962호는 "다중 모드를 지원하는 연속시간 델타 시그마 모듈레이터"에 관한 것이다. 여기에 개시된 루프 필터는 단일 연산 증폭기 및 연산 증폭기와 연결되는 적어도 하나의 커패시터, 적어도 하나의 저항 및 적어도 하나의 스위치를 포함하는 회로(circuit)를 포함한다. 특히 루프 필터는 적어도 하나의 스위치의 ON/OFF 조절을 통해 신호 전달 특성이 3차 전달함수를 만족하거나 2차 전달함수를 만족하여, 델타 시그마 모듈레이터를 다중 모드로 동작할 수 있다.

[0006] 2023년 07월 17일 공개된 공개특허 제10-2023-0107436호는 "델타-시그마 변조기 및 변조 방법"에 관한 것이다. 여기에 개시된 델타-시그마 변조기는 1차 적분기, 2차 적분기, 3차 적분기를 포함한다. 특히 캐스케이드로 연결된 1차 내지 3차 적분기들은 하나 이상의 이산 시간(discrete time, DT) 방식의 적분기 및 하나 이상의 연속 시간(continuous time, CT) 방식의 적분기를 포함하여, 클럭 지터와 초과 루프 지연(ELD), 계수변화 문제가 적은 DT 델타-시그마 변조기 구조와 융합한 혼합형 DT/CT 델타-시그마 변조기 및 변조 방법을 개시한다.

[0007] 다만, 아직까지 델타 시그마 모듈레이터(DSM)에서 시분할 스위칭 기법을 이용하여 효율적으로 과도루프지연(ELD) 보상을 수행하는 구체적인 회로 구성에 대해서는 개시되어 있지 않다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) KR 10-2583962 B1 (2023.09.27.)
(특허문헌 0002) KR 10-2023-0107436 A (2023.07.17.)

발명의 내용

해결하려는 과제

- [0009] 본 발명의 일 목적은, 과도루프지연(ELD) 보상을 효율적으로 할 수 있는 루프 필터 및 델타 시그마 모듈레이터(DSM)를 제공하는 것이다.
- [0010] 본 발명의 다른 일 목적은, 클럭 신호에 따라 전달 함수를 재구성하여 과도루프지연(ELD) 보상을 효율적으로 할 수 있는 루프 필터 및 델타 시그마 모듈레이터(DSM)를 제공하는 것이다.
- [0011] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0012] 제안된 발명의 일 양상에 따르면, 시분할 스위칭 기법을 이용하여 과도루프지연의 보상이 가능한 통신 단말은 델타 시그마 모듈레이터를 포함한다. 상기 델타 시그마 모듈레이터는, 신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가지는 루프 필터를 포함한다.
- [0013] 제안된 발명의 다른 일 양상에 따르면, 시분할 스위칭 기법을 이용하여 과도루프지연의 보상이 가능한 델타 시그마 모듈레이터는 신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가지는 루프 필터를 포함한다.
- [0014] 상기 델타 시그마 모듈레이터는, 입력 신호 및 아날로그 신호의 차이를 적분하여 출력하는 루프 필터와, 상기 루프 필터에서 출력되는 신호를 양자화하여 출력하는 양자화기와, 상기 양자화기로부터 출력되는 신호를 디지털 아날로그 변환(digital to analog)하여 상기 아날로그 신호를 출력하는 디지털 아날로그 변환기(Digital to Analog Converter, DAC)를 포함한다.
- [0015] 제안된 발명의 또 다른 일 양상에 따르면, 시분할 스위칭 기법을 이용하여 과도루프지연의 보상이 가능한 루프 필터는, 신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가진다.
- [0016] 상기 루프 필터는, 하나의 연산 증폭기와, 상기 연산 증폭기의 입력단과 출력단 사이에 서로 직렬로 연결되는 복수의 커패시터와, 상기 복수의 커패시터 사이의 노드 중 하나의 노드에 공통으로 연결되는 복수의 저항부를 포함한다. 상기 복수의 저항부 중 적어도 2개의 저항부는 클럭 신호에 따라 각 저항부의 저항값이 변경된다.
- [0017] 추가적인 양상에 따르면, 상기 2개의 저항부의 저항값 변화에 따라 루프 필터의 3차 전달함수 중 분자의 최고차항의 계수가 변경된다.
- [0018] 추가적인 양상에 따르면, 상기 2개의 저항부 중 하나의 저항부는 클럭 신호가 하이(High)인 경우 저항값이 증가하고, 다른 하나의 저항부는 클럭 신호가 로우(Low)인 경우 저항값이 증가하도록 변경된다.
- [0019] 추가적인 양상에 따르면, 상기 2개의 저항부의 각 저항부는, 복수의 저항과, 상기 복수의 저항 중 적어도 하나의 저항에 연결되고 클럭 신호에 의해 저항값을 결정하는 스위치를 포함한다.
- [0020] 추가적인 양상에 따르면, 상기 2개의 저항부의 각 저항부는 복수의 저항과 스위치가 동일한 구조로 연결되고, 상기 2개의 저항부 중 하나의 저항부의 스위치는 클럭 신호를 입력받고, 다른 하나의 저항부의 스위치는 반전된 클럭 신호를 입력받는다.
- [0021] 추가적인 양상에 따르면, 상기 스위치는 트랜지스터이며, 상기 2개의 저항부의 각 저항부에 포함되는 복수의 저항 중 2개의 저항은 직렬로 연결되고, 각 저항부에서 직렬로 연결된 2개의 저항 중 하나의 저항은 그 양단이 각 저항부의 스위치의 두 단자에 연결된다.
- [0022] 상기 복수의 저항부는, 루프 필터의 반전 입력단과 상기 연산 증폭기의 출력단 사이에 배치되고 상기 복수의 커패시터 중 제1 커패시터와 제2 커패시터 사이의 제1 노드에 공통으로 연결되는 3개의 저항부를 포함하는 제1 저항세트와, 루프 필터의 입력단과 연산 증폭기의 반전 출력단 사이에 배치되고 상기 복수의 커패시터 중 상기 제

2 커패시터와 제3 커패시터 사이의 제2 노드에 공통으로 연결되는 3개의 저항부를 포함하는 제2 저항세트를 포함한다.

[0023] 추가적인 양상에 따르면, 상기 제2 저항세트는, 상기 제2 노드와 그라운드 사이에 연결되는 제3 저항부와, 상기 제2 노드와 상기 연산 증폭기의 반전 출력단에 연결되는 제5 저항부와, 루프 필터의 입력단과 상기 제2 노드 사이에 연결되는 제7 저항부를 포함한다. 클럭 신호는 상기 제7 저항부 및 상기 제3 저항부의 저항값을 변화시킨다.

[0024] 추가적인 양상에 따르면, 상기 제3 저항부 및 상기 제7 저항부는, 복수의 저항과, 상기 복수의 저항 중 적어도 하나의 저항에 연결되고 클럭 신호에 의해 저항값을 결정하는 스위치를 포함한다.

[0025] 추가적인 양상에 따르면, 상기 제3 저항부의 제1 스위치는 제3 저항부에 포함되는 적어도 하나의 저항의 양단에 두 단자가 연결되고, 상기 제7 저항부의 제2 스위치는 제7 저항부에 포함되는 적어도 하나의 저항의 양단에 두 단자가 연결되고, 상기 제1 스위치와 상기 제2 스위치는 클럭 신호에 의해 제어되며, 상기 제1 스위치와 상기 제2 스위치에 입력되는 클럭 신호 중 하나는 반전되어 입력된다.

발명의 효과

[0026] 제안된 발명에 따른 과도루프지연 보상 장치 및 방법은 클럭 신호에 따라 전달함수를 재구성하는 시분할 스위칭 기법을 이용하여 전력 소모가 적어서 효율적으로 과도루프지연(ELD) 보상이 가능하다.

[0027] 제안된 발명에 따른 루프 필터 및 델타 시그마 모듈레이터(DSM)는 과도루프지연(ELD)이 크게 발생한 경우에도 신호대 잡음비 성능이 우수하다.

도면의 간단한 설명

[0028] 도 1은 일 실시예에 따른 델타 시그마 모듈레이터의 개략적인 구성을 나타내는 구성도이다.

도 2는 제1 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 구성을 나타내는 구성도이다.

도 3a는 제1 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 루프 필터를 단일 연산 증폭기로 구현한 single-ended 회로도이다.

도 3b는 제1 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 루프 필터를 단일 연산 증폭기로 구현한 차동 회로의 회로도이다.

도 4는 제2 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 구성을 나타내는 구성도이다.

도 5는 제2 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 루프 필터를 시분할 스위칭 기법으로 구현한 개념도이다.

도 6은 제2 실시예에 따른 과도루프지연을 보상하는 델타 시스마 모듈레이터의 루프 필터를 시분할 스위칭 기법으로 구현한 single-ended 회로도이다.

도 7은 제2 실시예에 따른 과도루프지연을 보상하는 델타 시스마 모듈레이터의 루프 필터의 저항부를 블럭으로 나타낸 single-ended 회로도이다.

도 8a는 제2 실시예의 변형에 따른 과도루프지연을 보상하는 델타 시스마 모듈레이터의 루프 필터를 MOSFET을 이용하여 구현한 single-ended 회로도이다.

도 8b는 제2 실시예의 변형에 따른 과도루프지연을 보상하는 델타 시스마 모듈레이터의 루프 필터를 MOSFET을 이용하여 구현한 차동 회로의 회로도이다.

도 9는 제2 실시예에 따른 델타 시그마 모듈레이터의 단위 이득 대역폭에 대한 신호대 잡음비 감쇄 특성을 나타내는 그래프이다.

도 10은 제2 실시예에 따른 델타 시그마 모듈레이터의 과도루프지연에 대한 신호대 잡음비 감쇄 특성을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 전술한, 그리고 추가적인 양상들은 첨부된 도면을 참조하여 설명하는 실시예들을 통해 구체화된다. 각 실시예들

의 구성 요소들은 다른 언급이나 상호간에 모순이 없는 한 실시예 내에서 또는 타 실시예의 구성 요소들과 다양한 조합이 가능한 것으로 이해된다. 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 명세서 및 청구범위에 사용된 용어는 기재 내용 혹은 제안된 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 본 명세서에서 모듈 또는 부분은, 컴퓨터 또는 프로세서에서 실행할 수 있도록 메모리에 저장된 프로그램 명령어의 집합이거나, 이러한 명령들을 수행할 수 있도록 ASIC, FPGA 등의 전자 부품 또는 회로의 집합을 이용하여 구현할 수 있다. 또한, 각 모듈 또는 부분의 동작은 하나 또는 복수의 프로세서 또는 장치에 의해 수행될 수 있다. 동일·유사한 부호가 표시된 구성요소는 동일·유사한 기능을 수행하므로, 설명을 생략할 수 있다. 설명이 생략된 도면부호를 가진 구성요소에 대해서는, 동일·유사한 부호를 가진 구성요소에 대해 앞에서 설명한 내용을 참조할 수 있다.

- [0030] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0031] 도 1은 일 실시예에 따른 델타 시그마 모듈레이터의 개략적인 구성을 나타내는 구성도이다.
- [0032] 일 실시예에 따른 델타 시그마 모듈레이터(delta sigma modulator, DSM)는 합산기(adder)(110), 루프 필터(loop filter)(130), 양자화기(quantizer)(170) 및 디지털 아날로그 변환기(digital to analog converter, DAC)(190)를 포함한다.
- [0033] 합산기(adder)(110)는 델타 시그마 모듈레이터(DSM)의 외부로부터 입력되는 입력 신호(u)에서 DAC(190)의 출력 신호를 뺀 오차 신호(u')를 루프 필터(130)로 전달한다.
- [0034] 루프 필터(loop filter)(130)는 입력단에서 루프 필터 입력 신호(u')를 입력받고, 출력단에서 루프 필터 출력 신호(v')를 양자화기(170)로 전송한다. 루프 필터는 적분기를 포함하여, 입력되는 오차 신호(u')를 누적한다. 적분기를 캐스케이드(cascade) 구조로 배치하는 경우, 적분기 개수만큼 전달함수의 차수가 증가하고, 신호대 잡음비 성능이 향상된다. 다만 전달함수의 차수가 증가하면 상태 안정성이 감소하므로, 일반적으로 3차 적분기를 주로 사용한다.
- [0035] 한편, 적분기를 연산 증폭기를 사용하여 구현하는 경우, 능동 소자인 연산 증폭기의 회로 면적이 증가하고 전력 소모가 증가하는 문제가 발생한다. 이러한 문제를 극복하기 위하여, 하나의 연산 증폭기(350)를 포함하는 단일 연산증폭기 기반 공진기(single op-amp resonator, SOR)를 이용하여 고차의 루프 필터를 구현할 수 있다.
- [0036] 양자화기(quantizer)(170)는 루프 필터에서 출력된 신호(v')를 양자화하여 델타 시그마 모듈레이터의 출력 신호(v)를 출력한다. 양자화기는 입력되는 클럭 신호(CK)의 주파수인 샘플링 주파수(sampling frequency, fs)에 따라 양자화를 수행한다. 양자화기(170)는 루프 필터의 출력 신호(v')를 기준값과 비교하여 출력 신호(v)를 출력한다.
- [0037] DAC(190)는 양자화기(170)로부터 출력되는 디지털 신호(v)를 아날로그 신호로 변환하여 아날로그 신호를 출력한다. 아날로그 신호는 1비트 DAC로 구현될 수 있으나, 더 많은 비트로 구현될 수 있다. DAC(190)는 비교기를 포함할 수 있다. DAC에 의해 피드백 되는 신호는 NRZ(Non Return to Zero) 또는 RZ(Return to Zero) 형태로 구현될 수 있다. DAC(190)는 전압제어 전류원으로 구현될 수 있다.
- [0038] 도 2는 제1 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 구성을 나타내는 구성도이다.
- [0039] 제1 실시예에 따른 과도루프지연(excess loop delay, ELD)을 보상하는 델타 시그마 모듈레이터(DSM)는, 합산기(adder)(210), 루프 필터(loop filter)(230), 양자화기(quantizer)(270), 신호 지연 회로(280), RZ DAC(285) 및 NRZ DAC(290)를 포함한다.
- [0040] 합산기(adder)(210)는 델타 시그마 모듈레이터(DSM)로 입력되는 아날로그 입력 신호(u)에 NRZ DAC(290)에서 출력된 1 bit 신호를 a_1 배 증폭하여 뺀 오차 신호(u')를 루프 필터(230)로 입력한다.
- [0041] 루프 필터(loop filter)(230)는 3개의 적분기(251, 252, 253)를 포함하여, 신호 전달 특성이 3차 전달함수를 만족시킨다. 루프 필터(230)는 3개의 합산기(261, 262, 263)를 포함한다.
- [0042] 제1 적분기(251)는 루프 필터의 입력단으로 입력된 오차 신호(u')를 적분하여 출력한다. 출력된 적분 신호는 b_1 배 증폭되어 제1 합산기(261)로 입력된다. 제1 합산기(261)는 제1 적분기(251)를 통과하고 b_1 배 증폭되어 입력된 신호에서 피드백 경로(254)를 통해 루프 필터의 출력 신호(v')를 d 배 증폭한 신호를 뺀 신호를 제2 적분기(252)로 출력한다. 제2 적분기(252)는 입력 신호를 적분하고 b_2 배로 증폭하여 제2 합산기(262)로 출력한다. 제

2 합산기(262)는 제2 적분기(252)에서 입력된 신호와 제1 적분기(251)에서 출력된 신호를 c_1 배 증폭한 신호를 더하고, RZ DAC(285)의 출력 신호를 a_2 배 증폭한 신호를 뺀 신호를 제3 적분기(253)로 출력한다. 제3 적분기(253)는 입력된 신호를 적분하고 b_3 배 증폭하여 제3 합산기(263)로 출력한다. 제3 합산기(263)는 제3 적분기로부터 입력된 신호에 제1 적분기(251)에서 출력된 신호를 c_2 배 증폭한 신호를 더하여 루프 필터의 출력 신호(v')로 출력한다.

[0043] 루프 필터(230)는 제1 적분기를 통과한 신호를 제2 합산기와 제3 합산기로 피드 포워드(feed forward, FF)하는 2개의 경로를 포함한다. 그리고 과도루프지연(ELD)을 보상하기 위해 루프 필터의 출력 신호를 제1 합산기로(-)로 피드 백(feedback)시키는 1개의 경로(254)를 추가로 포함한다. 한편, 제2 합산기에는 과도루프지연(ELD)을 보상하기 위해 RZ DAC(285)에서 출력된 전류 신호가(-)로 입력된다.

[0044] 양자화기(quantizer)(270)는 루프 필터(230)의 출력 신호(v')에 대해 클럭 신호(CK)에 따른 샘플링 주기마다 양자화를 수행하여 델타 시그마 모듈레이터(DSM)의 디지털 출력 신호(v)를 외부로 출력한다.

[0045] 신호 지연 회로(280)는 델타 시그마 모듈레이터(DSM)의 출력 신호(v)를 일정 시간 지연시켜 출력시킨다. 도 2에서 신호 지연 회로(280)는 출력 신호(v)를 클럭 신호(CK) 주기의 절반($1/2$)만큼 지연시킨다. 신호 지연 회로(280)는 래치(latch)를 이용하여 구현할 수 있다.

[0046] RZ DAC(285)는 신호 지연 회로(280)에서 출력된 반 클럭 지연된 디지털 출력 신호를 입력 받아 RZ(return to zero) 방식으로 인코딩하여 출력한다. 출력된 신호는 a_2 배 증폭되어 제2 합산기(262)로 입력된다.

[0047] NRZ DAC(290)는 신호 지연 회로(280)에서 출력된 반 클럭 지연된 출력 신호를 입력 받아 NRZ(non return to zero) 방식으로 인코딩하여 출력한다. 도 2를 참조하면, NRZ DAC는 1비트 DA 변환을 수행한다.

[0048] 신호 지연 회로(280)에서 출력 신호(v)를 반클럭 지연시키고, RZ DAC(285)에서 제2 합산기로 신호를 피드백시켜서 과도루프지연(ELD)을 보상하는 동작을 수행한다.

[0049] 루프 필터(230)의 전달함수는, 도 2의 회로에서 다음 수학식 1과 같이 구할 수 있다.

[0050] [수학식 1]

$$TH = \frac{v'}{u'} = \frac{c_2 s^2 + b_3 c_1 s + b_1 b_2 b_3}{s (s^2 + b_2 b_3 d)}$$

[0051]

[0052] 수학식 1을 살펴보면, 분모의 최고차 항이 s 의 3차항(s^3)이므로, 루프 필터의 신호 전달 특성은 3차 전달함수를 만족한다.

[0053] 아날로그 입력 신호(u)는 합산기(210)에서 피드백 신호를 뺀 신호(u')를 루프 필터 입력단으로 입력한다. 루프 필터(230)는 오차 신호(u')를 적분하여 루프 필터 출력 신호(v')를 양자화기(270)으로 전송한다. 양자화기(270)는 클럭 신호(CK)에 따라 양자화를 진행하고, 디지털 출력 신호(v)를 출력한다. 디지털 출력 신호(v)는 아날로그 입력 신호(u)에 피드백 하기 위해 NRZ DAC에 의해 디지털 아날로그(DA) 변환된다. 과도루프지연(ELD)을 보상하기 위해 신호 지연 회로(280)에서 출력 신호(v)를 반클럭 지연시키고, RZ DAC(285)에서 제2 합산기(262)로 신호를 피드백시켜키는 동작을 수행한다. 제2 합산기(262)는 제2 적분기(252)에서 입력된 신호에서 RZ DAC(285)에서 출력된 신호를 뺀 신호를 제3 적분기(253)로 출력한다.

[0054] 도 3a는 제1 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 루프 필터를 단일 연산 증폭기로 구현한 single-ended 회로도이다. 도 3a의 single-ended 회로는 도 3b의 차동(differential) 회로로 구현할 수 있다. 이하에서 설명의 편의상 주로 single-ended 회로를 이용하여 설명하지만, 통상의 기술자들은 실시예들을 차동 회로로 쉽게 구현할 수 있을 것이다.

[0055] 제1 실시예의 변형에 따르면, 루프 필터(330a)는 하나의 연산 증폭기(350)를 사용하여 구현할 수 있다. 도 3a를 참조하면, 루프 필터(330a)는, 하나의 연산 증폭기(350), 제1 반전회로(361), 복수의 저항부, 제2 반전회로(362), 제1 저항(R_1), 및 복수의 커패시터들(C_1 , C_2 , C_3)을 포함한다. 루프 필터(330a)는 입력단으로 입력 신호(u')를 입력받고, 출력단으로 출력 신호(v')를 출력한다.

- [0056] 일반적으로 3차 루프 필터를 구현할 경우, 세개의 연산 증폭기를 캐스케이드(cascade)로 연결하여 구현할 수 있다. 그러나 세개의 연산 증폭기를 사용하는 경우, 능동 소자인 연산 증폭기의 회로 면적이 증가하고 전력 소모가 증가하는 문제가 있다. 따라서 도 3a와 같이 하나의 연산 증폭기(350)를 사용하는 단일 연산증폭기 기반 공진기(SOR)를 이용하여 루프 필터 회로를 구성하면, 전력 소모와 회로의 집적에 유리하다.
- [0057] 제1 저항(R_1)은 루프 필터 입력 신호(u')가 입력되는 입력단과 연산 증폭기(350)의 반전 입력단(V_6) 사이에 배치된다.
- [0058] 복수의 커패시터들(C_1, C_2, C_3)은 연산 증폭기(350)의 반전 입력단(V_6)과 출력 신호(v')가 출력되는 연산 증폭기(350)의 출력단 사이에 배치된다. 복수의 커패시터들(C_1, C_2, C_3)은 서로 직렬로 연결된다. 제1 커패시터(C_1)는 연산 증폭기(350)의 반전 입력단(V_6)에 연결되고, 제3 커패시터(C_3)는 연산 증폭기(350)의 출력단에 연결되고, 제2 커패시터(C_2)는 제1 커패시터(C_1)와 제3 커패시터(C_3) 사이에 직렬로 연결된다.
- [0059] 연산 증폭기(350)는 반전 입력단에 연결된 제1 저항(R_1)과, 반전 입력단과 출력단 사이에 연결된 커패시터들(C_1, C_2, C_3)에 의해 적분기로 동작한다. 도 3b를 참조하면, 연산 증폭기는 두개의 입력단을 포함하여 차동 증폭기로 동작할 수 있다.
- [0060] 복수의 저항부는 제1 저항세트(341) 및 제2 저항세트(342)를 포함한다. 제1 저항세트(341)는 제1 반전회로(361)의 출력단(루프 필터의 반전 입력단)과 연산 증폭기(350)의 출력단 사이에 배치되고, 제1 커패시터(C_1)와 제2 커패시터(C_2) 사이의 제1 노드(V_A)에 연결된다. 제1 저항세트(341)는 제1 노드(V_A)에 공통으로 연결되는 3개의 저항부(R_2, R_4, R_6)를 포함한다. 제2 저항(R_2)은 제1 노드(V_A)와 그라운드 사이에 연결되고, 제4 저항(R_4)은 제1 노드(V_A)와 연산 증폭기(350)의 출력단 사이에 연결되고, 제6 저항(R_6)은 제1 노드(V_A)와 제1 반전회로(361)의 출력단 사이에 연결된다. 제1 반전회로(361)는 루프 필터에 입력되는 신호(u')와 위상이 반대되는 반전된 신호를 제1 저항세트(341)의 제6 저항(R_6)으로 전달한다.
- [0061] 제2 저항세트(342)는 루프 필터의 입력단과 제2 반전회로(362)의 출력단(연산 증폭기의 반전 출력단) 사이에 배치되고, 제2 커패시터(C_2)와 제3 커패시터(C_3) 사이의 제2 노드(V_B)에 연결된다. 제2 저항세트(342)는 제2 노드(V_B)에 공통으로 연결되는 3개의 저항부(R_3, R_5, R_7)를 포함한다. 제3 저항(R_3)은 제2 노드(V_B)와 그라운드 사이에 연결되고, 제5 저항(R_5)은 제2 노드(V_B)와 제2 반전회로(362)의 출력단 사이에 연결되고, 제7 저항(R_7)은 제2 노드(V_B)와 루프 필터의 입력단 사이에 연결된다. 제2 반전회로(362)는 연산 증폭기(350)의 출력단에서 출력되는 신호(v')와 위상이 반대되는 반전된 신호를 제2 저항세트(342)의 제5 저항(R_5)으로 전달한다.
- [0062] 도 3a의 전달함수를 개략적으로 검토하기 위해, $C_1 = 2C_2 = C_3 = C$ 로 가정하고, $R_A = R_2//R_4//R_6$ 및 $R_B = R_3//R_5//R_7$ 로 정의한다. 공진 조건은 $R_4 = 3 \cdot R_5$ 이므로, 공진 조건에서 제1 실시예에 따른 전달함수는 다음 수학적 식 2와 같이 구할 수 있다.

[0063] [수학적 식 2]

$$TH = \frac{\alpha s^2 + \beta s + \gamma}{s \left[s^2 + \frac{2}{3 C^2 R_5 R_B} \right]}$$

[0064]

[0065] 여기에서,

$$\alpha = \frac{1}{C} \left(\frac{4}{R_1} + \frac{1}{R_7} - \frac{1}{R_6} \right)$$

[0066]

$$\beta = \frac{1}{C^2} \left[\frac{3}{R_1} \left(\frac{1}{R_A} + \frac{1}{R_B} \right) - \frac{2}{R_6 R_B} \right]$$

[0067]

$$\gamma = \frac{2}{C^3 R_1} \left(\frac{1}{R_A} \right) \left(\frac{1}{R_B} \right)$$

[0068] 이다.

[0069] 수학적식 2를 검토하면, 루프 필터(330a)의 전달함수는 분모에 s^3 항이 있으므로, 3차 루프 필터임을 확인할 수 있다. 또한, 수학적식 1과 그 형태가 동일함을 알 수 있다.

[0070] 단일 연산증폭기 기반 공진기(SOR)를 이용한 루프 필터는 전체 지연시간을 감소시킬 수 있으나, 과도루프지연(ELD)에 의한 성능 저하 및 안정성이 문제가 될 수 있다. 특히 SOR 구조는 캐스케이드(cascade) 구조에 비해 가상 접지 노드가 적어, 이러한 문제를 해결하기 어렵다.

[0071] 도 3a를 참조하면, 제1 실시예의 변형에 따른 루프 필터(230)는, 피드백 되는 NRZ DAC 신호는 가상 접지인 연산 증폭기의 반전 입력단(V_G)으로 입력받고, ELD를 보상하기 위한 RZ DAC 신호는 제2 노드(V_B)로 입력받는다. 이때, RZ DAC 신호가 입력되는 제2 노드(V_B)는 완전한 가상 접지가 아니므로, 우수한 과도루프지연(ELD) 보상을 위해서는 연산 증폭기의 이득-대역폭 값이 높아야 한다.

[0072] 도 3b는 제1 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 루프 필터를 단일 연산 증폭기로 구현한 차동 회로의 회로도이다.

[0073] 도 3b를 참조하면, 도 3a의 소자들은 연산 증폭기를 중심으로 서로 대칭으로 배치된다. 도 3a에서 반전회로에 연결된 소자들은 연산 증폭기의 입력 또는 출력과 반전되는(서로 반대 위상을 가지는) 입력 또는 출력과 연결된다. 도 3a에서 그라운드와 연결된 소자는 연산 증폭기 위쪽 회로와 아래쪽 회로 사이에 연결된다.

[0074] 도 3b에서 연산 증폭기 위쪽에 배치된 소자들의 연결 관계를 살펴보면, 루프 필터(330b)의 positive 입력(u_P')은 저항 R_1 을 통해서 연산 증폭기의 V_{GP} 로 입력된다. 복수의 커패시터들(C_1, C_2, C_3)은 연산 증폭기의 positive 입력(V_{GP})과 negative 출력(v_N') 사이에 연결된다.

[0075] 연산 증폭기의 위쪽에서, 제2 저항세트의 저항 R_7 은 positive 입력(u_P')에 연결되고, 제2 저항세트의 저항 R_5 는 커패시터 C_3 가 연결되는 출력과 반전되는(반대 위상을 가지는) positive 출력(v_P')에 연결된다. 제2 저항세트의 저항 R_3 는, 위쪽 V_{BP} 노드와 아래쪽 V_{BN} 노드 사이에 연결되며, 연산 증폭기 위쪽과 아래쪽으로 각각 1/2씩 나누어 배치할 수 있다.

[0076] 연산 증폭기의 위쪽에서, 제1 저항세트의 저항 R_6 는 제2 저항세트의 저항 R_7 의 입력과 반전되는(반대 위상을 가지는) negative 입력(u_N')에 연결되고, 제1 저항세트의 저항 R_4 제2 저항세트의 저항 R_5 의 출력과 반전되는(반대 위상을 가지는) negative 출력(v_P')에 연결된다. 제1 저항세트의 저항 R_2 는, 위쪽 V_{AP} 노드와 아래쪽 V_{AN} 노드 사이에 연결되며, 연산 증폭기 위쪽과 아래쪽으로 각각 1/2씩 나누어 배치할 수 있다.

[0077] 도 4는 제2 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 구성을 나타내는 구성도이다.

[0078] 도 2의 제1 실시예에서 RZ(return to zero) DAC는, 신호 지연 회로(280)에 의해 반 클럭 지연된 신호를 입력받으므로, 클럭 신호(CK)가 로우(Low)일 때만 피드백 동작을 수행하고, CK가 하이(High)일 때는 대기상태에 머무

른다. 따라서 RZ 피드백 경로를 클럭 신호(CK)에 따라 선택적으로 동작하도록 구성되는 피드 포워드(feed forward, FF) 경로로 변환할 수 있다. 즉, 과도루프지연(ELD) 보상을 위해 도 2와 같이 RZ DAC(285)로 전류를 피드백하는 방식과 달리, 클럭 신호(CK)에 따라 루프 필터의 전달함수를 재구성하여 과도루프지연(ELD)을 보상할 수 있다.

[0079] 도 4를 참조하면, 제2 실시예에 따른 과도루프지연(ELD)을 보상하는 델타 시그마 모듈레이터(DSM)는, 합산기(adder)(410), 루프 필터(loop filter)(430), 양자화기(quantizer)(470), 신호 지연 회로(480) 및 NRZ DAC(490)를 포함한다. 중복을 피하기 위해 설명이 생략된 경우, 도 2에서 대응되는 구성의 설명을 참조할 수 있다.

[0080] 루프 필터(430)는 클럭 신호(CK)에 따라 동작하는 스위치 회로(485)를 더 포함한다. 스위치 회로(485)는 래치(latch) 등으로 구현할 수 있다. 스위치 회로(485)는 반전된 클럭 신호($\overline{CK}$)를 입력받는 경우 동작하도록 구성된다. 스위치 회로(485)는 제1 적분기(451)에서 출력된 신호를 클럭 신호가 로우(Low)인 경우 c_3 배 증폭하여 제3 합산기(463)로 출력한다. 이때, 도 2의 회로의 루프 방정식과 비교하면 $c_3 = a_2 b_3 / a_1$ 을 구할 수 있다. 클럭 신호가 하이(High)인 경우, 제3 합산기(463)는 제3 적분기(453)에서 출력된 신호와, 제1 적분기(451)에서 출력되고 c_2 배 증폭된 신호를 더하여 루프 필터의 출력 신호(v')를 출력한다. 클럭 신호가 하이(High)인 경우, 제3 합산기(463)는 제3 적분기(453)에서 출력된 신호와, 제1 적분기(451)에서 출력되고 c_2 배 증폭된 신호와, 제1 적분기(451)에서 출력되고 c_3 배 증폭된 신호를 더하여 루프 필터의 출력 신호(v')를 출력한다.

[0081] 제2 실시예에 따른 과도루프지연(ELD)을 보상하는 델타 시그마 모듈레이터(DSM)는, 단일 연산증폭기 기반 공진기(SOR)로 구성된 루프 필터(430)와 단일 NRZ DAC(490)를 사용하여 구현할 수 있다. 따라서 제2 실시예에 따른 델타 시그마 모듈레이터(DSM)는, 전력소모를 줄여서 효율적으로 과도루프지연(ELD)을 보상할 수 있다.

[0082] 도 5는 제2 실시예에 따른 과도루프지연을 보상하는 델타 시그마 모듈레이터의 루프 필터를 시분할 스위칭 기법으로 구성한 개념도이다.

[0083] 과도루프지연(ELD) 보상을 위한 시간 분할 스위칭(time division switching, TDS) 기법은, 기존의 전류를 피드백 하는 방식이 아니라, 클럭 신호(CK)에 따라 단일 연산증폭기 기반 공진기(SOR)의 전달함수를 재구성하여 과도루프지연(ELD) 보상을 수행한다. 시간 분할 스위칭(TDS) 기법을 사용하는 경우, 전력 및 면적 효율을 개선할 수 있으며, 비이상적인 상황에 대한 내성을 강화할 수 있다.

[0084] 도 4에서, 클럭 신호가 하이(High)인 경우의 전달함수는 다음 수학식 3과 같이 결정된다.

[0085] [수학식 3]

$$TH_H = \frac{(c_2) s^2 + b_3 c_1 s + b_1 b_2 b_3}{s (s^2 + b_2 b_3 d)}$$

[0086]

[0087] 도 4에서, 클럭 신호가 로우(Low)인 경우의 전달함수는 다음 수학식 4와 같이 결정된다.

[0088] [수학식 4]

$$TH_L = \frac{(c_2 + c_3) s^2 + b_3 c_1 s + b_1 b_2 b_3}{s (s^2 + b_2 b_3 d)}$$

[0089]

[0090] 따라서, 도 4의 제2 실시예에 따른 과도루프지연(ELD)을 보상하는 델타 시그마 모듈레이터(DSM)에 사용되는 루프 필터(530)는 도 5와 같이 나타낼 수 있다. 도 5에서 클럭 신호(CK)가 하이(High)인 경우 위쪽 스위치가 연결되어 수학식 3의 전달함수(533)가 적용되고, 클럭 신호(CK)가 로우(Low)인 경우 아래쪽 스위치가 연결되어 수학식 4의 전달함수(534)가 적용된다. 수학식 3과 수학식 4를 비교하면, 전달함수의 분자 2차항(s^2)의 계수만 차이가 있다.

- [0091] 도 6은 제2 실시예에 따른 과도루프지연을 보상하는 델타 시스마 모듈레이터의 루프 필터를 시분할 스위칭 기법으로 구현한 single-ended 회로도이다.
- [0092] 제2 실시예의 변형에 따르면, 과도루프지연(ELD)을 보상하는 델타 시그마 모듈레이터(DSM)에 사용되는 루프 필터(630)는, 하나의 연산 증폭기(650), 제1 반전회로(661), 복수의 저항부, 제2 반전회로(662), 제1 저항(R_1), 및 복수의 커패시터들(C_1 , C_2 , C_3)을 포함한다.
- [0093] 복수의 커패시터들(C_1 , C_2 , C_3)은 연산 증폭기(650)의 반전 입력단과 출력단 사이에 순서대로 서로 직렬로 연결된다. 제1 저항(R_1)은 루프 필터의 입력단과 연산 증폭기의 반전 입력단 사이에 연결된다. 복수의 저항부는 복수의 커패시터들 사이의 노드 중 하나의 노드에 공통으로 연결된다. 복수의 저항부는 제1 저항세트(641) 및 제2 저항세트(642)를 포함한다.
- [0094] 루프 필터(630)는 입력단으로 입력 신호(u')를 입력받고, 출력단으로 출력 신호(v')를 출력한다. 중복을 피하기 위해 설명이 생략된 경우, 도 3a에서 대응되는 구성의 설명을 참조할 수 있다.
- [0095] 도 6을 참조하면, 제1 저항세트(641)는, 루프 필터의 반전 입력단(661)과 연산 증폭기의 출력단(v') 사이에 배치되고, 복수의 커패시터 중 제1 커패시터(C_1)와 제2 커패시터(C_2) 사이의 제1 노드(V_A)에 공통으로 연결되는 3개의 저항부를 포함한다. 제2 저항부 제1 노드(V_A)와 그라운드 사이에 연결된다. 제4 저항부는 제1 노드(V_A)와 연산 증폭기의 출력단(v') 사이에 연결된다. 제6 저항부는 제1 노드(V_A)와 루프 필터의 반전 입력단(661) 사이에 연결된다.
- [0096] 도 6을 참조하면, 제2 저항세트(642)는, 루프 필터의 입력단(u')과 연산 증폭기의 반전 출력단(662) 사이에 배치되고, 복수의 커패시터 중 제2 커패시터(C_2)와 제3 커패시터(C_3) 사이의 제2 노드(V_B)에 공통으로 연결되는 3개의 저항부를 포함한다. 제2 저항세트(642)는, 제2 노드(V_B)와 그라운드 사이에 연결되는 제3 저항부와, 제2 노드(V_B)와 제2 반전회로(662)의 출력단에 연결되는 제5 저항부와, 루프 필터의 입력단과 제2 노드(V_B) 사이에 연결되는 제7 저항부를 포함한다. 클럭 신호는 상기 제7 저항부 및 상기 제3 저항부의 저항값을 변화시킨다.
- [0097] 제5 저항부는 제5 저항(R_5)을 포함한다. 제3 저항부는 두개의 스위치(S_{31} , S_{32})와 두개의 저항(R_{31} , R_{32})을 포함한다. 제7 저항부는 두개의 스위치(S_{71} , S_{72})와 두개의 저항(R_{71} , R_{72})을 포함한다. 제3 저항부와 제7 저항부의 스위치는 각각 별개의 저항에 연결된다. 스위치 들은 각각 클럭 신호(CK)에 의해 온/오프 동작이 제어되고, 스위치들의 동작에 따라 제3 저항부 및 제7 저항부의 저항값이 변경된다.
- [0098] 수학적 2를 참조하면, R_1 , R_6 , R_7 등의 저항이 전달함수의 분자 2차항(s^2)의 계수에 영향을 준다. 따라서 ELD 보상을 위해, 매 클럭 주기마다 재구성된 전달함수를 정확하게 구현하기 위해서는, 매 클럭 주기마다 전달함수의 분자 2차항(s^2)의 계수에 영향을 주는 여러 저항을 동시에 조정하여야 한다. 그러나 이러한 방법은 매 클럭 주기마다 여러 저항을 스위칭 해야 하므로, 전력소모가 증가되는 단점이 있다.
- [0099] 이를 개선하기 위하여, 제2 실시예의 변형에 따른 루프 필터(630)는, 전달함수의 분자 2차항(s^2)의 계수에 영향을 주는 제7 저항부의 저항값이 클럭 신호(CK)에 따라 변경되도록 구성한다. 클럭 신호(CK)가 로우(Low)일 때, 제7 저항부의 저항값(R_7)이 감소하도록 구성하는 경우, 전달함수 분자 2차항(s^2)의 계수가 증가하게 된다. 이러한 구성은 클럭 신호(CK)가 로우(Low)일 때 수학적 4에서 전달함수 분자 2차항(s^2)의 계수가 증가하는 것에 해당한다.
- [0100] 이 경우 전달함수의 분자 상수항(s^0)의 값이 증가하게 되는데 이를 방지하기 위해 공진 조건과 무관한 제3 저항부의 저항값(R_3)을 증가시켜 상수값 증가를 상쇄시킨다. 한편, 제3 저항부의 저항값(R_3)을 과도하게 보상시키는 경우 신호대 잡음비가 더욱 개선되는 효과가 발생한다. 이 경우 전달함수 상수값이 작아지게 되지만, 신호 전달함수의 최대값을 약간 증가시키지만 전체적인 성능에는 거의 영향을 미치지 않는다. 한편, 정제환 피드백(positive feedback)을 구성하는 R_4 와 R_5 는 변경되지 않으므로, 노치(notch)의 품질도 유지된다.
- [0101] 다른 양상에 따르면, 루프 필터(630)는 복수의 저항부 중 적어도 2개의 저항부의 저항값이 클럭 신호에 따라 변경된다. 예를 들어, 루프 필터(630)는 2개의 저항부인 제7 저항부 및 제3 저항부의 저항값이 클럭 신호에 따라

변경된다.

- [0102] 다른 양상에 따르면, 루프 필터(630)는 복수의 저항부 중 2개의 저항부의 저항값이 변경됨에 따라 루프 필터의 3차 전달함수 중 분자의 최고차 항의 계수가 변경된다. 예를 들어, 루프 필터(630)는 제7 저항부와 제3 저항부의 저항값이 변경되면 루프 필터의 3차 전달함수 중 분자의 최고차 항의 계수가 변경된다.
- [0103] 다른 양상에 따르면, 루프 필터(630)의 2개의 저항부 중 하나의 저항부는 클럭 신호가 하이(High)인 경우 저항값이 증가하고, 다른 하나의 저항부는 클럭 신호가 로우(Low)인 경우 저항값이 증가한다. 예를 들어, 제7 저항부는 클럭 신호가 하이(High)인 경우 저항값(R_7)이 증가하고, 제3 저항부는 클럭 신호가 로우(Low)인 경우 저항값이 증가한다. 즉, 클럭 신호에 대해 2개의 저항부는 저항값이 서로 반대로 변경된다.
- [0104] 제2 실시예의 추가적인 변형에 따르면, 루프 필터(630)의 2개의 저항부의 각 저항부는, 각각 복수의 저항과, 상기 복수의 저항 중 적어도 하나의 저항에 연결되고 클럭 신호에 의해 저항값을 결정하는 스위치를 포함한다. 예를 들어, 제3 저항부는 복수의 저항(R_{31} , R_{32})과, 복수의 저항 중 적어도 하나의 저항에 연결되고 클럭 신호에 의해 저항값을 결정하는 스위치(S_{31} , S_{32})를 포함한다. 제7 저항부는 복수의 저항(R_{71} , R_{72})과, 복수의 저항 중 적어도 하나의 저항에 연결되고 클럭 신호에 의해 저항값을 결정하는 스위치(S_{71} , S_{72})를 포함한다.
- [0105] 도 6을 참조하면, 클럭 신호가 로우(Low)일 때, 아래쪽 스위치(S_{31} , S_{71})가 단락되고 위쪽 스위치(S_{32} , S_{72})가 개방된 경우를 나타낸다. 제3 저항부는 클럭 신호가 로우(Low)일 때 저항값이 크므로, $R_{31} > R_{32}$ 이다. 제7 저항부는 클럭 신호가 하이(High)일 때 저항값이 크므로, $R_{71} < R_{72}$ 이다.
- [0106] 제2 실시예의 변형에 따른 루프 필터(630)는 신호 전달 특성이 3차 전달함수를 만족시키며, 클럭 신호(CK)에 따른 시분할 스위칭(TDS) 기법을 이용하여 과도루프지연(ELD) 보상이 가능하며, 2개의 저항부만 스위칭함으로써 전력 및 면적 효율이 양호하다.
- [0107] 도 6에는 제3 저항부 및 제7 저항부에 저항을 병렬로 배치하고 각각의 저항에 스위치를 연결하는 구성이 개시되어 있으나, 병렬로 연결된 저항 중 하나에만 스위치를 연결하는 변형도 가능하다. 또한, 저항을 직렬로 연결하고 그 중 하나 또는 각각의 저항에 스위치를 연결하는 등 추가적인 변형도 가능하다. 이러한 변형에 따른 구성들은 모두 스위치가 클럭신호에 따라 각 저항부의 저항을 변경시키기에 따라 루프 필터의 전달함수를 수학적 3차 수학적 4로 변경시킬 수 있어서 과도루프지연(ELD)을 보상할 수 있다.
- [0108] 도 7은 제2 실시예에 따른 과도루프지연을 보상하는 델타 시스템 모듈레이터의 루프 필터의 저항부를 블록으로 나타낸 single-ended 회로도이다.
- [0109] 도 6에서 스위치 S_{31} , S_{32} 및 저항 R_{31} , R_{32} 를 제3 저항부(743)로 나타내었고, 저항 R_5 는 제5 저항부(745)로 나타내었고, 스위치 S_{71} , S_{72} 및 저항 R_{71} , R_{72} 를 제7 저항부(747)로 나타내었다.
- [0110] 도 7을 참조하면, 루프 필터(730)의 제2 저항세트는, 제2 노드(V_B)와 그라운드 사이에 연결되는 제3 저항부(733)와, 제2 노드(V_B)와 제2 반전회로(640)의 출력단에 연결되는 제5 저항부(735)와, 루프 필터의 입력단과 상기 제2 노드(V_B) 사이에 연결되는 제7 저항부를 포함한다. 클럭 신호는 상기 제7 저항부(737) 및 상기 제3 저항부(733)의 저항값을 변화시킨다.
- [0111] 도 8a는 제2 실시예의 변형에 따른 과도루프지연을 보상하는 델타 시스템 모듈레이터의 루프 필터를 MOSFET을 이용하여 구현한 single-ended 회로도이다.
- [0112] 제2 실시예의 추가적인 변형에 따르면, 루프 필터(830a)에서 제3 저항부와 제7 저항부의 2개의 저항부는 클럭 신호에 따라 각 저항부의 저항값이 변경된다. 2개의 저항부 각각은 복수의 저항 및 하나의 스위치를 포함한다. 제3 저항부는 두개의 저항(R_{3A} , R_{3B})을 포함하고, 제7 저항부는 두개의 저항(R_{7A} , R_{7B})를 포함한다. 제3 저항부의 제1 스위치(843)는 제3 저항부에 포함되는 적어도 하나의 저항(R_{3B})의 양단에 두 단자가 연결된다. 제7 저항부의 제2 스위치(847)는 제7 저항부에 포함되는 적어도 하나의 저항(R_{7A})의 양단에 두 단자가 연결된다. 제1 스위치(843)와 제2 스위치(847)는 클럭 신호에 의해 제어되며, 제1 스위치(843)와 제2 스위치(847)에 입력되는 클럭 신호 중 하나는 반전되어 입력된다.
- [0113] 추가적인 양상에 따르면, 루프 필터(830a)의 2개의 저항부의 2개의 스위치는 바이폴라(Bipolar) 트랜지스터 또

는 MOSFET으로 구성할 수 있다. 예를 들어, 제1 스위치(843)와 제2 스위치(847)를 NMOS, PMOS, CMOS 등을 이용하여 제작할 수 있다. 실시예의 변형에 따르면, 클럭 신호가 입력되는 스위치에 NMOS를 이용하고, 반전된 클럭 신호가 입력되는 스위치에 PMOS를 사용할 수 있다.

[0114] 추가적인 양상에 따르면, 루프 필터(830a)의 2개의 저항부의 스위치는 트랜지스터로 구현할 수 있다. 2개의 저항부에 포함되는 복수의 저항 중 2개의 저항은 직렬로 연결되고, 직렬로 연결된 2개의 저항 중 하나의 저항은 그 양단이 상기 스위치(트랜지스터)의 두 단자와 연결된다. 예를 들어, 제3 저항부의 저항(R_{3B})의 양단은 제1 트랜지스터(843)의 소스와 드레인 전극에 각각 연결된다. 그리고, 제7 저항부의 저항(R_{7A})의 양단은 제2 트랜지스터(847)의 소스와 드레인 전극에 각각 연결된다.

[0115] 추가적인 양상에 따르면, 루프 필터(830a)의 2개의 저항부의 각 저항부는 복수의 저항과 스위치가 동일한 구조로 연결되고, 2개의 저항부 중 하나의 저항부의 스위치는 클럭 신호를 입력받고, 다른 하나의 저항부의 스위치는 반전된 클럭 신호를 입력받는다. 예를 들어, 제3 저항부와 제7 저항부는 두개의 저항이 연결되고, 그 중 하나의 저항에 스위치(트랜지스터)가 연결된 동일한 구조를 가진다. 그리고 제7 저항부에 입력되는 신호는 클럭 신호가 반전된 신호이다.

[0116] 도 8a를 참조하면, 클럭 신호(CK)가 하이(High)일 때, 제1 트랜지스터(843)에 하이(High) 신호가 입력되어 제1 트랜지스터(843)가 동작하고, 그 결과 제3 저항부의 저항은 R_{3A} 가 된다. 제2 트랜지스터(847)에는 반전회로에 의해 반전된 로우(Low) 신호가 입력되어 제2 트랜지스터(847)는 동작하지 않으므로, 제7 저항부의 저항은 $R_{7A} + R_{7B}$ 가 된다.

[0117] 클럭 신호(CK)가 로우(Low)일 때, 제1 트랜지스터(843)는 동작하지 않고, 그 결과 제3 저항부의 저항은 $R_{3A} + R_{3B}$ 가 된다. 제2 트랜지스터(847)에는 클럭 신호가 반전된 하이(High) 신호가 입력되어 제2 트랜지스터(847)는 동작하여, 제7 저항부의 저항은 R_{7B} 가 된다.

[0118] 즉, 클럭 신호(CK)가 하이(High)가 되면, 제3 저항부의 저항은 $R_{3A} + R_{3B}$ 에서 R_{3A} 로 감소하고, 제7 저항부의 저항은 R_{7B} 에서 $R_{7A} + R_{7B}$ 로 증가한다. 제7 저항부의 저항이 증가함에 따라 저항의 역수를 포함하는 전달함수의 분자의 2차항의 계수가 작아진다. 전달함수 분자의 상수항이 작아지는 것은 제3 저항부의 저항 감소에 따른 저항의 역수의 증가로 보상한다.

[0119] 클럭 신호(CK)가 로우(Low)가 되면, 제3 저항부의 저항은 R_{3A} 에서 $R_{3A} + R_{3B}$ 로 증가하고, 제7 저항부의 저항은 $R_{7A} + R_{7B}$ 에서 R_{7B} 로 감소한다. 제7 저항부의 저항 감소에 따라 전달함수의 분자의 2차항의 계수가 커지고, 전달함수 분자의 상수항은 제3 저항부의 저항 증가로 보상한다.

[0120] 신호 전달 특성이 3차 전달함수를 만족시키는 루프 필터(830a)에 주기적으로 하이(High)와 로우(Low)로 진동하는 클럭 신호(CK)가 입력되면, 제3 저항부의 저항값의 증감과 제7 저항부의 저항값의 증감이 서로 반대 방향으로 변화한다. 그 결과 루프 필터(830a)의 전달함수가 과도루프지연(ELD)의 보상이 가능하도록 변동된다.

[0121] 추가적인 양상에 따르면, 델타 시그마 모듈레이터는 신호 전달 특성이 3차 전달함수를 만족시키며 앞에서 설명한 시분할 스위칭 기법을 이용하여 과도루프지연 보상기능을 가지는 루프 필터를 포함한다. 이러한 델타 시그마 모듈레이터(DSM)는 전력을 효율적으로 이용하여 과도루프지연의 보상이 가능하다.

[0122] 추가적인 양상에 따르면, 통신 단말은 앞에서 설명한 시분할 스위칭 기법을 이용하여 과도루프지연의 보상이 가능한 델타 시그마 모듈레이터(DSM)를 포함한다. 상기 델타 시그마 모듈레이터(DSM)는, 신호 전달 특성이 3차 전달함수를 만족시키며 과도루프지연 보상기능을 가지는 루프 필터를 포함한다.

[0123] 도 8b는 제2 실시예의 변형에 따른 과도루프지연을 보상하는 델타 시스템 모듈레이터의 루프 필터를 MOSFET을 이용하여 구현한 차동 회로의 회로도이다.

[0124] 도 8b의 차동 회로를 참조하면, 도 3b의 회로와 마찬가지로, 도 8a의 소자들이 연산 증폭기를 중심으로 서로 대칭으로 배치된다. 도 8a에서 반전회로에 연결된 소자들은 연산 증폭기의 입력 또는 출력과 반전되는(서로 반대 위상을 가지는) 입력 또는 출력과 연결된다. 도 8a에서 그라운드와 연결된 소자는 연산 증폭기 위쪽 회로와 아래쪽 회로 사이에 연결된다.

- [0125] 연산 증폭기의 위쪽에서, 제2 저항세트의 저항 $R_3/2$ 에는 클럭 신호(CK)가 입력되는 제1 스위치(트랜지스터)가 연결되고, 제2 저항세트의 저항 R_{7A} 에는 반전된 클럭 신호($\overline{CK}$)를 가 입력되는 제2 스위치(트랜지스터)가 연결된다. 연산 증폭기의 아래쪽 소자에도, 위쪽과 대칭되도록 제1 스위치와 제2 스위치를 배치한다.
- [0126] 도 9는 제2 실시예에 따른 델타 시그마 모듈레이터의 단위 이득 대역폭에 대한 신호대 잡음비 감쇄 특성을 나타내는 그래프이다.
- [0127] 그래프에서 가로축은 연산 증폭기의 단위 이득 대역폭(unity-gain bandwidth, UGBW)을 샘플링 주파수(fs)로 나타낸다. 세로축은 정규화된 잡음 및 왜곡비(signal-noise distortion ratio, SNDR)를 나타낸다. 속이 비어 있는 사각형은 도 2 내지 도 3b의 제1 실시예에 따른 RZ DAC 피드백을 사용하여 과도루프지연을 보상하는 루프 필터를 포함하는 델타 시그마 모듈레이터(DSM)의 결과이다. 검게 칠해진 원형은 도 4 내지 도 8b의 제2 실시예에 따른 시분할 스위칭(TDS) 기법을 이용하여 과도루프지연을 보상하는 루프 필터를 포함하는 델타 시그마 모듈레이터(DSM)의 결과이다.
- [0128] 연산 증폭기의 단위 이득 대역폭(UGBW)을 높이기 위해서는 더 많은 전력이 소모된다. 따라서 그래프에서 동일한 SNDR 값에 대해 낮은 단위 이득 대역폭(UGBW)을 나타내는 경우, 낮은 전력 소모 특성을 가진다.
- [0129] 도 9에서 SNDR 값이 약 0.97인 경우를 살펴보면, 시분할 스위칭(TDS) 기법을 이용한 경우에는 단위 이득 대역폭(UGBW)이 약 1.2 이고, RZ DAC 피드백을 사용하는 경우에는 단위 이득 대역폭(UGBW)이 약 2.5 이다. 따라서, 동일한 SNDR 값에 대해, 시분할 스위칭(TDS) 기법을 이용한 경우가 보다 낮은 단위 이득 대역폭(UGBW)을 나타내므로, 시분할 스위칭(TDS) 기법을 이용한 루프 필터 및 델타 시그마 모듈레이터(DSM)가 보다 전력 소모가 적은 것을 알 수 있다.
- [0130] 도 10은 제2 실시예에 따른 델타 시그마 모듈레이터의 과도루프지연에 대한 신호대 잡음비 감쇄 특성을 나타내는 그래프이다.
- [0131] 그래프에서 가로축은 과도루프지연(ELD)을 나타내고, 세로축은 정규화된 잡음 및 왜곡비(SNDR)를 나타낸다. 속이 비어 있는 사각형은 RZ DAC 피드백을 사용하여 과도루프지연을 보상하는 루프 필터를 포함하는 델타 시그마 모듈레이터(DSM)의 결과이고, 검게 칠해진 원형은 시분할 스위칭(TDS) 기법을 이용하여 과도루프지연을 보상하는 루프 필터를 포함하는 델타 시그마 모듈레이터(DSM)의 결과이다.
- [0132] 과도루프지연(ELD)이 없는 경우에 동일한 SNDR 값을 가지도록, 시분할 스위칭(TDS) 기법을 이용한 델타 시그마 모듈레이터(DSM)는 단위 이득 대역폭(UGBW)이 샘플링 주파수(fs)의 1.25 배인 것을 사용하였고, RZ DAC 피드백을 이용한 델타 시그마 모듈레이터(DSM)는 단위 이득 대역폭(UGBW)이 샘플링 주파수(fs)의 2.5 배인 것을 사용하였다.
- [0133] 도 10에서 과도루프지연(ELD)이 샘플링 주기(T_s)의 0.6배보다 작은 경우 SNDR이 양호한 값을 보이나, 0.6배보다 커지는 경우 SNDR은 점점 감소한다. 시분할 스위칭(TDS) 기법을 이용한 경우에는 RZ DAC 피드백을 사용하는 경우보다 과도루프지연(ELD)이 커지는 경우에도 보다 높은 SNDR을 나타낸다. 따라서 과도루프지연(ELD)이 크게 발생한 경우의 신호대 잡음비 감쇄에 대해서도 RZ DAC 피드백을 사용하는 경우보다 시분할 스위칭(TDS) 기법을 사용하는 경우에서 보다 우수한 특성을 나타낸다.
- [0134] 이상에서 본 발명을 첨부된 도면을 참조하는 실시예들을 통해 설명하였지만 이에 한정되는 것은 아니며, 이들로 부터 당업자라면 자명하게 도출할 수 있는 다양한 변형예들을 포괄하도록 해석되어야 한다. 특허청구범위는 이러한 변형예들을 포괄하도록 의도되었다.

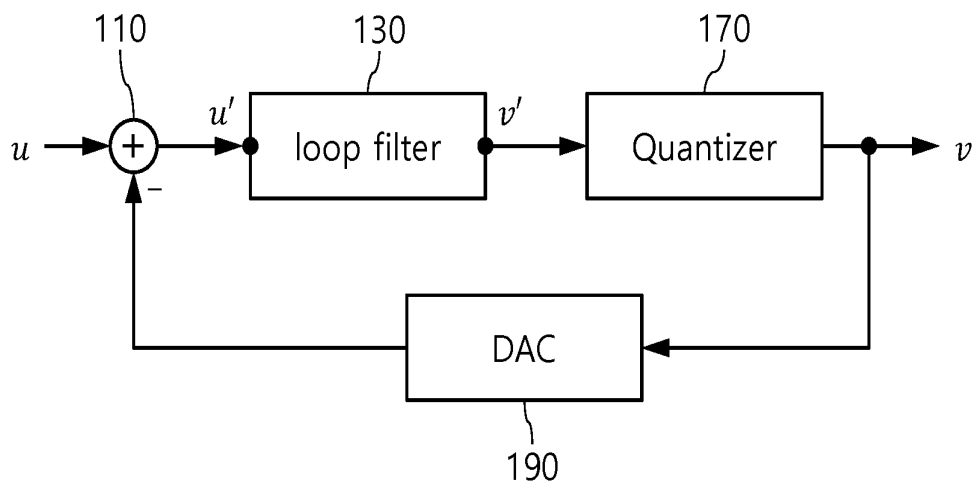
부호의 설명

- [0135] 110, 210, 410 : 합산기
130, 230, 330a, 330b, 430, 530, 630, 730, 830a, 830b : 루프 필터
170, 270, 470 : 양자화기
190, 290, 490 : DAC
251, 451 : 제1 적분기

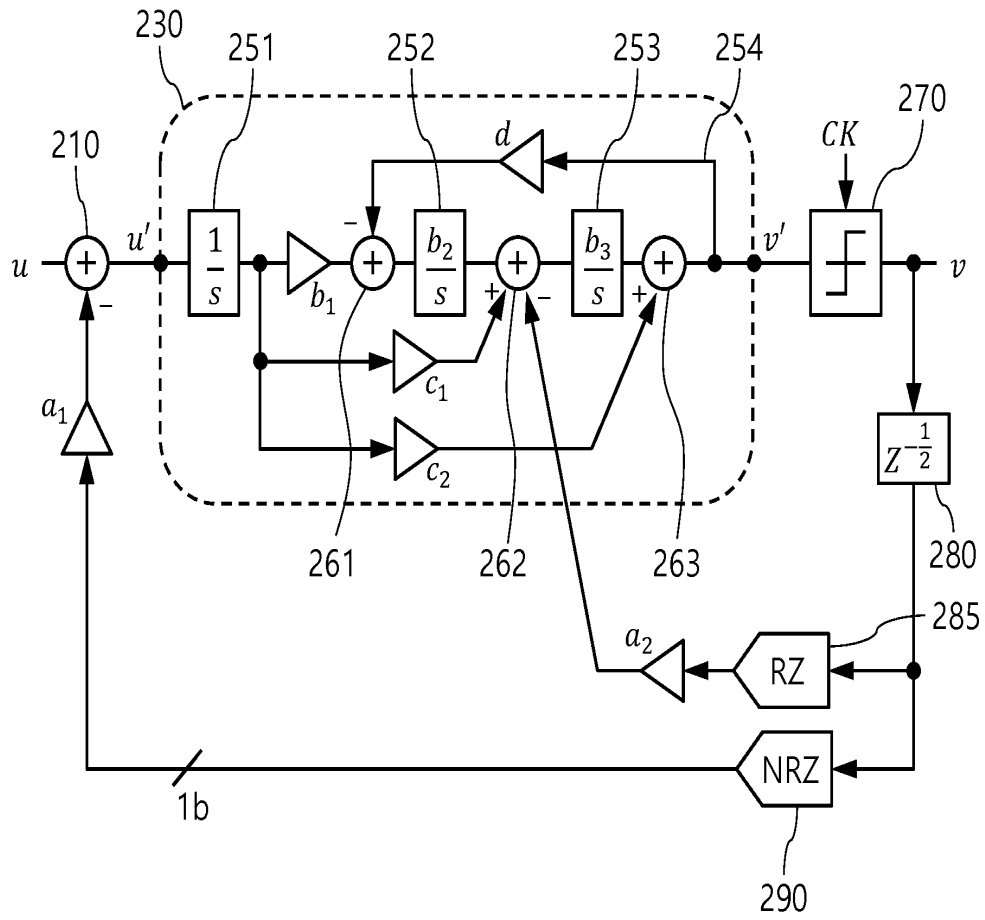
252, 452 : 제2 적분기
 253, 453 : 제3 적분기
 261, 461 : 제1 합산기
 262, 462 : 제2 합산기
 263, 463 : 제3 합산기
 341, 641 : 제1 저항세트
 342, 642 : 제2 저항세트
 350, 650 : 연산 증폭기
 361, 661 : 제1 반전회로
 362, 662 : 제2 반전회로
 843 : 제1 트랜지스터
 847 : 제2 트랜지스터

도면

도면1

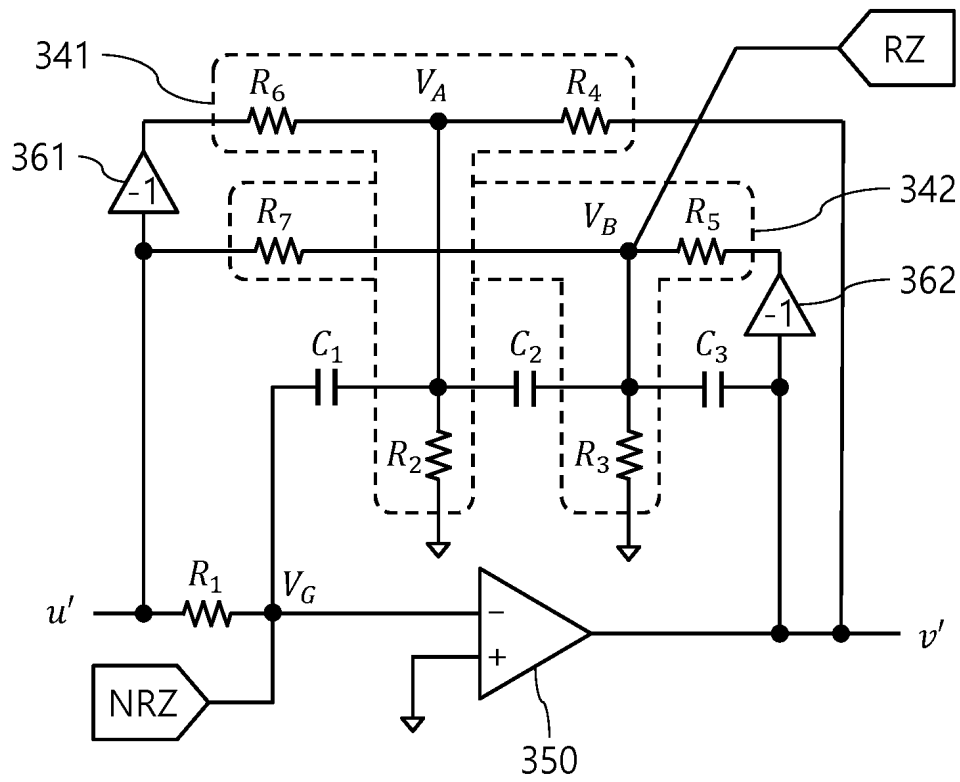


도면2



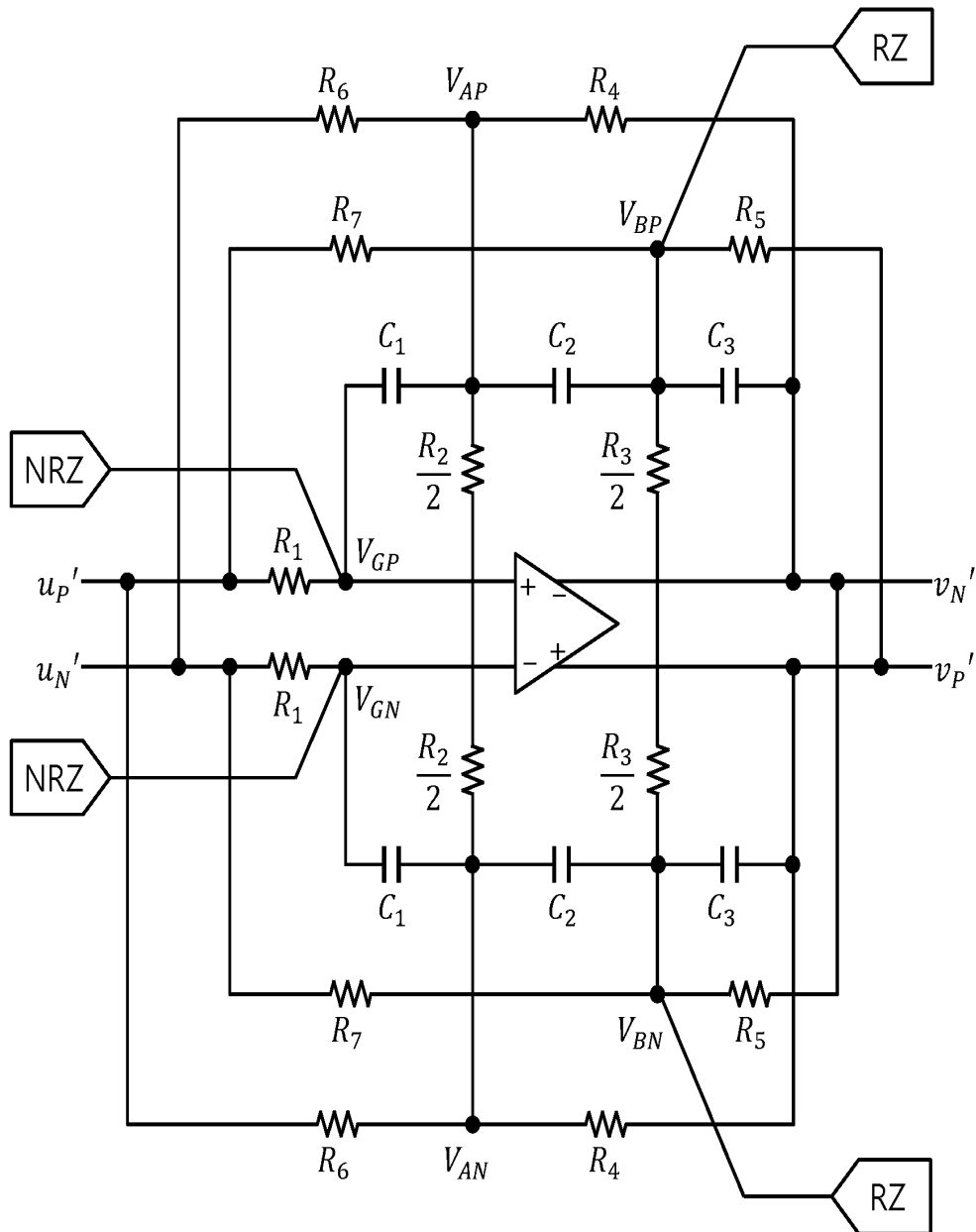
도면3a

330a

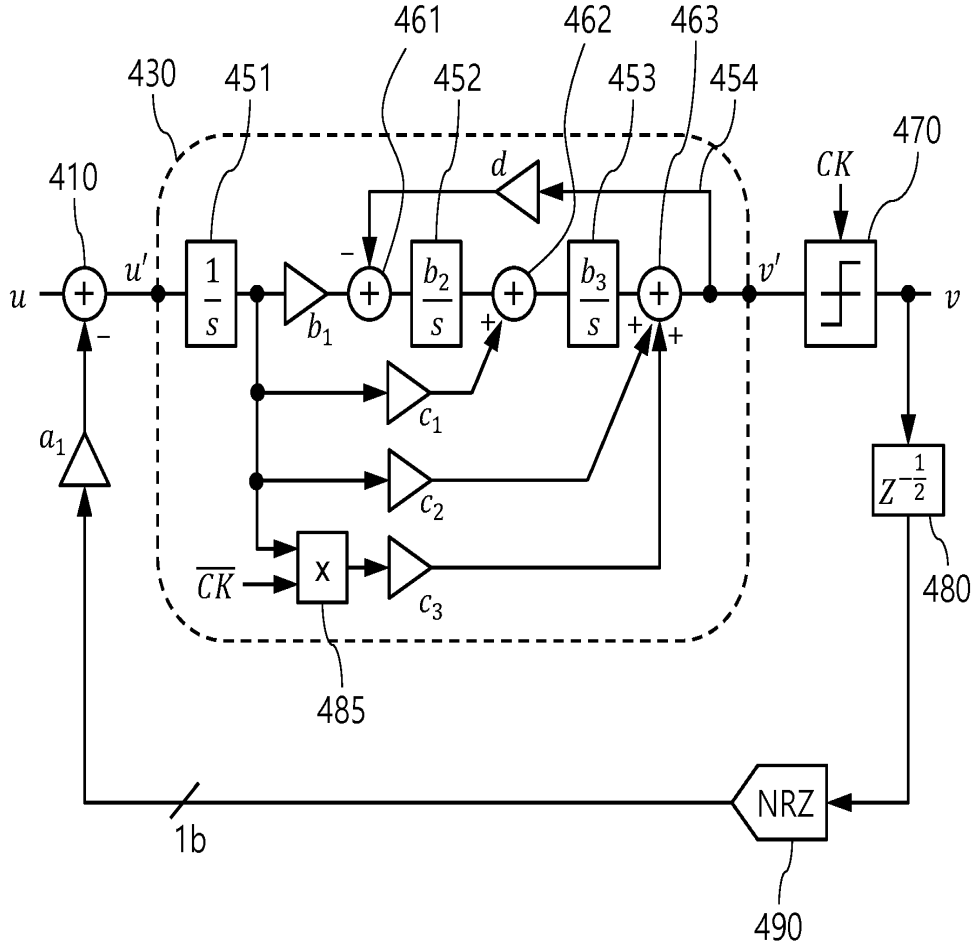


도면3b

330b

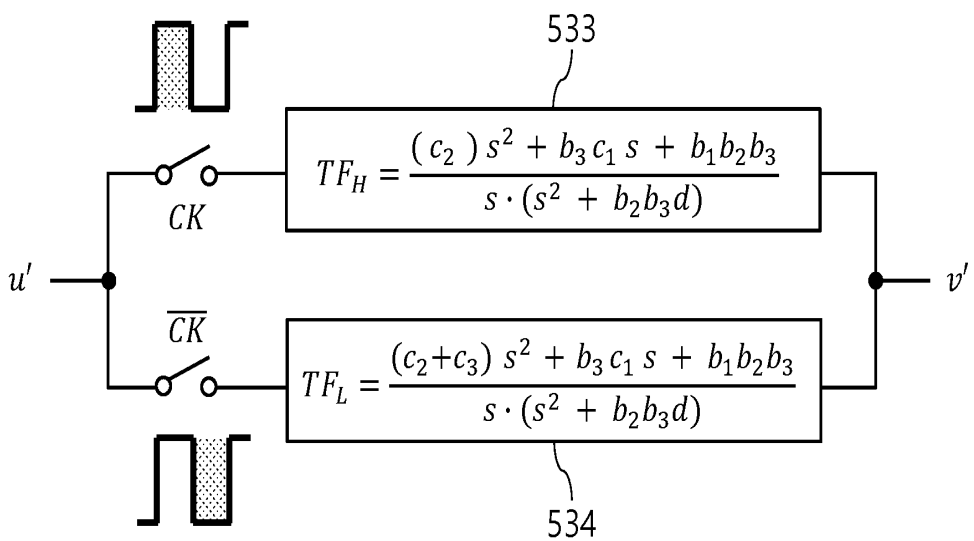


도면4

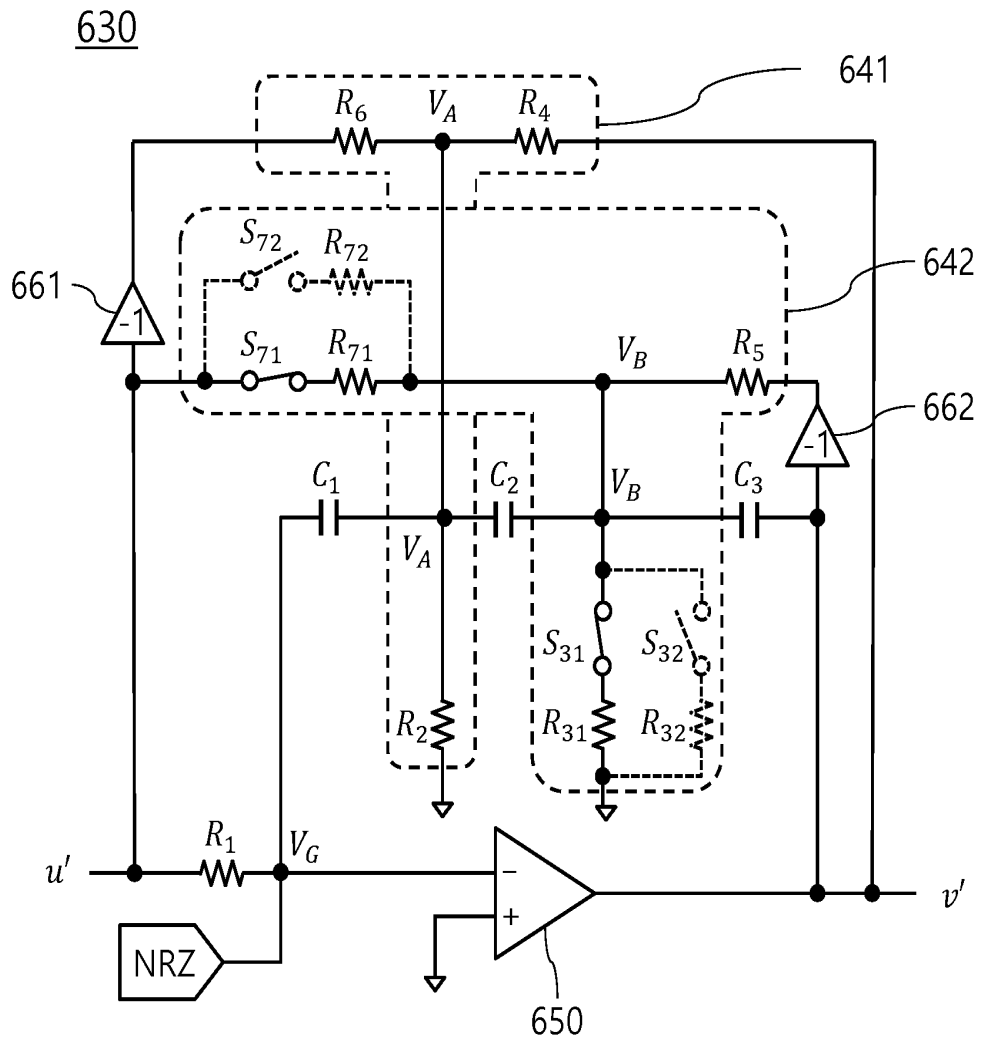


도면5

530

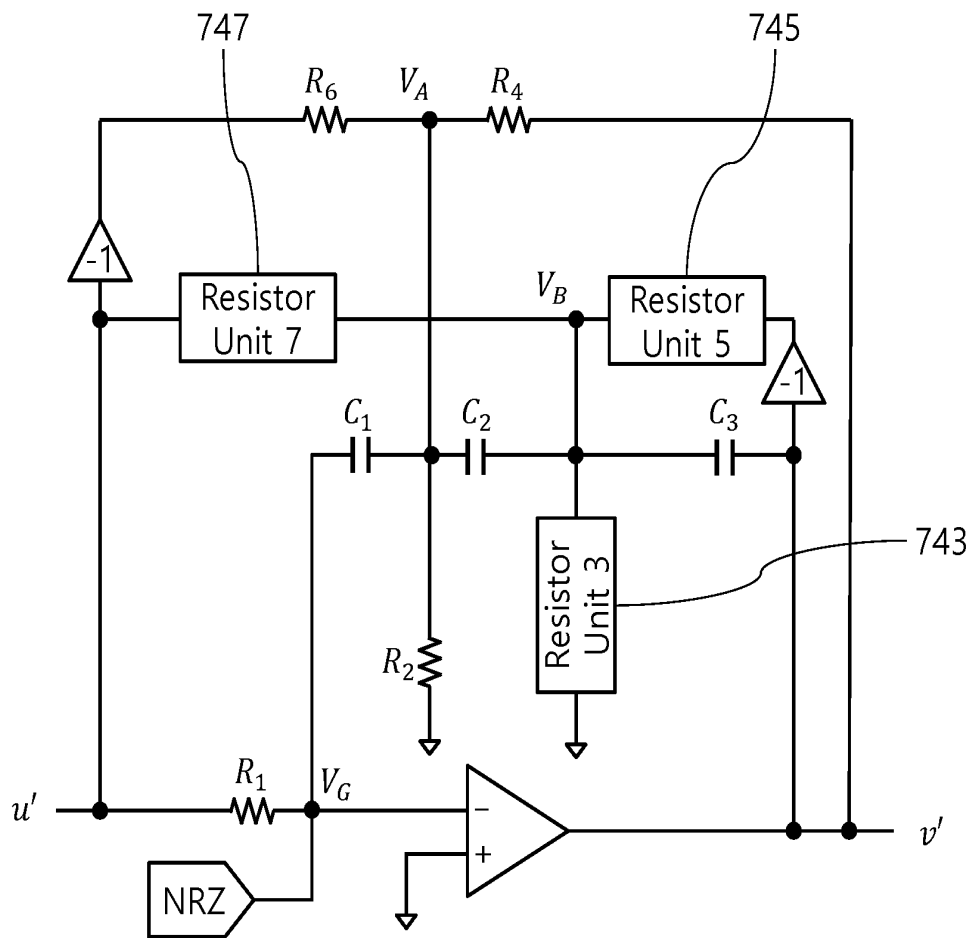


도면6



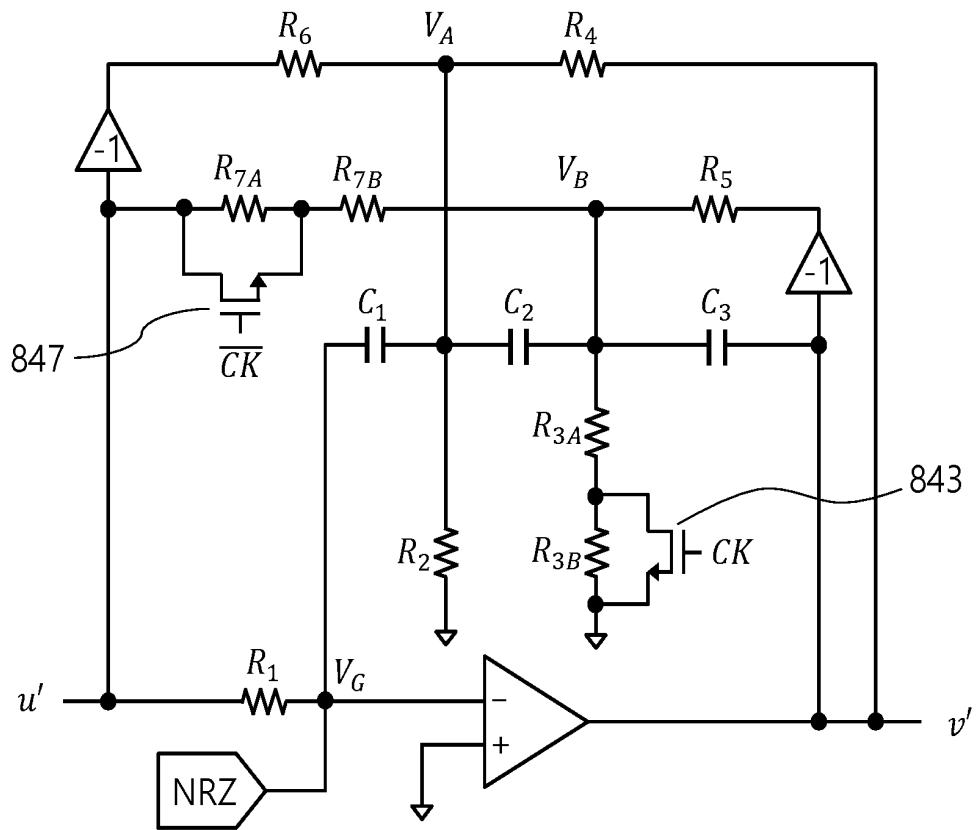
도면7

730

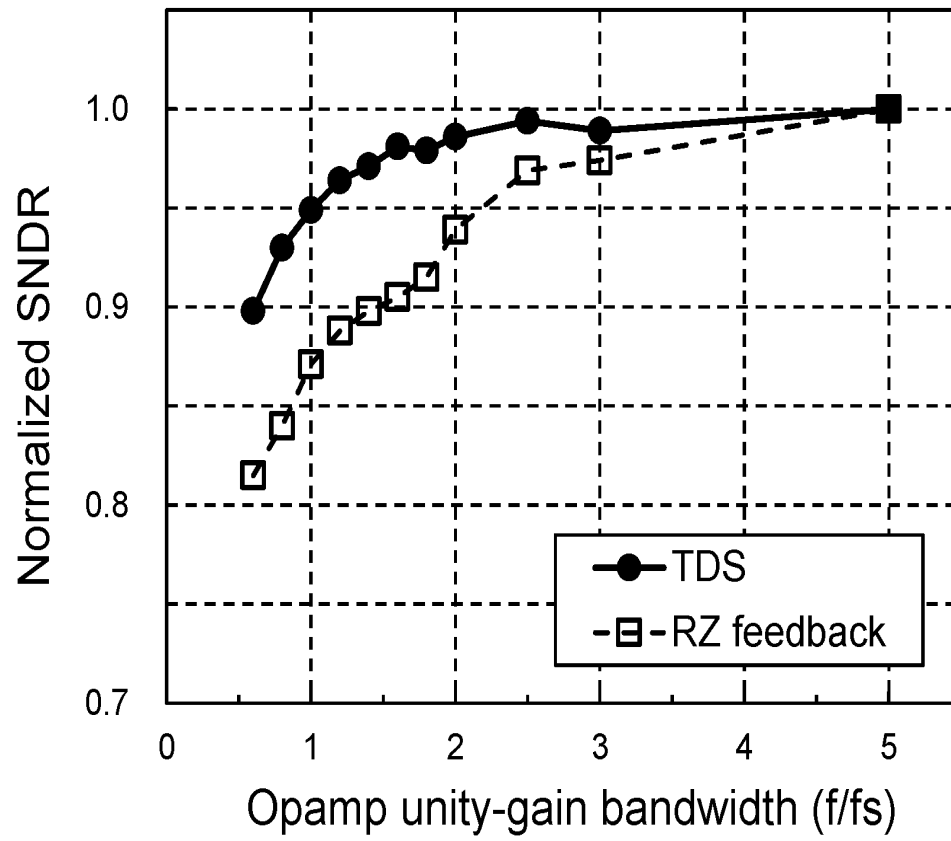


도면 8a

830a



도면9



도면10

