(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0094301
(43) 공개일자 2017년08월17일

(51) 국제특허분류(Int. Cl.)
H01L 21/78 (2006.01) *H01L 21/3065* (2006.01)
H01L 21/677 (2006.01) *H01L 21/683* (2006.01)
(52) CPC특허분류
H01L 21/78 (2013.01)
H01L 21/3065 (2013.01)
(21) 출원번호 10-2017-7018635
(22) 출원일자(국제) 2016년03월10일
심사청구일자 2017년07월05일
(85) 번역문제출일자 2017년07월05일
(86) 국제출원번호 PCT/JP2016/057615
(87) 국제공개번호 WO 2016/148025
국제공개일자 2016년09월22일
(30) 우선권주장
JP-P-2015-051482 2015년03월13일 일본(JP)

(71) 출원인
후루카와 덴키 고교 가부시키가이샤
일본국 도쿄도 치요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자
오카 요시후미
일본국 도쿄도 치요다쿠 마루노우치 2쵸메 2반 3고 후루카와 덴키 고교 가부시키가이샤 내
아오야마 마사미
일본국 도쿄도 치요다쿠 마루노우치 2쵸메 2반 3고 후루카와 덴키 고교 가부시키가이샤 내
(74) 대리인
강일우

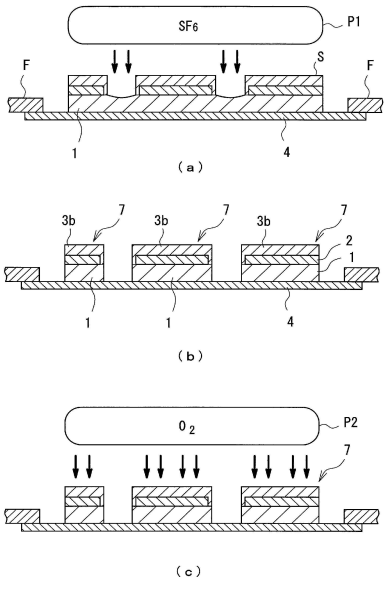
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **반도체 웨이퍼의 처리 방법, 반도체 칩 및 표면 보호 테이프**

(57) 요 약

패턴면을 보호하는 표면 보호 테이프의 점착제 중, 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 마스크를 형성하고, SF_6 플라즈마에 의해 다이싱을 행하고, O_2 플라즈마에 의해 점착제층을 제거하는 에싱을 행하는 반도체 웨이퍼의 처리 방법, 반도체 칩 및 표면 보호 테이프.

대 표 도 - 도4



(52) CPC특허분류
H01L 21/67712 (2013.01)
H01L 21/67721 (2013.01)
H01L 21/6836 (2013.01)

명 세 서

청구범위

청구항 1

반도체 웨이퍼의 처리 방법으로서,

(a) 패턴면측에, 기재 필름 상에 점착제층을 가지는 표면 보호 테이프가 맞붙인 상태에서 반도체 웨이퍼의 이면을 연삭하고, 연삭한 이면에 웨이퍼 고정 테이프를 맞붙여서, 링 프레임으로 지지 고정하는 공정,

(b) 상기 반도체 웨이퍼의 스트리트에 상당하는 부분의 CO_2 레이저에 의한 절단 및 상기 기재 필름의 박리를 포함하는 공정에 의해, 반도체 웨이퍼의 패턴면측으로부터 스트리트를 개구하는 공정,

(c) SF_6 플라즈마에 의해 반도체 웨이퍼를 상기 스트리트에서 분단하여 반도체 칩으로 개편화하는 플라즈마 다이싱 공정, 및,

(d) O_2 플라즈마에 의해 상기 점착제층을 제거하는 에싱 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 2

제 1 항에 있어서,

상기 (b) 공정이, (i) 반도체 웨이퍼의 패턴면에 맞붙인 상기 표면 보호 테이프로부터 상기 기재 필름을 박리하여 상기 점착제층을 표출시키는 공정, 및, (ii) 상기 표출된 점착제층 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정인 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 3

제 1 항에 있어서,

상기 (b) 공정이, (iii) 반도체 웨이퍼의 패턴면에 맞붙인 상기 표면 보호 테이프 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정, 및, (iv) 상기 표면 보호 테이프로부터 상기 기재 필름을 박리하여 상기 점착제층을 표출시키는 공정인 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 기재 필름을 박리하기 이전에 자외선을 조사하여 상기 점착제층을 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 (a) 공정의 웨이퍼 고정 테이프가, 다이싱 테이프 또는 다이싱 다이본딩 테이프인 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 (d) 공정 후, 웨이퍼 고정 테이프로부터 칩을 픽업하는 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 7

제 6 항에 있어서,

픽업한 칩을 다이본딩 공정으로 이행하는 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법에 의해서 제조되어 이루어지는 것을 특징으로 하는 반도체 칩.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법에서 이용하는 것을 특징으로 하는 표면 보호 테이프.

발명의 설명

기 술 분 야

[0001] 본 발명은, 반도체 웨이퍼를 칩으로 개편화하는 처리 방법에 관한 것으로, 보다 구체적으로는 플라즈마 다이싱을 이용한 반도체 웨이퍼의 처리 방법과 플라즈마 다이싱에 이용하는 반도체 웨이퍼 표면 보호 테이프, 및 그 처리 방법에 의해서 얻어지는 반도체 칩에 관한 것이다.

배 경 기 술

[0002] 최근에 있어서의 반도체 칩의 박막화·소형화에의 진화는 눈부시고, 특히, 메모리 카드나 스마트 카드와 같은 반도체 IC 칩이 내장된 IC카드에서는 박막화가 요구되고, 또한, LED·LCD 구동용 디바이스 등에서는 칩 소형화가 요구되고 있다. 향후 이들의 수요가 증가하는 것에 따라 반도체 칩의 박막화·소형화의 요구는 한층 더 높아질 것으로 생각된다.

[0003] 이들 반도체 칩은, 반도체 웨이퍼를 백 그라인드 공정이나 에칭 공정 등에 있어서 소정 두께로 박막화한 후, 다이싱 공정을 거쳐서 각각의 칩으로 분할하는 것으로써 얻어지는 것이다. 이 다이싱 공정에 있어서는, 다이싱 블레이드에 의해 절단되는 블레이드 다이싱 방식이 이용되어 왔다. 블레이드 다이싱 방식에서는 절단시에 블레이드에 의한 절삭 저항이 반도체 웨이퍼에 직접 걸리게 되고, 이 절삭 저항에 의해서 반도체 칩에 미소한 결락(칩핑)이 발생하는 일이 있다. 칩핑 발생은 반도체 칩의 외관을 해칠 뿐만 아니라, 경우에 따라서는 항절 강도 부족에 의한 픽업시의 칩 파손 등, 칩 상의 회로 패턴까지 파손될 가능성이 있다. 또한, 이러한 블레이드에 의한 물리적인 다이싱 공정에서는, 칩끼리의 간격인 커프(kerf)(스크라이브 라인, 스트리트(street)라고도 한다)의 폭이 두께가 있는 블레이드폭 이하로는 하지 못하고, 1매의 웨이퍼로부터 취할 수 있는 칩의 수율을 높게 할 수 없었다. 또한, 웨이퍼의 가공 시간이 긴 것도 문제였다.

[0004] 블레이드 컷 방식 이외에도 다이싱 공정에는 여러가지 방식이 이용되고 있다. 웨이퍼를 박막화한 후에 다이싱을 행하는 곤란에 비추어서, 먼저 소정의 두께분만큼 웨이퍼에 홈을 형성해 두고, 그 후에 연삭 가공을 행하여 박막화와 칩으로의 개편화를 동시에 행하는 DBG(선 다이싱) 방식이 있다. 이 방식에 의하면, 커프 폭은 블레이드 다이싱 공정과 마찬가지이지만, 칩의 항절 강도가 높아지고 칩의 파손을 억제할 수 있다고 하는 메리트가 있다.

[0005] 또한, 다이싱을 레이저로 행하는 레이저 다이싱 방식이 있다. 레이저 다이싱에 의하면 커프 폭을 좁게 할 수 있고, 드라이 프로세스가 되는 메리트도 있지만, 레이저에 의한 절단시의 승화물로 웨이퍼 표면이 오염된다고 하는 문제가 있고, 소정의 액상 보호재로 보호하는 전처리를 행하는 경우도 있다. 또한, 드라이 프로세스라고 해도 완전한 드라이로는 할 수 없다. 그리고, 레이저의 경우도 블레이드보다 빠른 처리가 가능하지만, 1 라인씩 가공하는 것에는 변화가 없기 때문에 극소 칩의 제조에는 그 나름대로 시간이 걸린다.

[0006] 다이싱을 수압으로 행하는 워터제트 방식 등의 웨트 프로세스를 이용하는 경우는, MEMS 디바이스나 CMOS 센서 등 표면 오염이 우려되는 에리어에서 문제가 일어날 가능성이 있다. 커프 폭을 좁게 하지 못하고, 칩 수율이 높아지지 않는다고 하는 문제도 있다.

[0007] 웨이퍼의 두께 방향으로 레이저로 개질층을 형성하고, 확장하여 분단하고 개편화하는 스텔스 다이싱 방식은, 커프 폭을 제로로 할 수 있고, 드라이로 가공할 수 있다고 하는 메리트가 있다. 그렇지만, 개질층 형성시의 열이

력 때문에 생각한 만큼 칩 항절 강도가 높아지지 않고, 또한, 확장하여 분단할 때에 실리콘 스크랩이 발생하는 경우가 있다. 또한, 인접 칩과의 부딪침이 있고 항절 강도 부족에 빠질 가능성이 있다.

[0008] 또한, 스텔스 다이싱과 선(先) 다이싱을 합친 방식으로서, 박막화의 전에 먼저 소정의 두께분만큼 개질층을 형성해 두고, 그 후에 이면으로부터의 연삭 가공을 행하여 박막화와 칩으로의 개편화를 동시에 행하는 스크라이브 협소폭 대응 칩 개편화 방식이 있다. 이 기술은, 상기 프로세스의 디메리트를 개선한 것이며, 웨이퍼 이면 연삭 가공 중에 응력으로 실리콘의 개질층이 벽개(劈開)하여 개편화되기 때문에, 커프 폭이 제로이며 칩 수율은 높고, 항절 강도도 높아진다고 하는 메리트가 있다. 그러나 이면 연삭 가공 중에 개편화되기 때문에, 칩 단면이 인접 칩과 부딪쳐서 칩 코너가 결락되는 현상이 보이는 경우가 있다.

[0009] 그리고 플라즈마 다이싱 방식이 있다(예를 들면, 특허문헌 1 참조). 플라즈마 다이싱은, 마스크로 덮지 않은 개소를 플라즈마로 선택적으로 에칭하는 것으로, 반도체 웨이퍼를 분할하는 방법이다. 이 다이싱 방법을 이용하면, 선택적으로 칩의 분단이 가능하고, 스크라이브 라인이 절곡되어 있어도 문제없이 분단할 수 있다. 또한, 에칭 레이트가 매우 높은 것으로부터, 최근에는 칩의 분단에 최적인 프로세스의 하나로 여겨져 왔다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 일본 공개특허공보 2007-19385호

발명의 내용

해결하려는 과제

[0011] 플라즈마 다이싱 방식에서는, 6불화 유황(SF_6)이나 4불화 탄소(CF_4) 등, 웨이퍼와의 반응성이 매우 높은 불소계 가스를 플라즈마 발생용 가스로서 이용하고 있고, 그 높은 에칭 레이트 때문에, 에칭하지 않는 면에 대해서 마스크에 의한 보호가 필수이며, 사전에 레지스트나 테이프에 의한 마스크 형성이 필요하다.

[0012] 이 마스크를 형성하기 위해서는, 특허문헌 1에도 기재되어 있는 바와 같이, 웨이퍼의 이면에 레지스트를 도포한 후, 스트리트에 상당하는 부분을 포토리소그라피 프로세스로 제거하여 마스크로 하는 기술이 일반적이다. 이 때문에, 플라즈마 다이싱을 행하기 위해서는, 플라즈마 다이싱 설비 이외의 포토리소 공정 설비가 필요하고 칩 코스트가 상승한다고 하는 문제가 있었다. 또한, 플라즈마 에칭 후에 레지스트 막이 남은 상태이기 때문에, 레지스트 제거를 위해서 대량의 용제를 이용하고, 레지스트를 제거할 수 없었던 경우에는 점착물질이 남아 불량 칩이 생길 우려도 있었다. 또한, 레지스트에 의한 마스킹 공정을 거치기 때문에, 전체의 처리 프로세스가 길어진다고 하는 문제도 있었다.

[0013] 본 발명은 이러한 문제점에 비추어서 이루어진 것으로, 플라즈마 다이싱을 이용한 반도체 웨이퍼의 처리에 있어서, 칩핑의 발생을 억제하고, 또한 플라즈마 다이싱을 행하는 경우의 지금까지의 문제를 해소한 새로운 반도체 웨이퍼의 처리 방법을 제공하는 것을 목적으로 한다.

[0014] 또한, 본 발명은, 이 반도체 웨이퍼의 처리 방법을 통해서 얻어지는 반도체 칩을 제공하는 것, 및 이 반도체 웨이퍼의 처리 방법을 행하기 위해서 필요한 표면 보호 테이프를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0015] 본 발명의 상기 과제는 이하의 수단에 의해서 실현될 수 있다.

[0016] [1] 반도체 웨이퍼의 처리 방법으로서,

[0017] (a) 패턴면측에, 기재 필름 상에 점착제층을 가지는 표면 보호 테이프가 맞붙인 상태에서 반도체 웨이퍼의 이면을 연삭하고, 연삭한 이면에 웨이퍼 고정 테이프를 맞붙여서, 링 프레임으로 지지 고정하는 공정,

[0018] (b) 상기 반도체 웨이퍼의 스트리트에 상당하는 부분의 CO_2 레이저에 의한 절단 및 상기 기재 필름의 박리를 포함하는 공정에 의해, 반도체 웨이퍼의 패턴면측으로부터 스트리트를 개구하는 공정,

[0019] (c) SF_6 플라즈마에 의해 반도체 웨이퍼를 상기 스트리트에서 분단하여 반도체 칩으로 개편화하는 플라즈마 다이

싱 공정, 및,

[0020] (d) O_2 플라즈마에 의해 상기 점착제층을 제거하는 에싱 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 처리 방법.

[0021] [2] 상기 (b) 공정이, (i) 반도체 웨이퍼의 패턴면에 맞붙인 상기 표면 보호 테이프로부터 상기 기재 필름을 박리하여 상기 점착제층을 표출시키는 공정, 및, (ii) 상기 표출된 점착제층 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정인 것을 특징으로 하는 [1]에 기재된 반도체 웨이퍼의 처리 방법.

[0022] [3] 상기 (b) 공정이, (iii) 반도체 웨이퍼의 패턴면에 맞붙인 상기 표면 보호 테이프 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정, 및, (iv) 상기 표면 보호 테이프로부터 상기 기재 필름을 박리하여 상기 점착제층을 표출시키는 공정인 것을 특징으로 하는 [1]에 기재된 반도체 웨이퍼의 처리 방법.

[0023] [4] 상기 기재 필름을 박리하기 이전에 자외선을 조사하여 상기 점착제층을 경화시키는 공정을 포함하는 것을 특징으로 하는 [1] ~ [3] 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법.

[0024] [5] 상기 (a) 공정의 웨이퍼 고정 테이프가, 다이싱 테이프 또는 다이싱 다이본딩 테이프인 것을 특징으로 하는 [1] ~ [4] 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법.

[0025] [6] 상기 (d) 공정 후, 웨이퍼 고정 테이프로부터 칩을 픽업하는 공정을 포함하는 것을 특징으로 하는 [1] ~ [5] 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법.

[0026] [7] 픽업한 칩을 다이본딩 공정으로 이행하는 공정을 포함하는 것을 특징으로 하는 [6]에 기재된 반도체 웨이퍼의 처리 방법.

[0027] [8] 상기 [1] ~ [7] 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법에 의해서 제조되어서 이루어지는 것을 특징으로 하는 반도체 칩.

[0028] [9] 상기 [1] ~ [7] 중 어느 한 항에 기재된 반도체 웨이퍼의 처리 방법에서 이용하는 것을 특징으로 하는 표면 보호 테이프.

발명의 효과

[0029] 본 발명에 의하면, 칩 절단면의 칩핑을 저감할 수 있다. 또한, 제조 설비를 간이화하여 프로세스 코스트를 억제할 수 있다.

[0030] 본 발명의 상기 및 다른 특징 및 이점은, 적절히 첨부된 도면을 참조하여, 하기의 기재로부터 보다 명백해질 것이다.

도면의 간단한 설명

[0031] 도 1은, 본 발명의 제1 실시형태에 있어서의 반도체 웨이퍼에의 표면 보호 테이프 맞붙이기까지의 공정을 설명하는 개략 단면도이며, 도 1(a)는 반도체 웨이퍼를 나타내고, 도 1(b)는 표면 보호 테이프를 맞붙이는 모습을 나타내고, 도 1(c)는 표면 보호 테이프를 맞붙인 반도체 웨이퍼를 나타낸다.

도 2는, 본 발명의 제1 실시형태에 있어서의 반도체 웨이퍼의 박막화와 고정까지의 공정을 설명하는 개략 단면도이며, 도 2(a)는 반도체 웨이퍼의 박막화 처리를 나타내고, 도 2(b)는 웨이퍼 고정 테이프를 맞붙이는 모습을 나타내고, 도 2(c)는 반도체 웨이퍼를 링 프레임에 고정한 상태를 나타낸다.

도 3은, 본 발명의 제1 실시형태에 있어서의 마스크 형성까지의 공정을 설명하는 개략 단면도이며, 도 3(a)는 표면 보호 테이프로부터 기재 필름을 당겨서 박리하는 모습을 나타내고, 도 3(b)는 표면 보호 테이프의 점착제층이 노출된 상태를 나타내고, 도 3(c)는 레이저로 스트리트에 상당하는 점착제층을 잘라내는 공정을 나타낸다.

도 4는, 본 발명의 제1 실시형태에 있어서의 플라즈마 다이싱과 플라즈마 에싱의 공정을 설명하는 개략 단면도이며, 도 4(a)는 플라즈마 다이싱을 행하는 모습을 나타내고, 도 4(b)는 칩으로 개편화된 상태를 나타내고, 도 4(c)는 플라즈마 에싱을 행하는 모습을 나타낸다.

도 5는, 본 발명의 제1 실시형태에 있어서의 칩을 픽업할 때까지의 공정을 설명하는 개략 단면도이며, 도 5(a)

는 마스크가 된 점착제층이 제거된 상태를 나타내고, 도 5(b)는 칩을 픽업하는 모습을 나타낸다.

도 6은, 본 발명의 제2 실시형태에 있어서의 자외선 조사 처리를 행하는 전후 상태를 설명하는 개략 단면도이며, 도 6(a)는 반도체 웨이퍼의 표리 양면을 각각 표면 보호 테이프와 웨이퍼 고정 테이프로 피복하고 고정한 상태를 나타내고, 도 6(b)는 자외선이 조사되는 모습을 나타내고, 도 6(c)는 표면 보호 테이프로부터 기재 필름을 당겨서 박리하는 모습을 나타낸다.

도 7은, 본 발명의 제3 실시형태에 있어서의 레이저로 마스크 형성을 행하는 전후 상태를 설명하는 개략 단면도이며, 도 7(a)는 반도체 웨이퍼의 표리 양면을 각각 표면 보호 테이프와 웨이퍼 고정 테이프로 피복하고 고정한 상태를 나타내고, 도 7(b)는 레이저로 스트리트 부분에 상당하는 점착제층을 잘라내는 공정을 나타내고, 도 7(c)는 표면 보호 테이프로부터 기재 필름을 당겨서 박리하는 모습을 나타낸다.

도 8은, 본 발명의 제4 실시형태에 있어서의 기재 필름을 당겨서 박리할 때까지의 공정을 설명하는 개략 단면도이며, 도 8(a)는 반도체 웨이퍼의 표리 양면을 각각 표면 보호 테이프와 웨이퍼 고정 테이프로 피복하고 고정한 상태를 나타내고, 도 8(b)는 자외선이 조사되는 모습을 나타내고, 도 8(c)는 레이저로 스트리트 부분에 상당하는 표면 보호 테이프를 잘라내는 공정을 나타내고, 도 8(d)은 기재 필름을 당겨서 박리하는 모습을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명의 반도체 웨이퍼의 처리 방법은, 이하에 설명하는 바와 같이, 패턴면을 보호하는 표면 보호 테이프 혹은 표면 보호 테이프의 점착제 중, 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 마스크를 형성하고, 이 마스크에 의해, SF_6 플라즈마로 다이싱을 행하는 것으로, 포토리소 공정이 불필요해지고 제조 코스트를 억제할 수 있다.

[0033] 본 발명의 반도체 웨이퍼의 처리 방법은, 적어도 하기 (a) ~ (d)의 공정을 포함한다.

[0034] (a) 패턴면측에, 기재 필름 상에 점착제층을 가지는 표면 보호 테이프가 맞붙인 상태에서 반도체 웨이퍼의 이면을 연삭하고, 연삭한 이면에 웨이퍼 고정 테이프를 맞붙여, 링 프레임으로 지지 고정하는 공정,

[0035] (b) 반도체 웨이퍼의 스트리트에 상당하는 부분의 CO_2 레이저에 의한 절단 및 기재 필름의 박리를 포함하는 공정에 의해, 반도체 웨이퍼의 패턴면측으로부터 스트리트를 개구하는 공정,

[0036] (c) SF_6 플라즈마에 의해 반도체 웨이퍼를 스트리트에서 분단하여 반도체 칩으로 개편화하는 플라즈마 다이싱 공정, 및,

[0037] (d) O_2 플라즈마에 의해 점착제층을 제거하는 에싱 공정

[0038] 본 발명에서는, (d) 공정의 후, 이하의 공정을 포함하는 것이 바람직하다.

[0039] (e) 웨이퍼 고정 테이프로부터 칩을 픽업하는 공정

[0040] (f) 픽업한 칩을 다이본딩 공정으로 이행하는 공정

[0041] 여기서, 상기 (b) 공정에 있어서, 표면 보호 테이프로부터 기재 필름을 박리하는 공정을, CO_2 레이저로 절단하는 공정의 전에 행하거나, 후에 행한다.

[0042] 구체적으로는, 이하의 공정인 것이 바람직하다.

[0043] 상기 (b) 공정의 제1 바람직한 공정

[0044] 제1 바람직한 공정은, 표면 보호 테이프로부터 기재 필름을 박리하는 공정을, CO_2 레이저로 절단하는 공정의 전에 행하는 것이며, 구체적으로는, 하기 (i)과 (ii)의 공정이다.

[0045] (i) 반도체 웨이퍼의 패턴면에 맞붙인 표면 보호 테이프로부터 기재 필름을 박리하여 점착제층을 표출시키는 공정 및, (ii) 표출된 점착제층 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정으로 이루어진다.

[0046] 상기 (b) 공정의 제2 바람직한 공정

[0047] 제2 바람직한 공정은, 표면 보호 테이프로부터 기재 필름을 박리하는 공정을, CO_2 레이저로 절단하는 공정의 후

에 행하는 것이며, 구체적으로는, 하기 (iii)와 (iv)의 공정이다.

[0048] (iii) 반도체 웨이퍼의 패턴면에 맞붙인 표면 보호 테이프 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정, 및, (iv) 표면 보호 테이프로부터 기재 필름을 박리하여 점착제층을 표출시키는 공정으로 이루어진다.

[0049] 또한, 상기 (b) 공정은, 기재 필름을 박리하기 이전에 자외선을 조사하여 점착제층을 경화시키는 공정을 더 포함하는 것도 바람직하다.

[0050] 여기서, 상기 (c) 공정의 SF_6 플라즈마에 의한 플라즈마 처리는, 반도체 웨이퍼의 패턴면측으로부터 스트리트에 상당하는 부분을 개구하고 있고, 점착제층측으로부터 상기 개구 부분에 대해서 플라즈마 처리하는 것으로 칩이 개편화된다.

[0051] 이하에, 도면을 참조하여 본 발명의 반도체 웨이퍼의 처리 방법의 바람직한 실시형태를 설명하지만, 본 발명은 이것으로 한정되는 것은 아니다.

[0052] 본 발명의 반도체 웨이퍼의 처리 방법은, 하기에 나타내는 바와 같이, 제1 ~ 4의 실시형태로 분류된다.

[0053] 또한, 이하에 나타내는 공정에 이용되는 장치 및 재료는, 특별히 언급이 없는 한, 종래 반도체 웨이퍼의 가공에 이용되고 있는 장치 등을 사용할 수 있고, 그 사용 조건은 통상의 방법에 의해 적절한 조건을 설정할 수 있다. 또한, 각 실시형태에서 공통되는 재질, 구조, 방법, 효과 등에 대해서는 중복 기재를 생략한다.

[0054] <제1 실시형태[도 1 ~ 도 5]>

[0055] 본 발명의 바람직한 제1 실시형태인 반도체 웨이퍼의 개편화 방법을 도 1 ~ 도 5를 참조하여 설명한다.

[0056] 반도체 웨이퍼(1)는, 그 표면(S)에 반도체 소자의 회로 등이 형성된 패턴면(2)을 가지고 있다(도 1(a) 참조). 이 패턴면(2)에는, 기재 필름(3a)에 점착제층(3b)을 마련한 표면 보호 테이프(3)를 맞붙이고(도 1(b) 참조), 패턴면(2)이 표면 보호 테이프(3)로 피복된 반도체 웨이퍼(1)를 얻는다(도 1(c) 참조).

[0057] 다음에, 반도체 웨이퍼(1)의 이면(B)을 웨이퍼 연삭 장치(M1)로 연삭하고, 반도체 웨이퍼(1)의 두께를 얇게 한다(도 2(a) 참조). 그 연삭한 이면(B)에는 웨이퍼 고정 테이프(4)를 맞붙이고(도 2(b) 참조), 링 프레임(F)에 지지 고정한다(도 2(c) 참조).

[0058] 반도체 웨이퍼(1)로부터 표면 보호 테이프(3)의 기재 필름(3a)을 박리함과 함께 그 점착제층(3b)은 반도체 웨이퍼(1)에 남기고(도 3(a) 참조), 점착제층(3b)을 노출시킨다(도 3(b) 참조). 그리고, 표면(S)측으로부터 패턴면(2)에 격자 형상 등으로 적절히 형성된 복수의 스트리트(도시하지 않음)에 대해서 CO_2 레이저(L)를 조사하여, 점착제층(3b)을 제거하여 개구한다(도 3(c) 참조).

[0059] 다음에, 표면(S)측으로부터 SF_6 가스의 플라즈마(P1)에 의한 처리를 행하여 스트리트 부분에서 노출된 반도체 웨이퍼(1)를 에칭하고(도 4(a) 참조), 각각의 칩(7)으로 분할하여 개편화하고(도 4(b) 참조), 다음에 O_2 가스의 플라즈마(P2)에 의해서 에싱을 행하고(도 4(c) 참조), 표면(S)에 잔존된 점착제층(3b)을 제거한다(도 5(a) 참조). 그리고 마지막으로 개편화된 칩(7)을 핀(M2)에 의해 들어올려 콜릿(M3)에 의해 흡착하여 픽업한다(도 5(b) 참조).

[0060] 여기서, SF_6 가스를 이용한 반도체 웨이퍼의 Si의 에칭 프로세스는 BOSCH 프로세스로도 칭해지고, 노출된 Si와, SF_6을 플라즈마화하여 생성한 F원자를 반응시키고, 4불화 규소(SiF_4)로서 제거하는 것이며, 리액티브 이온 에칭(RIE)이라고도 칭해진다. 한편, O_2 플라즈마에 의한 제거는, 반도체 제조 프로세스 중에서는 플라즈마 클리너에서도 이용되는 방법으로 에싱(灰化)이라고도 칭해지고, 대(對) 유기물 제거 방법 중 하나이다. 반도체 디바이스 표면에 남은 유기물 찌꺼기를 클리닝하기 위해서 행해진다.

[0061] 다음에 상기 방법에서 이용한 재료에 대해서 설명한다.

[0062] 반도체 웨이퍼(1)는, 한쪽 면에 반도체 소자의 회로 등이 형성된 패턴면(2)을 가지는 실리콘 웨이퍼 등이며, 패턴면(2)은, 반도체 소자의 회로 등이 형성된 면으로서, 평면에서 볼 때 스트리트를 가진다.

[0063] 표면 보호 테이프(3)는, 기재 필름(3a)에 점착제층(3b)을 마련한 구성으로 이루어지고, 패턴면(2)에 형성된 반도체 소자를 보호하는 기능을 가진다. 즉, 후속 공정의 웨이퍼 박막화 공정에서는 패턴면(2)에서 반도체 웨이퍼

(1)를 지지하여 웨이퍼의 이면이 연삭되기 때문에, 이 연삭시의 부하에 견딜 필요가 있다. 이 때문에, 표면 보호 테이프(3)는 단순한 레지스트 막 등과는 다르고, 패턴면에 형성되는 소자를 피복할 만한 두께가 있고, 그 가압 저항은 낮고, 또한, 연삭시의 더스트나 연삭수 등의 침입이 일어나지 않도록 소자를 밀착할 수 있을 만큼의 밀착성이 높은 것이다.

[0064] 표면 보호 테이프(3) 중, 기재 필름(3a)은 플라스틱이나 고무 등으로 이루어지고, 예를 들면 폴리에틸렌, 폴리프로필렌, 에틸렌-프로필렌 공중합체, 폴리부텐-1, 폴리-4-메틸펜텐-1, 에틸렌-초산 비닐 공중합체, 에틸렌-아크릴산 공중합체, 이오노머 등의 α-올레핀의 단독 중합체 또는 공중합체, 혹은 이들의 혼합물, 폴리에틸렌테레프탈레이트, 폴리에틸렌나프타레이트, 폴리페닐렌설파이드, 폴리에테르이미드, 폴리이미드, 폴리카보네이트, 폴리메틸메타크릴레이트, 폴리우레탄, 스티렌-에틸렌-부텐-혹은 펜텐계 공중합체 등의 단체 혹은 2종 이상을 혼합시킨 것, 또한 이들에 이들 이외의 수지나 충전재, 첨가제 등이 배합된 수지 조성물을 그 재질로서 들 수 있고, 요구 특성에 대응하여 임의로 선택할 수 있다. 저밀도 폴리에틸렌과 에틸렌 초산 비닐 공중합체의 적층체나, 폴리프로필렌과 폴리에틸렌테레프탈레이트의 적층체, 폴리에틸렌테레프탈레이트, 폴리에틸렌나프타레이트는 적합한 재질 중 하나이다.

[0065] 이들 기재 필름(3a)은, 일반적인 압출법을 이용하여 제조할 수 있지만, 기재 필름(3a)을 여러 가지의 수지를 적층하여 얻는 경우에는, 공압출법(共壓出法), 라미네이트법 등으로 제조되고, 이 때 통상의 라미네이트 필름의 제법에 있어서 보통으로 행해지고 있는 바와 같이, 수지와 수지의 사이에 접착층을 마련해도 좋다. 이와 같은 기재 필름(3a)의 두께는, 강도·연신 특성, 방사선 투과성의 관점으로부터 20 ~ 200㎛가 바람직하고, 25 ~ 150㎛가 보다 바람직하고, 그 중에서도 25㎛는 바람직한 형태 중 하나이다.

[0066] 점착제층(3b)은, 패턴면(2)에의 붙이기(貼着)에 있어서 반도체 소자 등을 손상시키는 것이 아니고, 또한, 그 제거시에 반도체 소자 등의 파손이나 표면에의 점착제 잔류를 일으키는 것이 아니고, 또한 플라즈마 다이싱에 있어서 마스크로서 기능하는 내플라즈마성이 필요하다.

[0067] 이 때문에, 점착제층(3b)에는 이러한 성질을 가지는 비경화성의 점착제나, 바람직하게는 방사선, 보다 바람직하게는 자외선 경화에 의해 점착제가 3차원 망상화(網狀化)를 나타내고, 점착력이 저하됨과 함께 박리한 후의 표면에 점착제 등의 잔류물이 생기기 어려운, 자외선 경화형이나 전자선과 같은 전리성 방사선 경화형 등의 방사선 중합형의 점착제를 이용할 수 있다.

[0068] 또한, 방사선은 자외선과 같은 광선이나 전자선과 같은 전리성 방사선을 포함하는 개념이다.

[0069] 이러한 점착제로서는, 아크릴계 점착제나, 이 아크릴계 점착제와 방사선 중합성 화합물을 주성분으로서 이루어지는 점착제를 들 수 있다.

[0070] 아크릴계 점착제는, (메타)아크릴계 공중합체 및 경화제를 성분으로 하는 것이다. (메타)아크릴계 공중합체는, 예를 들면 (메타)아크릴산 에스테르를 중합체 구성 단위 성분으로 하는 중합체, 및 (메타)아크릴산 에스테르계 공중합체의 (메타)아크릴계 중합체, 혹은 (메타)아크릴산이나 (메타)아크릴산의 하이드록시 치환 알킬에스테르 등과 같은 관능성 단량체와의 공중합체, 및 이들의 중합체의 혼합물 등을 들 수 있다. 이들 중합체의 질량 평균 분자량은, 50만 ~ 100만 정도의 고분자량의 것이 일반적으로 적용된다.

[0071] 경화제는, (메타)아크릴계 공중합체가 가지는 관능기(예를 들면, 하이드록시기, 카르복실기, 에폭시기 등)와 반응시켜서 점착력 및 응집력을 조정하기 위해서 이용되는 것이다. 예를 들면, 1,3-비스(N,N-디글리시딜아미노메틸)시클로헥산, 1,3-비스(N,N-디글리시딜아미노메틸)톨루엔, 1,3-비스(N,N-디글리시딜아미노메틸)벤젠, N,N,N,N'-테트라글리시딜-m-크실렌디아민 등의 분자 중에 2개 이상의 에폭시기를 가지는 에폭시 화합물, 2,4-톨릴렌디이소시아네이트, 2,6-톨릴렌디이소시아네이트, 1,3-크실릴렌디이소시아네이트, 1,4-크실렌디이소시아네이트, 디페닐메탄-4,4'-디이소시아네이트 등의 분자 중에 2개 이상의 이소시아네이트기를 가지는 이소시아네이트계 화합물, 테트라메틸올-트리-β-아지리디닐프로피오네이트, 트리메틸올-트리-β-아지리디닐프로피오네이트, 트리메틸롤프로판-트리-β-아지리디닐프로피오네이트, 트리메틸롤프로판-트리-β-(2-메틸아지리딘)프로피오네이트 등의 분자 중에 2개 이상의 아지리디닐기를 가지는 아지리딘계 화합물 등을 들 수 있다. 경화제의 첨가량은, 소망의 점착력에 대응하여 조정하면 좋고, (메타)아크릴계 공중합체 100질량부에 대해서 0.1 ~ 5.0질량부가 적당하다.

[0072] 또한, 방사선으로 경화되는 점착제는, 방사선 경화형 점착제로 칭해지고, 방사선으로 경화되지 않는 점착제는 감압형 점착제로 칭해진다.

[0073] 방사선 경화형 점착제는, 상기의 아크릴계 점착제와 방사선 중합성 화합물을 주성분으로서 이루어지는 것이 일

반적이다. 방사선 중합성 화합물은, 예를 들면 자외선의 조사에 의해서 3차원 망상화할 수 있는 광중합성 탄소-탄소 이중 결합을, 분자 내에 적어도 2개 이상 가지는 저분량 화합물이 널리 이용된다. 구체적으로는, 트리메틸롤프로판트리아크릴레이트, 테트라메틸올메탄테트라아크릴레이트, 펜타에리트리톨트리아크릴레이트, 펜타에리트리톨테트라아크릴레이트, 디펜타에리트리톨모노하이드록시펜타아크릴레이트, 디펜타에리트리톨헥사아크릴레이트, 1,4-부틸렌글리콜디아크릴레이트, 1,6-헥산디올디아크릴레이트, 폴리에틸렌글리콜디아크릴레이트나, 올리고에스테르아크릴레이트 등이 널리 적용 가능하다.

[0074] 또한, 상기와 같은 아크릴레이트계 화합물 외에, 우레탄아크릴레이트계 올리고머를 이용할 수도 있다. 우레탄아크릴레이트계 올리고머는, 폴리에스테르형 또는 폴리에테르형 등의 폴리올 화합물과 다가 이소시아나트 화합물(예를 들면, 2,4-톨릴렌디이소시아네이트, 2,6-톨릴렌디이소시아네이트, 1,3-크실릴렌디이소시아네이트, 1,4-크실릴렌디이소시아네이트, 메틸렌디페닐-4,4'-디이소시아네이트 등)을 반응시켜서 얻어지는 말단 이소시아나트 우레탄프레폴리머에, 하이드록시기를 가지는 아크릴레이트 혹은 메타크릴레이트(예를 들면, 2-하이드록시에틸아크릴레이트, 2-하이드록시에틸메타크릴레이트, 2-하이드록시프로필아크릴레이트, 2-하이드록시프로필메타크릴레이트, 폴리에틸렌글리콜아크릴레이트, 폴리에틸렌글리콜메타크릴레이트 등)를 반응시켜서 얻어진다.

[0075] 방사선 경화형 점착제 중의 아크릴계 점착제와 방사선 중합성 화합물과의 배합비로서는, 아크릴계 점착제 100질량부에 대해서 방사선 중합성 화합물을 50 ~ 200질량부, 바람직하게는 50 ~ 150질량부의 범위로 배합되는 것이 바람직하다. 이 배합비의 범위인 경우, 방사선 조사 후에 점착제층의 점착력은 크게 저하된다.

[0076] 또한, 방사선 경화형 점착제는, 상기와 같이 아크릴계 점착제에 방사선 중합성 화합물을 배합하는 대신에, 아크릴계 점착제 자체를 방사선 중합성 아크릴산 에스테르 공중합체로 하는 것도 가능하다.

[0077] 방사선 중합성 아크릴산 에스테르 공중합체는, 공중합체의 분자 중에, 방사선, 특히 자외선 조사로 중합 반응하는 것이 가능한 반응성의 기를 가지는 공중합체이다. 이러한 반응성의 기로서는, 에틸렌성 불포화기, 즉, 탄소-탄소 이중 결합을 가지는 기가 바람직하고, 예를 들면, 비닐기, 알릴기, 스티릴기, (메타)아크릴로일옥시기, (메타)아크릴로일아미노기 등을 들 수 있다.

[0078] 이러한 반응성의 기는, 예를 들면, 공중합 폴리머의 측쇄에, 하이드록시기를 가지는 공중합체에, 하이드록시기와 반응하는 기, 예를 들면, 이소시아네이트기 등을 가지고, 또한 자외선 조사로 중합 반응하는 것이 가능한 상기 반응성의 기를 가지는 화합물[(대표적으로는, 2-(메타)아크릴로일옥시에틸이소시아네이트]을 반응시키는 것에 의해서 얻을 수 있다.

[0079] 또한, 방사선에 의해 점착제층을 중합시키는 경우에는, 광중합성 개시제, 예를 들면 이소프로필벤조인에테르, 이소부틸벤조인에테르, 벤조페논, 미힐러케톤, 클로로티옥산톤, 벤질메틸케탈, α-하이드록시시클로헥실페닐케톤, 2-하이드록시메틸페닐프로판 등을 병용할 수 있다. 이들 중 적어도 1종류를 점착제층에 첨가하는 것으로써, 효율적으로 중합 반응을 진행시킬 수 있다.

[0080] 2-에틸헥실아크릴레이트와 n-부틸아크릴레이트와의 공중합체로 이루어지는 아크릴계 점착제에 대해서, 자외선 경화성의 탄소-탄소 이중 결합을 가지는 (메타)아크릴레이트 화합물을 함유하고, 광개시제 및 광증감제, 그 외 종래 공지의 점착 부여제, 연화제, 산화 방지제 등을 배합하여 이루어지는 점착제는 바람직한 형태 중 하나이다.

[0081] 방사선 경화형 점착제 혹은 방사선 경화형 점착제로 이루어지는 점착제층은, 일본 공개특허공보 2014-192204호의 단락 번호 0036 ~ 0055에 기재되어 있는 것이 바람직하다.

[0082] 점착제층(3b)의 두께는, 5 ~ 100㎛가 바람직하고, 5 ~ 30㎛가 보다 바람직하다. 5㎛보다 얇으면 패턴면(2)에 형성된 소자 등의 보호가 불충분해질 우려가 있고, 또한, 패턴 표면의 요철에 대해서 밀착 부족인 경우, SF_6 가스의 침입에 의해 디바이스에 대해서 데미지가 발생한다. 한편, 100㎛를 초과하면 O_2 플라즈마에서의 에싱 처리가 곤란해진다. 또한, 디바이스의 종류에도 의하나, 패턴 표면의 요철은 대체로 수㎛ ~ 15㎛ 정도이기 때문에, 5 ~ 30㎛가 보다 바람직하다.

[0083] 점착제층(3b)에는, 상기 재질로 이루어지는 점착제에 더하여, 앵커층을 기재 필름(3a)측에 포함하여 마련할 수 있다. 이 앵커층은, 통상, (메타)아크릴 공중합체와 경화제를 필수 성분으로 하는 아크릴계 점착제로 이루어지고, 감압형 점착제가 사용된다.

[0084] 기재 필름(3a)과 점착제층(3b)과의 층간에는, 기재 필름(3a)만을 당겨서 박리하기 쉽게, 밀착성 향상 처리인 코

로나 처리나, 접착 용이 프라이머 코팅 등은 행하지 않는 것이 바람직하다.

[0085] 또한, 마찬가지 취지로부터, 기재 필름(3a)의 평활면에 대해서 점착제층(3b)을 적층하는 것이 바람직하고, 기재 필름(3a)의 요철면(주름면)에 대해서는 점착제층(3b)을 적층하지 않는 것이 바람직하다. 요철면에 적층하면 기재 필름(3a)에 대한 점착제층(3b)의 밀착성이 높아지기 때문이다. 또한, 기재 필름(3a)로서 점착제층(3b)과의 사이의 박리를 용이하게 하는 세퍼레이터를 사용하는 것도 바람직하다.

[0086] 웨이퍼 고정 테이프(4)는, 반도체 웨이퍼(1)를 유지하고, 플라즈마 다이싱 공정에 노출되어도 견딜 수 있는 플라즈마 내성이 필요하다. 또한, 픽업 공정에 있어서는 양호한 픽업성이나 경우에 따라서는 확장성 등도 요구되는 것이다. 이러한 웨이퍼 고정 테이프(4)에는, 상기 표면 보호 테이프(3)와 마찬가지의 테이프를 이용할 수 있다. 또한, 일반적으로 다이싱 테이프로 칭해지는 종래의 플라즈마 다이싱 방식에서 이용되는 공지의 다이싱 테이프를 이용할 수 있다. 또한, 픽업 후의 다이본딩 공정으로의 이행을 용이하게 하기 위해서, 점착제층과 기재 필름의 사이에 다이본딩용 접착제가 적층된 다이본딩 테이프를 이용할 수도 있다.

[0087] 점착제층(3b)을 절단하는 레이저 조사에는, 자외선 또는 적외선의 레이저광을 조사하는 레이저 조사 장치를 이용할 수 있다. 이 레이저광 조사 장치는, 반도체 웨이퍼(1)의 스트리트를 따라서 이동 가능하게 레이저 조사부를 배치하고 있고, 점착제층(3b)을 제거하기 위해서 적절히 제어된 출력의 레이저를 조사할 수 있다. 레이저광으로서 CO_2 레이저를 이용하면 수 W ~ 수십 W의 대출력을 얻는 것이 가능하고, 레이저 중에서도 CO_2 레이저를 적합하게 이용할 수 있다.

[0088] 플라즈마 다이싱 및 플라즈마 에싱을 행하기 위해서는 플라즈마 에칭 장치를 이용할 수 있다. 플라즈마 에칭 장치는, 반도체 웨이퍼(1)에 대해서 드라이 에칭을 할 수 있는 장치로서, 진공 챔버 내에 밀폐 처리 공간을 만들고, 고주파측 전극에 반도체 웨이퍼(1)가 탑재되고, 그 고주파측 전극에 대향해서 마련된 가스 공급 전극측으로부터 플라즈마 발생용 가스가 공급되는 것이다. 고주파측 전극에 고주파 전압이 인가되면 가스 공급 전극과 고주파측 전극의 사이에 플라즈마가 발생하기 때문에, 이 플라즈마를 이용한다. 발열하는 고주파 전극 내에는 냉매를 순환시켜서, 플라즈마의 열에 의한 반도체 웨이퍼(1)의 온도 상승을 방지하고 있다.

[0089] 상기 반도체 웨이퍼의 처리 방법에 의하면, 패턴면을 보호하는 표면 보호 테이프에 플라즈마 다이싱에 있어서의 마스크 기능을 가지게 한 것으로, 종래의 플라즈마 다이싱 프로세스에서 이용되고 있던 레지스트를 마련하기 위한 포토리소 공정 등이 불필요해진다. 특히 표면 보호 테이프를 이용했기 때문에, 마스크의 형성에 인쇄나 전사 등의 고도의 위치 맞춤이 요구되는 기술이 불필요하고 간단하게 반도체 웨이퍼 표면에 맞붙일 수 있고, 레이저 장치가 있으면 간단하게 마스크를 형성할 수 있다.

[0090] 또한, 점착제층(3b)을 O_2 플라즈마로 제거할 수 있기 때문에, 플라즈마 다이싱을 행하는 장치와 동일한 장치로 마스크 부분의 제거를 할 수 있다. 이에 더하여 패턴면(2)측(표면(S)측)으로부터 플라즈마 다이싱을 행하기 때문에, 픽킹 작업 전에 칩의 상하를 반전시킬 필요가 없다. 이들 이유로부터 설비를 간이화할 수 있고, 프로세스 코스트를 큰 폭으로 억제할 수 있다.

[0091] <제2 실시형태[도 6]>

[0092] 본 실시형태에서는 제1 실시형태에 있어서의 기재 필름(3a)을 박리하는 공정 전에, 표면 보호 테이프(3)에 자외선 등의 방사선을 조사하여 점착제층을 경화시키는 공정을 포함하는 점에서 제1 실시형태와 다르다. 그 외의 공정은 제1 실시형태와 동일하다.

[0093] 즉, 반도체 웨이퍼(1)의 표면(S)측에는 표면 보호 테이프(3)를 맞붙이고, 반도체 웨이퍼(1)의 연삭한 이면(B)측에는 웨이퍼 고정 테이프(4)를 맞붙이고, 링 프레임(F)에 지지 고정한(도 2(c), 도 6(a) 참조) 후, 표면(S)측으로부터 표면 보호 테이프(3)를 향해서 자외선(UV)을 조사한다(도 6(b) 참조). 그리고, 표면 보호 테이프(3)의 점착제층(3b)을 경화시킨 후, 기재 필름(3a)을 제거하여(도 6(c) 참조) 점착제층(3b)을 노출한다. 그리고 레이저(L)에 의해 스트리트에 상당하는 부분의 점착제층(3b)을 잘라내는 공정으로 이행한다.

[0094] 본 실시형태에서 이용하는 표면 보호 테이프는, 제1 실시형태에서 나타낸 표면 보호 테이프(3) 중에서도 자외선 등의 방사선으로 경화 가능한 재질을 점착제층(3b)에 이용한 것이다.

[0095] 점착제층(3b)을 자외선 등으로 경화시키는 것으로, 기재 필름(3a)과의 박리를 용이하게 하고, 또한, 플라즈마 다이싱시의 플라즈마 내성을 향상시킬 수 있다.

[0096] <제3 실시형태[도 7]>

[0097] 제1 실시형태에서는, 표면 보호 테이프(3)의 기재 필름(3a)을 박리하고 나서 CO_2 레이저로 점착제층(3b)을 절단하여 스트리트 부분을 개구하고 있었으나, 본 실시형태에서는, 기재 필름(3a)을 붙인 채로 CO_2 레이저로 그 기재 필름(3a)과 점착제층(3b)과의 양 층을 절단하여 스트리트 부분을 개구하는 점에서 다르다.

[0098] 다시 말하자면, 표면 보호 테이프(3) 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 반도체 웨이퍼의 스트리트를 개구하는 공정과, 표면 보호 테이프(3)로부터 그 기재 필름(3a)을 박리하여 표면 보호 테이프(3)의 점착제층(3b)을 표출시키는 공정을, 제1 실시형태의 표면 보호 테이프(3)로부터 그 기재 필름(3a)을 박리하여 표면 보호 테이프(3)의 점착제층(3b)을 표출시키는 공정과, 표출된 점착제층(3b) 중 반도체 웨이퍼의 스트리트에 상당하는 부분을 CO_2 레이저로 절단하여 스트리트를 개구하는 공정 대신에 실행한다.

[0099] 즉, 반도체 웨이퍼(1)의 표면(S)측에는 표면 보호 테이프(3)를 맞붙이고, 반도체 웨이퍼(1)의 연삭한 이면(B)측에는 웨이퍼 고정 테이프(4)를 맞붙이고, 링 프레임(F)에 지지 고정한(도 2(c), 도 7(a) 참조) 후, 표면(S)측으로부터 격자 형상 등으로 적절히 형성된 복수의 스트리트(도시하지 않음)에 대해서 CO_2 레이저(L)를 조사하여, 표면 보호 테이프(3)를 제거하여 스트리트 부분을 개구한다(도 7(b) 참조). 다음에 남은 마스크 부분의 기재 필름(3a)을 제거하여 점착제층(3b)을 노출한다(도 7(c)). 그리고 플라즈마 다이싱 공정으로 이행한다.

[0100] 마스크 부분에 남은 기재 필름(3a)의 제거는, 별도 준비한 점착 테이프를, 제거해야 할 기재 필름(3a)에 붙이고, 그 점착 테이프와 함께 기재 필름(3a)을 제거하는 방법을 채용하면 간단하게 기재 필름(3a)을 제거할 수 있어서 바람직하다.

[0101] 본 실시형태에서는, 기재 필름(3a)마다 레이저로 절단했기 때문에, 기재 필름 부분을 사전에 박리하는 공정이 간략화 가능해진다.

[0102] <제4 실시형태[도 8]>

[0103] 본 실시형태에서는 제3 실시형태에 있어서의 기재 필름(3a)을 박리하는 공정 전에, 표면 보호 테이프(3)에 자외선 등의 방사선을 조사하여 점착제층(3b)을 경화시키는 공정을 포함하는 점에서 제3 실시형태와 다르다. 그 외의 공정은 제3 실시형태와 동일하다.

[0104] 즉, 반도체 웨이퍼(1)의 표면(S)측에는 표면 보호 테이프(3)를 맞붙이고, 반도체 웨이퍼(1)의 연삭한 이면(B)측에는 웨이퍼 고정 테이프(4)를 맞붙이고, 링 프레임(F)에 지지 고정한(도 2(c), 도 8(a) 참조) 후, 표면(S)측으로부터 표면 보호 테이프(3)를 향해서 자외선(UV)을 조사한다(도 8(b) 참조). 그리고, 표면 보호 테이프(3)의 점착제층(3b)을 경화시킨 후, 표면(S)측으로부터 격자 형상 등으로 적절히 형성된 복수의 스트리트(도시하지 않음)에 대해서 CO_2 레이저(L)를 조사하여, 표면 보호 테이프(3)를 제거하여 스트리트 부분을 개구한다(도 8(c) 참조). 다음에 남은 마스크 부분의 기재 필름(3a)을 재거하여 점착제층(3b)을 노출한다(도 8(d)). 그리고 플라즈마 다이싱 공정으로 이행한다.

[0105] 본 실시형태에서 이용하는 표면 보호 테이프(3)는, 제1 실시형태로 나타낸 표면 보호 테이프(3) 중에서도 자외선 등의 방사선으로 경화 가능한 재질을 점착제층(3b)에 이용한 것이다.

[0106] 점착제층(3b)을 자외선 등으로 경화시키는 것으로, 기재 필름(3a)과의 박리를 용이하게 하고, 또한, 플라즈마 다이싱시의 플라즈마 내성을 향상시킬 수 있다.

[0107] 본 실시형태의 변형예로서 레이저에 의한 스트리트 부분의 개구를 형성하는 공정을, 자외선 조사 공정에 앞서서 행할 수 있다. 이와 같이 해도 마스크 부분의 점착제층(3b)을 경화시킬 수 있다.

[0108] 상기 실시형태는 본 발명의 일례이며, 이러한 형태로 한정되는 것이 아니고, 본 발명의 취지에 반하지 않는 한도에 있어서, 각 프로세스에 있어서의 공지의 프로세스의 부가나 삭제, 변경 등을 할 수 있는 것이다.

[0109] [실시예]

[0110] 이하, 실시예에 기초하여 본 발명을 더 상세하게 설명하지만, 본 발명은 이것으로 한정되는 것은 아니다.

실 시 예 1

[0111] 하기 표 1에 나타내는 구성으로 이루어지는 시료 1 ~ 8의 표면 보호 테이프를 준비하여, 각각의 표면 보호 테이프를 이용하여 다음에 나타내는 공정의 처리를 행했다.

[0112] 우선, 직경 8 인치의 실리콘 웨이퍼의 패턴면측에 웨이퍼와 대략 동일 지름이 되도록 표면 보호 테이프를 맞붙이고, 백 그라인더[DFD8540(가부시키가이샤디스코제)]로 웨이퍼 두께가 50㎛가 될 때까지 연삭했다. 다음에, 연삭된 웨이퍼 이면측에 UV 경화형 다이싱 테이프[UC-353EP-110(후루카와덴코제)]를 맞붙이고, 링 프레임에서 지지 고정했다. 다음에 표면 보호 테이프로부터 기재 필름을 당겨서 박리하고, 노출된 점착제층 위로부터 실리콘 웨이퍼의 스트리트 부분을 따라서, CO_2 레이저로 점착제층을 제거하여 스트리트 부분을 개구했다.

[0113] 그 후, 플라즈마 발생용 가스로서 SF_6 가스를 이용하고, 0.5㎛/분의 에칭 속도로, 노출된 점착제층의 면측으로부터 플라즈마 조사하여, 플라즈마 다이싱을 행하고, 웨이퍼를 절단하여 각각의 칩으로 분할했다. 다음에 플라즈마 발생용 가스로서 O_2 가스를 이용하고, 1.0㎛/분의 에칭 속도로, 에싱을 행하고, 점착제층을 제거했다. 그 후, 다이싱 테이프측으로부터 자외선을 조사하여 다이싱 테이프의 점착력을 저감시키고, 픽업 공정에서, 칩을 픽업했다.

표 1

[0114]

시료번호	기재 필름		점착제층	
	재질	두께	재질	두께
시료 1	LDPE/EVA 적층	110μm	1 층:반응성 P	20μm
시료 2	PP/PET 적층	95μm	2 층:앵커층/점착제층 앵커층:감압형 점착제 점착제층:반응성 P	30μm
시료 3	PET	25μm	2 층:앵커층/점착제층 앵커층:감압형 점착제 점착제층:반응성 P	15μm
시료 4	PEN	25μm	2 층:앵커층/점착제층 앵커층:감압형 점착제 점착제층:반응성 P	15μm
시료 5	PET	25μm	1 층:점착제층 A	5μm
시료 6	PET(세퍼레이터)	25μm	1 층:점착제층 A	5μm
시료 7	PET(세퍼레이터)	25μm	1 층:점착제층 A	10μm
시료 8	PET(세퍼레이터)	25μm	1 층:점착제층 A	15μm

[0115] 여기서, 표 1중의 세퍼레이터는 토요보제 E7006이다. 반응성 P는, 폴리머의 분자 중에 탄소-탄소 이중 결합을 가지는 아크릴계 점착제를 주성분으로 하는 자외선 경화형 점착제이며, 점착제층 A는, 아크릴계 점착제와 방사선 중합성 화합물을 주성분으로 하는 자외선 경화형 점착제의 층이다. 또한, 앵커층의 감압형 점착제는 아크릴계 공중합체와 경화제를 주성분으로 하는 감압형 점착제이다.

[0116] 픽업 후의 칩을 체크했는데, 시료 1 ~ 8의 어느 표면 보호 테이프를 이용하여 실험한 예에서도 칩핑은 관측되지 않았다. 또한, 양호하게 픽업할 수 있었다.

실 시 예 2

[0117] 상기 표 1에 나타내는 구성으로 이루어지는 시료 1 ~ 8의 표면 보호 테이프를 이용하여 실시예 1의 일부를 변경하는 처리를 행했다.

[0118] 즉, 기재 필름의 당겨서 박리하기 전에 자외선을 조사하여 점착제층을 경화하는 처리를 행했다. 그 외의 처리는 실시예 1과 마찬가지로 했다.

[0119] 픽업 후의 칩을 체크했는데, 시료 1 ~ 8의 어느 표면 보호 테이프를 이용하여 실험한 예에서도 칩핑은 관측되지 않았다. 또한, 양호하게 픽업할 수 있었다.

실 시 예 3

[0120] 상기 표 1에 나타내는 구성으로 이루어지는 시료 1 ~ 8의 표면 보호 테이프를 이용하여 실시예 1의 일부를 변경하는 처리를 행했다.

[0121] 즉, 기재 필름의 당겨서 박리하기 전에 CO_2 레이저로 기재 필름과 점착제층을 제거하여 스트리트 부분을 개구하고 나서, 기재 필름을 제거하고, 그 후 플라즈마 다이싱 처리를 행했다. 그 외의 처리는 실시예 1과 마찬가지로 했다.

[0122] 픽업 후의 칩을 체크했는데, 시료 1 ~ 8의 어느 표면 보호 테이프를 이용하여 실험한 예에서도 칩핑은 관측되지 않았다. 또한, 양호하게 픽업할 수 있었다.

실 시 예 4

[0123] 상기 표 1에 나타내는 구성으로 이루어지는 시료 1 ~ 8의 표면 보호 테이프를 이용하여 실시예 3의 일부를 변경하는 처리를 행했다.

[0124] 즉, CO_2 레이저를 조사하기 전에 자외선을 조사하여 점착제층을 경화하는 처리를 행했다. 그 외의 처리는 실시예 3과 마찬가지로 했다.

[0125] 픽업 후의 칩을 체크했는데, 시료 1 ~ 8의 어느 표면 보호 테이프를 이용하여 실험한 예에서도 칩핑은 관측되지 않았다. 또한, 양호하게 픽업할 수 있었다.

[0126] 상기 실시예 1 ~ 4로 명백한 바와 같이, 포토리소 공정이 불필요해지고, 제조 설비를 간이화하여 프로세스 코스트를 억제하고, 칩 절단면의 칩핑을 저감하는 것이 가능해졌다.

[0127] 본 발명을 그 실시형태와 함께 설명했지만, 우리는 특별히 지정하지 않는 한 우리의 발명을 설명의 어느 세부에 있어서도 한정하려고 하는 것이 아니고, 첨부의 청구범위에 나타낸 발명의 정신과 범위에 반하는 일 없이 폭넓게 해석되는 것이 당연하다고 생각한다.

[0128] 본원은, 2015년 3월 13일에 일본에서 특허 출원된 일본 특허출원 2015-051482에 기초하는 우선권을 주장하는 것이며, 이것은 여기에 참조하여 그 내용을 본 명세서의 기재의 일부로서 넣는다.

부호의 설명

[0129] 1: 반도체 웨이퍼

2: 패턴면

3: 표면 보호 테이프

3a: 기재 필름

3b: 점착제층

4: 웨이퍼 고정 테이프

4a: 점착제층 또는 접착제층

4b: 기재 필름

7: 칩

S: 표면

B: 이면

M1: 웨이퍼 연삭 장치

M2: 핀

M3: 콜릿

F: 링 프레임

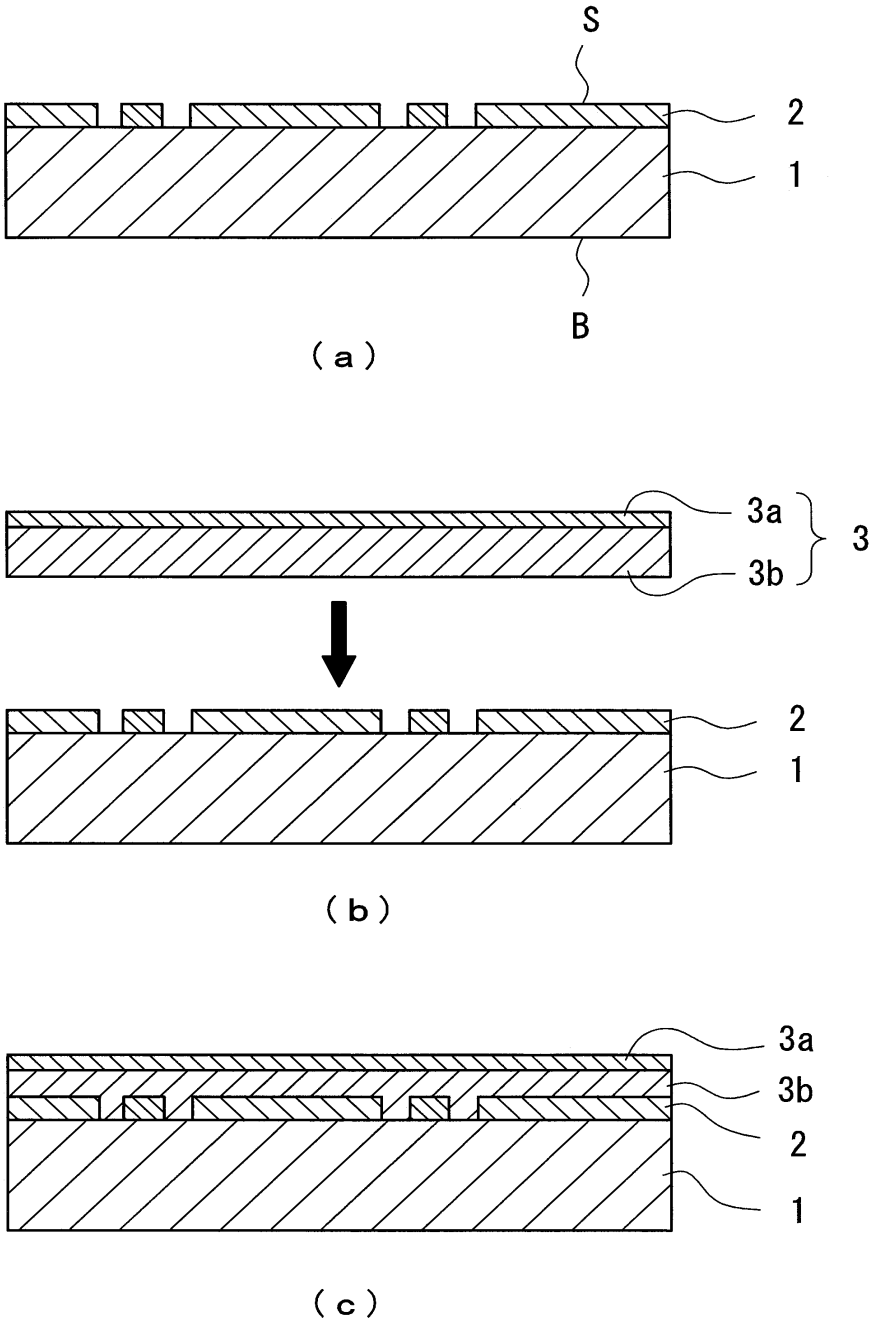
L: CO_2 레이저

P1: SF_6 가스의 플라즈마

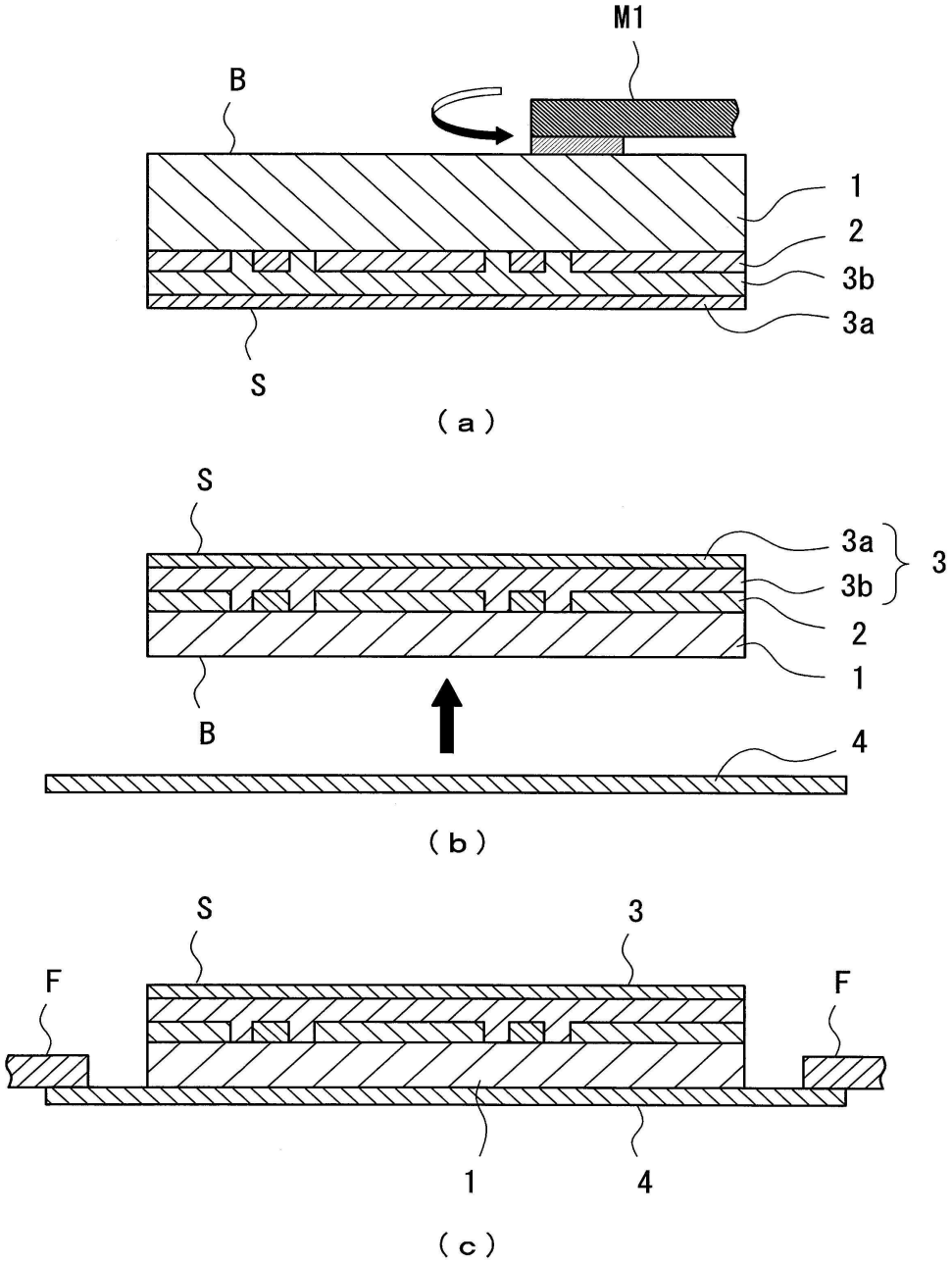
P2: O_2 가스의 플라즈마

도면

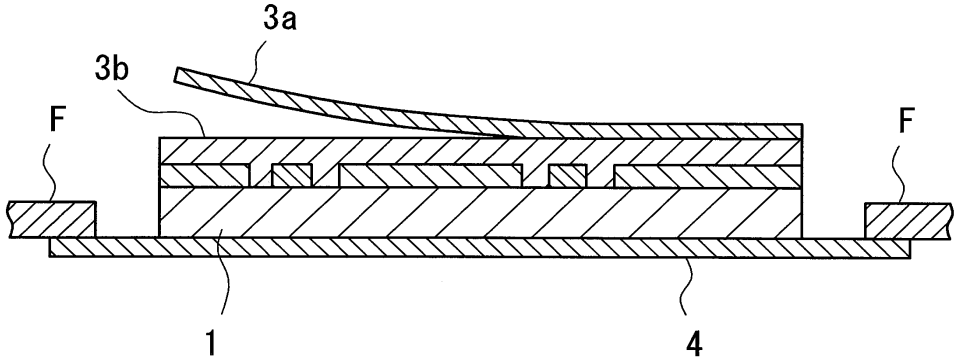
도면1



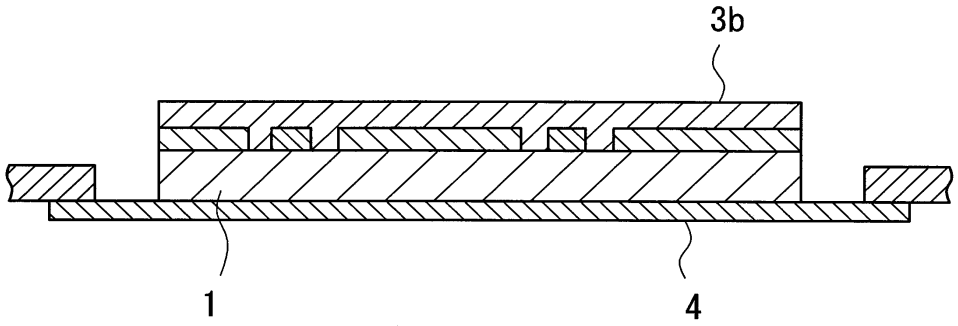
도면2



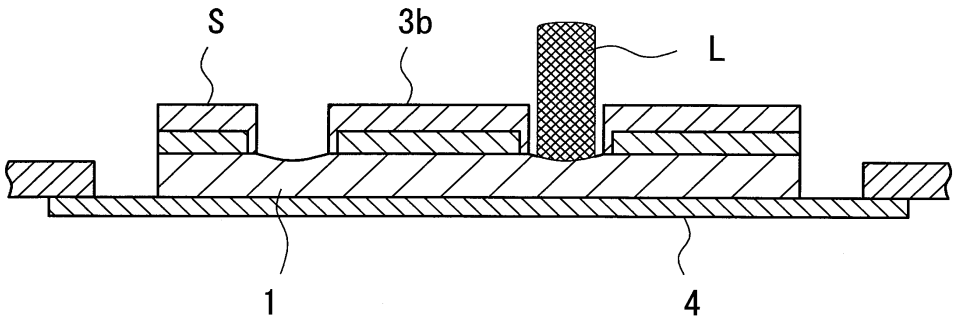
도면3



(a)

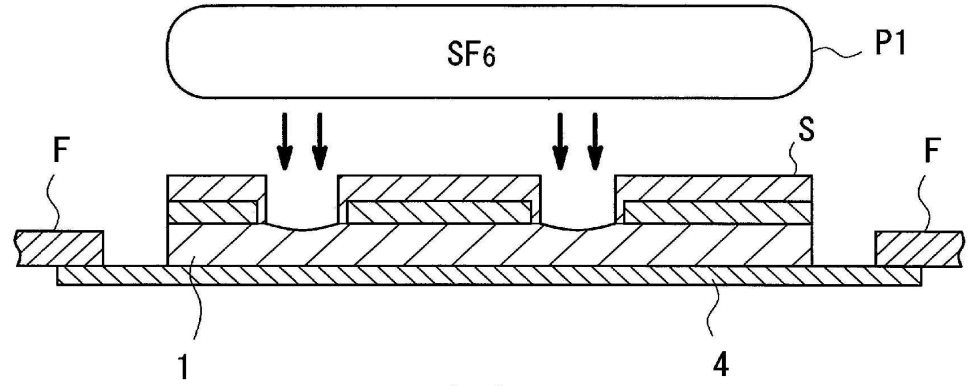


(b)

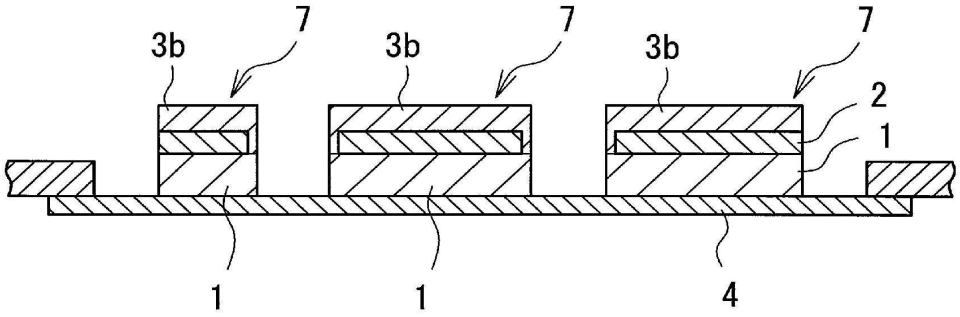


(c)

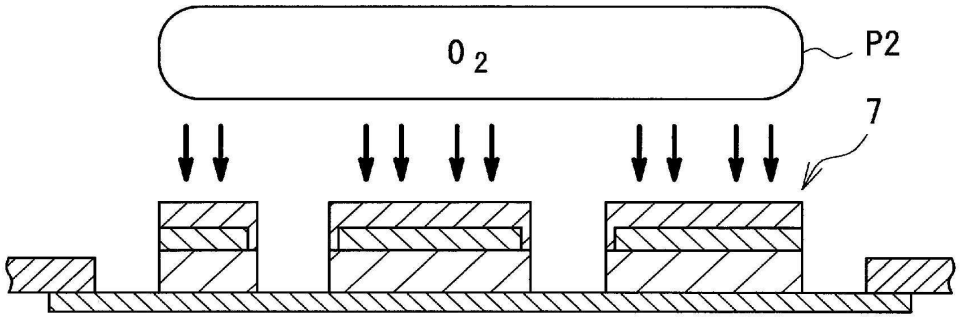
도면4



(a)

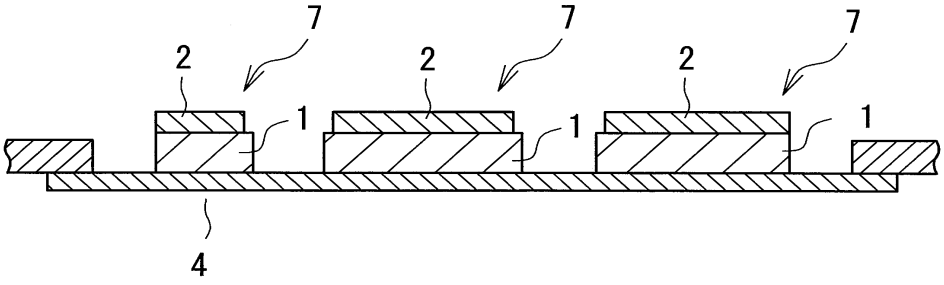


(b)

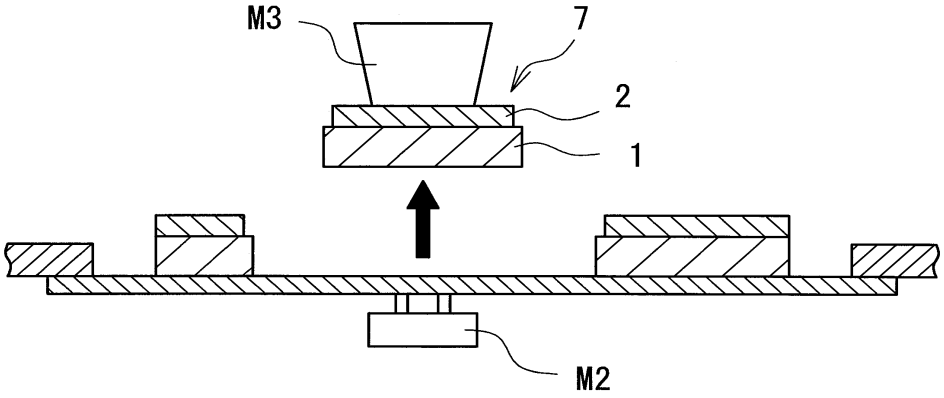


(c)

도면5

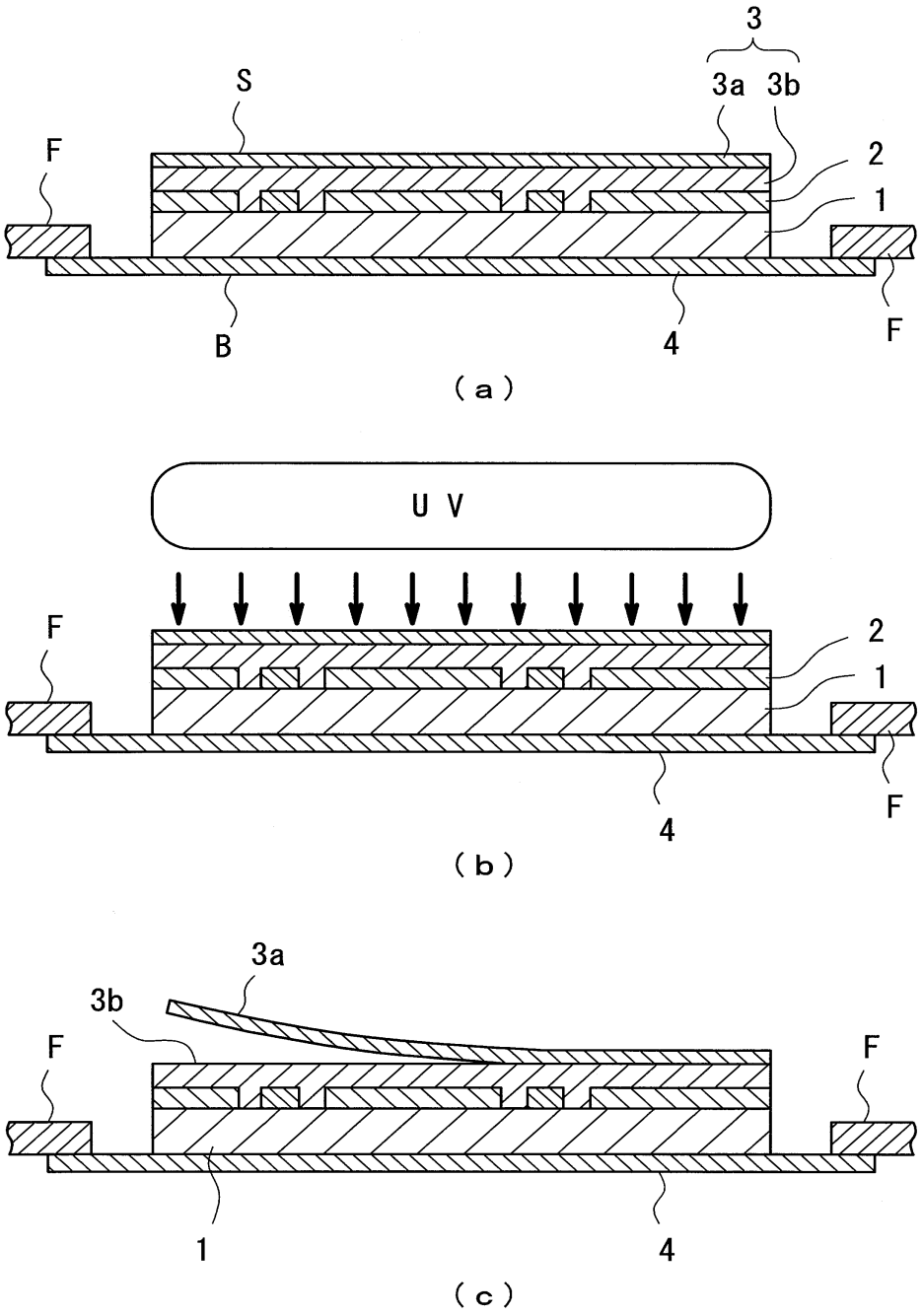


(a)

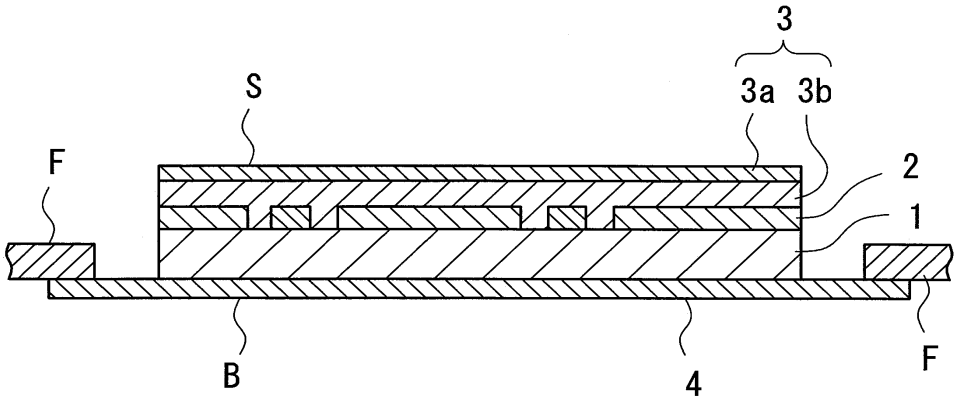


(b)

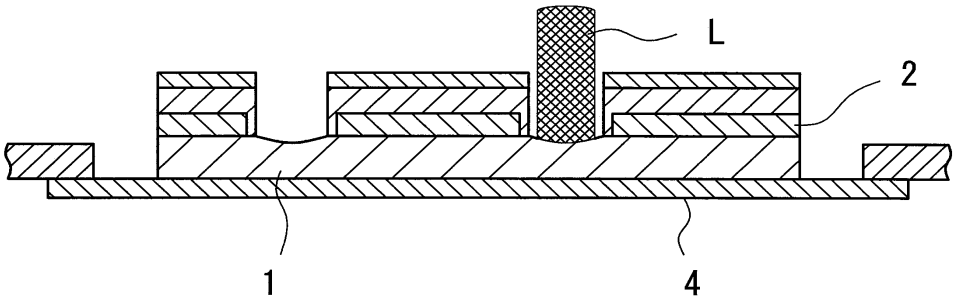
도면6



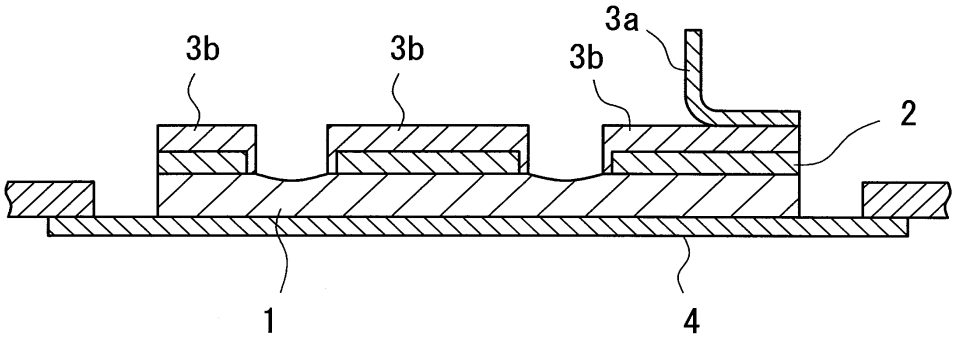
도면7



(a)



(b)



(c)

도면8

