



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0111644  
(43) 공개일자 2008년12월24일

(51) Int. Cl.

H03M 1/08 (2006.01)

(21) 출원번호 10-2007-0059849

(22) 출원일자 2007년06월19일

심사청구일자 2007년06월19일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천 남구 용현3동 인하대학교 전자공학과 하이테크관 810호

남태규

대전 유성구 문지동 104-38번지 (주)실리콘웍스

(74) 대리인

이은철, 유완식

전체 청구항 수 : 총 8 항

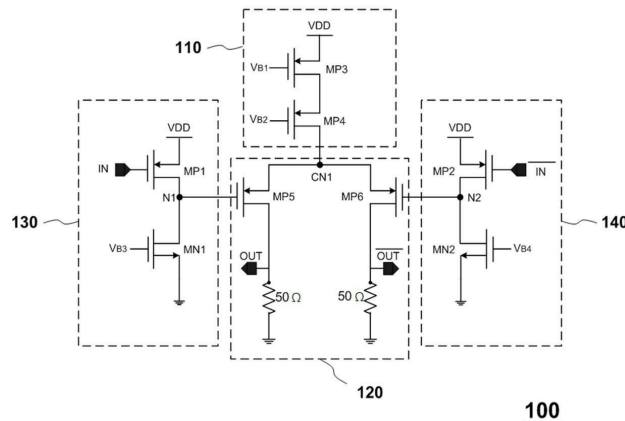
(54) 소스 증폭기를 이용한 스위치 구동회로

(57) 요약

본 발명은 소스 증폭기를 이용한 스위치 구동회로에 관한 것으로서, 소스 증폭기를 이용하여 차동 스위치단에 인가되는 디지털 입력의 출력 스윙 폭을 줄임으로써 디지털 아날로그 변환기의 출력단에 저장되는 기생 커패시터 전하량을 최소화하고, MOS 트랜지스터의 게이트-소스 전압을 줄여줌으로써 글리치 에너지를 최소화 할 수 있는 스위치 구동회로를 제공함에 그 특징적인 목적이 있다.

이러한 특징적인 목적을 달성하기 위한 본 발명은, 전원전압으로부터 소정의 전류를 공급받으며, 차동 스위치부의 공통노드 사이에 직렬로 연결된 제 3 PMOS 트랜지스터 및 제 4 PMOS 트랜지스터를 포함하는 전류발생부; 전류발생부와 공통노드를 통해 연결되어 일정한 정전류를 공급받으며, 공통노드와 각각 연결된 제 5 PMOS 트랜지스터 및 제 6 PMOS 트랜지스터를 포함하는 차동 스위치부; 차동 스위치부의 제 5 PMOS 트랜지스터와 제 1 노드를 통해 연결되는 제 1 소스 증폭부; 및 차동 스위치부의 제 6 PMOS 트랜지스터와 제 2 노드를 통해 연결되는 제 2 소스 증폭부; 를 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

소스 증폭기를 이용한 스위치 구동회로에 있어서,

전원전압으로부터 소정의 전류를 공급받으며, 하기의 차동 스위치부(120)의 공통노드(CN1) 사이에 직렬로 연결된 제 3 PMOS 트랜지스터(MP3) 및 제 4 PMOS 트랜지스터(MP4)를 포함하는 전류발생부(110);

상기 전류발생부와 공통노드(CN1)를 통해 연결되어 일정한 정전류를 공급받으며, 상기 공통노드(CN1)와 각각 연결된 제 5 PMOS 트랜지스터(MP5) 및 제 6 PMOS 트랜지스터(MP6)를 포함하는 차동 스위치부(120);

상기 차동 스위치부의 제 5 PMOS 트랜지스터(MP5)와 제 1 노드(N1)를 통해 연결되는 제 1 소스 증폭부(130); 및

상기 차동 스위치부의 제 6 PMOS 트랜지스터(MP6)와 제 2 노드(N2)를 통해 연결되는 제 2 소스 증폭부(140); 를 포함하는 소스 증폭기를 이용한 스위치 구동회로.

### 청구항 2

제 1 항에 있어서,

상기 전류발생부(120)는,

상기 제 3 PMOS 트랜지스터(MP3)의 게이트에 제 1 바이어스 전압(VB1)이 인가되고, 상기 제 4 PMOS 트랜지스터(MP4)의 게이트에는 제 2 바이어스 전압(VB2)이 인가됨으로써, 공통노드(CN1)로 일정한 정전류를 제공하는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

### 청구항 3

제 1 항에 있어서,

상기 차동 스위치부(120)는,

상기 제 5 PMOS 트랜지스터(MP5)의 소스가 상기 공통노드(CN1)와 연결되고, 드레인이 제 1 출력단(OUT)에 연결되는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

### 청구항 4

제 1 항에 있어서,

상기 차동 스위치부(120)는,

상기 제 6 PMOS 트랜지스터(MP6)의 소스가 상기 공통노드(CN1)와 연결되고 드레인은 제 2 출력단(OUT)에 연결되는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

### 청구항 5

제 1 항에 있어서,

상기 제 1 소스 증폭부(130)는,

상기 제 1 노드(N1)를 통해 상기 제 5 PMOS 트랜지스터(MP5)의 게이트와 연결되는 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)를 포함하는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

### 청구항 6

제 5 항에 있어서,

상기 제 1 소스 증폭부(130)는,

상기 제 1 PMOS 트랜지스터(MP1)의 소스가 전원전압(VDD)과, 게이트가 제 1 입력단(IN)과, 드레인이 제 1 노드(N1)와 연결되며,

상기 제 1 NMOS 트랜지스터(MN1)의 드레인은 접지되며, 소스가 제 1 노드(N1)와, 게이트가 제 3 바이어스 전압(VB3)이 인가되는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

#### 청구항 7

제 1 항에 있어서,

상기 제 2 소스 증폭부(140)는,

상기 제 2 노드(N2)를 통해 상기 제 6 PMOS 트랜지스터(MP6)의 게이트와 연결되는 제 2 PMOS 트랜지스터(MP2) 및 제 2 NMOS 트랜지스터(MN2)를 포함하는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

#### 청구항 8

제 7 항에 있어서,

상기 제 2 소스 증폭부(140)는,

상기 제 2 PMOS 트랜지스터(MP2)의 소스가 전원전압(VDD)과, 게이트가 제 2 입력단(IN)과, 드레인이 제 2 노드(N2)와 연결되며,

상기 제 2 NMOS 트랜지스터(MN2)의 드레인은 접지되며, 소스가 제 2 노드(N2)와, 게이트가 제 4 바이어스 전압(VB4)이 인가되는 것을 특징으로 하는 소스 증폭기를 이용한 스위치 구동회로.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 스위치 구동회로에 관한 것으로서, 더욱 상세하게는, 소스 증폭기를 이용하여 디지털 아날로그 변환기의 차동 스위치단에 인가되는 디지털 출력의 스윙을 감소시킴으로써, 아날로그 출력단의 기생 커패시터에 쌓이는 전하량을 감소시킬 수 있는, 소스 증폭기를 이용한 스위치 구동회로에 관한 것이다.
- <9> 최근에는 고해상도 TV, 디지털 TV, CDP, 디지털 캠코더 및 휴대용 전화기 등과 같이 디지털 신호처리 통신 시스템의 개발이 급격히 진전되고 있다. 특히, 이러한 디지털 통신 시스템 내 디지털 회로에서 처리된 신호를 아날로그 신호로 변환시키는 고속 디지털 아날로그 변환기의 중요성이 대두되고 있다.
- <10> 디지털 신호처리 부분과 아날로그 신호처리 부분의 인터페이스를 담당하는 디지털 아날로그 변환기는 시스템 내에서 중요한 블록으로서, 전류 모드 디지털 아날로그 변환기의 동작원리는 디지털 신호가 전류원을 제어하여 아날로그 신호를 생성하는 것이다. 디지털 신호와 아날로그 신호의 변환은 차동 스위치를 통하여 이루어지고, 차동 스위치를 구동하는 회로에 의하여 그 성능이 결정된다.
- <11> 종래의 디지털 아날로그 변환기는 글리치 억제회로를 통해 차동 스위치의 Crossing point를 이동시켜 글리치 에너지를 억제시키는 기법을 이용하였으나, 이는 차동 제어신호의 교차점을 조절하거나, 전이 시간을 단축하는 방법으로서, 제어신호의 전이가 전원 전압 크기에 해당하는 전 범위에서 이루어지므로 제어신호가 최종 출력신호에 미치는 영향으로 인해 글리치 에너지를 줄이는데 한계가 있었다.

##### 발명이 이루고자 하는 기술적 과제

- <12> 본 발명은 상기와 같은 문제점을 해결하기 위해 창안된 것으로서, 소스 증폭기를 이용하여 차동 스위치단에 인가되는 디지털 입력의 출력 스윙 폭을 줄임으로써 디지털 아날로그 변환기의 출력단에 저장되는 기생 커패시터 전하량을 최소화하고, MOS 트랜지스터의 게이트-소스 전압을 줄여줌으로써 글리치 에너지를 최소화 할 수 있는 스위치 구동회로를 제공함에 그 특징적인 목적이 있다.

##### 발명의 구성 및 작용

- <13> 본 발명은 소스 증폭기를 이용한 스위치 구동회로에 관한 것으로서, 전원전압으로부터 소정의 전류를 공급받으

며, 하기의 차동 스위치부의 공통노드(CN1) 사이에 직렬로 연결된 제 3 PMOS 트랜지스터(MP3) 및 제 4 PMOS 트랜지스터(MP4)를 포함하는 전류발생부; 상기 전류발생부와 공통노드(CN1)를 통해 연결되어 일정한 정전류를 공급받으며, 상기 공통노드(CN1)와 각각 연결된 제 5 PMOS 트랜지스터(MP5) 및 제 6 PMOS 트랜지스터(MP6)를 포함하는 차동 스위치부; 상기 차동 스위치부의 제 5 PMOS 트랜지스터(MP5)와 제 1 노드(N1)를 통해 연결되는 제 1 소스 증폭부; 및 상기 차동 스위치부의 제 6 PMOS 트랜지스터(MP6)와 제 2 노드(N2)를 통해 연결되는 제 2 소스 증폭부; 를 포함한다.

- <14> 구체적으로, 상기 전류발생부는, 상기 제 3 PMOS 트랜지스터(MP3)의 게이트에 제 1 바이어스 전압(VB1)이 인가되고, 상기 제 4 PMOS 트랜지스터(MP4)의 게이트에는 제 2 바이어스 전압(VB2)이 인가됨으로써, 공통노드(CN1)로 일정한 정전류를 제공하는 것을 특징으로 한다.
- <15> 또한, 상기 차동 스위치부는, 상기 제 5 PMOS 트랜지스터(MP5)의 소스가 상기 공통노드(CN1)와 연결되고, 드레인이 제 1 출력단(OUT)에 연결되는 것을 특징으로 한다.
- <16> 또한, 상기 차동 스위치부는, 상기 제 6 PMOS 트랜지스터(MP6)의 소스가 상기 공통노드(CN1)와 연결되고 드레인은 제 2 출력단(OUT)에 연결되는 것을 특징으로 한다.
- <17> 또한, 상기 제 1 소스 증폭부는, 상기 제 1 노드(N1)를 통해 상기 제 5 PMOS 트랜지스터(MP5)의 게이트와 연결되는 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)를 포함하는 것을 특징으로 한다.
- <18> 또한, 상기 제 1 소스 증폭부는, 상기 제 1 PMOS 트랜지스터(MP1)의 소스가 전원전압(VDD)과, 게이트가 제 1 입력단(IN)과, 드레인이 제 1 노드(N1)와 연결되며, 상기 제 1 NMOS 트랜지스터(MN1)의 드레인은 접지되며, 소스가 제 1 노드(N1)와, 게이트가 제 3 바이어스 전압(VB3)이 인가되는 것을 특징으로 한다.
- <19> 또한, 상기 제 2 소스 증폭부는, 상기 제 2 노드(N2)를 통해 상기 제 6 PMOS 트랜지스터(MP6)의 게이트와 연결되는 제 2 PMOS 트랜지스터(MP2) 및 제 2 NMOS 트랜지스터(MN2)를 포함하는 것을 특징으로 한다.
- <20> 그리고, 상기 제 2 소스 증폭부는, 상기 제 2 PMOS 트랜지스터(MP2)의 소스가 전원전압(VDD)과, 게이트가 제 2 입력단(IN)과, 드레인이 제 2 노드(N2)와 연결되며, 상기 제 2 NMOS 트랜지스터(MN2)의 드레인은 접지되며, 소스가 제 2 노드(N2)와, 게이트가 제 4 바이어스 전압(VB4)이 인가되는 것을 특징으로 한다.
- <21> 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 할 것이다. 또한, 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.
- <22> 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.
- <23> 도 1 은 본 발명에 따른 소스 증폭기를 이용한 스위치 구동회로(이하, '스위치 구동회로'라고 함)(100)의 상세 회로도로서, 도시된 바와 같이, 전류발생부(110), 차동 스위치부(120), 제 1 소스 증폭부(130) 및 제 2 소스 증폭부(140)를 포함한다.
- <24> 전류발생부(110)는 전원전압(VDD)으로부터 소정의 전류를 공급하는 것으로서, 전원전압(VDD)과 차동 스위치부(120)의 공통노드(CN1) 사이에 직렬로 연결된 제 3 PMOS 트랜지스터(MP3) 및 제 4 PMOS 트랜지스터(MP4)를 포함한다.
- <25> 구체적으로, 제 3 PMOS 트랜지스터(MP3)의 게이트에 제 1 바이어스 전압(VB1)이 인가되고, 제 4 PMOS 트랜지스터(MP4)의 게이트에는 제 2 바이어스 전압(VB2)이 인가되는 바, 전류발생부(110)는 공통노드(CN1)로 일정한 정전류를 제공한다.
- <26> 차동 스위치부(120)는 공통노드(CN1)와 각각 연결된 제 5 PMOS 트랜지스터(MP5) 및 제 6 PMOS 트랜지스터(MP6)를 포함한다.
- <27> 구체적으로, 제 5 PMOS 트랜지스터(MP5)의 소스는 공통노드(CN1)와 연결되고 드레인은 제 1 출력단(OUT)에 연결되며, 제 6 PMOS 트랜지스터(MP6)의 소스는 공통노드(CN1)와 연결되고 드레인은 제 2 출력단(OUT)에 연결된다.
- <28> 제 1 소스 증폭부(130)는 제 1 노드(N1)를 통해 상기 제 5 PMOS 트랜지스터(MP5)의 게이트와 연결되는 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)를 포함한다.

<29> 구체적으로, 제 1 PMOS 트랜지스터(MP1)의 소스는 전원전압(VDD)과, 게이트는 제 1 입력단(IN)과, 드레인은 제 1 노드(N1)와 연결된다. 또한, 제 1 NMOS 트랜지스터(MN1)의 드레인은 접지되며, 소스는 제 1 노드(N1)와, 게이트는 제 3 바이어스 전압(VB3)이 인가된다.

<30> 제 2 소스 증폭부(140)는 제 2 노드(N2)를 통해 상기 제 6 PMOS 트랜지스터(MP6)의 게이트와 연결되는 제 2 PMOS 트랜지스터(MP2) 및 제 2 NMOS 트랜지스터(MN2)를 포함한다.

<31> 구체적으로, 제 2 PMOS 트랜지스터(MP2)의 소스는 전원전압(VDD)과, 게이트는 제 2 입력단(IN)과, 드레인은 제 2 노드(N2)와 연결된다. 또한, 제 2 NMOS 트랜지스터(MN2)의 드레인은 접지되며, 소스는 제 2 노드(N2)와, 게이트는 제 4 바이어스 전압(VB4)이 인가된다.

<32> 한편, 제 1 소스 증폭부(130)를 통해 스위치 구동회로(100)의 동작원리를 살펴보면, 입력(IN)이 1 일 때, 제 1 PMOS 트랜지스터(MP1)는 차단 영역에서 동작하여 출력 전압 0 이 생성되고, 입력(IN)이 0 일 때, 제 1 PMOS 트랜지스터(MP1)는 선형 동작에서 동작하여 출력 전압 1 이 생성된다.

<33> 제 1 PMOS 트랜지스터(MP1)가 선형 영역에서 동작하면 제 1 PMOS 트랜지스터(MP1)는 저항과 같은 역할을 하고, 제 1 NMOS 트랜지스터(MN1)에 의해 바이어스된 전류가 흐르게 된다.

<34> 이때, 제 1 NMOS 트랜지스터(MN1)에 의한 전류와 제 1 PMOS 트랜지스터(MP1)의 전류는 다음의 각각 [수학식 1] 과 [수학식2]와 같다.

<35> 
$$I_{D,n} = \frac{1}{2} \mu_n C_{ox} \frac{W_n}{L_n} (V_{gs} - V_{th,n})^2 \dots\dots\dots \text{[수학식 1]}$$

<36> 
$$R_{on,p} = [\mu_p C_{ox} \frac{W_p}{L_p} (V_{gs} - V_{th,n})]^{-1} \dots\dots\dots \text{[수학식 2]}$$

<37> 전압 강하에 의한 스위치 구동회로의 출력 전압은  $V_{dd} - I_{D,n} \times R_{on,p}$  의 값이 된다. 이와 같이 소스 증폭기를 통하여 스위치 구동회로(100)의 출력 스윙 폭을 줄임으로써, 종국적으로는 디지털 아날로그 변환기의 출력단의 기생 커패시터( $C_{gd}$ )에 저장되는 전하량을 줄이고 스위칭 에너지를 최소화 할 수 있다. 그리고, 제 5 PMOS 트랜지스터(MP5)와 제 6 PMOS 트랜지스터(MP6)의 게이트-소스 전압을 줄여줌으로써  $V_{DSAT5}$ 와  $V_{DSAT6}$  값을 낮춰주게 된다.

<38> 이와 같은 효과로 차동 스위치(MP5, MP6)의 중·형비를 작게 설계할 수 있고, 그 결과 차동 스위치에 저장되는 전하의 양을 최소화할 수 있어 글리치 에너지를 최소화할 수 있다.

<39> 한편, 도 2 는 본 발명에 따른 스위치 구동회로의 유·무에 따른 글리치 에너지를 나타낸 그래프로서, 도시된 바와 같이, 스위치 구동회로가 없는 경우, 디지털 아날로그 변환기의 출력단의 기생 커패시터( $C_{gd}$ )에 충전되는 전하량에 의해 글리치 에너지가 발생되나, 스위치 구동회로가 있는 경우 스위치에 인가되는 전압이 줄어들어 기생 커패시터( $C_{gd}$ )에 충전되는 전하량이 줄어들어 글리치 에너지가 최소화되는 것을 알 수 있다.

<40> 도 3 은 본 발명에 따른 스위치 구동회로를 디지털 아날로그 변환기에 적용 시, 디지털 아날로그 변환기의 성능 지수인 INL(Integral Non Linearity)과 DNL(Differential Non Linearity) 성능 비교를 나타낸 그래프로서, INL 은 이상적인 코드와 설계된 코드 사이의 오차를 나타내며, DNL은 인접 코드간의 오차를 나타낸다.

<41> 이때, INL과 DNL값을 구하는 계산식은 각각 [수학식 3] 과 [수학식 4] 와 같다.

<42> 
$$INL(i) = \frac{S(i) - S_{ref}(i)}{V_{ref}} [LSB] \dots\dots\dots \text{[수학식 3]}$$

$$DNL(i) = \frac{S(i+1) - S(i) - S_{ref}(i)}{V_{ref}} [LSB] \dots\dots\dots [수학식 4]$$

<44> 여기서,  $S(i)$  는 임의의 출력 전압이고,  $S_{ref}(i)$  는 2진 디지털 입력이 1LSB 증가할 때의 전압이며,  $V_{ref}$  는 한 비트씩 증가하는 LSB 전압이다.

<45> 도 4 는 본 발명에 따른 스위치 구동회로를 12비트 디지털 아날로그 변환기에 적용 시의 FFT 분석 결과와 디지털 아날로그의 출력 파형을 나타낸 그래프로서, 도시된 바와 같이 FFT 분석 결과 스위치 구동 회로를 적용하였을 때 디지털 아날로그 변환기의 SNDR은 샘플링 주파수 125MHz, 입력 주파수 10MHz에서 약 74dB이고 SFDR은 같은 조건에서 87dB로 스위치 구동 회로를 적용하지 않았을 때 보다 우수한 성능을 보임을 알 수 있었다.

<46> 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

## 발명의 효과

<47> 본 발명에 따른 스위치 구동회로를 이용하여, 디지털 출력 스위칭 폭을 줄임으로써 종국적으로 디지털 아날로그 변환기의 출력단의 기생 커패시터에 저장되는 전하량을 최소화하여 스위칭 잡음 특성을 개선할 수 있는 효과가 있다.

<48> 그리고, 차동 스위치부의 게이트-소스 전압을 줄여줌으로써 오버-드라이브 전압 값을 낮춰주게 되는 바, 차동 스위치부의 종·횡비를 작게 설계할 수 있고, 차동 스위치부에 저장되는 전하의 양을 최소화할 수 있어 글리치 에너지를 최소화할 수 있는 효과도 있다.

## 도면의 간단한 설명

<1> 도 1 은 본 발명에 따른 소스 증폭기를 이용한 스위치 구동회로의 상세 회로도.

도 2 는 본 발명에 따른 소스 증폭기를 이용한 스위치 구동회로의 유·무에 따른 클리치 에너지의 비교도.

<3> 도 3 은 본 발명에 따른 소스 증폭기를 이용한 스위치 구동회로의 유·무에 따른 선형성 비교도.

<4> 도 4 는 본 발명에 따른 소스 증폭기를 이용한 스위치 구동회로를 통한 디지털 아날로그 변환기의 출력 파형도.

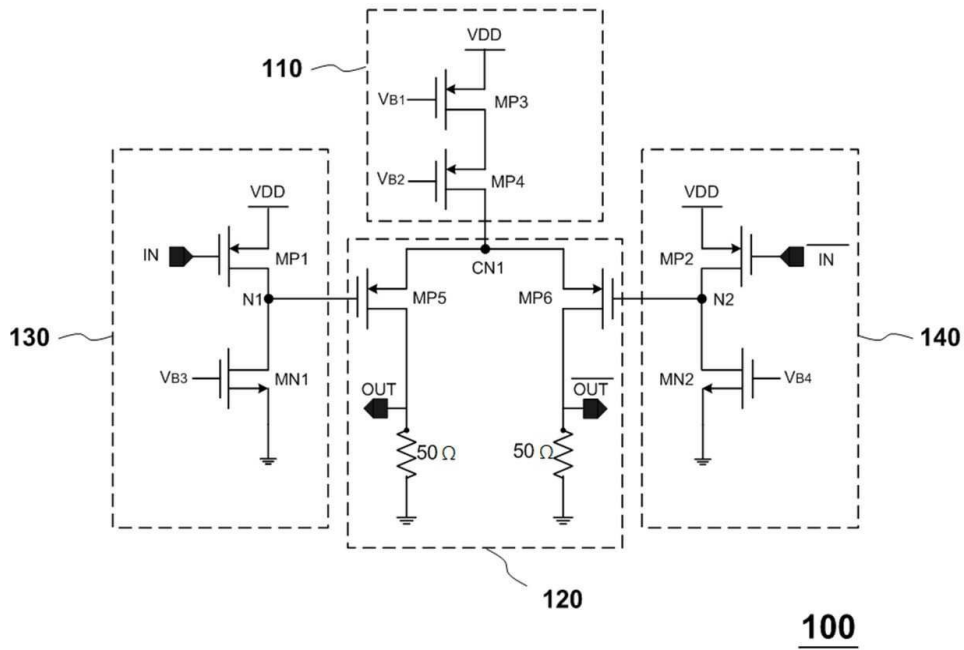
<5>      \*\* 도면의 주요 부분에 대한 부호의 설명 \*\*

<6>      110: 전류발생부                      120: 차동 스위치부

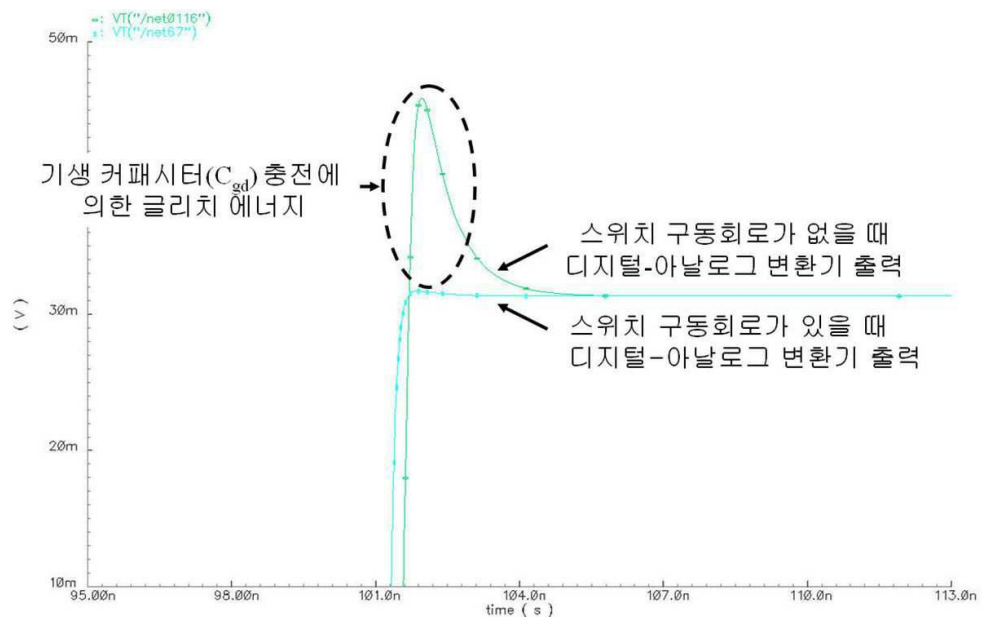
<7> 130: 제 1 소스 증폭부                      140: 제 2 소스 증폭부

도면

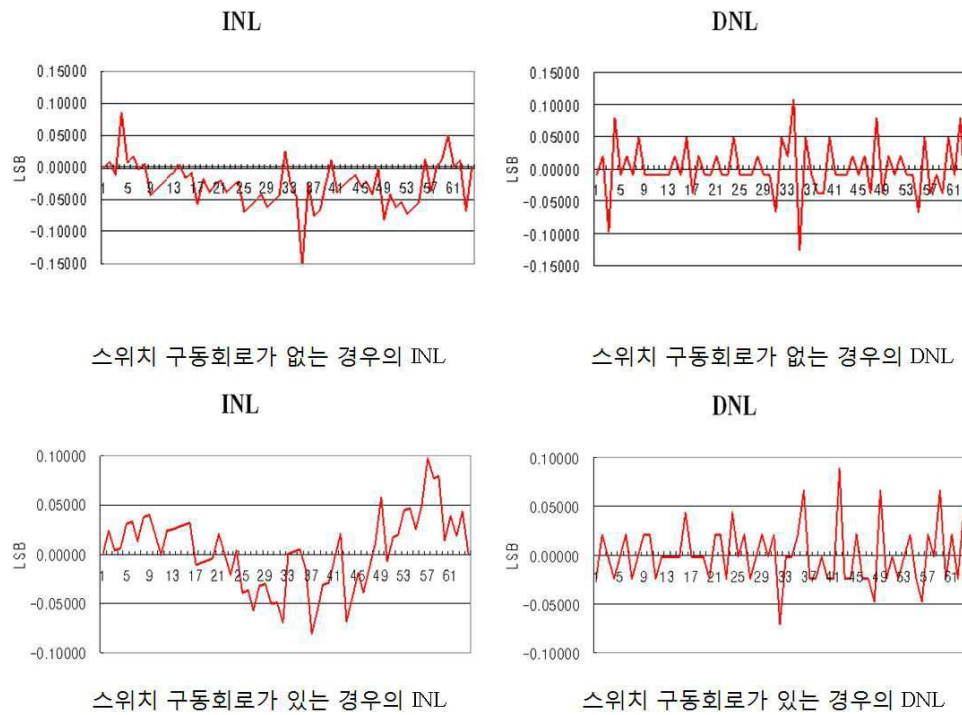
도면1



도면2



도면3



도면4

