

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5047739号
(P5047739)

(45) 発行日 平成24年10月10日(2012.10.10)

(24) 登録日 平成24年7月27日(2012.7.27)

(51) Int.Cl.

F 1

H03L 7/081 (2006.01)
H03L 7/095 (2006.01)H03L 7/08
H03L 7/08J
B

請求項の数 14 (全 19 頁)

(21) 出願番号 特願2007-226719 (P2007-226719)
 (22) 出願日 平成19年8月31日 (2007.8.31)
 (65) 公開番号 特開2008-199573 (P2008-199573A)
 (43) 公開日 平成20年8月28日 (2008.8.28)
 審査請求日 平成22年8月10日 (2010.8.10)
 (31) 優先権主張番号 10-2007-0014061
 (32) 優先日 平成19年2月9日 (2007.2.9)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 310024033
 エスケーハイニックス株式会社
 S K h y n i x I n c .
 大韓民国京畿道利川市夫鉢邑京忠大路20
 91
 2091, Gyeongchung-d
 aero, Bubal-eub, Ich
 on-si, Gyeonggi-do, K
 orea
 (74) 代理人 100117514
 弁理士 佐々木 敦朗
 (72) 発明者 崔 勳
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1

最終頁に続く

(54) 【発明の名称】デューティサイクル補正機能を有する遅延ロックループ回路およびその制御方法

(57) 【特許請求の範囲】

【請求項 1】

外部クロックが入力されて第1内部クロックを生成し、前記第1内部クロックを内部の遅延手段によって遅延して複数の第2内部クロックを出力した後にフィードバックを受けて、前記第1内部クロックとの位相差によって前記遅延手段の遅延時間を調整することにより、前記第2内部クロックの遅延ロックがなされるようにする遅延ロックループプロックと、

前記複数の第2内部クロックのデューティサイクルを補正したデューティサイクル補正クロックを出力するデューティサイクル補正プロックと、

前記複数の第2内部クロックの位相比較結果に応じてデューティ補正エラーの発生を判断して、前記デューティサイクル補正クロック又は前記複数の第2内部クロックのうちの1つを前記遅延ロックループプロックにフィードバックするエラー判断部とを備え、

前記エラー判断部は、

前記複数の第2内部クロック各々の位相を検出して、複数の位相検出信号を出力する複数の位相検出機と、

前記複数の位相検出信号を組み合わせて、選択信号を生成する選択信号生成部と、

前記選択信号により前記第2内部クロックのうちの1つ又はデューティサイクル補正クロックを出力する信号選択部と

を備えることを特徴とするデューティサイクル補正機能を有する遅延ロックループ回路。

10

20

【請求項 2】

前記遅延ロックループブロックは、

前記外部クロックが入力されて前記第1内部クロックを生成するバッファと、

前記第1内部クロックを位相検出信号により増減した遅延量だけ遅延させ、前記複数の第2内部クロックとして出力するレジスタ制御遅延部と、

前記第1内部クロックと前記エラー判断部とを介して出力されたクロックの位相を比較して前記位相検出信号を出力する位相検出機と

を備えることを特徴とする請求項1に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 3】

10

前記レジスタ制御遅延部は、

前記第1内部クロックをレジスタ値だけ遅延させ、前記複数の第2内部クロックとして出力する複数の遅延ラインと、

シフト制御信号に相応する前記レジスタ値を出力するシフトレジスタと、

前記位相検出信号により前記シフトレジスタに前記シフト制御信号を出力するシフト制御機と

を備えることを特徴とする請求項2に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 4】

20

前記デューティサイクル補正ブロックは、

制御信号により前記複数の第2内部クロックのデューティサイクルを補正するミキサと、

前記複数の第2内部クロックを用いて前記制御信号を生成するミキサ制御部と
を備えることを特徴とする請求項1又は3に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 5】

前記デューティサイクル補正ブロックは、前記ミキサの出力信号の位相を分離して、遅延ロックループクロックとして出力する位相分離機をさらに含むことを特徴とする請求項4に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 6】

30

前記複数の位相検出機は、前記第1内部クロックと前記第2内部クロックの位相を比較して、前記複数の位相検出信号を出力するように構成することを特徴とする請求項1に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 7】

前記選択信号生成部は、前記複数の位相検出信号が同一の論理レベルを有する場合とそうでない場合について互いに異なるレベルの選択信号を出力するように構成することを特徴とする請求項1に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 8】

前記選択信号生成部は、

前記複数の検出信号が入力される第1論理素子と、

前記複数の検出信号が入力される第2論理素子と、

前記第2論理素子の出力が入力される第1反転素子と、

前記第1論理素子の出力と前記反転素子の出力が入力される第3論理素子と、

前記第3論理素子の出力が入力されて、前記選択信号を出力する第2反転素子と
を備えることを特徴とする請求項1に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項 9】

前記信号選択部は、

前記選択信号により前記第2内部クロックのうちの1つを出力する第1スイッチング素子と、

50

前記選択信号により前記デューティサイクル補正クロックを出力する第2スイッチング素子と

を備えることを特徴とする請求項1に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項10】

前記複数の第2内部クロックのうちの1つは、外部クロックの立ち上がりエッジに同期したクロックであることを特徴とする請求項1に記載のデューティサイクル補正機能を有する遅延ロックループ回路。

【請求項11】

遅延ロックループロックと前記遅延ロックループロックから出力された複数のクロックのデューティサイクルを補正して、デューティサイクル補正クロックとして出力するデューティサイクル補正ロックを備えたデューティサイクル補正機能を有する遅延ロックループ回路の制御方法であって、

前記遅延ロックループロックから出力された複数のクロックを用いて前記デューティサイクル補正クロックのエラーを判断するステップと、

前記デューティサイクル補正クロックのエラーを判断した結果に応じて前記デューティサイクル補正クロック、又は前記遅延ロックループロックから出力された複数のクロックのうちの1つを前記遅延ロックループロックにフィードバックするステップとを備える、

前記エラーを判断するステップは、

前記複数のクロックの位相が同一であれば、前記デューティサイクル補正クロックが正常であると判断するステップと、

前記複数のクロックの位相が同一でなければ、前記デューティサイクル補正クロックにエラーが発生したと判断するステップと

を備える

ことを特徴とするデューティサイクル補正機能を有する遅延ロックループ回路の制御方法。

【請求項12】

前記エラーを判断するステップは、前記複数のクロックの位相を比較してなされることを特徴とする請求項11に記載のデューティサイクル補正機能を有する遅延ロックループ回路の制御方法。

【請求項13】

前記フィードバックするステップは、

前記デューティサイクル補正クロックが正常であると判断すれば、前記デューティサイクル補正クロックを前記遅延ロックループロックにフィードバックするステップと、

前記デューティサイクル補正クロックにエラーが発生したと判断すれば、前記遅延ロックループロックから出力された複数のクロックのうちの1つを前記遅延ロックループロックにフィードバックするステップと

を備えることを特徴とする請求項11又は12に記載のデューティサイクル補正機能を有する遅延ロックループ回路の制御方法。

【請求項14】

前記複数のクロックのうちの1つは外部クロックの立ち上がりエッジに同期したクロックであることを特徴とする請求項11乃至13のいずれかに記載のデューティサイクル補正機能を有する遅延ロックループ回路の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遅延ロックループに関し、特にデューティサイクル補正機能を有する遅延ロックループ回路 (Delay Locked Loop Circuit) およびその制御方法に関するものである。

10

20

30

40

50

【背景技術】

【0002】

通常、システム又は回路で用いられるクロックは、動作タイミングを合わせるためのリファレンスとして用いられており、エラーのないより速い動作を保障するために用いられることがある。半導体回路外部から入力されるクロックが半導体回路内部で用いられる時、内部回路によるクロックスキー、すなわち、時間遅延が発生するようになるが、このような時間遅延を補償して、内部クロックが外部クロックと同一の位相を有するようにするためには遅延ロックループ回路が用いられている。

【0003】

また、半導体回路の動作において、クロックの遅延ロックも重要であるが、クロックの立ち上がり区間と立ち下がり区間とのデューティ比が5:5を維持するようにすることも大変重要である。したがって、現在の半導体回路技術で用いられる大部分の遅延ロックループ回路は、デューティサイクル補正回路を追加した形態で用いられている。

10

【0004】

一方、従来の技術に係るデューティサイクル補正機能を有する遅延ロックループ回路は、PVT (Process/Voltage/Temperature) 変動によりデューティ補正エラーを誘発することができる。

【0005】

すなわち、外部クロックの立ち上がりエッジに同期した立ち上がりクロックRCLKと外部クロックの立ち下がりエッジに同期した立ち下がりクロックFCLKの遅延ロックが完了した後、PVT変動によって位相遅延が発生し得る。

20

【0006】

前記デューティ補正は、立ち上がりクロックRCLKと立ち下がりクロックFCLKとの位相を比較して2つのクロックの立ち上がり区間又は立ち下がり区間の幅を調節してなされる。立ち上がりクロックRCLKの位相遅延量が立ち下がりクロックFCLKと異なる場合、立ち上がりクロックRCLKの位相補正ができない。図1は、デューティ補正エラー発生の初期状態を示すものであり、図1の左側に示されたデューティサイクル補正クロックDCC_OUTのように、立ち上がり区間と立ち下がり区間とのデューティ比が5:5にならないエラーが発生する。

【0007】

30

前記デューティサイクル補正クロックDCC_OUTは、再び遅延ロックループ回路にフィードバックされ、遅延ロック信号処理を経てデューティサイクル補正回路でデューティサイクル補正を行う過程を繰り返す。

【0008】

前記遅延ロック信号処理およびデューティサイクル補正の反復によって、デューティ補正エラー発生初期のスキー (Skeew)、すなわち、位相歪み成分が累積して図1の右側に示すのようにハイ区間とロー区間とが正常に反復しない非正常的なデューティサイクル補正クロックDCC_OUTが出力される。

【0009】

上述したように従来の技術に係るデューティサイクル補正機能を有する遅延ロックループ回路は、PVT変動にともなう位相遅延によってデューティサイクル補正エラーを誘発し、これによる半導体回路の動作不良 (Fail) を招くという問題点がある。いため適用範囲が制限されるという問題点がある。これに似ている技術はアメリカ登録特許6,963,235 (特許文献1) に開示されている。

40

【特許文献1】米国特許6,963,235号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、PVT変動が発生しても安定して正確な遅延ロックおよびデューティサイクル補正を可能にしたデューティサイクル補正機能を有する遅延ロックループ回路およびそ

50

の制御方法を提供することにその目的がある。

【課題を解決するための手段】

【0011】

本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路は、外部クロックが入力されて第1内部クロックを生成し、前記第1内部クロックを内部の遅延手段によって遅延して複数の第2内部クロックを出力した後にフィードバックを受けて、前記第1内部クロックとの位相差によって前記遅延手段の遅延時間を調整することにより、前記第2内部クロックの遅延ロックがなされるようにする遅延ロックループブロックと、前記複数の第2内部クロックのデューティサイクルを補正したデューティサイクル補正クロックを出力するデューティサイクル補正ブロックと、前記複数の第2内部クロックの位相比較結果に応じてデューティ補正エラーの発生を判断して、前記デューティサイクル補正クロック又は前記複数の第2内部クロックのうちの1つを前記遅延ロックループブロックにフィードバックするエラー判断部とを備え、前記エラー判断部は、前記複数の第2内部クロック各々の位相を検出して、複数の位相検出信号を出力する複数の位相検出機と、前記複数の位相検出信号を組み合わせて、選択信号を生成する選択信号生成部と、前記選択信号により前記第2内部クロックのうちの1つ又はデューティサイクル補正クロックを出力する信号選択部とを備えることを特徴とする。

10

【0012】

本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の制御方法は、遅延ロックループブロックと前記遅延ロックループブロックとから出力された複数のクロックのデューティサイクルを補正して、デューティサイクル補正クロックとして出力するデューティサイクル補正ブロックを備えたデューティサイクル補正機能を有する遅延ロックループ回路の制御方法であって、前記遅延ロックループブロックから出力された複数のクロックを用いて前記デューティサイクル補正クロックのエラーを判断するステップと、前記デューティサイクル補正クロックのエラーを判断した結果に応じて前記デューティサイクル補正クロック、又は前記遅延ロックループブロックから出力された複数のクロックのうちの1つを前記遅延ロックループブロックにフィードバックするステップとを備える、前記エラーを判断するステップは、前記複数のクロックの位相が同一であれば、前記デューティサイクル補正クロックが正常であると判断するステップと、前記複数のクロックの位相が同一でなければ、前記デューティサイクル補正クロックにエラーが発生したと判断するステップとを備えることを特徴とする。

20

【発明の効果】

【0013】

本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路およびその制御方法は、デューティ補正エラーの発生を判断して、非正常的なフィードバックによる遅延ロックループ動作エラーを未然に防止する。したがって、PVT変動が発生しても安定して正確なデューティサイクル補正および遅延ロック動作が可能なようにして、製品の性能および信頼性を向上させられる。

【発明を実施するための最良の形態】

【0014】

以下、添付した図面を参照して、本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路およびその制御方法の好ましい実施形態を説明すれば次の通りである。

40

【0015】

本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路は、図2に示すように、遅延ロックループブロック100、デューティサイクル補正ブロック200、およびエラー判断部300を備える。前記遅延ロックループブロック100には、外部クロックCLK, CLKbが入力されて、第1内部クロックCLKIN1, CLKIN2, REFLCLKを生成する。前記遅延ロックループブロック100は、前記第1内部クロックCLKIN1, CLKIN2, REFLCLKを内部の遅延手段によって遅延して複数の第2内部クロックを出力する。

50

数の第2内部クロック（以下、立ち下がりクロックFCLK、立ち上がりクロックRCLK）を出力した後、前記デューティサイクル補正ブロック200およびエラー判断部300を経てフィードバックを受ける。前記遅延ロックループブロック100は、前記フィードバックされた信号と第1内部クロックCLKIN1, CLKIN2, REFLKとの位相差によって前記遅延手段の遅延時間を調整することにより前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKの遅延ロックがなされるようとする。

【0016】

前記デューティサイクル補正ブロック200は、前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKのデューティサイクルを補正したデューティサイクル補正クロックDCC_OUTを出力する。前記エラー判断部300は、前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKの位相比較結果に応じてデューティ補正エラーの発生を判断して、前記デューティサイクル補正クロックDCC_OUT又は前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKのうちの1つを前記遅延ロックループブロック100にフィードバックする。前記第1内部クロックCLKIN1, CLKIN2, REFLKは信号の経路を区分するために他の名称を付与したものであり、実際には同一のソースから分岐されたクロックである。

【0017】

前記遅延ロックループブロック100には、図3に示すように前記外部クロックCLK, CLKbが入力されて、前記第1内部クロックCLKIN1, CLKIN2, REFLKを生成するバッファ110と、前記第1内部クロックCLKIN1, CLKIN2を位相検出信号CTRLにより増減した遅延量だけ遅延させ、前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKとして出力するレジスタ制御(Register-Controlled)遅延部120と、前記エラー判断部300から出力されたクロックFB_DCCを定めた時間の間遅延させる遅延モデル130と、前記第1内部クロック(REFCLK、以下基準クロック)と前記遅延モデル130から出力されたクロックFB_CCLKとの位相を比較して、前記位相検出信号CTRLを出力する位相検出機140とを備える。

【0018】

前記レジスタ制御遅延部120は、前記第1内部クロックCLKIN1をレジスタ値だけ遅延させて反転し、前記立ち下がりクロックFCLKとして出力する第1遅延ライン121と、前記第1内部クロックCLKIN2を前記レジスタ値だけ遅延させて、前記立ち上がりクロックRCLKとして出力する第2遅延ライン122と、シフト制御信号(Shift Right: SR, Shift Left: SL)により前記第1および第2遅延ライン121, 122の遅延量を決定するための前記レジスタ値を出力するシフトレジスタ123と、前記位相検出信号CTRLにより前記シフトレジスタ123に前記シフト制御信号SR, SLを出力するシフト制御機124とを備える。

【0019】

前記遅延モデル130は、ダミークロックバッファ、ダミー出力バッファおよびダミーロードなどを含み、レプリカ回路(Replica Circuit)とも呼ばれる。

【0020】

前記デューティサイクル補正ブロック200は、制御信号WFにより前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKのデューティサイクルを補正して、デューティサイクル補正クロックDCC_OUTを出力するミキサ210と、前記デューティサイクル補正クロックDCC_OUTの位相を分離して、遅延ロックループクロックRCLK_DL, FCLK_DLを出力する位相分離機220と、前記立ち下がりクロックFCLKおよび立ち上がりクロックRCLKの位相を比較して、その比較結果に応じて前記制御信号WFを生成するミキサ制御部230とを備える。前記位相分離機220は、前記デューティサイクル補正クロックDCC_OUTの位相を分離するための位相分離回路および位相分離した2つの信号を駆動して前記遅延ロックループクロックRCLK_DL, FCLK_DLを生成するためのドライバを備える。

【0021】

10

20

30

40

50

前記エラー判断部300は、図4に示すように、前記基準クロックREF_CLOCKを用いて立ち上がりクロックRCLOCKの位相を検出して、第1位相検出信号RCTRLを出力する第1位相検出機310と、前記基準クロックREF_CLOCKを用いて立ち下がりクロックFCLKの位相を検出して、第2位相検出信号FCTRLを出力する第2位相検出機320と、前記第1および第2位相検出信号RCTRL, FCTRLを組み合わせて、選択信号Y, Ybを生成する選択信号生成部330と、前記選択信号Y, Ybにより前記立ち上がりクロックRCLOCK又はデューティサイクル補正クロックDCC_OUTを出力する信号選択部340とを備える。

【0022】

前記信号選択部340で立ち上がりクロックRCLOCKを出力するのは、デューティ補正エラーが発生した場合である。デューティ補正エラー発生時にデューティサイクル補正クロックDCC_OUTが非正常的な状態であるため、この代わりに、デューティサイクル補正が進められる前のクロックを遅延ロックループブロック100にフィードバックするためである。したがって、本発明の実施形態ではデューティサイクル補正がなされない、立ち上がりクロックRCLOCKと立ち下がりクロックFCLKのうちの1つとして前記立ち上がりクロックRCLOCKを選択したものであるため、立ち上がりクロックRCLOCKの代わりに立ち下がりクロックFCLKを出力するように前記信号選択部340を構成することも可能である。

【0023】

前記選択信号生成部330は、前記第1および第2位相検出信号RCTRL, FCTRLが同一の論理レベルを有する場合、選択信号(Y=ハイレベル、Yb=ローレベル)を出力し、前記第1および第2位相検出信号が互いに異なる論理レベルを有する場合、選択信号(Y=ローレベル、Yb=ハイレベル)を出力するように排他的論理和の否定(Exclusive Nor: XNOR)ロジックを備える。前記排他的論理和の否定ロジックは、前記第1および第2位相検出信号RCTRL, FCTRLが入力される第1ノアゲートNR11と、前記第1および第2位相検出信号RCTRL, FCTRLが入力される第1 NANDゲートND11と、前記第1 NANDゲートND11の出力が入力される第1インバータIV11と、前記第1ノアゲートNR11と前記第1インバータIV11との出力が入力されて前記選択信号Ybを出力する第2ノアゲートNR12と、前記第2ノアゲートNR12の出力が入力されて前記選択信号Yを出力する第2インバータIV12とを備える。

【0024】

前記信号選択部340は、前記選択信号Y, Ybにより前記立ち上がりクロックRCLOCKを出力する第1バスゲートPG21と、前記選択信号Y, Ybにより前記デューティサイクル補正クロックDCC_OUTを出力する第2バスゲートPG22とを備える。

【0025】

このように構成された本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の動作を説明すれば次の通りである。

遅延ロックループブロック100のバッファ110が外部クロックCLK, CLKbの入力を受けて、第1内部クロックCLKIN1, CLKIN2, REF_CLOCKを生成して出力する。

【0026】

前記第1内部クロックCLKIN1が第1遅延ライン121を介して遅延し、反転して立ち下がりクロックFCLKとして出力され、前記第1内部クロックCLKIN2が第2遅延ライン122を介して遅延して、立ち上がりクロックRCLOCKとして出力される。

一方、基準クロックREF_CLOCKは、位相検出機140に供給される。

【0027】

デューティサイクル補正ブロック200のミキサ制御部230が前記立ち下がりクロックFCLKと立ち上がりクロックRCLOCKとの位相を比較した結果に応じて、立ち下がりクロックFCLKと立ち上がりクロックRCLOCKとのハイレベル区間とローレベル区間と

10

20

30

40

50

の 中で幅を調整しなければならない区間を定める制御信号WFを出力する。

【0028】

例えば、立ち上がりクロックRCLKの立ち下がりエッジが立ち下がりクロックFCLKに比べて先行する場合、立ち上がりクロックRCLKのハイレベル区間がローレベル区間に比べて狭い、かつ、立ち下がりクロックFCLKのハイレベル区間がローレベル区間に比べて広いことを意味する。正常なデューティ補正がなされるためには、クロックのデューティ比が5:5にならなければならないため、立ち上がりクロックRCLKのハイレベル区間は拡げて、立ち下がりクロックFCLKのハイレベル区間は狭めなければならない。

【0029】

したがって、ミキサ制御部230は、前記立ち下がりクロックFCLKと立ち上がりクロックRCLKとの位相を比較し、立ち上がりクロックRCLKの立ち下がりエッジが立ち下がりクロックFCLKに比べて先行していれば、前記制御信号WFを特定レベル、例えばハイレベルで出力し、一方、立ち下がりクロックFCLKの立ち下がりエッジが立ち上がりクロックRCLKに比べて先行していれば、前記制御信号WFをローレベルで出力するように構成されている。

【0030】

ミキサ210は、前記制御信号WFのレベルにより立ち下がりクロックFCLKと立ち上がりクロックRCLKの各々のハイレベル区間の幅を調整する方式でデューティサイクル補正を行い、デューティサイクル補正クロックDCC_OUTを出力する。

20

【0031】

エラー判断部300は、立ち下がりクロックFCLKと立ち上がりクロックRCLKとの位相比較によってデューティ補正エラーが発生したか否かを判断し、デューティ補正エラーが発生すればデューティサイクル補正クロックDCC_OUTの代わりに立ち上がりクロックRCLKを選択して、遅延ロックループロック100にフィードバックする。

【0032】

一方、デューティ補正エラーが発生しなければ、正常なデューティサイクル補正がなされたデューティサイクル補正クロックDCC_OUTを選択して、遅延ロックループロック100にフィードバックする。前記エラー判断部300の第1位相検出機310は、立ち上がりクロックRCLKのハイレベル区間が基準クロックREF_CLKに比べて先行していれば、第1位相検出信号RCTRLをローレベルで出力し、立ち上がりクロックRCLKのハイレベル区間が基準クロックREF_CLKに比べて遅ければ、第1位相検出信号RCTRLをハイレベルで出力する。

30

【0033】

前記第2位相検出機320は、立ち下がりクロックFCLKのハイレベル区間が基準クロックREF_CLKに比べて先行していれば、第2位相検出信号FCTRLをローレベルで出力し、立ち下がりクロックFCLKのハイレベル区間が基準クロックREF_CLKに比べて遅ければ、第2位相検出信号FCTRLをハイレベルで出力する。

【0034】

選択信号生成部330は、否定排他的論理和ロジックであるため、前記第1および第2位相検出信号RCTRL, FCTRLが同一の論理レベルであれば、選択信号Y, Ybを各々ハイレベルとローレベルで出力し、そうでなければ、選択信号Y, Ybを各々ローレベルとハイレベルで出力する。前記信号選択部340は、選択信号Y, Ybが各々ハイレベルとローレベルである場合にデューティサイクル補正クロックDCC_OUTを選択して出力し、前記選択信号Y, Ybが各々ローレベルとハイレベルであれば、立ち上がりクロックRCLKを選択して出力する。

40

【0035】

前記第1および第2位相検出信号RCTRL, FCTRLが同一の論理レベルというのは、遅延ロックが正常になされて立ち上がりクロックRCLKと立ち下がりクロックFCLKとの位相が誤差範囲内で同一であることを意味する。このように、立ち上がりクロッ

50

ク R C L K と立ち下がりクロック F C L K との位相が同一である場合、デューティサイクル補正クロック D C C _ O U T は正常なデューティサイクル補正がなされた波形を示す。一方、前記第1および第2位相検出信号 R C T R L , F C T R L が互いに異なる論理レベルというのは、遅延ロックが正常になされないか、あるいは遅延ロックが正常になされたとしても P V T 変動によって立ち上がりクロック R C L K と立ち下がりクロック F C L K との位相に差があることを意味する。

【 0 0 3 6 】

このように位相差が存在する立ち上がりクロック R C L K と立ち下がりクロック F C L K とを用いて生成したデューティサイクル補正クロック D C C _ O U T は、非正常的な波形として出力されて遅延ロックループプロック 100 にフィードバックされれば、遅延ロック動作のエラーが深刻化して、従来技術の問題点として記載したようなスキュー累積による不良を発生させる。したがって、非正常的なデューティサイクル補正クロック D C C _ O U T の代わりに立ち上がりクロック R C L K を出力する。

【 0 0 3 7 】

遅延ロックループプロック 100 にフィードバックされる立ち上がりクロック R C L K と立ち下がりクロック F C L K とは、互いに位相差があっても非正常的なデューティサイクル補正クロック D C C _ O U T とは異なり、正常な波形は維持する。したがって、前記立ち上がりクロック R C L K と立ち下がりクロック F C L K とは、遅延ロックループプロック 100 の動作によって、前記位相差が補正された後デューティサイクル補正プロック 200 に入力される。

【 0 0 3 8 】

図 5 の左側に示すように、立ち上がりクロック R C L K が立ち下がりクロック F C L K に比べて右側にずれていれば、図 3 のミキサ制御部 230 は制御信号 W F をローレベルで出力するようになる。前記図 5 の左側の場合、立ち上がりクロック R C L K の位相を基準クロック R E F _ C L K に対比して左側にずらさなければならないが、前記制御信号 W F がローレベルであるため、立ち上がりクロック R C L K の位相を右側にずらす方式によってデューティサイクル補正を行う。前記立ち上がりクロック R C L K の位相を右側にずらす方式によってデューティサイクル補正を行って出力したデューティサイクル補正クロック D C C _ O U T を遅延ロックループプロック 100 にフィードバックするため、従来の技術のような問題点が発生した。しかし、本発明はデューティサイクル補正クロック D C C _ O U T の代わりに立ち上がりクロック R C L K を遅延ロックループプロック 100 にフィードバックするため、上述した問題を解決してデューティ補正が正確になされる。

【 0 0 3 9 】

また、図 5 の右側に示すように、立ち上がりクロック R C L K と立ち下がりクロック F C L K とが基準クロック R E F _ C L K に比べて先行しているが、立ち上がりクロック R C L K が基準クロック R E F _ C L K に対比してひどく右側にずれている場合が生じ得る。この場合、立ち上がりクロック R C L K の遅延ロックポイントが基準クロック R E F _ C L K の N 番目のクロックから N + 1 番目クロックになる不良が発生し得る。しかし、本発明はエラー判断部 300 の第1および第2位相検出機 310 , 320 の第1および第2位相検出信号 R C T R L , F C T R L の出力レベルが変わるタイミングでデューティサイクル補正クロック D C C _ O U T の代わりに立ち上がりクロック R C L K を遅延ロックループプロック 100 にフィードバックするため、上述した問題を解決してデューティ補正が正確になされる。

【 0 0 4 0 】

前記遅延ロックループプロック 100 の遅延モデル 130 が前記エラー判断部 300 の出力 F B _ D C C を定めた時間だけ遅延させて位相検出機 140 に出力する。

前記位相検出機 140 は、前記遅延モデル 130 の出力 F B _ C L K と基準クロック R E F _ C L K との位相を比較して、位相検出信号 C T R L を出力する。

前記位相検出信号 C T R L によりシフト制御機 124 がシフト制御信号 S R , S L を出力して、シフトレジスタ 123 が前記シフト制御信号 S R , S L に応答してレジスタ値を

10

20

30

40

50

右側又は左側にシフトし、前記第1遅延ライン121および第2遅延ライン122の遅延量を調整する。

【0041】

以後シフト制御機124は、位相検出信号CTR_Lにより遅延量が調整されてデューティサイクル補正がなされた遅延モデル130の出力FB_CLKと基準クロックREF_CLKとの比較結果を判断する。前記シフト制御機124は、前記比較結果に応じて前記クロックFB_CLKと基準クロックREF_CLKが最小のジッタ(Jitter)を有するタイミングで遅延ロックがなされたと判断して位相ロック信号を活性化させる。

【0042】

前記活性化した位相ロック信号に応答して前記位相分離機220のドライバが動作し、最終的に遅延ロックおよびデューティサイクル補正が正常になる遅延ロックループクロックFCLK_DLL, RCLK_DLLが出力される。

【0043】

本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の動作シミュレーションを示す波形図が図6a～図6dに示されている。すなわち、図6aに示すように、PVT変化を再現するために電圧を1.8Vから1.4Vまで連続的に降下されるようにした。前記電圧降下により各クロックのスイング幅が変わることが分かる。

【0044】

ノーマル状態(normal)すなわち、正常な電圧条件の場合、図6bに示すように、従来技術と本発明のいずれもデューティサイクル補正が正常になされていることが分かる。

電圧降下初期状態(abnormal1)になれば、図6cに示すように、従来技術の場合に基準クロックREF_CLKに対比して立ち上がりクロックRCLKの遅延ロックが正常に進められないため、デューティサイクル補正クロックDCC_OUTのデューティ比が51.8%で正常値を外れて、デューティ補正能力が次第に落ちていることが分かる。これとは逆に、本発明はデューティサイクル補正クロックDCC_OUTのデューティ比が50.8%で従来技術に比べて正常値に近接することが分かる。

【0045】

前記電圧降下初期状態(abnormal1)に比べて、電圧降下がより深刻化された状態(abnormal2)が図6dに示されている。従来技術の場合に基準クロックREF_CLKに対比して立ち上がりクロックRCLKの遅延ロックが正常になされたように示される。しかし、図6dの場合、実質的には立ち上がりクロックRCLKの遅延ロックポイントが基準クロックREF_CLKのN番目のクロックでない、N+1番目クロックであるため、立ち下がりクロックFCLKとのスキューが深刻化し、デューティサイクル補正クロックDCC_OUTのデューティ比が61.6%であるため、正常な動作がほぼ不可能になったことが分かる。

【0046】

これとは逆に、本発明は立ち上がりクロックRCLKの遅延ロックポイントが正常に基準クロックREF_CLKのN番目のクロックになり、立ち下がりクロックFCLKとのスキューとがほとんどない。また、本発明は、デューティサイクル補正クロックDCC_OUTのデューティ比が50.1%になり、外部環境が急激に変わっても正確なデューティ補正がなされることが分かる。

【0047】

本発明が属する技術分野の当業者は、本発明がその技術的思想や必須特徴を変更せず、他の具体的な形態で実施することができるため、以上で記述した実施形態はすべての面で例示的なものであり、限定的なものではないこととして理解しなければならない。本発明の範囲は前記詳細な説明よりは特許請求の範囲によって示され、特許請求の範囲の意味および範囲、そしてその等価概念から導き出されるすべての変更又は変形された形態が本発明の範囲に含まれると解釈しなければならない。

【図面の簡単な説明】

10

20

30

40

50

【0048】

【図1】従来の技術に係るデューティ補正エラー発生を示す波形図である。

【図2】本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路のプロック図である。

【図3】図2の各構成の内部プロック図である。

【図4】図3のエラー判断部の回路図である。

【図5】本発明に係るデューティサイクル補正方法を示す波形図である。

【図6a】本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の動作シミュレーションを示す波形図である。

【図6b】本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の動作シミュレーションを示す波形図である。

【図6c】本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の動作シミュレーションを示す波形図である。

【図6d】本発明に係るデューティサイクル補正機能を有する遅延ロックループ回路の動作シミュレーションを示す波形図である。

【符号の説明】

【0049】

100 ... 遅延ロックループプロック

110 ... パッファ

120 ... レジスタ制御遅延部

20

121 ... 第1遅延ライン

122 ... 第2遅延ライン

123 ... シフトレジスタ

124 ... シフト制御機

130 ... 遅延モデル

140 ... 位相検出機

200 ... デューティサイクル補正プロック

210 ... ミキサ

220 ... 位相分離機

30

230 ... ミキサ制御部

300 ... エラー判断部

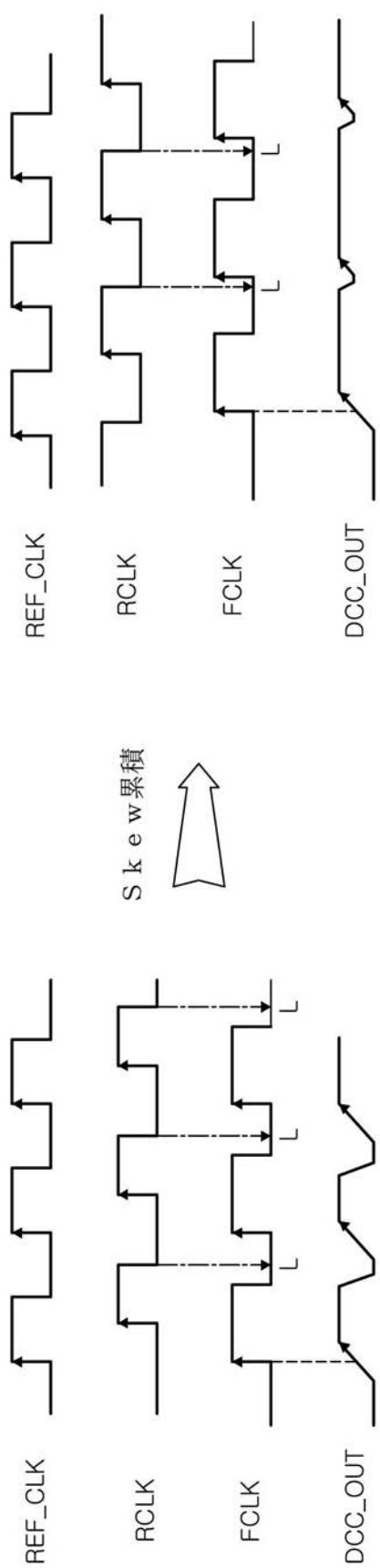
310 ... 第1位相検出機

320 ... 第2位相検出機

330 ... 選択信号生成部

340 ... 信号選択部

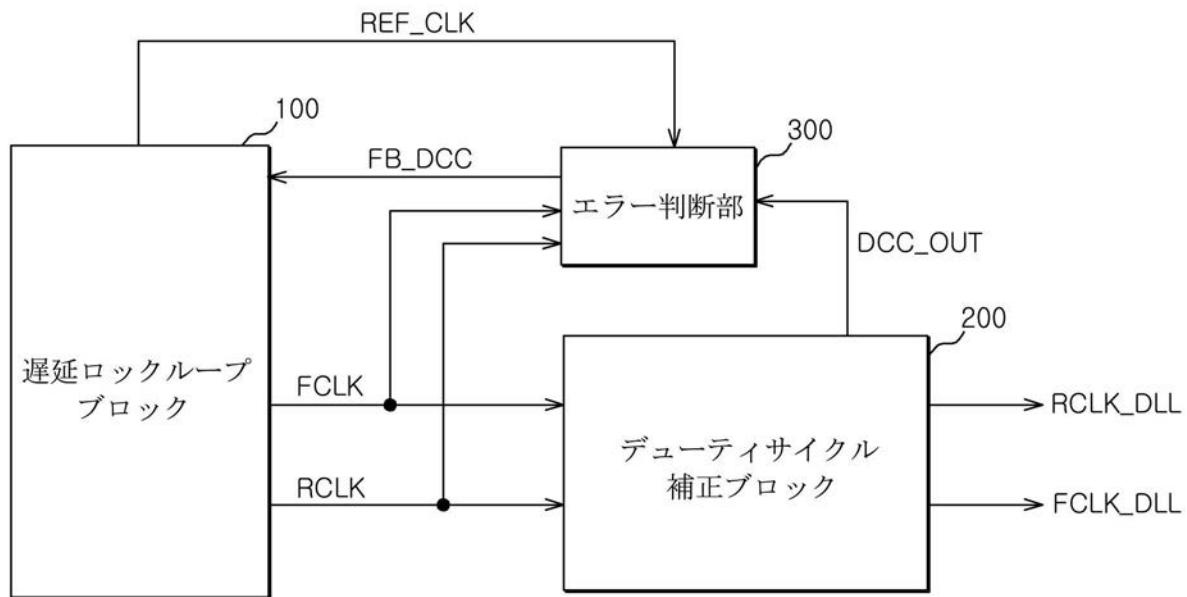
【図1】



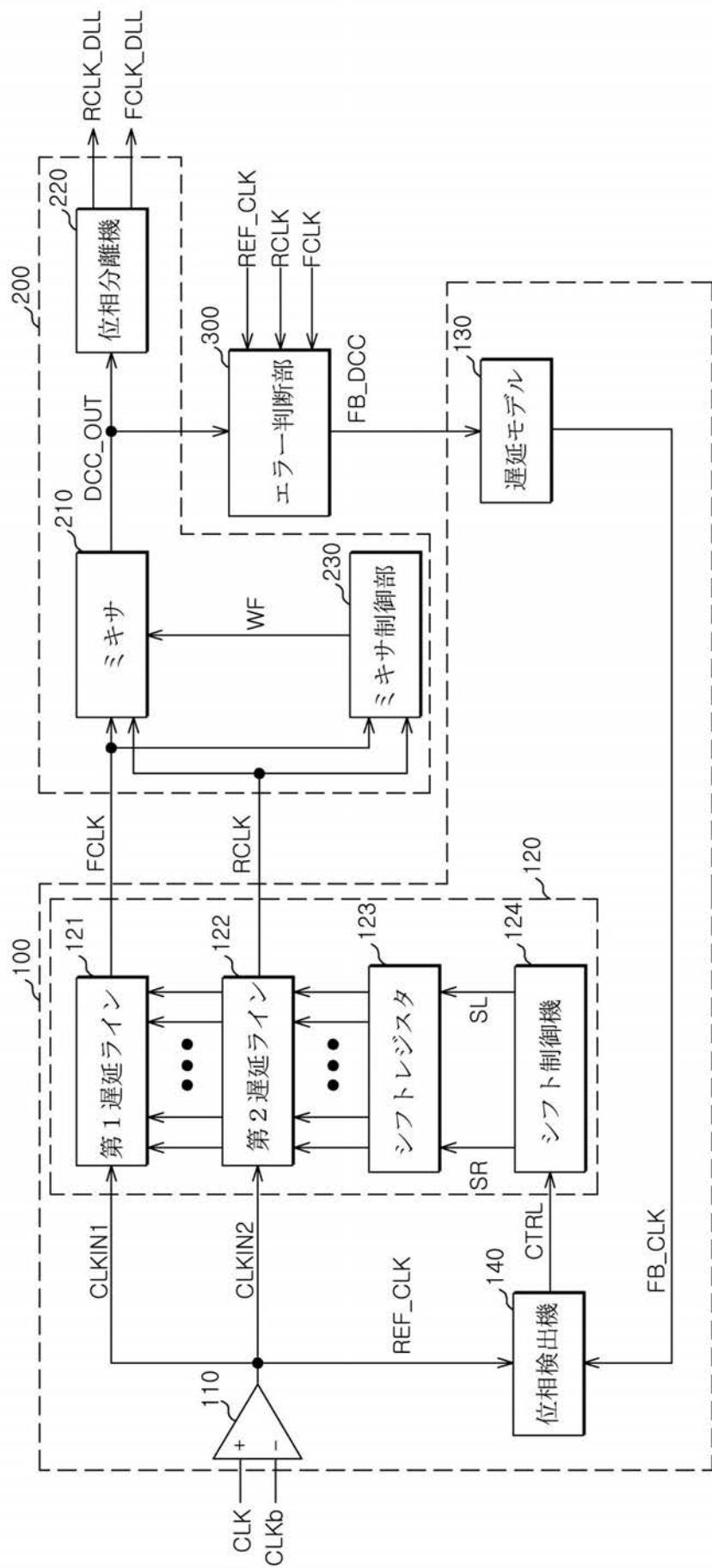
デューティサイクル補正エラー発生初期

RCLKデューティ補正エラー累積によりFall発生

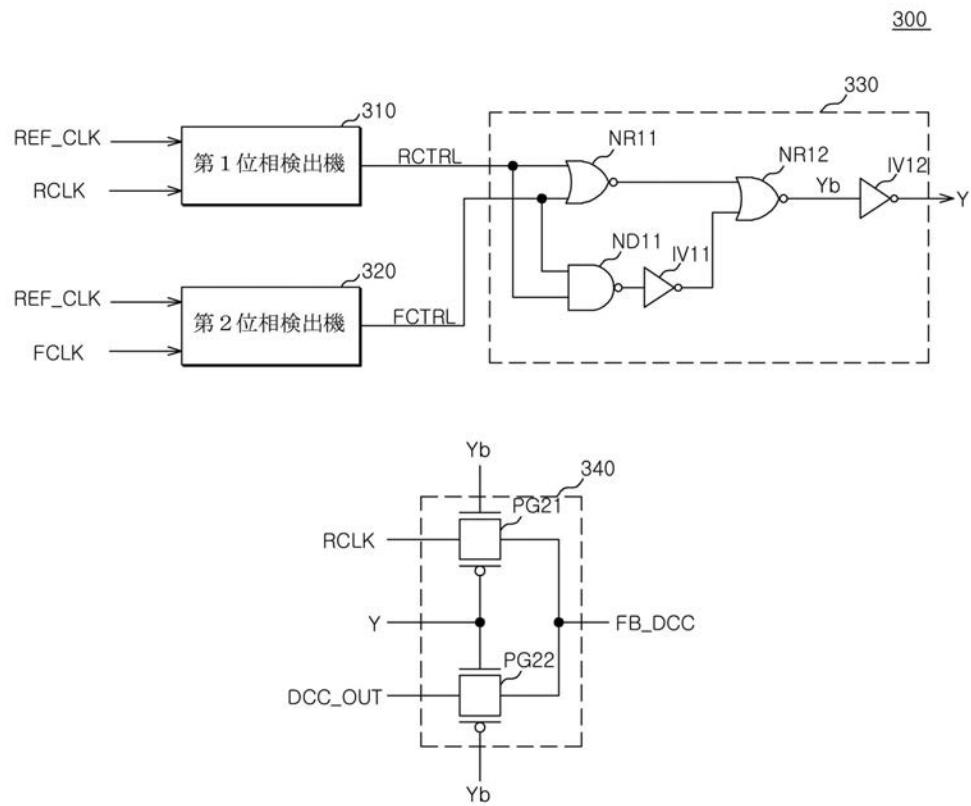
【図2】



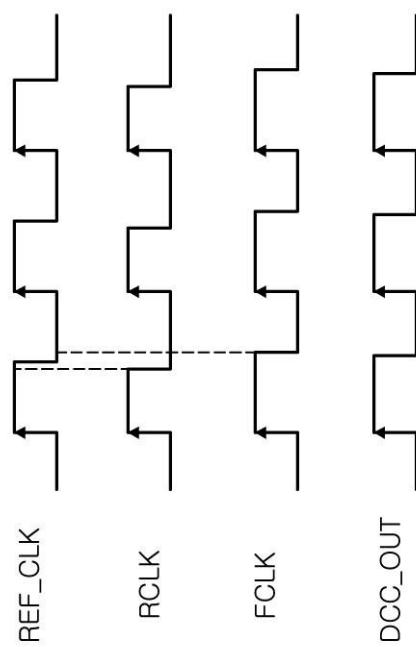
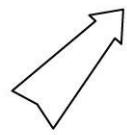
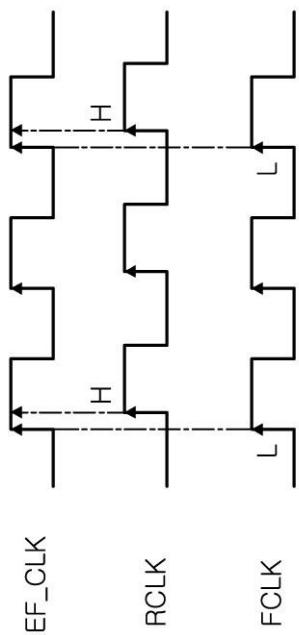
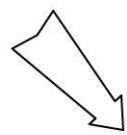
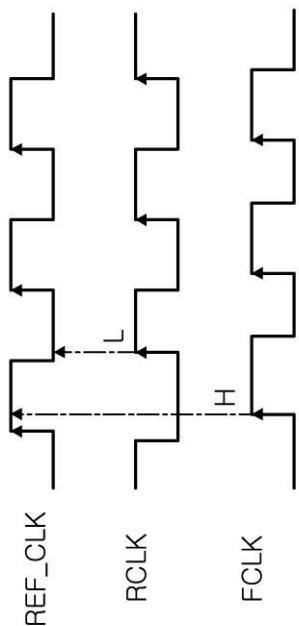
【 四 3 】



【図4】

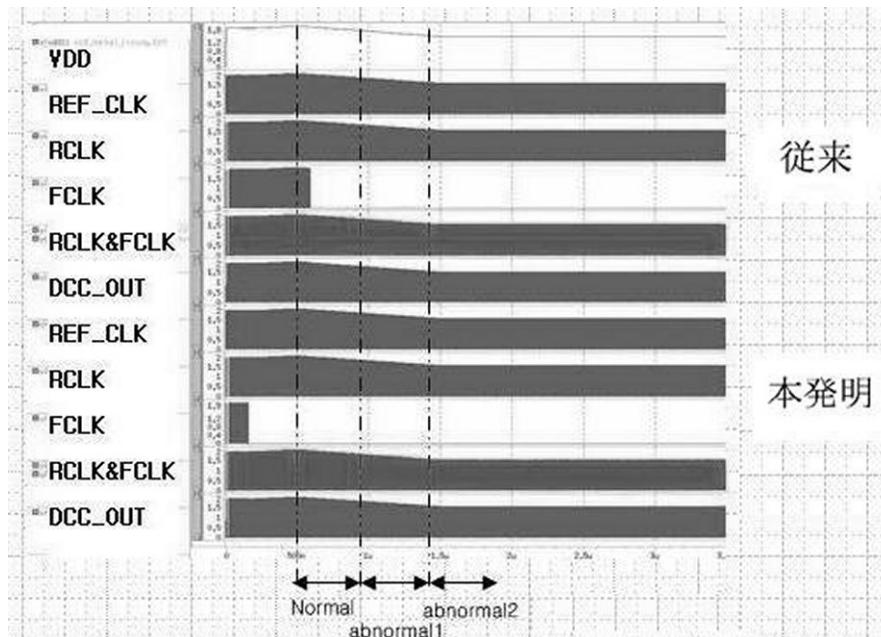


【図5】

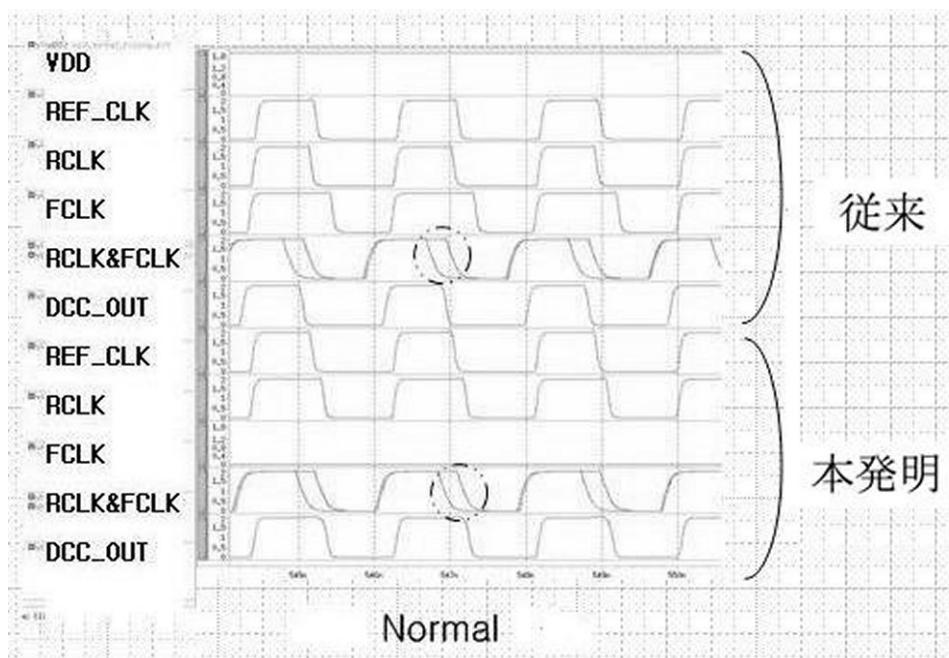


5:5 Duty Correction

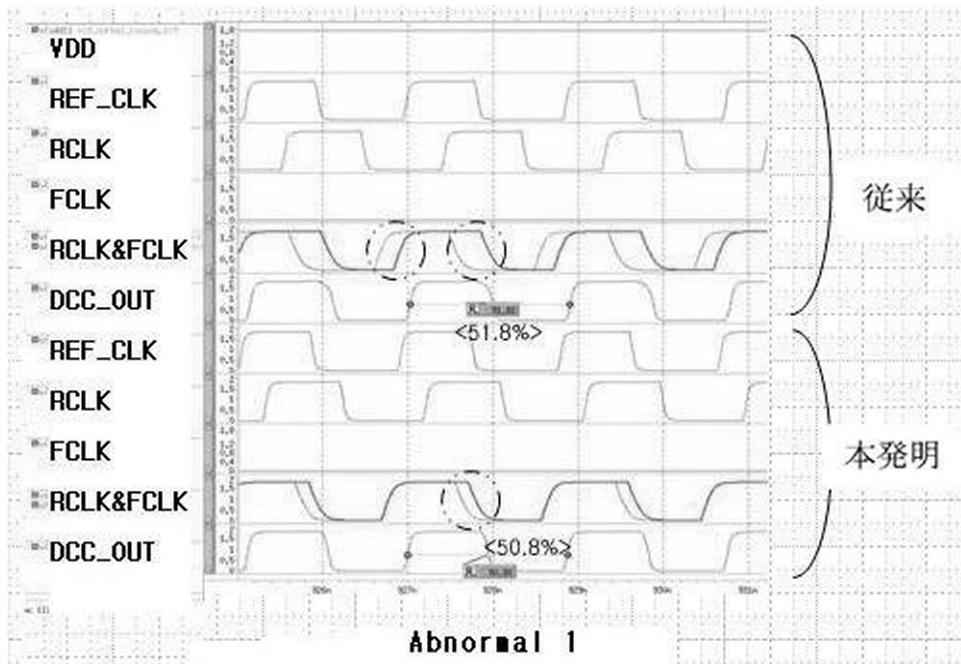
【図 6 a】



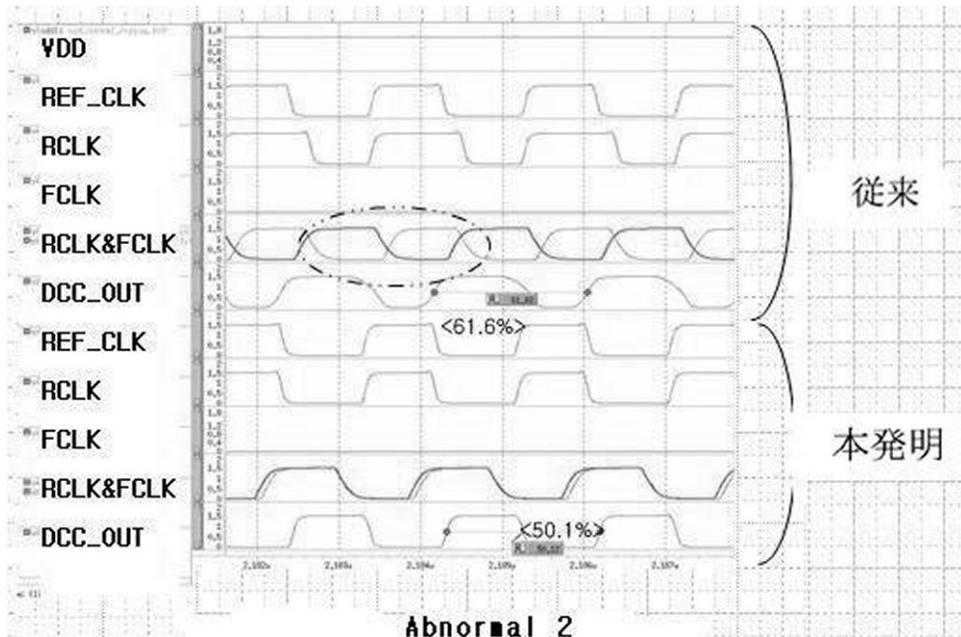
【図 6 b】



【図 6 c】



【図 6 d】



フロントページの続き

審査官 上田 智志

(56)参考文献 特開2004-064735(JP,A)

特開平10-171774(JP,A)

特開2005-135567(JP,A)

特開2004-328721(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/00-7/23,

H03K 5/00,

G06F 1/10,

G11C 11/407