



(12) 发明专利

(10) 授权公告号 CN 101443914 B

(45) 授权公告日 2011.08.17

(21) 申请号 200780017151.6

(22) 申请日 2007.07.26

(30) 优先权数据

06425531.8 2006.07.27 EP

(85) PCT申请进入国家阶段日

2008.11.11

(86) PCT申请的申请数据

PCT/EP2007/057706 2007.07.26

(87) PCT申请的公布数据

W02008/012342 EN 2008.01.31

(73) 专利权人 意法半导体公司

地址 意大利布里安扎

(72) 发明人 F·佩利泽尔 R·贝兹

F·贝代斯基 R·加斯塔尔迪

(74) 专利代理机构 北京润平知识产权代理有限公司 11283

代理人 周建秋 王凤桐

(51) Int. Cl.

H01L 27/24 (2006.01)

G11C 16/02 (2006.01)

(56) 对比文件

US 2005/0047193 A1, 2005.03.03, 全文.

US 2004/0228163 A1, 2004.11.18, 说明书第 42-75 段, 附图 4-10.

全文.

全文.

US 2005/0024922 A1, 2005.02.03, 说明书第 14-23 段, 附图 1-4.

US 2006/0072357 A1, 2006.04.06, 说明书第 31-59 段, 附图 2A-4B.

审查员 李勇

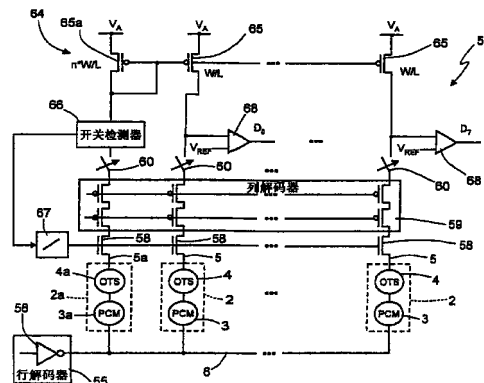
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

相变存储设备

(57) 摘要

一种相变存储设备, 该设备具有由相变存储元件 (3) 和选择开关 (4) 形成的存储单元 (2)。由专属相变存储元件 (3) 和专属选择开关 (4) 形成的参考单元 (2a) 与将要被读取的存储单元的组 (7) 相关联。将所述存储单元的组的电学量和所述参考单元的类似电学量进行比较, 从而补偿存储单元的特性中的任何漂移。



1. 一种相变存储设备,该设备包括:

由多组 (7) 存储单元 (2) 形成的存储器阵列 (1),该存储单元被排列成行和列,并且被连接在字线 (6) 和数据位线 (5) 的交叉点上,每个存储单元 (2) 包括相变存储元件 (3) 和选择开关 (4),其特征在于,该相变存储设备包括多个参考单元 (2a-2c),每个参考单元 (2a-2c) 包括专属相变存储元件 (3a-3c) 和专属选择开关 (4a-4c),并且和至少一组 (7) 存储单元相关联;以及

连接到所述存储器阵列 (1) 的读取平台 (50),该读取平台 (50) 包括选择性地耦合到所述参考单元 (2a-2c) 的阈值检测装置 (66),该阈值检测装置 (66) 用于检测达到阈值的所述参考单元的电学量。

2. 根据权利要求 1 所述的相变存储设备,其中每组 (7) 存储单元 (2) 和相关的参考单元 (2a-2c) 沿着同一个字线 (6) 延伸,并且该参考单元 (2a) 连接到参考位线 (5a-5c)。

3. 根据权利要求 2 所述的相变存储设备,其中每个组 (7) 的所述存储单元 (2) 和参考单元 (2a-2c) 被排列成互相邻近。

4. 根据权利要求 1 所述的相变存储设备,其中每组存储单元 (2) 形成各自的数据字。

5. 根据权利要求 1-4 中的任一项权利要求所述的相变存储设备,其中所述存储单元 (2) 的选择开关 (4) 和参考单元 (2a) 的选择开关 (4a) 是双向阈值开关。

6. 根据权利要求 5 所述的相变存储设备,其中所述存储单元 (2) 的相变存储元件 (3) 在至少置位态和重置态中是选择性可编程的,并且所述参考单元 (2a-2c) 的相变存储元件 (3a-3c) 在所述置位态被编程。

7. 根据权利要求 2 所述的相变存储设备,其中所述读取平台 (50) 包括偏置电压产生器 (58,67),该偏置电压产生器 (58,67) 用于向所述数据位线 (5) 和参考位线 (5a) 施加偏置电压;阈值检测装置 (66),该阈值检测装置 (66) 选择性地耦合到所述参考位线 (5a),并检测所述参考单元 (2a) 的转换,当检测到所述参考单元 (2a) 的转换时,该阈值检测装置为所述偏置电压产生器 (58,67) 生成不启动命令。

8. 根据权利要求 7 所述的相变存储设备,其中所述偏置电压产生器包括电压源 (67) 和可控制地连接到该电压源的多个共栅晶体管 (58),每个共栅晶体管还被连接到各自的数据位线 (5) 和参考位线 (5a) 中的一者。

9. 根据权利要求 7 或 8 所述的相变存储设备,其中所述偏置电压产生器 (58,67) 生成斜线电压。

10. 根据权利要求 2 所述的相变存储设备,其中所述存储单元 (2) 的相变存储元件 (3) 在多个态中是选择性可编程的,其中该多个态包括至少置位态、重置态和中间态,并且其中至少两个参考单元 (2a-2c) 与每组 (7) 存储单元相关联,每个参考单元 (2a-2c) 被连接到各自的多个参考位线 (5a-5c) 中的一者。

11. 一种系统,该系统包括:

处理器 (510);

输入/输出设备 (520),该输入/输出设备 (520) 耦合到所述处理器;以及

存储器 (530),该存储器 (530) 耦合到所述处理器,所述存储器包括根据权利要求 1-10 中的任一项权利要求所述的相变存储设备。

12. 一种读取相变存储设备的方法,其中该相变存储设备包括由多组 (7) 存储单元 (2)

形成的存储器阵列 (1), 该存储单元被排列成行和列, 并且被连接在字线 (6) 和数据位线 (5) 的交叉点上, 每个存储单元 (2) 包括相变存储元件 (3) 和选择开关 (4), 该存储设备进一步包括多个参考单元 (2a-2c), 每个参考单元 (2a-2c) 包括专属相变存储元件 (3a-3c) 和专属选择开关 (4a-4c), 并和至少一组 (7) 存储单元相关联且被连接到参考位线, 该相变存储设备还包括连接到所述存储器阵列 (1) 的读取平台 (50), 并且该读取平台 (50) 包括选择性地耦合到所述参考单元 (2a-2c) 的阈值检测装置 (66), 该阈值检测装置 (66) 用于检测达到阈值的所述参考单元的电学量, 其特征在于该方法包括步骤:

将所述存储单元 (2) 的电性态和所述参考单元 (2a-2c) 的电性态进行比较。

13. 根据权利要求 12 所述的方法, 其中所述存储单元的选择开关和参考单元的选择开关是双向阈值开关, 该方法包括步骤:

向所述数据位线和参考位线施加偏置电压;

检测参考单元 (2a) 的转换;

停止施加偏置电压;

读取所述存储单元 (2) 的状态。

14. 根据权利要求 13 所述的方法, 其中所述偏置电压是斜线电压。

15. 根据权利要求 13 或 14 所述的方法, 该方法包括在检测所述参考单元的转换与停止施加偏置电压之间引入延迟。

16. 一种对相变存储设备进行编程的方法, 其中该相变存储设备包括由多组 (7) 存储单元 (2) 形成的存储器阵列 (1), 该存储单元 (2) 被排列成行和列, 并且被连接在字线 (6) 和数据位线 (5) 的交叉点上, 每个存储单元 (2) 包括相变存储元件 (3) 和为双向阈值开关的选择开关 (4), 该存储设备进一步包括多个阈值参考单元 (2a-2c), 每个阈值参考单元 (2a-2c) 包括专属相变存储元件 (3a-3c) 和是双向阈值开关的专属选择开关 (4a-4c), 并和一组 (7) 存储单元相关联, 且被连接到参考位线, 所述方法包括在至少置位态和重置态对一组存储单元进行编程, 所述存储设备还包括连接到所述存储器阵列 (1) 的读取平台 (50), 并且该读取平台 (50) 包括选择性地耦合到所述阈值参考单元 (2a-2c) 的阈值检测装置 (66), 该阈值检测装置 (66) 用于检测达到阈值的所述参考单元的电学量, 其特征在于包括步骤:

对阈值参考单元 (2a) 进行编程, 其中该阈值参考单元与被编程为置位态的一组存储单元 (2) 相关联; 以及

对所述存储单元 (2) 进行编程。

17. 根据权利要求 16 所述的对相变存储设备进行编程的方法, 其中在对所述一组存储单元 (2) 进行编程之后对所述阈值参考单元 (2a) 进行编程。

18. 根据权利要求 16 所述的对相变存储设备进行编程的方法, 其中在对所述一组存储单元 (2) 进行编程之前对所述阈值参考单元 (2a) 进行编程。

相变存储设备

技术领域

[0001] 本发明涉及一种相变存储设备,尤其是涉及一种具有双向阈值开关选择器的相变存储设备。

背景技术

[0002] 众所周知,相变存储设备使用在具有明显电性态的两个相之间具有开关特性的一种材料,其与材料的两个不同晶体结构相关,准确地是与非晶态(无序相)和晶态(有序相)相关。因此这两个相与完全不同的两个电阻值相关联。

[0003] 目前,元素周期表中第 VI 族元素例如 Te 或 Se 的合金,也就是硫属化物(chalcogenide)或硫属化物材料,优选地被用在相变存储单元中。目前最常见的硫属化物由 Ge、Sb 和 Te 的合金($\text{Ge}_2\text{Sb}_2\text{Te}_5$)形成,其被广泛地应用于在重写磁盘中存储信息,并且计划用于大容量存储。

[0004] 在硫属化物中,当材料从非晶态相(电阻大)变到晶态相(电导率大)时,电阻变化两个或更多数量级,反之亦然。

[0005] 可以通过局部增加温度以得到相变。在 150°C 以下,两个相都是稳定的。从非晶态开始,升高温度至 200°C 以上时,微晶的晶核快速形成,如果在足够长的时间将材料保持在晶化温度,其将经历相变并变为晶态。为了将硫属化物恢复到非晶态,需要将温度升高至熔点温度(接近 600°C)以上然后快速冷却。

[0006] 现在已经提出了利用硫属化物材料的性质的存储设备(称作相变存储设备)。

[0007] 在相变存储器中包括了作为存储元件的硫属化物元件,存储单元以行和列的形式排列成阵列,如图 1 所示。图 1 中的存储器阵列 1 包括多个存储单元 2,每个存储单元 2 包括相变型的存储元件 3 和选择元件 4。存储单元 2 插入在行 6(也称为字线)和列 5(也称为位线)之间的交叉点。

[0008] 在每个存储单元 2 中,存储元件 3 具有连接到其专属字线 6 的第一端和连接到其专属选择元件 4 的第一端的第二端。选择元件 4 具有连接到位线 5 的第二端。在另外一种方案中,每个单元 2 的存储元件 3 和选择元件 4 可以互换位置。

[0009] 很多文献(例如参见 US-A-5,825,046)公开了适用于相变存储设备中的硫属化物的组成以及相变存储单元的可用结构。

[0010] 相变存储单元包括硫属化物材料(形成合适存储元件)和电阻电极,也称为加热器(例如参见 EP-A-1 326 254,相应于 US-A-2003/0185047)。

[0011] 从电学角度来看,电阻电极和硫属化物材料连接或很接近,通过给电阻电极通电流,可以达到晶化温度和熔化温度,从而可以通过焦耳效应加热硫属化物材料。

[0012] 尤其是,当硫属化物材料为非晶态、高阻态(也称作重置态)时,需要使用适当长度和幅度的电压/电流脉冲使硫属化物材料缓慢地冷却。在该情况下,硫属化物材料的晶态发生改变并且从高阻态转换为低阻态(也称作置位态)。

[0013] 反之亦然,当硫属化物材料为置位态时,需要使用适当长度和高幅度的电压/电

流脉冲使硫属化物材料转换为非晶态。

[0014] 通过开关设备来实现选择元件,开关设备可以例如是 PN 二极管、双极结晶体管或 MOS 晶体管。

[0015] 例如,US-A-5,912,839 记载了通用的存储元件,其使用硫属化物并包括作为开关元件的二极管。二极管可包括例如多晶硅或其它材料的薄膜。

[0016] GB-A-1 296 712 和 US-A-3,573,757 公开了由包括了称为“双向阈值开关”(下面称为 OTS)的开关元件的由单元阵列形成的二元存储器,和相变存储元件 PCM 串联,也称作“双向存储开关”。OTS 和 PCM 形成在绝缘基底上,互相邻近,且通过导电片互相连接。图 2a 示出了具有存储元件 3 和双向开关 4 的存储单元 2 的电学等效体。

[0017] PCM 由硫属化物半导体材料形成,其具有与不同的电阻相关联的两个不同的亚稳相(晶态和非晶态),而 OTS 由具有一个单独相(一般为非晶态,但有时为晶态)的硫属化物半导体材料构成,该硫属化物半导体材料具有与不同电阻相关的两个直接操作区域。如果 OTS 和 PCM 具有完全不同的高电阻,也就是 OTS 具有比 PCM 高的电阻,在读存储单元时,当后者处于其高阻状态(对应于数字“0”态)时,加在单元上的电压降不足以触发 PCM,但是当 PCM 已经处于其低阻状态时(对应于数字“1”态),则足以驱动处于低阻状态的 OTS。

[0018] OTS(例如参见 US-A-3,271,591 和 US2006073652,描述了其用于连接相变型存储元件)具有如图 2b 所示的特性;图 2c 是示出了重置存储元件 PCM 的特性(用实线)和置位 PCM 的特性(用虚线)。

[0019] 如图 2b 所示,对于电压低于阈值 $V_{th,OTS}$,OTS 具有高电阻;当施加的电压超过阈值 $V_{th,OTS}$ 时,开关开始导电,基本为常数、低电压且具有低阻抗。在该情况下,如果 PCM 置位,如图 2c 所示,存储单元为打开;如果 PCM 重置,存储单元为关闭。

[0020] 当通过 OTS 的电流降低至低于维持电流 I_H ,OTS 恢复为其高阻抗情形。这种行为是对称的,对于负电压和电流也发生(未示出)。

[0021] 如图 2c 所示,PCM 在非晶态(重置态)时具有和 OTS 相似的区域;当在晶态时,PCM 在性态较低部分具有更高电导率,并且在较高部分具有重置单元的相同性态。

[0022] 在 OTS 中,阈值电压 V_{th} 会漂移。阈值电压漂移对于 OTS 选择存储阵列是有害的,因为它可以阻碍硫属化物材料的存储元件正确读取。

[0023] 实际上,通过比较观察图 2b 和图 2c 可以很快地认识到,如果不能足够精确地知道选择器的阈值电压 V_{th} ,并且硫属化物存储元件为晶态(这样存储了逻辑值“1”)时其被读作逻辑值“0”,因为在读取电压下,选择器还没有转换到导电状态。类似地,如果硫属化物存储元件是非晶态(这样存储了逻辑值“0”)但是在读取电压下该元件已经在图 2c 中曲线的较高部分时,可能发生读取错误。

[0024] 换句话说,理想的读取电压被限制在 OTS 的阈值电压 ($V_{th,OTS}$) 和两个阈值电压之和 ($V_{th,OTS}+V_{th,PCM}$) 之间,并且为了最大化读取窗口, $V_{th,OTS}$ 的精确信息是至关重要的。

[0025] 一般地,如果选择器开关的阈值未知,则确定存储位的值是不可能的。

[0026] 为了解决该问题,正在试验不显示出漂移的特殊硫属化物材料。在可替代的或另外的解决方案中,正在研究可以减小该问题的电极材料。但是,现在适合用于相变存储设备的所有材料都会受到阈值漂移的影响。

[0027] 此外,已经注意到 PCM 中也有重置电阻随时间的 (R_{reset}) 的漂移,其引起图 2c 中曲

线斜率的变化。重置电阻中的漂移对基于相变存储器的多级存储器造成了一些问题,因为晶化的中间等于对应于不同的电阻等级,被用于存储不同位。这样,电阻漂移会引起读取错误。

发明内容

[0028] 本发明的目的是提供硫属化物材料中漂移问题的解决方案。

[0029] 根据本发明,提供了一种相变存储设备、读取和编程方法,分别如权利要求 1、16 和 21 所述。

[0030] 实际上,为了解决漂移问题,被读取的每组存储单元(例如,排列在同一行的所有存储单元)与一个或多个参考单元(对于单独单元也称为 SLC,单级单元(Single-Level Cell),对于多个参考单元也称为 MLC,多级单元(Multi-Level Cell))相关联,参考单元和相关存储单元具有相同的结构。参考单元可形成为与各自的存储单元相邻。

[0031] 因此,在阈值电压 V_{th} 和电阻中,参考单元和存储单元具有相同的漂移。

[0032] 在编程期间,属于同一组的所有存储单元和它们的参考单元一起被编程(同步或紧接之前或之后)。如果整个的编程操作在 1-10 微秒的时间范围内进行,就可能保证所有存储单元及其参考单元的电学性质(阈值电压或电阻)的一致性。

[0033] 在读取期间,将存储单元与其参考单元相比较,从而确保影响存储单元电学量(阈值电压和电阻)的任何漂移也被参考单元所共有,因此确保与参考单元相关的所有存储单元的可靠读取。

[0034] 尤其是,通过使用具有其阈值开关的参考单元(下文中称为阈值参考单元),可以解决与 OTS 选择元件的阈值电压漂移相关的问题,并且阈值参考单元可在置位态被编程,因此当施加于其上的电压达到阈值电压 $V_{th,OTS}$ 时它们转换为打开。

[0035] 进一步,通过将被读取的单元和阈值参考单元沿着同一行排列,可将阈值参考单元的开关使用于所有被读取的存储单元,从而实现其同时读取。

[0036] 为了解决电阻漂移的问题,不需要使用具有双向阈值开关的参考单元,但是该开关可以是任何类型的,例如双极或 MOS 晶体管。在这种情况下,在读取期间和存储单元相比较的参考单元生成参考值。

附图说明

[0037] 为了理解本发明,现在参考附图描述优选实施例,其完全是非限制性的实例,其中:

[0038] 图 1 示出了存储器阵列的结构;

[0039] 图 2a 示出了具有双向开关的存储单元的电学等效图;

[0040] 图 2b 和 2c 图示出双向开关和相变存储元件的电流与电压特性;

[0041] 图 3 和图 4 是沿着包含双向开关的相变存储单元的沿着横截面的截面图;

[0042] 图 5 示出了本发明的相变存储设备的一种实施例的结构;

[0043] 图 6 示出了根据第一实施例的相变存储传感设备的电路图;

[0044] 图 7 示出了多级编程的读取电流分布图;

[0045] 图 8 示出了根据第二实施例的相变存储传感设备的电路图;

[0046] 图 9 是根据本发明一个实施例的系统描述图。

[0047] 具体是实施方式

[0048] 图 3 和 4 示出了包含双向开关的相变存储单元的示例结构。

[0049] 具体地,半导体衬底(未示出)由绝缘层 12 覆盖。行线 13,例如铜,在绝缘层 12 的顶部延伸,通过第一介电层 14 互相绝缘。保护区域 22 和第一氧化物层 19 将加热器结构 23 密封,加热器结构 23 可以例如是 TiSiN,其具有杯子形状,其内部被鞘层 (sheath layer) 24 覆盖且由第二氧化层 25 填充,鞘层 24 可以例如是氮化硅。

[0050] 存储单元包括 PCM/OTS(双向存储开关/双向阈值开关)叠层或点 31,每一个在加热器结构 23 的侧壁 23a 上延伸并接触,包括存储区域 27(例如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$)、第一阻挡区域 28(例如 TiAlN)、开关区域 29(例如 As_2Se_3) 和第二阻挡区域 30(例如 TiAlN)。图 3 示出了两个点 31,其沿着阵列 1(参见图 1)的列 5 延伸并基本对齐,而图 4 示出了一个半点 31,其沿着阵列的行 6 延伸并基本对齐。点 31 被密封层 32(例如氮化硅)和金属间层 33(例如二氧化硅)密封并绝缘。

[0051] 通孔开口 35 延伸通过金属间层 33、密封层 32、第一氧化物层 19 和保护区域 22 下至行线 13,同时沟槽 36a、36b 延伸通过金属间层 33 下至点 31 或通孔开口 35 的顶部。通孔 40、列线 41a 和行线 41b 连接形成在通孔开口 35 和沟槽 36a、36b 中。列线 41a 对应于图 1 中的位线 5,而行线 13 对应于图 1 中的字线 6。这样每个点 31 形成在行线 13 和列线 41a 之间的交叉点。

[0052] 图 5 示出了根据本发明的存储器阵列 10 的实施例。存储器阵列 10 包括多个字线 6 和多个数据位线 5。存储单元 2 被排列在字线 6 和位线 5 的交叉点上。八个存储单元 2 的组 7 沿着相同的字线 6 形成字,并且与专属的阈值参考单元 2a 相关联。每个阈值参考单元 2a 紧挨着相关的存储单元 2 的组 7 被形成,并且连接到相关组的同一个字线 6 上;阈值参考单元 2a 与其称作参考位线 5a 的专属位线耦合。

[0053] 在读取过程中,属于即将读取的字的所有存储单元 2 的数据位线 5 接收偏置电压,该偏置电压是总体增长的电压,例如斜线电压。同时参考位线 5a 也接收该偏置电压。当检测到阈值参考单元 2a 的转换时,在短且预定的延迟之后,在字线 6 上斜线上升的电压可被停止,并且正在被读取的所有存储单元 2 的电流可以被检测到。

[0054] 因此,当读出了寻址的存储单元 2 的内容,即使阈值电压已经漂移,也可确定此处所有的 OTS4 已经转换,这是因为它们的参考单元 2a 经历这样的阈值电压漂移。

[0055] 在编程过程中,可通过施加长并且可靠的电压脉冲来置位阈值参考单元 2a 的存储元件,由此触发此处的双向开关,然后通过施加适当幅度和长度的电压/电流脉冲,可对与刚置位的阈值参考单元 2a 相关的存储单元 2 进行编程(置位或重置)。优选地,在对阈值参考单元 2a 编程之前或之后,尽可能快地对存储单元 2 编程。

[0056] 图 6 示出了可用于上述存储结构的读取电路 50 的实施方式。

[0057] 在图 6 中,示出了字线 6 连接到行解码器 55 的终端驱动 56。位线 5 和 5a 连接到 NMOS 型的共栅晶体管 58,其调节位线 5、5a 上的电压并且特别施加斜线电压到位线 5、5a。

[0058] 共栅晶体管 58,通过列解码器 59 和各自的开关 60 连接到各自的数据负载 65 和参考负载 65a,其中列解码器 59 仅示出了部分,数据负载 65 和参考负载 65a 由 PMOS 晶体管形成。特别地,数据负载 65 具有可连接到数据位线 5 的漏极端,而参考负载 65a 具有可连接

到参考位线 5a 的漏极端。负载 65、65a 具有连接到电源电压 V_A 的源极端,并且以镜像结构连接在一起;这样,它们具有连接在一起的栅极端,并且参考负载 65a 具有缩短的栅极和漏极端。优选地,参考负载 65a 的纵横比(负载晶体管宽度和长度之间的比值)是数据负载 65 的纵横比的 n 倍。因此,在参考分路上读取的电流与数据分路上读取的电流除以 n 后成为镜像。实际比值可以最优化以用于具体应用。这样,负载 65、65a 形成了电流/电压变换器 64。

[0059] 开关检测器 66 耦合在参考负载 65a 和连接到参考位线 5a 的列解码器晶体管之间。但是,开关检测器 66 也可以设置在列解码器 59 和参考位线 5a 之间或任何其他适合的位置。开关检测器 66 任何适当的电路,可以检测到通过参考位线 5a 的电流何时超过预置的参考值,由此检测阈值参考单元 2a 的 OTS4 的打开。例如,开关检测器 66 使用比较器实现,该比较器具有耦合到参考位线 5a 的第一输入端、耦合到参考值的第二输入端以及基于两个输入比较而提供信号的输出端。开关检测器 66 生成用于电压发生器 67 的控制信号从而停止电压斜线上升,其中电压发生器 67 连接到 NMOS 共栅晶体管 58 的栅极。

[0060] 比较器 68 将数据负载 65 的漏极端的电压(电流/电压转换器 64 的输出)和参考值 V_{REF} 进行比较。比较器 68 的输出表示数据位 D_0 - D_7 。

[0061] 开关 60 在读取过程中闭合,在编程过程中打开,从而将存储单元 2、2a 和负载 65、65a 之间断开连接。在这个状态下,存储单元 2、2a 以本身已知的方式连接到电流控制或电压控制型的专用泵。

[0062] 由上述可以清楚得知,在字符串或字中的所有存储单元(数据和阈值参考单元)一般具有同步的循环周期,因为它们经常一起被编程,从而补偿由于循环造成的它们的阈值电压 V_{th} 的任何可能的漂移。

[0063] 图 7 示出了对于四态 PCM 单元(通过以公知技术进一步再分割电流范围可以添加附加的状态)的相对于电流的概率密度曲线图。这里,“00”对应于和重置位相关的非晶态。级“11”对应于和置位位相关的晶态,中间级“01”和“10”对应于部分晶态。

[0064] 重置态典型地由单独的四分之一脉冲(例如 50ns)得到,其将硫属化物材料驱至接近 600°C 的熔融点然后快速冷却。

[0065] 置位态典型地采用单独的四分之一脉冲(例如,50ns)得到,其驱使将硫属化物材料至结晶温度(例如 400°C)并保持在该温度,直到重建长程有序。可替代地,通过将硫属化物材料驱至熔点,然后足够缓慢地冷却使得晶体重组,从而得到置位态。

[0066] 中间态“01”、“10”可能需要附加的编程脉冲和产生渗滤路径,例如 2005 年 6 月 3 日提交的欧洲专利申请 05104877.5 中所述。

[0067] ref_{01} 、 ref_{10} 和 ref_{11} 是由参考单元在中间级生成的参考电流,用于在读取过程中检测存储单元 2 的状态,这样替代不能追踪存储单元的漂移的绝对参考值,其中参考单元和存储单元在相同的编程操作中被编程。

[0068] 由于电阻的漂移和存储区域 27(参见图 3)的非晶态部分成比例,所以设置中间级(“01”和“10”)接近“11”(即完全晶态)是有利的。

[0069] 在读取过程中,参考单元的电阻漂移使得可以追踪与中间级相关的窗口。

[0070] 这样我们就不需要 OTS 选择器,因为该技术可以使用与 PCM 相关的任何类型的选择器。

[0071] 这样的解决方案不需要位于与参考位相关的参考线上的开关检测器,并且每次使用参考位中的一个,可以相对于参考位对存储在存储单元中的位只进行校验。

[0072] 图 8 示出了可用于追踪电阻漂移的读取电路 50' 的实施例。在图 8 中,和图 6 中读取电路 50 共有的元件使用同样的附图标记,下述描述仅针对读取电路 50 和 50' 之间的不同之处。

[0073] 详细地,图 8 中的读取电路 50' 包括多个参考位线 5a、5b 和 5c (这里的三个参考级的同样的附图标记用于区别存储单元 2 可能的状态)。这里,选择元件 4 是普通类型的。每个参考位线 5a、5b 和 5c 连接到专属参考单元 2a、2b 和 2c,并连接到专属共栅晶体管 58,连接到专属开关 60a、60b 和 60c,以及连接到专属参考负载 65a、65b 和 65c。参考负载 65a、65b 和 65c 具有相同的纵横比 W/L ,其和数据负载 65 的纵横比相等。没有提供开关检测器 66。

[0074] 在编程过程中,参考单元 2a、2b 和 2c 每个均被编入其专属阈值电压,分别对应于图 7 中的参考值 ref_{01} 、 ref_{10} 和 ref_{11} 。

[0075] 在读取过程中,开关 60a 依次闭合,由此给数据位线 5 馈送电流,该电流等于一次流入一个参考单元 5a、5b、5c 中的电流;这样对于三个不同的偏置电流 (对应于上述三个参考值),比较器 68 每次将参考值 V_{REF} 和电流 / 电压转换器 64 的输出电压进行比较。如多级存储中的公知技术,比较器 68 的输出被硬件或软件平台使用,该硬件或软件平台被配置成提取完整且正确的数据。

[0076] 基本上,对于字 7 组中的每个存储单元 2,存储单元 2 通过电流 / 电压转换器 64 连接到第一参考单元 2a;读出存储单元 2 的第一电学量 (电流);然后存储单元 2 通过电流 / 电压转换器 64 连接到第二参考单元 2b;读出第二电学量 (电流)。对于提供的所有的中间级,重复该过程。在图 8 的实施例中,连接了第三参考单元 2c,并且将转换器的输出电压和参考值进行比较。于是基于读出的电学量,可以检测到存储单元 2 的状态以及存储的位。

[0077] 明显地,对于存储在存储单元 2 中不同数量的级,例如在只有三个级或多于四个级的情况下,可以使用相近或相似的读取电路。明显地,在这种情况下,参考单元 2a-2c 的数量取决于将要存储的级的数量,参考单元足够的数量等于期望的级的数量减去 1。

[0078] 对参考单元的其它选择次序也是可以的,该选择次序是基于从多级存储器领域的技术人员公知的技术中选择的读取算法。

[0079] 图 9 示出了根据本发明实施例的系统 500 的一部分。系统 500 可用于无线设备中,例如个人数字助理 (PDA)、具有无线功能的膝上型或便携式计算机、网页书写板、无线电话、寻呼机、快速通信设备、数字音乐播放器、数字相机或其它适合传输和 / 或接收无线信息的设备。系统 500 可用于下述任何系统:无线局域网络 (WLAN) 系统、无线个域网络 (WPAN) 系统或蜂窝网络,但本发明的范围不限于这些方面。

[0080] 系统 500 可包括控制器 510、输入 / 输出 (I/O) 设备 520 (例如键盘,显示器)、存储器 530、无线接口 540、数字相机 550 和静态随机存取存储器 (SRAM) 560,并且通过总线 550 互相耦合。在一个实施例中电池 580 给系统 500 供电。应该注意到本发明的范围不限于具有任何或所有这些组件的实施例。

[0081] 控制器 510 可以包括,例如,一个或多个微处理器、数字信号处理器、微控制器等等。存储器 530 可用于存储传输到系统 500 或由系统 500 传输的消息。存储器 530 也可选

择地用于存储在系统 500 运行期间由控制器 510 执行的指令,并且可用于存储用户数据。可将指令存储为数字信息,此处公开的用户数据可在存储器中一个区段中存储为数字数据,而在另一个区段中作为模拟存储。作为另外一个示例,给定的区段之前可以这样被标记并且存储数字信息,之后可以重新标记并重新配置成存储模拟信息。存储器 530 可包括一个或多个不同类型的存储器。例如,存储器 530 可包括易失性存储器(任何类型的随机存取存储器)、例如闪存的非易失性存储器以及如图 1 中所示的结合了图 5-8 中所述结构的存储器 1。

[0082] I/O 设备 520 可用于产生消息。系统 500 可使用无线接口 540 通过射频(RF)信号向无线通信网络传输信息,并从无线通信网络接收信息。无线接口 540 的示例可包括天线或无线电收发机,例如偶极天线。同样,I/O 设备 520 可递送电压,该电压反映所存储数字输出(如果存储了数字信息)或模拟信息(如果存储了模拟信息)的信息。

[0083] 尽管上文描述了在无线应用中的示例,但本发明的实施例也可用于非无线应用中。

[0084] 最后,对于这里所记载并揭示的相变存储设备以及读取和编程方法的很多变形和改进,均落入所附权利要求所限定的本发明的保护范围内。

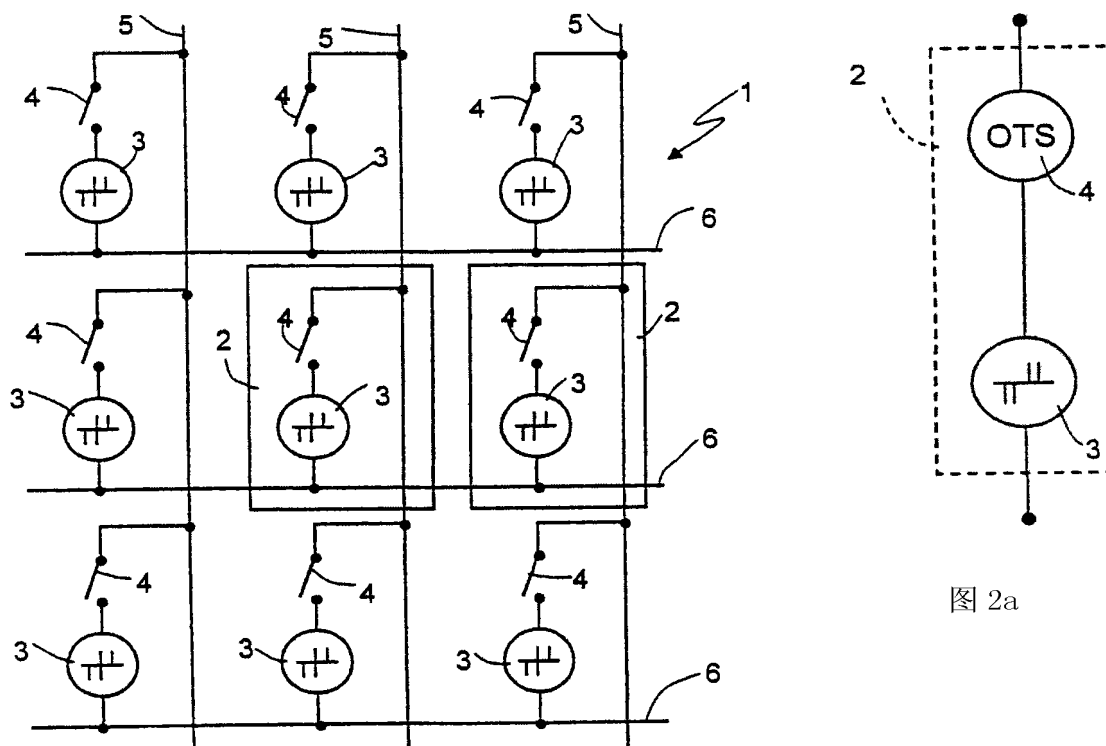


图 1

图 2a

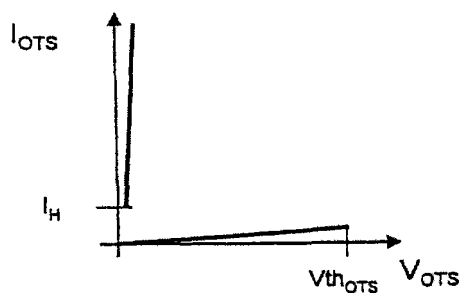


图 2b

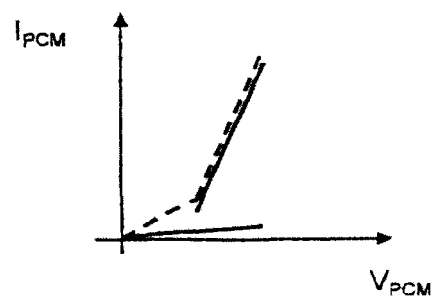


图 2c

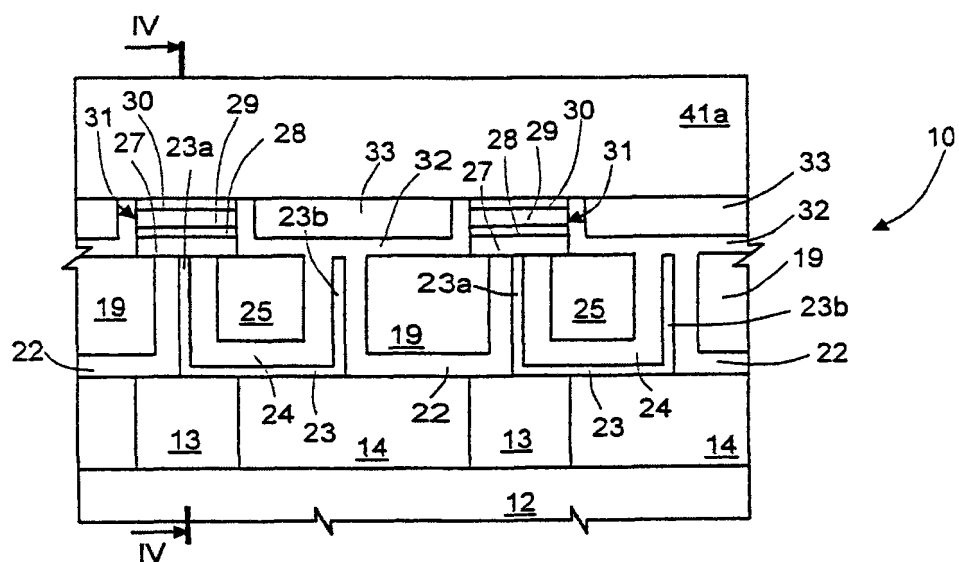


图 3

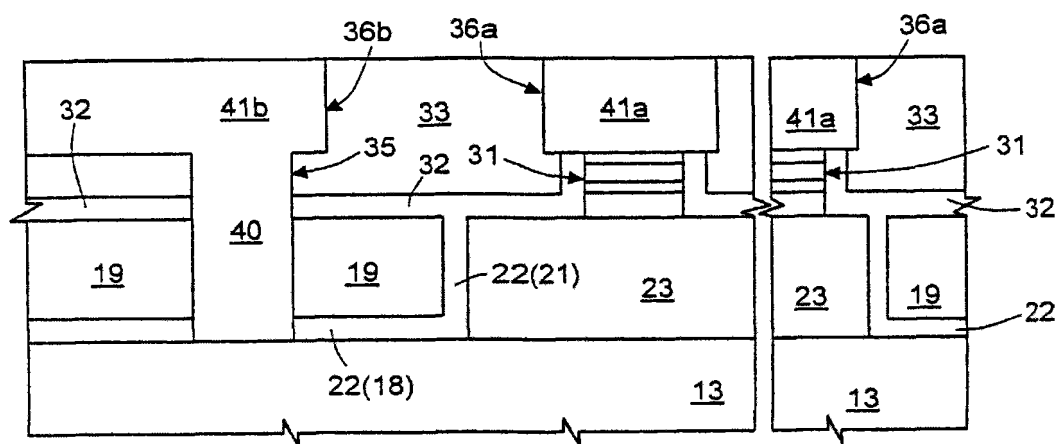


图 4

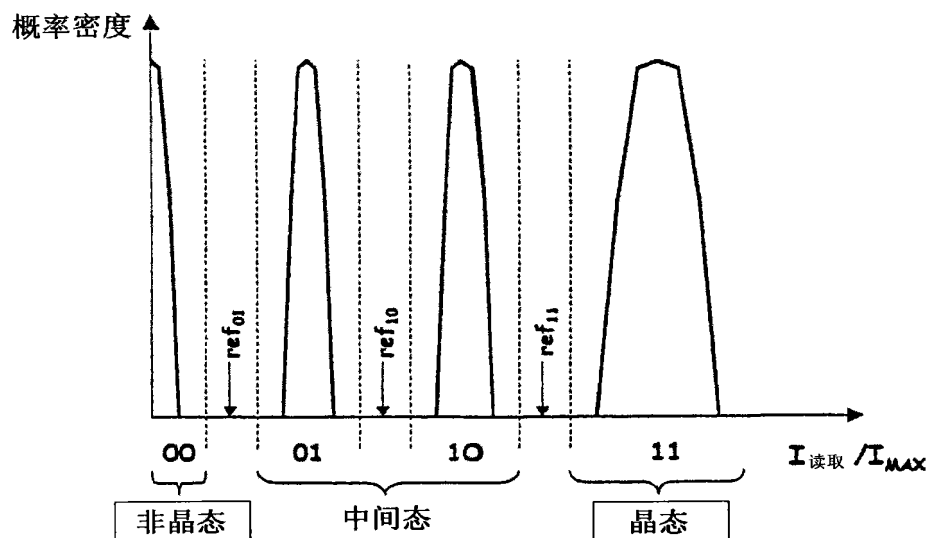


图 7

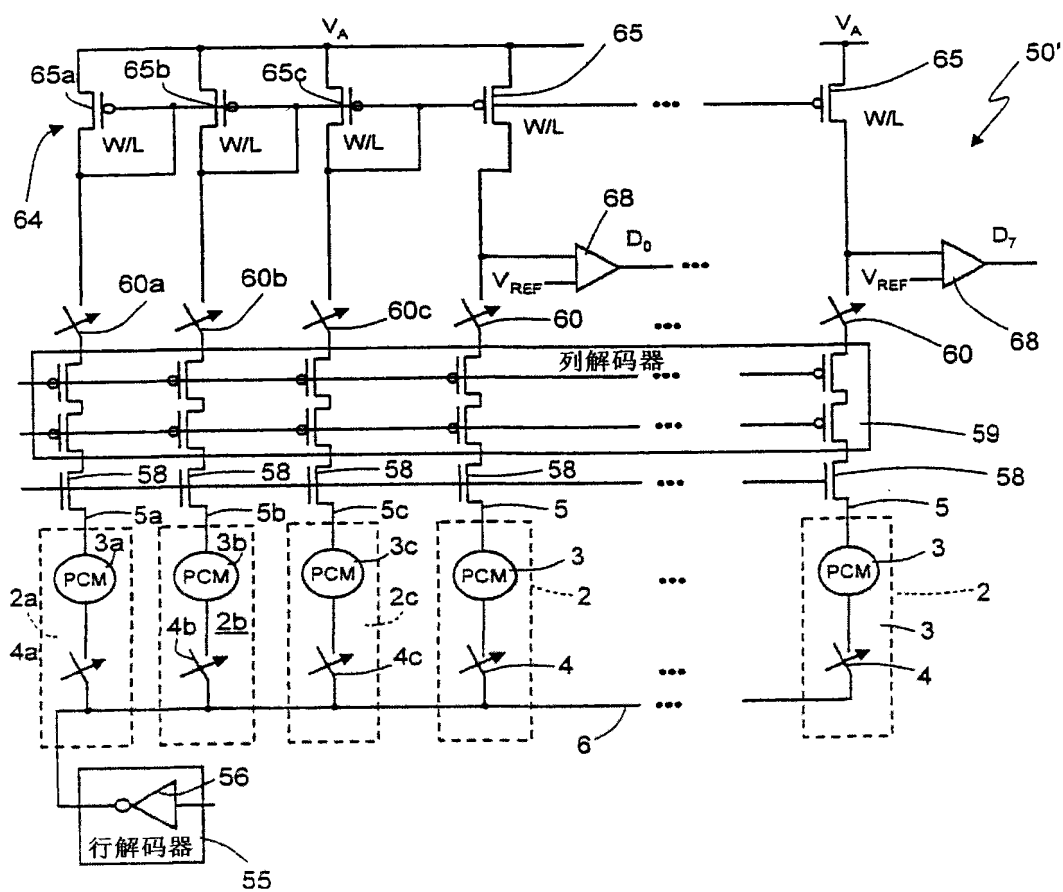


图 8

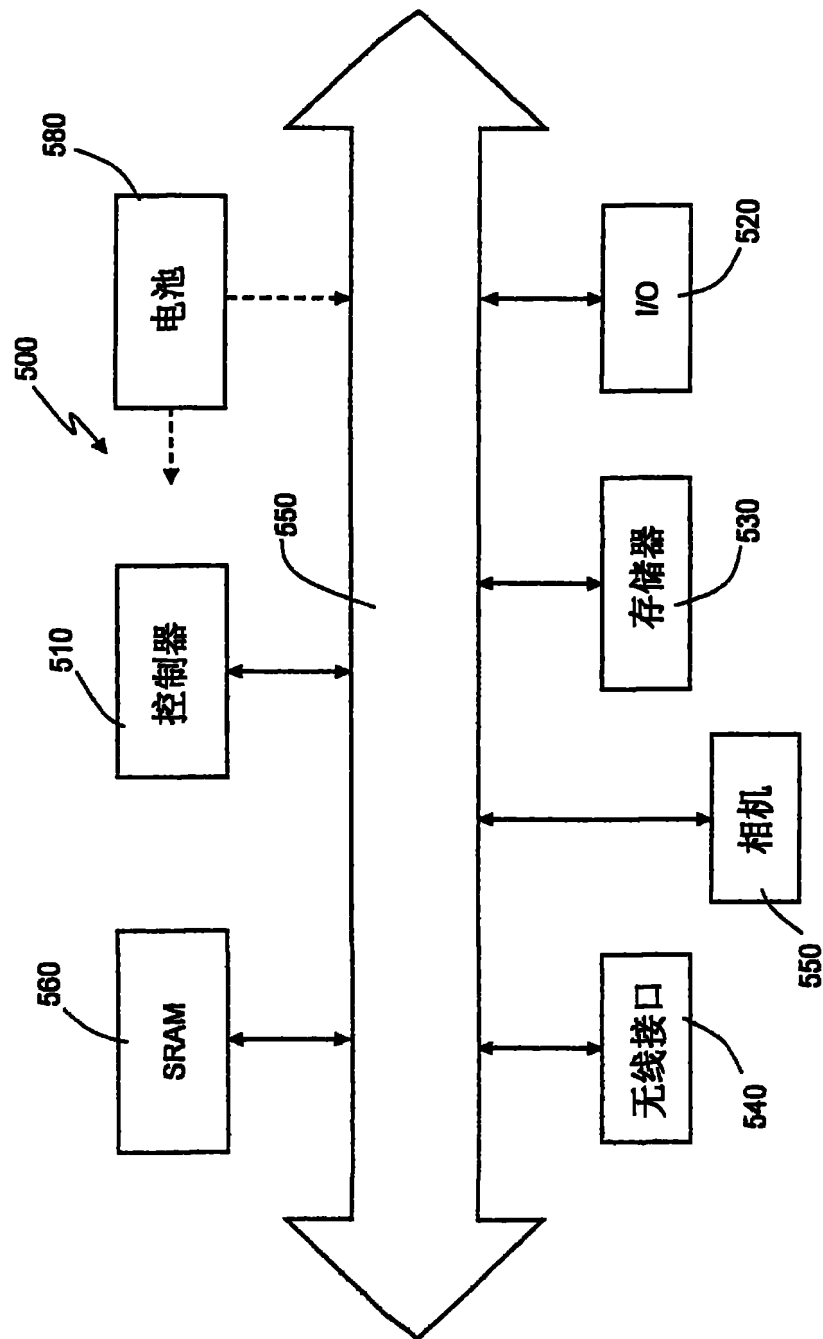


图 9