(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월19일
(11) 등록번호 10-2490468
(24) 등록일자 2023년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 27/124 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2022-7004403(분할)
(22) 출원일자(국제) 2010년07월14일
심사청구일자 2022년02월09일
(85) 번역문제출일자 2022년02월09일
(65) 공개번호 10-2022-0025180
(43) 공개일자 2022년03월03일
(62) 원출원 특허 10-2021-7003865
원출원일자(국제) 2010년07월14일
심사청구일자 2021년02월08일
(86) 국제출원번호 PCT/JP2010/062287
(87) 국제공개번호 WO 2011/013561
국제공개일자 2011년02월03일
(30) 우선권주장
JP-P-2009-179773 2009년07월31일 일본(JP)
(56) 선행기술조사문헌
KR1020090048650 A
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌뻬이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
오하라 히로끼
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범, 이중희

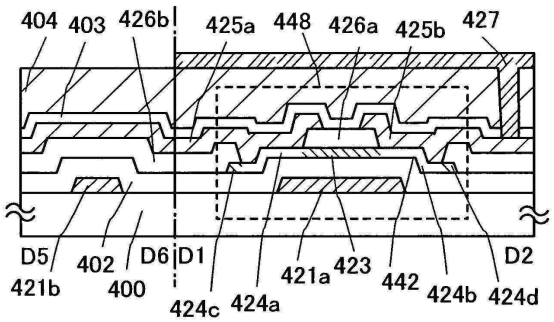
전체 청구항 수 : 총 11 항 심사관 : 고연화

(54) 발명의 명칭 **표시 장치**

(57) 요 약

본 발명의 일 목적은 배선간의 기생 용량을 현저히 저감시킬 수 있는 구조의 반도체 장치를 제공하는 것이다. 게이트 전극층과 중첩하는 산화물 반도체층의 일부 위에 채널 보호층으로서 기능하는 산화물 절연층이 형성된다. 상기 산화물 절연층의 형성과 동일한 공정에서, 산화물 반도체층의 주연부를 덮는 산화물 절연층을 형성한다. 상기 산화물 반도체층의 주연부를 덮는 산화물 절연층은, 게이트 전극층과 이 게이트 전극층의 상방 또는 주변에 형성된 배선층 사이의 거리를 증가시키도록 제공되고, 이에 의해 기생 용량이 저감된다.

대 표 도 - 도1b



(52) CPC특허분류
H01L 29/7869 (2013.01)
(72) 발명자
사사끼 도시나리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
노다 고세이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
구와바라 히데아끼
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌
KR1020070015050 A
KR1020090057257 A
JP2009141002 A
JP2008140984 A

명 세 서

청구범위

청구항 1

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터 및 제6 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선 및 제5 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽 및 상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽은 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제3 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 상기 다른 쪽, 상기 제3 트랜지스터의 소스 및 드레인 중 상기 한쪽 및 상기 제6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제4 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 2

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터 및 제6 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선 및 제5 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 클럭 신호가 공급되는 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽 및 상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽은, 신호가 출력되는 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 쪽은, 신호가 출력되는 상기 제3 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 상기 다른 쪽, 상기 제3 트랜지스터의 소스 및 드레인 중 상기 한쪽 및 상기 제6 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 전위가 공급되는 상기 제4 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제4 트랜지스터의 소스 및 드레인 중 다른 쪽은, 상기 제1 전위보다 높은 제2 전위가 공급되는 상기 제5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서,

제7 트랜지스터; 및

제6 배선

을 더 포함하고,

상기 제4 트랜지스터의 게이트는 상기 제7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제4 트랜지스터의 상기 게이트와 상기 제7 트랜지스터의 상기 게이트는 상기 제6 배선에 전기적으로 접속되는, 반도체 장치.

청구항 4

제3항에 있어서,

제8 트랜지스터;

제9 트랜지스터; 및

제10 트랜지스터

를 더 포함하고,

상기 제9 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 배선에 전기적으로 접속되고,

상기 제9 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제8 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제10 트랜지스터의 소스 및 드레인 중 한쪽 및 상기 제4 배선에 전기적으로 접속되고,

상기 제10 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트는 서로 전기적으로 접속되는, 반도체 장치.

청구항 5

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선 및 제6 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적

으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽 및 상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제3 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제8 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제4 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 게이트는 상기 제3 배선에 전기적으로 접속되고,

상기 제4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제6 배선에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제7 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 6

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선 및 제6 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 클럭 신호가 공급되는 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽 및 상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은, 신호가 출력되는 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제3 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제8 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 전위가 공급되는 상기 제4 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 게이트는, 제2 클럭 신호가 공급되는 상기 제3 배선에 전기적으로 접속되고,

상기 제4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제6 배선에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제7 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 7

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터, 제8 트랜지스터 및 제9 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선 및 제5 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽 및 상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제3 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제2 트랜지스터의 게이트 및 상기 제5 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 상기 다른 쪽은 상기 제6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제9 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제5 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 게이트는 상기 제4 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 8

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터, 제8 트랜지스터 및 제9 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선 및 제5 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 클럭 신호가 공급되는 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽 및 상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은, 신호가 출력되는 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제7 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 전위가 공급되는 상기 제3 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제2 트랜지스터의 게이트 및 상기 제5 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 상기 다른 쪽은 상기 제6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제9 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제5 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 게이트는, 상기 제1 전위보다 높은 제2 전위가 공급되는 상기 제4 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 9

반도체 장치로서,

회로를 포함하고, 상기 회로는

제1 트랜지스터, 제2 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터, 제8 트랜지스터 및 제9 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선, 제4 배선 및 제5 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 클럭 신호가 공급되는 상기 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽 및 상기 제2 트랜지스터의 소스 및 드레인 중 상기 한쪽은, 신호가 출력되는 상기 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제5 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제7 트랜지스터의 소스 및 드레인 중 한쪽은, 제1 전위가 공급되는 상기 제3 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제2 트랜지스터의 게이트 및 상기 제5 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 상기 다른 쪽은 상기 제6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제5 배선에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제8 트랜지스터의 게이트, 및 상기 제9 트랜지스터의 소스 및 드레인 중 한쪽은, 상기 제1 전위보다 높은 제2 전위가 공급되는 상기 제4 배선에 전기적으로 접속되고,

상기 제8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 10

제7항 내지 제9항 중 어느 한 항에 있어서,

제3 트랜지스터; 및

제6 배선

을 더 포함하고,

상기 제3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽 및 상기 제2 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제3 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 게이트는 상기 제6 배선에 전기적으로 접속되는, 반도체 장치.

청구항 11

제10항에 있어서,

제2 클럭 신호는 상기 제6 트랜지스터의 상기 게이트에 입력되는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은, 산화물 반도체를 이용하는 반도체 장치 및 이 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 지칭하며, 표시 장치 등의 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배 경 기 술

[0003] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(대략 수 나노미터 내지 수백 나노미터 두께)을 이용해서 박막 트랜지스터(TFT)를 형성하는 기술이 주목받고 있다. 박막 트랜지스터는 IC나 전기 광학 장치와 같은 전자 디바이스에 널리 응용되며, 특히 화상 표시 장치의 스위칭 소자로서 사용되는 박막 트랜지스터의 즉각적인 개발이 서둘러지고 있다. 다양한 금속 산화물이 여러 가지 용도에 이용되고 있다. 산화 인듐은 잘 알려진 재료이며, 액정 디스플레이 등에서 필요하게 되는 투명 전극 재료로서 이용되고 있다.

[0004] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 이러한 금속 산화물로서는, 예를 들면, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다. 이러한 반도체 특성을 나타내는 금속 산화물을 사용하여 채널 형성 영역을 형성하는 박막 트랜지스터가 이미 알려져 있다(특허문헌1 및 특허문헌2).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본특허공개 제2007-123861호 공보

(특허문헌 0002) 일본특허공개 제2007-96055호 공보

발명의 내용

해결하려는 과제

[0006] 절연 표면 위에 복수의 박막 트랜지스터를 형성하는 경우, 예를 들면 게이트 배선과 소스 배선이 서로 교차하는 부분이 있다. 교차하는 부분에는, 게이트 배선과, 해당 게이트 배선과 전위가 다른 소스 배선의 사이에 용량이 형성되고, 상기 배선들 사이에 유전체의 기능을 하는 절연층이 제공된다. 이 용량은, 배선간의 기생 용량이라고도 불리고, 신호 파형의 왜곡이 생길 우려가 있다. 또한, 기생 용량이 크면, 신호 전달의 지연이 발생할 우려가 있다.

[0007] 또한, 기생 용량의 증가는, 배선 사이에서 전기 신호가 누설되어 버리는 크로스 토크 현상이나, 소비 전력의 증대를 일으킨다.

[0008] 또한, 액티브 매트릭스형의 표시 장치에 있어서, 특히 영상 신호를 공급하는 신호 배선과, 다른 배선 또는 전극

과의 사이에 큰 기생 용량이 형성되면, 표시 품질이 저하될 우려가 있다.

[0009] 또한, 회로의 미세화를 도모하는 경우에도, 배선 간격이 좁아져서, 배선간의 기생 용량이 증가할 우려가 있다.

[0010] 본 발명의 일 실시 형태는, 배선간의 기생 용량을 충분히 저감할 수 있는 구성을 구비한 반도체 장치를 제공하는 것을 하나의 과제로 한다.

[0011] 또한, 절연 표면 위에 구동 회로를 형성할 경우, 구동 회로에 이용하는 박막 트랜지스터의 동작 속도는, 빠른 것이 바람직하다.

[0012] 예를 들면, 박막 트랜지스터의 채널 길이(L)를 짧게 하거나, 또는 그 채널 폭(W)을 넓게 하면 동작 속도가 고속화된다. 그러나, 채널 길이를 짧게 하면, 스위칭 특성, 예를 들면 온 오프비가 작아지는 문제가 있다. 또한, 채널 폭(W)을 넓게 하면, 박막 트랜지스터 자신의 용량 부하를 상승시키는 문제가 있다.

[0013] 또한, 본 발명의 일 실시 형태는, 채널 길이가 짧더라도, 안정된 전기 특성을 갖는 박막 트랜지스터를 포함한 반도체 장치를 제공하는 것도 하나의 과제로 한다.

[0014] 또한, 절연 표면 위에 복수의 서로 다른 회로를 형성할 경우, 예를 들면, 화소부와 구동 회로를 동일 기판 위에 형성할 경우에는, 화소부에 이용하는 박막 트랜지스터에 대해서는, 우수한 스위칭 특성, 예를 들면 온 오프비가 큰 것이 요구되고, 구동 회로에 이용하는 박막 트랜지스터에는 동작 속도가 빠른 것이 요구된다. 특히, 표시 장치의 정밀도가 고정밀일수록, 표시 화상의 기입 시간이 짧아진다. 따라서, 구동 회로에 이용하는 박막 트랜지스터는 고속으로 동작하는 것이 바람직하다.

[0015] 또한, 본 발명의 일 실시 형태는, 동일 기판 위에 복수 종류의 회로를 형성하고, 복수 종류의 회로의 특성에 각각 대응하는 복수 종류의 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것도 하나의 과제로 한다.

과제의 해결 수단

[0016] 보텀 게이트 박막 트랜지스터에 있어서, 게이트 전극층과 중첩하는 산화물 반도체층의 일부 위에 채널 보호층으로서 기능하는 산화물 절연층을 형성한다. 그 산화물 절연층의 형성과 동일 스텝에서, 산화물 반도체층의 주연(周緣)부(측면을 포함한다)를 덮는 산화물 절연층을 형성한다.

[0017] 산화물 반도체층의 주연부(측면을 포함한다)를 덮는 산화물 절연층이 제공되면, 게이트 전극층과, 당해 게이트 전극층의 상측 또는 주변에 형성되는 배선층(소스 배선층이나 용량 배선층 등)과의 거리를 크게 하여, 기생 용량이 저감된다. 산화물 반도체층의 주연부를 덮는 산화물 절연층은, 채널 보호층과 동일 공정에서 형성된다. 그러므로, 공정수의 증가 없이 기생 용량을 저감할 수 있다.

[0018] 산화물 반도체층의 주연부(측면을 포함한다)를 덮는 산화물 절연층은, 기생 용량을 저감할 수 있고, 신호 파형의 왜곡을 억제할 수 있다.

[0019] 또한, 기생 용량을 저감하기 위해서는, 배선 사이에 배치하는 산화물 절연층으로서, 유전율이 작은 절연 재료를 이용하는 것이 바람직하다.

[0020] 산화물 반도체층의 주연부(측면을 포함한다)를 덮는 산화물 절연층을 제공함으로써, 기생 용량을 될 수 있는 한 작게 하고, 박막 트랜지스터의 고속 동작을 실현할 수 있다. 또한, 동작 속도가 빠른 박막 트랜지스터를 이용함으로써 회로의 집적도가 향상된다.

[0021] 본 명세서에서 개시하는 본 발명의 일 실시 형태는, 게이트 전극층과, 상기 게이트 전극층 위에 게이트 절연층과, 상기 게이트 절연층 위에 산화물 반도체층과, 상기 산화물 반도체층 위에 산화물 절연층과, 상기 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 포함하고, 상기 산화물 반도체층은, 상기 산화물 절연층에 접하는 제1 영역과, 상기 소스 전극층 또는 상기 드레인 전극층에 접하는 제2 영역을 갖고, 상기 제1 영역은, 상기 게이트 전극층과 상기 게이트 절연층을 개재하여 중첩하는 채널 형성 영역과, 상기 산화물 반도체층의 주연 및 측면을 덮는 상기 산화물 절연층과 중첩하는 영역을 갖고, 상기 산화물 반도체층의 단부(端部)면은, 상기 산화물 절연층을 개재하여 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 반도체 장치이다.

[0022] 상기 구성에 의하면, 상기 과제 중 적어도 하나가 해결된다.

[0023] 또한, 상기 구조를 실현하기 위해, 본 발명의 다른 일 실시 형태는, 게이트 전극층과, 상기 게이트 전극층 위에 게이트 절연층과, 상기 게이트 절연층 위에 산화물 반도체층과, 상기 산화물 반도체층 위에 산화물 절연층과, 상기 산화물 절연층 위에 소스 전극층 및 드레인 전극층과, 상기 소스 전극층 및 상기 드레인 전극층 위에 보호

절연층을 갖고, 상기 산화물 반도체층은, 상기 산화물 절연층에 접하는 제1 영역과, 상기 소스 전극층 또는 상기 드레인 전극층에 접하는 제2 영역과, 상기 보호 절연층에 접하는 제3 영역을 갖고, 상기 제1 영역 중, 상기 게이트 전극층과 상기 게이트 절연층을 개재하여 중첩하는 영역이 채널 형성 영역이며, 상기 채널 형성 영역과 상기 제2 영역 사이에 상기 제3 영역이 제공되는 반도체 장치이다.

[0024] 예를 들어, 본 명세서 중에서 이용하는 산화물 반도체는, $InMO_3(ZnO)_m(m>0)$으로 표현되는 박막으로 형성되고, 이 박막을 이용하여 그 산화물 반도체층이 형성되는 박막 트랜지스터를 제작한다. 또한, M은, Ga, Fe, Ni, Mn 및 Co로부터 선택되는 하나 이상의 금속 원소를 나타낸다. 예로서, M은, Ga이거나, 또는 Ga에 더하여 상기 금속 원소를 포함할 수 있으며, 예를 들어, M은 Ga와 Ni 또는 Ga와 Fe 등이 될 수 있다. 또한, 상기 산화물 반도체에 있어서, 어떤 경우에는, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 등의 천이 금속 원소, 또는 해당 천이 금속의 산화물이 포함되어 있는 것이 있다. 본 명세서에서는, $InMO_3(ZnO)_m(m>0)$으로 그 조성식이 표기되는 산화물 반도체층 중, M으로서 Ga를 포함하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, 그 In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.

[0025] 또한, 산화물 반도체층에 적용하는 금속 산화물로서, 상기한 바 외에도, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, Zn-O계 금속 산화물을 적용할 수 있다. 또한, 상기 금속 산화물을 이용하여 형성한 산화물 반도체층에 산화 규소를 포함시켜도 좋다.

[0026] 질소 또는 희가스(예컨대, 아르곤이나 헬륨) 등의 불활성 기체 분위기에서, 열처리를 행한 경우, 산화물 반도체층은 열처리에 의해 산소 결핍형 산화물 반도체층이 되어서, 저저항 산화물 반도체층, 즉 n형(n^-형) 산화물 반도체층이 된다. 그 후, 산화물 반도체층에 접하는 산화물 절연막의 형성 및 이 형성 후의 열처리에 의하여 산화물 반도체층을 산소 과잉 상태로 함으로써, 고저항 산화물 반도체층, 즉 i형 산화물 반도체층이 된다. 또한, 산화물 반도체층을 산소 과잉 상태로 하는 고상 산화를 행하고 있다고도 말할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제작하여 제공하는 것이 가능하다.

[0027] 탈수화 또는 탈수소화에서는, 질소 또는 희가스(예컨대, 아르곤이나 헬륨) 등의 불활성 기체 분위기에서의 400℃ 이상, 그리고 기판의 왜곡점 미만의 온도에서, 바람직하게는 420℃ 이상 570℃ 이하의 온도에서 열처리를 행하여, 산화물 반도체층에 포함된 수분 등의 불순물을 저감한다.

[0028] 산화물 반도체층은, 탈수화 또는 탈수소화를 거친 후의 산화물 반도체층에 대하여 TDS(Thermal Desorption Spectroscopy)에 의해 450℃까지 측정을 행해도, 물의 2개의 피크 또는 300℃ 부근에서의 물의 적어도 1개의 피크는 검출되지 않는 열처리 조건 하에서 탈수화 또는 탈수소화된다. 따라서, 탈수화 또는 탈수소화가 행해진 산화물 반도체층을 포함한 박막 트랜지스터에 대하여 TDS에 의해 450℃까지 측정을 행해도, 적어도 300℃ 부근에서의 물의 피크는 검출되지 않는다.

[0029] 그리고, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 행하는 가열 온도 T로부터 온도를 저하시킬 때, 탈수화 또는 탈수소화를 행한 동일한 로를 이용해서 대기에 접촉시키지 않으며, 물 또는 수소를 산화물 반도체층에 다시 혼입시키지 않는 것이 중요하다. 탈수화 또는 탈수소화를 행하고, 산화물 반도체층을 저저항의 산화물 반도체층, 즉 n형(n^-형 등)의 산화물 반도체층으로 한 후, 이 저저항의 산화물 반도체층을 고저항의 산화물 반도체층으로 변경하여 i형 산화물 반도체층으로 하여 얻어지는 산화물 반도체층을 이용해서 박막 트랜지스터를 형성하면, 박막 트랜지스터의 임계값 전압을 플러스로 할 수 있어, 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다. 0V에 될 수 있는 한 가까운 플러스인 게이트 임계값 전압에서 채널이 형성되는 것이 반도체 장치(표시 장치)에는 바람직하다. 또한, 박막 트랜지스터의 임계값 전압이 마이너스이면, 게이트 전압이 0V이더라도 소스 전극과 드레인 전극 사이에 전류가 흐르는, 소위 노멀리 온으로 되기 쉽다. 액티브 매트릭스형의 표시 장치에서는, 회로에 포함되는 박막 트랜지스터의 전기 특성이 중요하며, 이 전기 특성이 표시 장치의 성능을 좌우한다. 특히, 박막 트랜지스터의 전기 특성 중, 임계값 전압(V_{th})이 중요하다. 전계 효과 이동도가 높더라도 임계값 전압이 높거나, 혹은 임계값 전압이 마이너스측에 있다면, 회로를 제어하는 것이 곤란하다. 임계값 전압이 높고, 그 임계값 전압의 절대값이 큰 박막 트랜지스터의 경우에는, 낮은 전압에서 트랜지스터가 구동되면 박막 트랜지스터는 TFT로서의 스위칭 기능을 완수할 수 없고, 부하가 될 우려가 있다. n채널형 박막 트랜지스터의 경우, 게이트 전압으로서 플러스의 전압을 인가한 후 채널이 형성되어서 드레인 전류가 유출되는 것이 바람직하다. 구동 전압을 높게 하지 않으면 채널이 형성되지 않는 트랜지스터나, 마이너스의 전압 상태에서도

채널이 형성되어서 드레인 전류가 흐르는 트랜지스터는, 회로에 이용하는 박막 트랜지스터로서는 적합하지 않다.

[0030] 또한, 가열 온도 T로부터 온도를 내리는 가스 분위기는, 가열 온도 T까지 승온한 가스 분위기와 다른 가스 분위기로 전환해도 된다. 예를 들면, 탈수화 또는 탈수소화를 행한 동일한 로를 사용하여 대기에 접촉시키지 않고, 로 안을 고순도의 산소 가스, 고순도의 N_2O 가스, 초건조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)로 채워서 냉각을 행한다.

[0031] 탈수화 또는 탈수소화를 행하는 가열 처리에 의해 막 내의 함유 수분을 저감 시킨 후, 수분을 포함하지 않는 분위기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)에서 서냉(또는 냉각)한 산화물 반도체막을 이용하여, 박막 트랜지스터의 전기 특성을 향상시킴과 함께, 양산성과 고성능의 양방을 구비한 박막 트랜지스터를 실현한다.

[0032] 본 명세서에서는, 질소 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기하에서의 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리라고 부른다. 본 명세서에서는, 이 가열 처리에 의해 H_2의 형태로서의 제거만을 탈수소화라고 부르고 있는 것은 아니며, H, OH 등의 제거도 편의상 탈수화 또는 탈수소화라고 부르는 것으로 한다.

[0033] 질소 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기하에서의 가열 처리를 행한 경우, 산화물 반도체층은 가열 처리에 의해 산소 결핍형 산화물 반도체층이 되어 저저항의 산화물 반도체층, 즉 n형(n^- 형 등) 산화물 반도체층이 된다.

[0034] 또한, 드레인 전극층과 중첩하는 영역이 산소 결핍형 영역인 고저항 드레인 영역(HRD 영역이라고 부른다)으로서 형성된다. 또한, 소스 전극층과 중첩하는 영역이 산소 결핍형 영역인 고저항 소스 영역(HRS 영역이라고도 부른다)으로서 형성된다.

[0035] 구체적으로는, 고저항 드레인 영역의 캐리어 농도는, $1\times10^{18}/cm^3$ 이상이며, 적어도 채널 형성 영역의 캐리어 농도($1\times10^{18}/cm^3$ 미만)보다 높다. 또한, 본 명세서의 캐리어 농도는, 실온에서 홀(Hall) 효과 측정으로부터 구한 캐리어 농도이다.

[0036] 그리고나서, 탈수화 또는 탈수소화한 산화물 반도체층의 적어도 일부를 산소 과잉 상태로 함으로써, 고저항 산화물 반도체층, 즉 i형 산화물 반도체층으로 만들어 채널 형성 영역을 형성한다. 또한, 탈수화 또는 탈수소화한 산화물 반도체층을 산소 과잉 상태로 하는 처리로서는, 예를 들어, 탈수화 또는 탈수소화한 산화물 반도체층에 접하는 산화물 절연막의 스퍼터링법에 의한 성막, 산화물 절연막 성막 후의 가열 처리, 또는 산소를 포함하는 분위기에서의 가열 처리, 또는 불활성 가스 분위기하에서 가열한 후에 산소 분위기에서 냉각하는 처리 또는 초건조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)로 냉각하는 처리 등이 있다.

[0037] 또한, 탈수화 또는 탈수소화한 산화물 반도체층의 적어도 일부(게이트 전극층과 중첩하는 부분)가 채널 형성 영역으로 기능하므로, 산화물 반도체층을 선택적으로 산소 과잉 상태로 할 수 있고, 고저항 산화물 반도체층, 즉 i형 산화물 반도체층으로 만들 수 있다.

[0038] 이에 의해, 전기 특성이 양호하고 신뢰성이 높은 박막 트랜지스터를 포함한 반도체 장치를 제작하여 제공할 수 있다.

[0039] 또한, 드레인 전극층과 중첩한 산화물 반도체층에 있어서 고저항 드레인 영역을 형성함으로써, 구동 회로를 형성했을 때의 신뢰성의 향상을 도모할 수 있다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 드레인 전극층으로부터 고저항 드레인 영역 및 채널 형성 영역에 걸쳐서, 도전성을 단계적으로 변화시킬 수 있는 구조를 얻을 수 있다. 그러므로, 드레인 전극층을 고전원 전위 VDD를 공급하는 배선에 접속해서 박막 트랜지스터를 동작시킬 경우, 게이트 전극층과 드레인 전극층 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼로서의 역할을 하여 고전계가 국소적으로 인가되지 않고, 따라서 트랜지스터의 내압을 향상시킬 수 있다.

[0040] 또한, 드레인 전극층(및 소스 전극층)과 중첩한 산화물 반도체층에 있어서 고저항 드레인 영역을 형성함으로써, 구동 회로를 형성했을 때의 채널 형성 영역에서의 리크 전류를 저감할 수 있다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 트랜지스터의 드레인 전극층과 소스 전극층 사이의 리크 전류가 드레인 전극층, 드레인 전극층측의 고저항 드레인 영역, 채널 형성 영역, 소스 전극층측의 고저항 소스 영역, 소스 전극층을 이 순서로 흐른다. 이 경우, 채널 형성 영역에서는, 드레인 전극층측의 고저항 드레인 영역으로부터 채널 영역으로 흐르는 리크 전류를, 트랜지스터가 오프시에 고저항으로 되는 게이트 절연층과 채널 형성 영역 사이의 계면 근방에 집중시킬 수 있다. 따라서, 백 채널부(게이트 전극층으로부터 떨어져 있는 채널 형성 영역의 표면의 일부)에서

의 리크 전류의 량을 저감할 수 있다.

[0041] 또한, 소스 전극층과 중첩하는 고저항 소스 영역과, 드레인 전극층과 중첩하는 고저항 드레인 영역은, 게이트 전극층의 폭에 의존하여, 게이트 전극층의 일부와 게이트 절연층을 개재하여 중첩하며, 보다 효과적으로 드레인 전극층의 단부 근방의 전계 강도를 완화시킬 수 있다.

[0042] 또한, 구동 회로를 포함하는 표시 장치로서는, 액정 표시 장치 이외에, 발광 소자를 이용한 발광 표시 장치나, 전기 영동 표시 소자를 이용한 "전자 페이퍼"로도 지칭되는 표시 장치를 들 수 있다.

[0043] 발광 소자를 이용한 발광 표시 장치에서는, 화소부에 복수의 박막 트랜지스터를 포함하고, 화소부에는, 박막 트랜지스터의 게이트 전극과 다른 박막 트랜지스터의 소스 배선 혹은 드레인 배선을 접속시키는 영역이 있다. 또한, 발광 소자를 이용한 발광 표시 장치의 구동 회로에서는, 박막 트랜지스터의 게이트 전극과 그 박막 트랜지스터의 소스 배선 또는 드레인 배선을 접속시키는 영역이 있다.

[0044] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트 선 또는 소스선에 대하여, 화소부의 박막 트랜지스터 보호용의 보호 회로를 동일 기판 위에 제공하는 것이 바람직하다. 보호 회로는, 산화물 반도체층을 포함한 비선형 소자를 이용해서 형성하는 것이 바람직하다.

[0045] 또한, 본 명세서 중에서 "제1" 및 "제2" 등의 첨부되는 서수사는 편의상 이용하는 것이며, 공정순 및 적층순을 나타내는 것은 아니다. 또한, 본 명세서에 있어서 상기 서수사는 본 발명을 특정하는 고유한 명칭을 나타내는 것은 아니다.

발명의 효과

[0046] 기생 용량을 충분히 저감하고, 채널 길이가 짧더라도, 안정된 전기 특성을 갖는 박막 트랜지스터를 구비한 반도체 장치를 실현한다.

도면의 간단한 설명

[0047] 첨부 도면에서,

도 1a는 본 발명의 일 실시 형태를 도시하는 평면도이고, 도 1b 및 도 1c는 단면도.

도 2a 내지 도 2e는 본 발명의 일 실시 형태를 나타내는 공정 단면도.

도 3a 및 도 3b는 본 발명의 일 실시 형태를 도시하는 단면도.

도 4의 (A1) 및 도 4의 (B1)은 본 발명의 일 실시 형태를 도시하는 단면도이고, 도 4의 (A2) 및 도 4의 (B2)는 단면도.

도 5a 및 도 5c는 본 발명의 일 실시 형태를 도시하는 단면도이고, 도 5b는 평면도.

도 6a 및 도 6b는 본 발명의 일 실시 형태를 도시하는 단면도.

도 7a는 본 발명의 일 실시 형태를 도시하는 평면도이고, 도 7b 및 도 7c는 단면도.

도 8a 내지 도 8e는 본 발명의 일 실시 형태를 나타내는 공정 단면도.

도 9a 및 도 9b는 반도체 장치를 설명하는 도면.

도 10의 (A1), 도 10의 (A2) 및 도 10의 (B)는 반도체 장치를 설명하는 도면.

도 11a 및 도 11b는 반도체 장치를 설명하는 도면.

도 12는 반도체 장치의 화소 등가 회로를 설명하는 도면.

도 13a 내지 도 13c는 반도체 장치를 설명하는 도면.

도 14a 및 도 14b는 반도체 장치의 블록도를 설명하는 도면.

도 15a는 신호선 구동 회로의 구성을 설명하는 도면이고 도 15b는 동작을 설명하는 타이밍차트.

도 16a 내지 도 16d는 시프트 레지스터의 구성을 도시하는 회로도.

도 17a는 시프트 레지스터의 구성을 설명하는 회로도이고, 도 17b는 동작을 설명하는 타이밍차트.

도 18은 반도체 장치를 설명하는 도면.

도 19는 반도체 장치를 설명하는 도면.

도 20은 전자 서적 리더의 일례를 나타내는 외관도.

도 21a 및 도 21b는 텔레비전 장치의 일례 및 디지털 포토 프레임의 일례를 각각 나타내는 외관도.

도 22a 및 도 22b는 게임기의 예를 각각 나타내는 외관도.

도 23a 및 도 23b는 휴대형 컴퓨터의 일례 및 휴대 전화기의 일례를 각각 나타내는 외관도.

도 24는 반도체 장치를 설명하는 도면.

도 25는 반도체 장치를 설명하는 도면.

도 26은 반도체 장치를 설명하는 도면.

도 27은 반도체 장치를 설명하는 도면.

도 28은 반도체 장치를 설명하는 도면.

도 29는 반도체 장치를 설명하는 도면.

도 30은 반도체 장치를 설명하는 도면.

도 31은 반도체 장치를 설명하는 도면.

도 32는 반도체 장치를 설명하는 도면.

도 33은 반도체 장치를 설명하는 도면.

도 34는 반도체 장치를 설명하는 도면.

도 35는 반도체 장치를 설명하는 도면.

도 36a 및 도 36b는 반도체 장치를 설명하는 도면.

도 37은 시뮬레이션에서 이용한 산화물 반도체층의 구조를 설명하는 도면.

도 38은 산화물 반도체층의 산소 밀도의 시뮬레이션 결과를 설명하는 도면.

도 39a 내지 도 39c는 산소와 산화물 반도체막 표면 사이의 상호작용을 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0048] 이하, 실시 형태에 대해 도면을 참조하여 상세히 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 형태 및 상세를 여러 가지로 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 그러므로, 본 발명은 이하에 기재하는 실시 형태의 기재 내용으로 한정해서 해석되어서는 안 된다. 또한, 이하 제시하는 본 발명의 구성에서, 동일 부분 또는 마찬가지의 기능을 갖는 부분에는, 서로 다른 도면 간에 동일한 부호를 부여하고, 그 반복 설명은 생략한다.

[0049] (실시 형태 1)

[0050] 본 실시 형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 일 실시 형태를 도 1a 내지 도 1c, 도 2a 내지 도 2e, 도 3a 및 도 3b, 도 4의 (A1), 도 4의 (A2), 도 4의 (B1), 도 4의 (B2)를 참조하여 설명한다.

[0051] 또한, 도 1a는 화소에 제공되는 채널 보호형의 박막 트랜지스터(448)의 평면도이며, 도 1b는 도 1a의 선 D1-D2 및 선 D5-D6를 따라 취한 단면도이다. 또한, 도 1c는, 선 D3-D4를 따라 취한 단면도이다. 또한, 도 2e는 도 1b와 동일하다.

[0052] 화소에 제공되는 박막 트랜지스터(448)는 채널 보호형(채널 스톱형이라고도 한다)의 박막 트랜지스터이며, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(421a), 게이트 절연층(402), 채널 형성 영역(423)을 갖는 산화물 반도체층(442), 채널 보호층으로서 기능하는 산화물 절연층(426a), 소스 전극층(425a), 및 드레인 전극층(425b)을 포함한다. 또한, 박막 트랜지스터(448)를 덮고 또한 산화물 절연층(426a), 소스 전극층(425a) 및 드레인 전극층(425b)에 접하도록 보호 절연층(403)이 제공되며, 이 위에 평탄화 절연층(404)이 적층되어 있다. 평탄화

절연층(404) 위에는, 드레인 전극층(425b)에 접하는 화소 전극층(427)이 제공되어 있어서, 박막 트랜지스터(448)와 전기적으로 접속되어 있다.

[0053] 화소의 박막 트랜지스터(448)는, 고저항 소스 영역(424a), 고저항 드레인 영역(424b) 및 채널 형성 영역(423)을 포함하는 산화물 반도체층(442)을 구비하고 있다. 소스 전극층(425a)의 하면에 접하여 고저항 소스 영역(424a)이 형성되어 있다. 또한, 드레인 전극층(425b)의 하면에 접하여 고저항 드레인 영역(424b)이 형성되어 있다. 박막 트랜지스터(448)는, 고전계가 인가되어도 고저항 드레인 영역 또는 고저항 소스 영역이 버퍼로서의 역할을 하여 고전계가 국소적으로 공급되는 것이 방지되고, 향상된 내압을 갖는다.

[0054] 화소에 제공되는 박막 트랜지스터(448)의 채널 형성 영역은, 산화물 반도체층(442)에 포함되며, 채널 보호층의 기능을 하는 산화물 절연층(426a)에 접하고, 또한 게이트 전극층(421a)과 중첩하는 영역이다. 박막 트랜지스터(448)는 산화물 절연층(426a)에 의해 보호되기 때문에, 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하는 에칭 공정에서 산화물 반도체층(442)이 에칭되는 것을 방지할 수 있다.

[0055] 또한, 고개구율을 갖는 표시 장치를 실현하기 위해, 투광성을 갖는 도전막을 이용하여 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하고, 이에 의해 박막 트랜지스터(448)는 투광성을 갖는 박막 트랜지스터로서 형성된다.

[0056] 또한, 박막 트랜지스터(448)의 게이트 전극층(421a)도 투광성을 갖는 도전막을 이용하여 형성된다.

[0057] 또한, 박막 트랜지스터(448)가 제공되는 화소에는, 화소 전극층(427), 용량 전극층 등의 그 밖의 전극층, 용량 배선층 등의 배선층이 가시광에 대하여 투광성을 갖는 도전막을 이용하여 형성되어, 고개구율을 갖는 표시 장치를 실현한다. 물론, 각각의 게이트 절연층(402) 및 산화물 절연층(426a)도 가시광에 대하여 투광성을 갖는 막을 이용하여 형성되는 것이 바람직하다.

[0058] 본 명세서에 있어서, 가시광에 대하여 투광성을 갖는 막이란, 가시광의 투과율이 75%~100%가 되도록 하는 두께를 갖는 막을 가리킨다. 그 막이 도전성을 가질 경우에는, 투명 도전막이라고도 부른다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 그 밖의 전극층 및 배선층에 적용하는 금속 산화물에 대해, 가시광에 대하여 반투명의 도전막을 이용해도 된다. 가시광에 대하여 반투명의 도전막은 가시광의 투과율이 50%~75%인 막을 가리킨다.

[0059] 또한, 게이트 배선과 소스 배선이 서로 교차하는 배선 교차부에서는, 기생 용량의 저감을 도모하기 위해서, 게이트 전극층(421b)과 소스 전극층(425a) 사이에 게이트 절연층(402)과 산화물 절연층(426b)이 제공되어 있다. 또한, 채널 형성 영역(423)과 중첩하는 산화물 절연층(426a)과, 채널 형성 영역(423)과 중첩하지 않는 산화물 절연층(426b)을 서로 다른 부호로 나타내고 있지만, 이들은 동일한 재료를 이용하여 동일한 공정에서 형성된다.

[0060] 이하, 도 2a 내지 도 2e를 참조하여, 동일 기판 위에 박막 트랜지스터(448)와 배선 교차부를 제작하는 공정을 설명한다. 또한, 화소부의 박막 트랜지스터 이외에, 구동 회로의 박막 트랜지스터가 형성될 수 있다. 구동 회로의 박막 트랜지스터는 동일한 공정에서 동일 기판 위에 형성할 수 있다.

[0061] 우선, 절연 표면을 갖는 기판(400) 위에 투광성을 갖는 도전막을 형성한 후, 제1 포토리소그래피 공정을 수행하여 게이트 전극층(421a 및 421b)을 형성한다. 또한, 화소부에는 게이트 전극층(421a 및 421b)과 동일한 투광성을 갖는 재료를 이용하여, 제1 포토리소그래피 공정에 의해 용량 배선층을 형성한다. 또한, 화소부뿐만 아니라 구동 회로도 형성할 경우, 구동 회로에 용량이 필요할 경우에는, 구동 회로에 대해 용량 배선층을 제공한다. 또한, 레지스트 마스크를 잉크젯법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯법에 의해 형성하면 포토마스크를 필요로하지 않기 때문에, 제조 코스트를 저감할 수 있다.

[0062] 절연 표면을 갖는 기판(400)에 대해 사용할 수 있는 기판에는, 적어도 이후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있는 한 특별한 제한은 없다. 절연 표면을 갖는 기판(400)에는 글래스 기판을 이용할 수 있다.

[0063] 또한, 이후의 가열 처리의 온도가 높을 경우에는, 왜곡점이 730℃ 이상의 글래스 기판을 이용하는 것이 바람직하다. 또한, 글래스 기판에는, 예를 들면, 알루미노실리케이트 글래스(aluminosilicate glass), 알루미노붕소규소산 글래스, 바륨붕소규소산 글래스 등의 글래스 재료가 이용되고 있다. 또한, 산화붕소보다 많은 량의 산화바륨(BaO)을 포함시킴으로써, 보다 실용적인 내열 글래스 기판이 얻어진다. 그러므로, B_2O_3의 량보다 BaO의 량이 많도록 B_2O_3 및 BaO를 포함하는 글래스 기판을 이용하는 것이 바람직하다.

[0064] 또한, 상기의 글래스 기판 대신에, 세라믹 기판, 석영 기판 또는 사파이어 기판 등의 절연체로 이루어지는 기판

을 이용해도 된다. 혹은, 결정화 글래스 등을 이용할 수 있다.

[0065] 또한, 기초막의 역할을 하는 절연막을 기판(400)과 게이트 전극층(421a 및 421b) 사이에 제공해도 된다. 기초막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 규소막, 산화 규소막, 질화 산화 규소막 및 산화질화 규소막 중의 하나 이상을 사용하여 단층 또는 적층 구조를 갖도록 형성할 수 있다.

[0066] 게이트 전극층(421a 및 421b)의 재료로는, 가시광에 대하여 투광성을 갖는 도전 재료를 사용할 수 있다. 예를 들면 In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, Zn-O계 금속 산화물을 적용할 수 있다. 또한, 그 두께는 50㎚ 이상 300㎚ 이하의 범위 내에서 적절히 설정한다. 게이트 전극층(421a 및 421b)에 이용하는 금속 산화물의 성막 방법은, 스퍼터링법이나, 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 도금법이나, 스프레이법을 이용한다. 또한, 스퍼터링법을 이용할 경우, SiO_2을 2중량% 이상 10중량% 이하 포함하는 타깃을 이용해서 성막을 행하여, 투광성을 갖는 도전막에 결정화를 저해하는 $SiO_x(x>0)$를 포함시킨다. 따라서, 이후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리시에 투광성을 갖는 도전막이 결정화되어버리는 것을 억제하는 것이 바람직하다.

[0067] 산화물 반도체는, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는, In 및 Ga를 함유하는 산화물 반도체이다. i형(진성) 산화물 반도체층을 얻기 위해서, 탈수화 또는 탈수소화를 포함하는 공정은 유효하다.

[0068] 다음에, 게이트 전극층(421a 및 421b) 위에 게이트 절연층(402)을 형성한다.

[0069] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 규소층, 질화 규소층, 산화 질화 규소층, 질화 산화 규소층 또는 산화 알루미늄층을 단층 또는 적층 구조로 하여 형성할 수 있다. 예를 들면, 성막 가스로서, SiH_4, 산소 및 질소를 이용해서 플라즈마 CVD법에 의해 산화 질화 규소층을 형성하면 된다. 게이트 절연층(402)의 두께는 100㎚ 이상 500㎚ 이하이다. 적층 구조로 하는 경우에는, 예를 들면, 두께 50㎚ 이상 200㎚ 이하의 제1 게이트 절연층을 형성하고, 제1 게이트 절연층 위에 두께 5㎚ 이상 300㎚ 이하의 제2 게이트 절연층을 적층한다.

[0070] 본 실시 형태에서, 게이트 절연층(402)은 플라즈마 CVD법에 의해 형성된 두께 200㎚ 이하의 질화 규소층이다.

[0071] 다음에, 게이트 절연층(402) 위에, 두께 2㎚ 이상 200㎚ 이하의 산화물 반도체막(430)을 형성한다(도 2a 참조). 산화물 반도체막의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도, 산화물 반도체막(430)이 비정질 구조를 가질 수 있도록, 두께를 50㎚ 이하로 하는 것이 바람직하다. 산화물 반도체막의 두께를 얇게 하는 것으로, 막 형성 후에 가열 처리를 행했을 경우에 산화물 반도체층의 결정화를 억제할 수 있다.

[0072] 산화물 반도체막(430)은, In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, Zn-O계 산화물 반도체막을 이용하여 형성한다. 본 실시 형태에서는, In-Ga-Zn-O계 산화물 반도체 타깃을 이용해서 스퍼터링법에 의해 산화물 반도체막(430)을 성막한다. 또한, 산화물 반도체막(430)은, 희가스(대표적으로는, 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는, 아르곤) 및 산소 분위기하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용할 경우, SiO_2을 2중량% 이상 10중량% 이하 포함하는 타깃을 이용해서 성막을 행하여, 산화물 반도체막(430)에 결정화를 저해하는 $SiO_x(x>0)$을 포함시킨다. 따라서, 이후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리시에 산화물 반도체막(430)이 결정화되는 것을 방지하는 것이 바람직하다.

[0073] 여기에서는, In, Ga 및 Zn을 포함하는 산화물 반도체 타깃(In_2O_3:Ga_2O_3:ZnO=1:1:1[몰수비])을 이용하고, 기판과 타깃 사이의 거리를 100㎜, 압력 0.2Pa, 직류(DC) 전원 0.5kW의 조건하, 그리고 아르곤 및 산소(아르곤:산소=30sccm:20sccm, 산소 유량 비율 40%) 분위기하에서 산화물 반도체막을 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 먼지를 줄일 수 있고 막 두께도 균일하게 되기 때문에 바람직하다. In-Ga-Zn-O계 비단결정막은 5㎚ ~200㎚의 두께로 형성한다. 본 실시 형태에서는, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타깃을 이용해서 스퍼터링법에 의해 두께 20㎚의 In-Ga-Zn-O계 비단결정막을 성막한다.

[0074] 예를 들어, 스퍼터링법에는 스퍼터링 전원으로서 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법이 있

으며, 또한 펄스적으로 바이어스를 부여하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 절연막을 성막하는 경우에 주로 이용되고, DC 스퍼터링법은 금속막을 성막하는 경우에 주로 이용된다.

[0075] 또한, 재료가 다른 타깃을 복수 세팅할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치에 의하면, 동일 챔버에서 서로 다른 재료의 막을 적층 성막하는 것이 가능하고, 또는 동일 챔버에서 복수 종류의 재료를 동시에 방전에 의해 성막하는 것도 가능하다.

[0076] 또한, 챔버 내부에 자석 시스템을 구비하여 마그네트론 스퍼터링법에 이용하는 스퍼터링 장치가 있으며, 글로우 방전을 사용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법에 이용하는 스퍼터링 장치가 있다.

[0077] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터 가스 성분을 서로 화학 반응시켜서 그들의 화합물 박막을 형성하는 반응성 스퍼터링법, 및 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터링법도 있다.

[0078] 다음에, 산화물 반도체막(430)을 제2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위해 이용하는 레지스트 마스크를 잉크젯법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯법에 의해 형성하면 포토마스크가 필요하지 않기 때문에 제조 코스트를 저감할 수 있다.

[0079] 다음에, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제1 가열 처리는, 400℃ 이상 기판의 왜곡점 미만이며, 바람직하게는 425℃ 이상의 온도에서 행한다. 또한, 열처리의 온도가 425℃ 이상이면 가열 처리 시간은 1시간 이하로 좋지만, 열처리의 온도가 425℃ 미만이면 가열 처리 시간은 1시간보다 장시간으로 설정한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하에서 가열 처리를 행한다. 그 후, 산화물 반도체층이 대기에 접촉되지 않게 하고, 산화물 반도체층에의 물이나 수소의 재혼입을 방지하여, 산화물 반도체층을 얻는다. 본 실시 형태에서는, 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 온도 T로부터, 다시 물이 들어가는 것을 방지하기에 충분한 온도까지 온도가 저하되는 때까지 가열 처리에서 사용된 동일한 로를 계속하여 사용한다. 구체적으로는, 가열 온도 T보다 100℃ 이상 온도가 내려갈 때까지 질소 분위기하에서 서냉을 행한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 아르곤 등의 희가스 분위기하에서 탈수화 또는 탈수소화를 행한다.

[0080] 또한, 제1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0081] 또한, 제1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화하여, 미결정막 또는 다결정막으로 될 경우도 있다.

[0082] 혹은, 상기 제1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공되기 전의 산화물 반도체막(430)에 대해 행할 수도 있다. 이 경우에는, 제1 가열 처리 후에, 가열 장치로부터 기판을 취출하고, 이어서 포토리소그래피 공정을 행한다.

[0083] 또한, 산화물 반도체막(430)의 성막 전에, 불활성 가스 분위기(질소, 헬륨, 네온, 아르곤 등)하에서, 또는 산소 분위기하에서 가열 처리(400℃ 이상 그리고 기판의 왜곡점 미만)를 행하여, 게이트 절연층 내에 포함되는 수소 또는 물 등의 불순물을 제거해도 된다.

[0084] 다음에, 게이트 절연층(402) 및 산화물 반도체층 위에 산화물 절연막을 형성한 후, 제3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 산화물 절연층(426a 및 426b)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 이 단계에서, 산화물 반도체층에는, 산화물 절연층에 접하는 영역이 형성된다. 이 영역 중, 게이트 전극층과 게이트 절연층을 개재하여 중첩하고 또한 산화물 절연층(426a)과 중첩하는 영역이 채널 형성 영역으로 된다. 또한, 산화물 반도체층의 주연 및 측면을 덮는 산화물 절연층(426b)과 중첩하는 영역도 형성된다.

[0085] 산화물 절연막은, 스퍼터링법 등, 산화물 절연막에 물이나 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용해서 적어도 1㎚ 이상의 두께를 갖도록 형성할 수 있다. 본 실시 형태에서는, 산화물 절연막으로서 막 두께 300㎚의 산화 규소막을 스퍼터링법을 이용해서 성막한다. 성막시의 기판 온도는, 실온 이상 300℃ 이하로

하면 되며, 본 실시 형태에서는 실온으로 한다. 산화 규소막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는, 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는, 아르곤) 및 산소 분위기하에서 행할 수 있다. 또한, 타깃으로서는, 산화규소 타깃 또는 규소 타깃을 이용할 수 있다. 예를 들면, 규소 타깃을 이용하여 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소막을 형성할 수 있다. 저저항화한 산화물 반도체층에 접하여 형성하는 산화물 절연막으로서는, 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용한다. 대표적으로는 산화 규소막, 질화 산화 규소막, 산화알루미늄막, 또는 산화 질화 알루미늄막 등을 이용한다.

[0086] 다음에, 불활성 가스 분위기하 또는 질소 가스 분위기하에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행한다(도 2b 참조). 예를 들면, 질소 분위기하에서 250℃, 1시간의 제2 가열 처리를 행한다. 제2 가열 처리에서는, 산화물 반도체층(442)은, 당해 산화물 반도체층(442)이 산화물 절연층과 부분적으로 접한 상태에서 가열된다. 산화물 반도체층(442)에 있어서의 접촉 부분은, 산화물 절연층(426b)과 중첩하는 단부와 산화물 절연층(426a)과 중첩하는 일부이다. 또한, 제2 가열 처리에서, 산화물 반도체층(442)은, 산화물 절연층과 중첩하지 않는 일부는 노출된 상태에서 가열된다. 산화물 반도체층(442)이 노출되어 있는 상태에서, 질소 분위기 또는 불활성 가스 분위기하에서 가열 처리를 행하면, 산화물 반도체층(442)에 있어서 노출되어 있는 고저항화(i형화) 영역에 있어서의 저항을 낮출 수 있다. 또한, 산화물 절연층(426a)은 산화물 반도체층(442)의 채널 형성 영역 위에 접하여 형성되고, 채널 보호층으로서 기능한다.

[0087] 다음에, 게이트 절연층(402), 산화물 절연층(426a 및 426b), 및 산화물 반도체층(442) 위에, 투광성을 갖는 도전막을 형성한다. 그 후, 제4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다(도 2c 참조). 투광성을 갖는 도전막은, 스퍼터법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 도금법이나, 스프레이법을 이용하여 성막한다. 도전막의 재료로서는, 가시광에 대하여 투광성을 갖는 도전 재료를 사용할 수 있다. 예를 들면 In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, Zn-O계의 금속 산화물을 적용할 수 있다. 도전막의 막 두께는 50㎚ 이상 300㎚ 이하의 범위 내에서 적절히 설정한다. 또한, 스퍼터법을 이용할 경우, SiO_2을 2중량% 이상 10중량% 이하 포함하는 타깃을 이용해서 성막을 행하여, 투광성을 갖는 도전막에 결정화를 저해하는 $SiO_x(x>0)$를 포함시킨다. 따라서, 이후에 행하는 가열 처리시에 투광성을 갖는 도전막이 결정화되어버리는 것을 억제하는 것이 바람직하다.

[0088] 또한, 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하기 위해 사용되는 레지스트 마스크를 잉크젯법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯법에 의해 형성하면 포토마스크를 필요로 하지 않기 때문에 제조 코스트를 저감할 수 있다.

[0089] 다음에, 산화물 절연층(426a 및 426b), 소스 전극층(425a) 및 드레인 전극층(425b) 위에 보호 절연층(403)을 형성한다. 본 실시 형태에서는, RF 스퍼터법을 이용해서 질화 규소막을 형성한다. RF 스퍼터법은, 양산성이 좋기 때문에 보호 절연층(403)의 성막 방법으로서 바람직하다. 보호 절연층(403)은, 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여 형성된다. 구체적으로는, 질화 규소막, 질화알루미늄막, 질화 산화 규소막, 산화 질화 알루미늄막 등을 이용한다. 물론, 보호 절연층(403)은 투광성을 갖는 절연막이다.

[0090] 다음에, 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다. 평탄화 절연층(404)은, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 이용하여 형성할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용할 수도 있다. 또한, 이들 재료를 이용해서 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(404)을 형성해도 된다.

[0091] 또한, 실록산계 수지는, 실록산계 재료를 출발 재료로 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서 유기기(예를 들면, 알킬기나 아릴기) 또는 플루오로기를 포함할 수 있다. 또한, 유기기는 플루오로기를 갖고 있어도 된다.

[0092] 평탄화 절연층(404)의 형성법은, 특별한 방법으로 한정되지 않으며, 그 재료에 따라서, 스퍼터링법, SOG법, 스핀 코팅법, 디핑(dipping)법, 스프레이 코팅법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등을 이용할 수 있다. 또한, 평탄화 절연층(404)은, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등에 의해 형성될

수 있다.

[0093] 다음에, 제5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(404) 및 보호 절연층(403)의 에칭에 의해 드레인 전극층(425b)에 도달하는 컨택트 홀(441)을 형성한다. 그리고나서, 레지스트 마스크를 제거한다(도 2d 참조). 도 2d에 도시한 바와 같이, 컨택트 홀의 아래쪽에 산화물 절연층(426b)이 제공되어 있어, 컨택트 홀의 아래쪽에 산화물 절연층이 제공되지 않은 경우에 비하여 제거할 평탄화 절연층의 막 두께를 얇게 할 수 있어, 에칭 시간을 짧게 할 수 있다. 또한, 컨택트 홀의 아래쪽에 산화물 절연층이 제공되어 있지 않은 경우에 비하여, 컨택트 홀(441)의 깊이를 얕게 할 수 있고, 이에 따라, 컨택트 홀(441)과 중첩하는 영역에 위치하며, 이후의 공정에서 형성하는 투광성을 갖는 도전막의 커버리지를 양호한 것으로 할 수 있다. 또한, 이 에칭에 의해 게이트 전극층(421b)에 도달하는 컨택트 홀도 형성된다. 또한, 드레인 전극층(425b)에 도달하는 컨택트 홀을 형성하기 위해 사용되는 레지스트 마스크를 잉크젯법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯법에 의해 형성하면 포토마스크를 사용하지 않기 때문에 제조 코스트를 저감할 수 있다.

[0094] 이어서, 투광성을 갖는 도전막을 성막한다. 투광성을 갖는 도전막은, 산화인듐(In_2O_3)이나, 산화인듐 및 산화주석의 합금(In_2O_3-SnO_2, ITO라고 약기함) 등을 이용하여 스퍼터법이나 진공 증착법 등에 의해 형성한다. 혹은, 질소를 포함시킨 Al-Zn-O계 비단결정막, 즉 Al-Zn-O-N계 비단결정막이나, Zn-O-N계 비단결정막이나, Sn-Zn-O-N계 비단결정막을 이용해도 된다. 또한, Al-Zn-O-N계 비단결정막의 아연의 조성비(원자%)는, 47원자% 이하로 하고, 비단결정막 내의 알루미늄의 조성비보다 크고, 비단결정막 내의 알루미늄의 조성비(원자%)는, 비단결정막 내의 질소의 조성비보다 크다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭에서는 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화인듐-산화아연의 합금(In_2O_3-ZnO)을 이용해도 된다.

[0095] 또한, 투광성을 갖는 도전막 내 성분의 조성비의 단위는 원자%이며, 이 성분의 조성비는 EPMA(electron probe X-ray microanalyzer)를 이용한 분석에 의해 평가한다.

[0096] 다음에, 제6 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(427)을 형성한다. 그리고나서, 레지스트 마스크를 제거한다(도 2e 참조).

[0097] 이상의 공정에 의해, 6매의 마스크를 이용하여, 동일 기판 위에 박막 트랜지스터(448)와, 기생 용량이 저감된 배선 교차부를 형성할 수 있다. 화소에 제공된 박막 트랜지스터(448)는, 고저항 소스 영역(424a), 고저항 드레인 영역(424b) 및 채널 형성 영역(423)을 포함하는 산화물 반도체층(442)을 갖는 채널 보호형 박막 트랜지스터이다. 따라서, 박막 트랜지스터(448)는, 고전계가 인가되어도, 고저항 드레인 영역(424b) 또는 고저항 소스 영역(424a)이 버퍼로서의 역할을 하여 국소적으로 고전계가 인가되는 것이 방지되고, 내압을 향상시킨 구성으로 된다.

[0098] 또한, 게이트 절연층(402)을 유전체로 사용하는 용량 배선층과 용량 전극으로 형성되는 축적 용량을 동일 기판 위에 형성할 수 있다. 매트릭스 형상으로 화소가 배치된 화소부의 개개의 화소에 박막 트랜지스터(448)와 축적 용량을 배치하여, 액티브 매트릭스형의 표시 장치를 제작하기 위한 기판의 하나를 얻을 수 있다. 본 명세서에서는, 편의상 이러한 기판을 액티브 매트릭스 기판이라고 부른다.

[0099] 또한, 동일 기판 위에 구동 회로용의 박막 트랜지스터를 제공할 수도 있다. 동일 기판 위에 구동 회로와 화소부를 제공함으로써, 구동 회로와 외부 신호를 전달하는 회로 사이의 접속 배선을 단축할 수 있고, 따라서 반도체 장치의 소형화 및 저코스트화를 실현할 수 있다.

[0100] 또한, 도 1b에 도시하는 화소용의 박막 트랜지스터(448)에서, 산화물 반도체층(442)은, 산화물 절연층(426b)과 중첩하며 산화물 반도체층(442)의 주연부에 위치하는 제1 영역(424c) 및 제2 영역(424d)을 갖고 있다. 산화물 반도체층(442)의 주연부인 제1 영역(424c) 및 제2 영역(424d)은, 채널 형성 영역(423)과 같은 산소 과잉 상태에 있다. 따라서, 산화물 반도체층과, 당해 산화물 반도체층과는 전위가 다른 배선이 서로 가까이 배치되었을 경우에는, 리크 전류의 저감 및 기생 용량의 저감을 실현할 수 있다.

[0101] 특히 구동 회로에서는, 고집적화의 관점에서, 복수의 배선이나 복수의 산화물 반도체층을 간격을 좁혀서 배치하는 것이 바람직하다. 이러한 구동 회로에서는, 산화물 반도체층을 산화물 절연층(426b)과 중첩시킴으로써 제1 영역(424c) 및 제2 영역(424d)을 제공하여, 리크 전류 및 기생 용량을 저감하는 것이 유효하다. 또한, 복수의 박막 트랜지스터를 직렬 또는 병렬로 배치할 경우, 복수의 박막 트랜지스터 중의 하나의 섬에 산화물 반도체층이 형성되고, 이 산화물 반도체층이 산화물 절연층(426b)과 중첩하고, 이에 의해 소자 분리가 행해진다. 따라

서, 산화물 절연층(426b)과 중첩하는 영역이 소자 분리 영역이 된다. 이와 같이 하여, 좁은 면적에 복수의 박막 트랜지스터를 배치할 수 있기 때문에, 구동 회로의 고집적화를 도모할 수 있다.

[0102] (실시 형태 2)

[0103] 본 실시 형태에서는, 실시 형태 1에 나타낸 박막 트랜지스터를 이용하여, 동일 기판 위에 화소부와 구동 회로를 형성하여, 액티브 매트릭스형의 액정 표시 장치를 제작하는 일례에 대해 설명한다.

[0104] 액티브 매트릭스 기판의 단면 구조의 일례를 도 3a에 도시한다.

[0105] 실시 형태 1에서는, 화소부의 박막 트랜지스터 및 배선 교차부를 도시했지만, 본 실시 형태에서는, 박막 트랜지스터 및 배선 교차부 외에, 구동 회로의 박막 트랜지스터, 축적 용량, 게이트 배선 및 소스 배선의 단자부도 도시하여 설명한다. 용량, 게이트 배선 및 소스 배선의 단자부는, 실시 형태 1에 나타내는 제작 공정과 동일한 공정에서 형성할 수 있다. 또한, 화소부의 표시 영역으로서 기능하는 부분에서는, 게이트 배선, 소스 배선, 및 용량 배선층은 모두 투광성을 갖는 도전막을 이용하여 형성되어 있고, 높은 개구율을 갖는다.

[0106] 도 3a에 있어서, 화소 전극층(227)과 전기적으로 접속하는 박막 트랜지스터(220)는, 채널 보호형의 박막 트랜지스터이며 화소부에 제공된다. 본 실시 형태에서는, 실시 형태 1의 박막 트랜지스터(448)와 동일한 구조를 갖는 트랜지스터를 이용한다. 또한, 박막 트랜지스터(220)의 게이트 전극층의 채널 길이 방향의 폭은 박막 트랜지스터(220)의 산화물 반도체층의 채널 길이 방향의 폭보다 좁다.

[0107] 박막 트랜지스터(220)의 게이트 전극층과 동일한 투광성을 갖는 재료를 사용하고 동일한 공정에서 형성되는 용량 배선층(230)은, 유전체로서의 역할을 하는 게이트 절연층(202)을 개재하여 용량 전극(231)과 중첩하여, 축적 용량을 형성한다. 또한, 용량 전극(231)은, 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층과 동일한 투광성을 갖는 재료를 사용하고 동일한 공정에서 형성된다. 그러므로, 박막 트랜지스터(220)가 투광성을 갖고 있는 것 외에, 각각의 축적 용량도 투광성을 갖기 때문에, 개구율을 향상시킬 수 있다.

[0108] 축적 용량이 투광성을 갖는 것은, 개구율을 향상시키는데 있어서 중요하다. 특히 10인치 이하의 소형 액정 표시 패널에 있어서, 게이트 배선의 개수를 증가시킴으로써 표시 화상의 고정밀화를 실현하기 때문에, 화소 치수를 미세화해도 높은 개구율을 실현할 수 있다. 또한, 광시야각을 얻기 위해 박막 트랜지스터(220) 및 축적 용량의 구성 부재에 투광성을 갖는 막을 이용하기 때문에, 1화소를 복수의 서브 픽셀로 분할해도 높은 개구율을 실현할 수 있다. 즉, 고밀도로 박막 트랜지스터를 배치해도, 큰 개구율을 얻을 수 있고, 표시 영역의 면적을 충분히 확보할 수 있다. 예를 들면, 하나의 화소 내에 2~4개의 서브 픽셀 및 축적 용량이 제공될 경우, 박막 트랜지스터가 투광성을 갖고 있는 것 외에 각각의 축적 용량도 투광성을 갖기 때문에, 개구율을 증가시킬 수 있다.

[0109] 또한, 축적 용량은 화소 전극층(227) 아래쪽에 제공되고, 용량 전극(231)이 화소 전극층(227)과 전기적으로 접속된다.

[0110] 본 실시 형태에서는, 용량 전극(231) 및 용량 배선층(230)을 이용해서 축적 용량을 형성하는 예를 설명했지만, 축적 용량의 구조에 대해서는 특별히 한정되지 않는다. 예를 들면, 용량 배선층을 제공하지 않고, 화소 전극층이 인접하는 화소의 게이트 배선과, 평탄화 절연층, 보호 절연층 및 게이트 절연층을 개재하여, 중첩하도록 축적 용량을 형성해도 된다.

[0111] 또한, 도 3a에 있어서, 축적 용량은, 큰 용량을 형성하도록, 용량 배선층과 용량 전극의 사이에 게이트 절연층(202)만을 포함하고, 배선 교차부는, 기생 용량을 저감하도록 게이트 전극층(421b)과 이 게이트 전극층(421b)의 상방에 형성되는 배선 사이에 제공된 게이트 절연층(202)과 산화물 절연층(266b)을 포함하고 있다. 축적 용량에 있어서, 용량 배선층과 용량 전극의 사이에 게이트 절연층(202)만을 제공하기 위해, 산화물 절연층(266b)을 제거하는 에칭이 게이트 절연층(202)만을 남기도록 하는 에칭 조건 또는 게이트 절연층의 재료를 선택한다. 본 실시 형태에서는, 산화물 절연층(266b)이 스퍼터링법에 의해 형성되는 산화 규소막이고, 게이트 절연층(202)이 플라즈마 CVD법에 의해 형성되는 질화 규소막으로 되어있기 때문에, 선택적인 제거를 실현할 수 있다. 또한, 산화물 절연층(266b)과 게이트 절연층(202)이 동일한 에칭 조건에서 제거되도록 하는 재료를 이용할 경우에는, 게이트 절연층의 두께가 부분적으로 감소되어도 게이트 절연층의 적어도 일부가 잔존하여 용량을 형성할 수 있는 막 두께를 설정하는 것이 바람직하다. 축적 용량에서 큰 용량을 형성하기 위해서는 게이트 절연층의 막 두께를 얇게 하는 것이 바람직하기 때문에, 산화물 절연층(266b)을 제거하기 위한 에칭 중에 용량 배선 위의 게이트 절연층 부분의 두께를 얇게 하여도 된다.

[0112] 또한, 박막 트랜지스터(260)는 채널 보호형의 박막 트랜지스터이며 구동 회로에 제공된다. 박막 트랜지스터(260)는 박막 트랜지스터(220)보다 짧은 채널 길이 L을 가져서 높은 동작 속도를 실현한다. 구동 회로에 제공되는 채널 보호형의 박막 트랜지스터의 채널 길이 L은, 0.1㎛ 이상 2㎛ 이하로 설정하는 것이 바람직하다. 박막 트랜지스터(260)의 게이트 전극층(261)의 채널 길이 방향의 폭은 박막 트랜지스터(260)의 산화물 반도체층의 채널 길이 방향의 폭보다 넓다. 게이트 전극층(261)의 단부면은, 게이트 절연층(202) 및 산화물 절연층(266b)을 개재하여 소스 전극층(265a) 및 드레인 전극층(265b)과 중첩한다.

[0113] 박막 트랜지스터(260)는, 절연 표면을 갖는 기판(200) 위에, 게이트 전극층(261), 게이트 절연층(202), 적어도 채널 형성 영역(263), 고저항 소스 영역(264a) 및 고저항 드레인 영역(264b)을 갖는 산화물 반도체층, 소스 전극층(265a), 및 드레인 전극층(265b)을 포함한다. 또한, 채널 형성 영역(263)에 접하는 산화물 절연층(266a)이 제공되어 있다.

[0114] 또한, 구동 회로의 박막 트랜지스터(260)의 게이트 전극층은, 산화물 반도체층의 상방에 제공된 도전층(267)과 전기적으로 접속시키는 구조로 해도 된다. 이 경우에는, 박막 트랜지스터(220)의 드레인 전극층과 화소 전극층(227)을 전기적으로 접속하기 위한 컨택트 홀과 동일한 포토마스크를 이용하여, 평탄화 절연층(204), 보호 절연층(203), 산화물 절연층(266b) 및 게이트 절연층(202)을 선택적으로 에칭해서 컨택트 홀을 형성한다. 이 컨택트 홀을 통해서, 도전층(267)과 구동 회로의 박막 트랜지스터(260)의 게이트 전극층(261)을 전기적으로 접속한다.

[0115] 보호 절연층(203)에 대해서는, 질화 규소막, 질화알루미늄막, 질화 산화 규소막, 산화 질화 알루미늄막 등의 무기 절연막을 이용한다. 본 실시 형태에서는, 질화 규소막을 이용한다.

[0116] 또한, 박막 트랜지스터(260)에서, 게이트 전극층(261)의 폭은 산화물 반도체층의 폭보다 넓다. 또한, 산화물 절연층(266b)은, 산화물 반도체층의 주연부와 중첩하고 있고, 또한 게이트 전극층(261)과도 중첩하고 있다. 산화물 절연층(266b)은, 드레인 전극층(265b)과 게이트 전극층(261) 사이의 거리를 증가시키고, 드레인 전극층(265b)과 게이트 전극층(261) 사이에 형성되는 기생 용량을 저감하는 기능을 행하고 있다. 또한, 산화물 절연층(266b)과 중첩하는 산화물 반도체층의 제1 영역(264c) 및 제2 영역(264d)은, 채널 형성 영역(263)과 같은 산소 과잉 상태이며, 리크 전류 및 기생 용량을 저감한다.

[0117] 또한, 액정 표시 패널의 사이즈가 60인치 또는 120인치와 같이 10인치를 초과하는 경우에는, 투광성을 갖는 배선의 배선 저항이 문제로 될 우려가 있기 때문에, 배선의 일부를 금속 배선으로 하여 배선 저항을 저감하는 것이 바람직하다. 예를 들면, 소스 전극층(265a) 및 드레인 전극층(265b)을 Ti 등의 금속 배선을 이용하여 형성한다. 금속 배선을 형성하기 때문에, 실시 형태 1의 경우에 비해 포토마스크의 수는 1매 증가한다.

[0118] 이 경우, 탈수화 또는 탈수소화한 산화물 반도체층 위에 접하여 Ti 등의 금속 전극을 이용하여 형성되는 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층과 중첩하는 고저항 소스 영역과, 드레인 전극층과 중첩하는 고저항 드레인 영역을 형성하고, 고저항 소스 영역과 고저항 드레인 영역 사이의 영역이 채널 형성 영역으로서 기능한다.

[0119] 또한, 배선 저항을 저감하기 위해서, 도 3a와 같이, 소스 전극층(265a) 및 드레인 전극층(265b) 위에 저저항의 금속 전극을 이용한 보조 전극층(268a 및 268b)을 형성한다. 이 경우도, 금속 배선(금속 전극)을 형성하기 때문에, 실시 형태 1의 경우에 비해 포토마스크의 수는 1매 더 증가한다. 투광성의 소스 전극층 및 투광성의 드레인 전극층만이 제공된 구조를 채용하여도 되지만, 소스 전극층 및 드레인 전극층 위에 금속 전극을 이용하여 형성된 보조 전극층을 제공하면 배선 저항을 저감할 수 있다.

[0120] 소스 전극층(265a), 드레인 전극층(265b), 보조 전극층(268a 및 268b), 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층은, 투광성을 갖는 도전막 및 금속 도전막을 적층하고, 이 적층을 포토리소그래피 공정에 의해 선택적으로 에칭하여 형성한다. 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층 위의 금속 도전막은 제거한다.

[0121] 또한, 금속 도전막의 에칭시에, 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층이 제거되는 것을 방지하기 위해, 각각의 재료 및 에칭 조건을 적절히 조절한다.

[0122] 예를 들면, 금속 도전막을 선택적으로 에칭하기 위해서, 알카리성의 에천트를 이용한다. 금속 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo 및 W 중에서 선택된 원소, 또는 전술한 원소를 성분으로 포함하는 합금이나, 전술한 원소를 조합한 합금막 등을 예로 들 수 있다. 또한, 금속 도전막은, 단층 구조이어도 되고, 2층 이상의 적층

구조이어도 된다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막과 당해 알루미늄막 위에 티타늄막을 적층하는 2층 구조, Ti막과 알루미늄막과 Ti막을 이러한 순으로 적층하는 3층 구조 등을 들 수 있다. 혹은, Al과, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오듐, 스칸듐으로부터 선택된 1종 이상의 원소를 포함하는 막, 합금막, 혹은 질화막을 이용해도 된다.

[0123] 본 실시 형태에서는, 금속 도전막으로서 Ti막을 이용하고, 소스 전극층 및 드레인 전극층에는 In-Sn-O계 산화물을 이용한다. 또한, 에천트로서, 과수암모니아수(암모니아, 물, 과산화수소수의 혼합액)를 이용한다.

[0124] 산화물 반도체층과 금속 재료를 포함하는 보조 전극층(268b) 사이에 제공되는 드레인 전극층(265b)은 저저항 드레인(LRD) 영역(저저항 N형 도전(LRN) 영역이라고도 부름)으로서도 기능한다. 산화물 반도체층, 저저항 드레인 영역, 금속 전극인 보조 전극층(268b)이 제공된 구성으로 하는 것은, 보다 트랜지스터의 내압을 증가시킬 수 있다. 구체적으로는, 저저항 드레인 영역의 캐리어 농도는, 고저항 드레인 영역(HRD 영역)보다 높고, 예를 들면 $1\times10^{20}/cm^3$ 이상 $1\times10^{21}/cm^3$ 이하의 범위 내인 것이 바람직하다.

[0125] 또한, 게이트 배선, 소스 배선 및 용량 배선층은 화소 밀도에 따라 복수개 제공된다. 또한, 단자부에서는, 게이트 배선과 동(同) 전위의 복수의 제1 단자 전극, 소스 배선과 동 전위의 복수의 제2 단자 전극, 용량 배선층과 동 전위의 복수의 제3 단자 전극 등이 배열된다. 각각의 단자 전극의 수는, 실시자에 의해 적절히 결정되는 임의의 수일 수 있다.

[0126] 단자부에 있어서, 게이트 배선과 동 전위의 제1 단자 전극은, 화소 전극층(227)과 동일한 투광성을 갖는 재료를 사용하여 형성할 수 있다. 제1 단자 전극은, 게이트 배선에 도달하는 컨택트 홀을 통해서 게이트 배선과 전기적으로 접속된다. 게이트 배선에 도달하는 컨택트 홀은, 박막 트랜지스터(220)의 드레인 전극층과, 화소 전극층(227)을 전기적으로 접속하기 위한 컨택트 홀과 동일한 포토마스크를 이용하여, 평탄화 절연층(204), 보호 절연층(203), 산화물 절연층(266b), 게이트 절연층(202)을 선택적으로 에칭하여 형성한다.

[0127] 또한, 단자부의 소스 배선(254)과 동 전위의 제2 단자 전극(255)은, 화소 전극층(227)과 동일한 투광성을 갖는 재료를 사용하여 형성할 수 있다. 제2 단자 전극(255)은, 소스 배선(254)에 도달하는 컨택트 홀을 통해 소스 배선(254)과 전기적으로 접속된다. 소스 배선은 금속 배선이며, 박막 트랜지스터(260)의 소스 전극층(265a)과 동일한 재료를 사용하여, 동일한 공정에서 형성되며, 소스 전극층(265a)과 동 전위이다.

[0128] 또한, 용량 배선층(230)과 동 전위의 제3 단자 전극은, 화소 전극층(227)과 동일한 투광성을 갖는 재료를 사용하여 형성할 수 있다. 또한, 용량 배선층(230)에 도달하는 컨택트 홀은, 용량 전극(231)을 화소 전극층(227)과 전기적으로 접속하기 위한 컨택트 홀과 동일한 포토마스크를 사용하여, 동일한 공정에서 형성할 수 있다.

[0129] 또한, 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 제공된 대향 기판을, 그들 사이에 액정층을 개재하여 고정한다. 또한, 대향 기판에 제공된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 제공하고, 공통 전극과 전기적으로 접속하는 제4 단자 전극을 단자부에 제공한다. 이 제4 단자 전극은, 공통 전극을 고정 전위, 예를 들면 GND 또는 0V 등으로 설정하기 위한 단자이다. 제4 단자 전극은, 화소 전극층(227)과 동일한 투광성을 갖는 재료를 사용하여 형성할 수 있다.

[0130] 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또는 그 밖의 전극층이나, 그 밖의 배선층을 동일한 재료를 이용하여 형성하면, 공통의 스퍼터 타깃이나 공통의 제조 장치를 이용할 수 있다. 이에 따라, 이들 층의 재료 및 에칭시에 사용하는 에천트(또는 에칭 가스)에 필요한 코스트를 저감할 수 있고, 결과로서 제조 코스트를 삭감할 수 있다.

[0131] 또한, 도 3a의 구조에 있어서, 평탄화 절연층(204)에 대해 감광성의 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

[0132] 또한, 도 3b에, 도 3a와는 일부 다른 단면 구조를 나타낸다. 도 3b는, 도 3a와 평탄화 절연층(204)이 단자부에서 존재하지 않는 점과 구동 회로의 박막 트랜지스터의 구조가 다른 점 이외에는 동일하다. 그러므로, 동일한 부분에는 동일한 부호를 이용하고, 그 상세한 설명은 생략한다. 도 3b에서는, 금속 배선을 이용하는 박막 트랜지스터(270)를 제공한다. 또한, 단자 전극도 금속 배선과 동일한 재료를 사용하여, 동일한 공정에서 형성한다.

[0133] 또한, 도 3b의 구조에서는, 평탄화 절연층(204)에 대해 감광성의 수지 재료를 이용하고, 레지스트 마스크를 형성하는 공정을 생략한다. 따라서, 레지스트 마스크를 이용하는 일 없이, 평탄화 절연층(204)이 단자부에서 존재하지 않는 구성을 형성할 수 있다. 단자부에 있어서 평탄화 절연층이 존재하지 않으면, FPC와의 양호한 접속을 얻기가 쉽다.

[0134] 박막 트랜지스터(270)는, 절연 표면을 갖는 기판(200) 위에, 게이트 전극층(271), 게이트 절연층(202), 적어도 채널 형성 영역(273), 고저항 소스 영역(274a) 및 고저항 드레인 영역(274b)을 갖는 산화물 반도체층, 소스 전극층(275a), 및 드레인 전극층(275b)을 포함한다. 또한, 채널 형성 영역(273)에 접하는 산화물 절연층(276a)이 제공되어 있다.

[0135] 또한, 산화물 절연층(276b)과 중첩하는 산화물 반도체층의 제1 영역(274c) 및 제2 영역(274d)은, 채널 형성 영역(273)과 같은 산소 과잉 상태에 있으며, 리크 전류의 저감이나 기생 용량을 저감하는 기능도 행하고 있다. 또한, 보호 절연층(203)에 접하는 산화물 반도체층의 제3 영역(274e)은, 채널 형성 영역(273)과 고저항 소스 영역(274a) 사이에 제공된다. 또한, 보호 절연층(203)에 접하는 산화물 반도체층의 제4 영역(274f)은, 채널 형성 영역(273)과 고저항 드레인 영역(274b) 사이에 제공된다. 보호 절연층(203)에 접하는 산화물 반도체층의 제3 영역(274e) 및 제4 영역(274f)은 오프 전류의 저감을 가능하게 한다.

[0136] 또한, 채널 보호형의 박막 트랜지스터에서는, 채널 형성 영역의 채널 길이 L을 짧게 하기 위해서 산화물 절연층의 폭을 좁게 한 폭이 좁은 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 제공하면, 산화물 절연층 위에서 단락될 우려가 있다. 따라서, 폭이 좁은 산화물 절연층(276a)으로부터 그들 단부가 분리되도록 소스 전극층(275a) 및 드레인 전극층(275b)을 제공한다.

[0137] 또한, 금속 도전막의 에칭시에, 박막 트랜지스터(270)의 산화물 반도체층이 제거되는 것을 방지하기 위해, 각각의 재료 및 에칭 조건을 적절히 조절한다.

[0138] 본 실시 형태에서는, 금속 도전막으로서 Ti막을 이용하고, 산화물 반도체층에는 In-Ga-Zn-O계 산화물을 이용한다. 에천트로서는, 과수암모니아수(암모니아수, 물, 과산화수소수의 혼합액)를 사용한다.

[0139] 또한, 구동 회로의 박막 트랜지스터(270)의 게이트 전극층은, 산화물 반도체층의 상방에 제공된 도전층(277)과 전기적으로 접속시켜도 된다.

[0140] 또한, 단자부의 소스 배선(256)과 동 전위의 제2 단자 전극(257)은, 화소 전극층(227)과 동일한 투광성을 갖는 재료를 사용하여 형성할 수 있다. 소스 배선은 금속 배선이며, 박막 트랜지스터(270)의 소스 전극층(275a)과 동일한 재료를 이용하여, 동일한 공정에서 형성되며, 소스 전극층(275a)과 동 전위이다.

[0141] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 화소부 또는 구동 회로와 동일 기판 위에 보호 회로를 제공하는 것이 바람직하다. 보호 회로는, 산화물 반도체층을 포함한 비선형 소자를 이용해서 형성하는 것이 바람직하다. 예를 들면, 보호 회로는 화소부와 주사선 입력 단자와의 사이, 그리고 화소부와 신호선 입력 단자 사이에 배치되어 있다. 본 실시 형태에서는, 복수의 보호 회로를 배치하여, 주사선, 신호선 및 용량 버스선에 정전기 등에 의해 서지 전압이 인가될 때 유발될 수 있는 화소 트랜지스터 등의 파괴를 방지하도록 구성되어 있다. 그러므로, 보호 회로는, 서지 전압이 당해 보호 회로에 인가되었을 때에, 공통 배선에 전하를 방출하도록 형성한다. 또한, 보호 회로는, 주사선을 그들 사이에 배치한 상태로 서로 병렬로 배치된 비선형 소자를 포함하고 있다. 비선형 소자는, 다이오드와 같은 2단자 소자 또는 트랜지스터와 같은 3단자 소자를 포함한다. 예를 들어, 비선형 소자는 화소부의 박막 트랜지스터(220)와 동일한 공정을 거쳐 형성하는 것도 가능하며, 또한, 예를 들어 비선형 소자의 드레인 단자와 게이트 단자를 접속하는 것에 의해 다이오드와 마찬가지의 특성을 갖도록 만들 수 있다.

[0142] 또한, 평탄화 절연층(204)의 형성 공정을 생략하여, 평탄화 절연층(204)을 제공하지 않는 구조를 채용해도 된다. 이 경우, 도전층(267), 도전층(277), 화소 전극층(227) 및 제2 단자 전극(255 및 257)은 보호 절연층(203) 위에 접하여 제공된다.

[0143] 본 실시 형태는 실시 형태 1과 적절하게 조합할 수 있다.

[0144] (실시 형태 3)

[0145] 또한, 본 실시 형태에서는, 박막 트랜지스터와 동일 기판 위에 제공되는 단자부의 구성의 일례를 나타낸다. 또한, 실시 형태 2에서는 소스 배선의 단자부의 일례를 나타냈지만, 본 실시 형태에서는, 실시 형태 2에서 설명한 단자부와는 다른 소스 배선의 단자부 및 게이트 배선의 단자부를 설명한다. 또한, 도 4의 (A1) 내지 도 4의 (B2)에 있어서, 도 3a 및 도 3b와 동일한 부분에는 동일한 부호를 이용하여 설명한다.

[0146] 도 4의 (A1) 및 도 4의 (A2)는, 게이트 배선의 단자부의 단면도 및 상면도를 각각 도시하고 있다. 도 4의 (A1)은, 도 4의 (A2)의 C1-C2선을 따른 단면도이다. 도 4의 (A1)에 있어서, 보호 절연층(203) 위에 형성되는 도전층(225)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 4의 (A1)의 단자부에 있어서, 게이트

전극층(421b)과 동일한 재료를 사용하여 형성되는 제1 단자(221)와, 소스 배선과 동일한 재료를 사용하여 형성되는 접속 전극층(223 및 228)이 게이트 절연층(202)을 개재하여 서로 중첩하고, 도전층(225)을 통해 서로 전기적으로 접속되어 있다. 또한, 제1 단자(221)는, 도 3b에 도시하는 구성으로 하는 경우에는, 금속 배선 재료를 이용하여 형성할 수 있다.

[0147] 또한, 도 4의 (B1) 및 도 4의 (B2)는, 도 3b에 도시하는 소스 배선의 단자부와는 다른 소스 배선의 단자부의 단면도 및 상면도를 각각 도시하고 있다. 또한, 도 4의 (B1)은 도 4의 (B2)의 C3-C4선을 따른 단면도이다. 도 4의 (B1)에 있어서, 보호 절연층(203) 위에 형성되는 도전층(225)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 4의 (B1)의 단자부에 있어서, 게이트 배선과 동일한 재료를 사용하여 형성되는 전극층(226)이, 제2 단자(222 및 229)의 아래쪽에 게이트 절연층(202)을 개재하여 중첩한다. 전극층(226)은 제2 단자(222 및 229)와는 전기적으로 접속되어 있지 않다. 전극층(226)의 전위를, 제2 단자(222 및 229)와 다른 전위, 예를 들면 플로팅, GND 또는 0V 등으로 설정하면, 노이즈 또는 정전기를 방지하기 위한 용량을 형성할 수 있다. 또한, 도전 재료의 적층으로서 형성되는 제2 단자(222 및 229)는, 보호 절연층(203)을 개재하여 도전층(225)과 전기적으로 접속되어 있다. 또한, 제2 단자(222 및 229)는, 도 3b에 도시하는 구성으로 하는 경우에는, 금속 배선 재료의 단층을 이용하여 형성할 수 있다.

[0148] 복수의 게이트 배선, 소스 배선 및 용량 배선은 화소 밀도에 따라서 제공된다. 또한, 단자부에서는, 게이트 배선과 동 전위의 복수의 제1 단자, 소스 배선과 동 전위의 복수의 제2 단자, 용량 배선과 동 전위의 복수의 제3 단자 등이 배치된다. 각각의 단자 전극의 수는, 실시자에 의해 적절하게 결정되는 임의의 수일 수 있다.

[0149] 본 실시 형태는 실시 형태 1 또는 실시 형태 2와 적절하게 조합할 수 있다.

[0150] (실시 형태 4)

[0151] 본 실시 형태에서는, 제1 기판과 제2 기판 사이에 액정층을 봉입하는 액정 표시 장치에 있어서, 제2 기판에 제공된 대향 전극과 전기적으로 접속하기 위한 공통 접속부를 제1 기판 위에 형성하는 예를 나타낸다. 또한, 제1 기판 위에는 스위칭 소자로서 박막 트랜지스터가 형성되어 있으며, 공통 접속부가 화소부의 스위칭 소자와 동일한 공정에서 제조됨으로써 공정을 복잡하게 하지 않고 얻어진다.

[0152] 공통 접속부는, 제1 기판과 제2 기판을 접착하기 위한 시일재(sealant)와 중첩하는 위치에 제공되며, 시일재에 포함되는 도전성 입자를 통해 대향 전극과 전기적으로 접속된다. 혹은, 시일재와 중첩하지 않는 개소(화소부를 제외함)에 공통 접속부를 제공하고, 공통 접속부에 중첩되도록 도전성 입자를 포함하는 페이스트를 시일재와는 별도 제공하여, 공통 접속부를 대향 전극에 전기적으로 접속한다.

[0153] 도 5a는 박막 트랜지스터와 공통 접속부를 동일 기판 위에 형성하는 반도체 장치의 단면 구조도를 나타내는 도면이다.

[0154] 도 5a에 있어서, 화소 전극층(227)과 전기적으로 접속하는 박막 트랜지스터(220)는, 화소부에 제공되는 채널 보호형의 박막 트랜지스터이다. 본 실시 형태에서는, 박막 트랜지스터(220)는 실시 형태 1의 박막 트랜지스터(448)와 동일한 구조를 갖는다.

[0155] 또한, 도 5b는 공통 접속부의 상면도의 일례를 도시하는 도면이며, 도 5b의 쇄선 C5-C6은 도 5a의 공통 접속부의 단면에 상당한다. 또한, 도 5b에 있어서 도 5a와 동일한 부분에는 동일한 부호를 이용하여 설명한다.

[0156] 공통 전위선(205 및 210)은, 게이트 절연층(202) 위에 제공되고, 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층과 동일한 재료를 사용하여, 동일한 공정에서 형성된다.

[0157] 또한, 공통 전위선(205 및 210)은 보호 절연층(203)으로 덮여진다. 보호 절연층(203)은 공통 전위선(205 및 210)과 중첩하는 복수의 개구부를 갖고 있다. 이 개구부는, 박막 트랜지스터(220)의 드레인 전극층과 화소 전극층(227)을 접속하는 컨택트 홀과 동일한 공정에서 형성된다.

[0158] 또한, 여기서는 면적에 있어서의 큰 차이 때문에, 화소부에 있어서의 컨택트 홀과, 공통 접속부의 개구부를 구분하고 있다. 또한, 도 5a에서는, 화소부와 공통 접속부를 동일한 축척으로 도시하지 않고 있다. 예를 들면, 공통 접속부의 쇄선 C5-C6의 길이가 500㎛ 정도인 것에 대해서, 박막 트랜지스터의 폭은 50㎛ 미만이며, 따라서, 공통 접속부는 실제로는 박막 트랜지스터보다 10배 이상 면적 사이즈가 크다. 그러나, 알기 쉽게 하기 위해, 도 5a에서는 화소부와 공통 접속부를 다른 축적으로 도시하고 있다.

[0159] 또한, 공통 전극층(206)은, 보호 절연층(203) 위에 제공되고, 화소부의 화소 전극층(227)과 동일한 재료를 사용

하여, 동일한 공정에서 형성된다.

[0160] 이와 같이하여, 공통 접속부를 화소부의 스위칭 소자와 동일한 공정에서 제작한다.

[0161] 그리고, 화소부와 공통 접속부가 제공된 제1 기판과, 대향 전극을 갖는 제2 기판을 시일재를 이용해서 고정한다.

[0162] 시일재에 도전성 입자를 포함시키는 경우에는, 시일재와 공통 접속부가 중첩되도록 한 쌍의 기판의 위치 정렬이 행해진다. 예를 들면, 소형의 액정 패널에서는, 화소부의 대각 등에 2개의 공통 접속부가 시일재와 중첩하도록 배치된다. 또한, 대형의 액정 패널에서는, 4개 이상의 공통 접속부가 시일재와 중첩하도록 배치된다.

[0163] 또한, 공통 전극층(206)은, 시일재에 포함되는 도전성 입자와 접촉하는 전극이며, 제2 기판의 대향 전극에 전기적으로 접속된다.

[0164] 액정 주입법을 이용하는 경우에는, 시일재에 의해 한 쌍의 기판을 고정한 후, 액정을 한 쌍의 기판 사이에 주입한다. 또는, 액정 적하법을 이용하는 경우에는, 제2 기판 혹은 제1 기판 위에 시일재를 묘화하고, 그 위에 액정을 적하시킨 후, 감압 하에서 한 쌍의 기판을 접합한다.

[0165] 또한, 본 실시 형태에서는, 대향 전극과 전기적으로 접속하는 공통 접속부의 예를 나타냈지만, 특별히 한정되지 않으며, 다른 배선과 접속하는 접속부나, 외부 접속 단자 등과 접속하는 접속부와 같은 공통의 접속부를 이용할 수 있다.

[0166] 또한, 도 5c에, 도 5a와는 일부 다른 단면 구조를 나타낸다. 도 5c는, 도 5a와, 공통 전극층(206)과 중첩하는 산화물 반도체층 및 산화물 반도체층의 단부를 덮는 산화물 절연층이 제공되는 점과, 공통 전위선으로서 금속 배선을 이용하는 점 이외의 구성은 동일하다. 따라서, 동일한 부분에는 동일한 부호를 이용하고, 그 상세한 설명은 생략한다.

[0167] 산화물 반도체층(207)은, 게이트 절연층(202) 위에 제공되고, 박막 트랜지스터(220)의 산화물 반도체층과 동일한 재료를 사용하여, 동일한 공정에서 형성된다. 또한, 산화물 반도체층(207)을 덮도록 산화물 절연층(208)을 형성한다. 그리고, 산화물 반도체층(207) 위에 금속 배선을 사용하여 형성되는 공통 전위선(209)을 형성한다. 이 금속 배선을 사용하여 형성된 공통 전위선(209)은, 도 3b를 참조하여 실시 형태 2에서 설명한 바와 같이, 구동 회로의 박막 트랜지스터의 소스 전극층 및 드레인 전극층과 동일한 공정에서 형성한다.

[0168] 또한, 공통 전위선(209)은, 보호 절연층(203)으로 덮여지고, 보호 절연층(203)은 공통 전위선(209)과 중첩하는 위치에 복수의 개구부를 갖고 있다. 이들 개구부는, 박막 트랜지스터(220)의 드레인 전극층과 화소 전극층(227)을 접속하는 컨택트 홀과 동일한 공정에서 형성된다.

[0169] 또한, 공통 전극층(206)은, 보호 절연층(203) 위에 제공되고, 화소부의 화소 전극층(227)과 동일한 재료를 사용하여, 동일한 공정에서 형성된다.

[0170] 이렇게 하여, 화소부의 스위칭 소자와 공통 접속부는 공통의 제작 공정을 통하여 제작될 수 있으며, 공통 전위선을 금속 배선을 사용하여 형성하여 배선 저항이 저감될 수 있다.

[0171] 본 실시 형태는 실시 형태 1 내지 3 중 어느 하나와 적절히 조합할 수 있다.

[0172] (실시 형태 5)

[0173] 실시 형태 1 또는 실시 형태 2에서는 게이트 절연층이 단층 구조를 갖는 예를 설명하였다. 실시 형태 5에서는 적층 구조의 일례를 설명한다. 또한, 도 6a 및 도 6b에 있어서, 도 3a 또는 도 3b와 동일한 부분에는 동일한 부호를 이용하여 설명한다.

[0174] 도 6a에 있어서, 박막 트랜지스터(280)는, 화소부에 제공되는 채널 보호형의 박막 트랜지스터이며, 게이트 절연층이 2층 구조를 갖는 일례이다.

[0175] 본 실시 형태에서는, 게이트 절연층은, 막 두께 50㎚ 이상 200㎚ 이하의 제1 게이트 절연층(282a)과, 막 두께 50㎚ 이상 300㎚ 이하의 제2 게이트 절연층(282b)의 적층 구조를 갖는다. 제1 게이트 절연층(282a)으로서는, 막 두께 100㎚의 질화 규소막 또는 질화 산화 규소막을 이용한다. 또한, 제2 게이트 절연층(282b)으로서는, 막 두께 100㎚의 산화 규소막을 이용한다.

[0176] 또한, 박막 트랜지스터(280)는, 절연 표면을 갖는 기판 위에, 게이트 전극층(281), 제1 게이트 절연층(282a), 제2 게이트 절연층(282b), 적어도 채널 형성 영역(283), 고저항 소스 영역(284a) 및 고저항 드레인 영역(284b),

소스 영역(284c) 및 드레인 영역(284d)을 갖는 산화물 반도체층, 소스 전극층(285a), 및 드레인 전극층(285b)을 포함한다. 또한, 채널 형성 영역(283)에 접하는 산화물 절연층(286a)이 제공되어 있다. 또한, 화소 전극층(227)은 드레인 전극층(285b)과 전기적으로 접속되어 있다.

[0177] 또한, 축적 용량은, 화소 전극층(227) 아래쪽에 제공되고, 용량 전극(231)이 화소 전극층(227)과 전기적으로 접속된다.

[0178] 본 실시 형태에서는, 용량 전극(231) 및 용량 배선층(230)을 이용해서 축적 용량을 형성한다.

[0179] 또한, 도 6a에 있어서 축적 용량은, 큰 용량을 갖도록, 용량 배선과 용량 전극 사이에 게이트 절연층만을 포함하고 있다.

[0180] 본 실시 형태에서는, 예를 들어, 산화물 절연층(286b)은 스퍼터링법에 의해 얻어지는 산화 규소막을 이용하고 형성되며, 용량 배선층(230)과 중첩하는 산화물 절연층을 제거할 때에, 산화 규소막을 사용하여 형성된 제2 게이트 절연층이 에칭에 의해 박막화해서 제3 게이트 절연층(282c)이 형성된다. 또한, 제1 게이트 절연층(282a)은, 질화 규소막 또는 질화 산화 규소막을 사용하여 형성되며, 에칭 스토퍼로서 기능하여, 게이트 전극층이나 기판에의 에칭 데미지를 방지한다.

[0181] 제3 게이트 절연층(282c)의 두께를 얇게 하는 경우, 축적 용량을 증대시킬 수 있다.

[0182] 또한, 도 6b에, 도 6a와는 일부 다른 단면 구조를 나타낸다.

[0183] 도 6b에 도시하는 박막 트랜지스터(290)에서는, 게이트 절연층은, 막 두께 50㎚ 이상 200㎚ 이하의 제1 게이트 절연층(292a)과, 막 두께 1㎚ 이상 50㎚ 이하의 제2 게이트 절연층(292b)의 적층 구조를 갖는다. 제1 게이트 절연층(292a)으로서는, 막 두께 100㎚의 산화 규소막을 이용한다. 또한, 제2 게이트 절연층(292b)으로서는, 막 두께 10㎚의 질화 규소막 또는 질화 산화 규소막을 이용한다.

[0184] 박막 트랜지스터(290)는, 절연 표면을 갖는 기판(200) 위에, 게이트 전극층(291), 제1 게이트 절연층(292a), 제2 게이트 절연층(292b), 적어도 채널 형성 영역(293), 고저항 소스 영역(294a) 및 고저항 드레인 영역(294b)을 갖는 산화물 반도체층, 소스 전극층(295a), 및 드레인 전극층(295b)을 포함한다. 또한, 채널 형성 영역(293)에 접하는 산화물 절연층(296a)이 제공되어 있다.

[0185] 또한, 산화물 절연층(296b)과 중첩하는 산화물 반도체층의 제1 영역(294c) 및 제2 영역(294d)은, 채널 형성 영역(293)과 같은 산소 과잉의 상태이며, 리크 전류의 저감이나 기생 용량을 저감하는 기능도 갖고 있다. 또한, 보호 절연층(203)에 접하는 산화물 반도체층의 제3 영역(294e)은, 채널 형성 영역(293)과 고저항 소스 영역(294a) 사이에 제공된다. 또한, 보호 절연층(203)에 접하는 산화물 반도체층의 제4 영역(294f)은, 채널 형성 영역(293)과 고저항 드레인 영역(294b) 사이에 제공된다. 보호 절연층(203)에 접하는 산화물 반도체층의 제3 영역(294e) 및 제4 영역(294f)에 의해, 오프 전류를 저감할 수 있다.

[0186] 또한, 산화물 반도체층의 제3 영역(294e) 및 제4 영역(294f)은 질화 규소막 또는 질화 산화 규소막을 이용하여 형성된 제2 게이트 절연층(292b)과도 접한다. 보호 절연층(203)은, 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여 형성되며, 예컨대, 질화 규소막, 질화알루미늄막, 질화 산화 규소막, 산화 질화 알루미늄막 등을 이용한다.

[0187] 또한, 본 실시 형태에서는, 예를 들어, 산화물 절연층(296b)은 스퍼터링법에 의해 얻어지는 산화 규소막을 이용하여 형성하며, 용량 배선층(230)과 중첩하는 산화물 절연층을 제거할 때에, 질화 규소막 또는 질화 산화 규소막을 이용하여 형성된 제2 게이트 절연층을 에칭 스토퍼로서 이용하여 산화물 절연층을 에칭한다.

[0188] 또한, 채널 보호형의 박막 트랜지스터에서는, 채널 형성 영역의 채널 길이 L이 짧아지도록 산화물 절연층의 폭을 좁게 하고, 폭이 좁은 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 제공하면, 산화물 절연층 위에서 단락이 유발될 우려가 있다. 그러므로, 폭이 좁은 산화물 절연층(296a)으로부터 그들의 단부가 떨어지도록 소스 전극층(295a) 및 드레인 전극층(295b)을 제공한다.

[0189] 본 실시 형태는 실시 형태 1 내지 4 중 어느 하나와 자유롭게 조합할 수 있다.

[0190] (실시 형태 6)

[0191] 본 실시 형태에서는, 실시 형태 1과 부분적으로 그 제작 공정이 다른 박막 트랜지스터의 예를, 도 7a 내지 도 7c, 및 도 8a 내지 도 8e를 참조하여 설명한다. 도 7a 내지 도 7c, 및 도 8a 내지 도 8e는, 도 1a 내지 도

1c, 및 도 2a 내지 도 2e와 공정이 일부 다른 점 이외에는 동일하다. 따라서, 동일한 부분에는 동일한 부호를 이용하고, 동일한 부분의 상세한 설명은 생략한다.

[0192] 우선, 실시 형태 1에 따라서, 기판 위에 게이트 전극층, 게이트 절연층 및 산화물 반도체막(430)을 형성하고, 따라서, 실시 형태 1의 도 2a까지의 공정을 수행한다. 도 2a는 도 8a와 동일하다.

[0193] 그리고나서, 산화물 반도체막(430)을 제2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다.

[0194] 다음에, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제1 가열 처리의 온도는, 400℃ 이상 기판의 왜곡점 미만, 바람직하게는 425℃ 이상으로 설정한다. 또한, 가열 처리의 온도가 425℃ 이상이면 가열 처리 시간은 1시간 이하로 되지만, 가열 처리의 온도가 425℃ 미만이면 가열 처리 시간은 1시간보다 장시간으로 설정한다. 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하에서 가열 처리를 행한다. 그리고나서, 산화물 반도체층을 대기에 접촉시키지 않아서, 산화물 반도체층에의 물이나 수소의 재혼입을 방지하여, 산화물 반도체층을 얻는다. 그 후, 동일한 로에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입해서 냉각을 행한다. 산소 가스 및 N_2O 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N_2O 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상,(즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0195] 또한, 탈수화 또는 탈수소화를 위한 제1 가열 처리 후에, 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하의 온도에서 산소 가스 또는 N_2O 가스 분위기하에서의 가열 처리를 행해도 된다.

[0196] 또는, 산화물 반도체층의 제1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(430)에 대해 행할 수도 있다. 이 경우에는, 제1 가열 처리 후에, 가열 장치로부터 기판을 취출하고, 포토리소그래피 공정을 행한다.

[0197] 이상의 공정을 거치는 것에 의해, 전체 산화물 반도체막을 산소 과잉 상태로 하고, 이에 따라 고저항(i형) 산화물 반도체막이 형성된다.

[0198] 다음에, 게이트 절연층(402) 및 산화물 반도체층 위에 스퍼터링법에 의해 산화물 절연막을 형성한다. 그리고나서, 제3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적인 에칭에 의해서 산화물 절연층(426a 및 426b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 8b 참조).

[0199] 다음에, 게이트 절연층(402), 산화물 절연층(426a 및 426b) 및 산화물 반도체층(422) 위에 투광성을 갖는 도전막을 형성한다. 그리고나서, 제4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적인 에칭에 의해서 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다(도 8c 참조).

[0200] 다음에, 박막 트랜지스터의 전기적 특성의 변동을 경감하기 위해서, 불활성 가스 분위기하 또는 질소 가스 분위기하에서 가열 처리(바람직하게는 150℃ 이상 350℃ 미만에서)를 행해도 된다. 예를 들면, 질소 분위기하에서 250℃, 1시간의 가열 처리를 행한다.

[0201] 다음에, 산화물 절연층(426a 및 426b), 소스 전극층(425a) 및 드레인 전극층(425b) 위에 보호 절연층(403)을 형성한다.

[0202] 다음에, 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다.

[0203] 다음에, 제5 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 평탄화 절연층(404) 및 보호 절연층(403)의 에칭에 의해 드레인 전극층(425b)에 도달하는 컨택트 홀(441)을 형성한다. 그리고나서, 레지스트 마스크를 제거한다(도 8d 참조).

[0204] 다음에, 투광성을 갖는 도전막을 형성한다.

[0205] 다음에, 제6 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(427)을 형성한다. 그리고나서, 레지스트 마스크를 제거한다(도 8e 참조).

[0206] 이상의 공정에 의해, 6매의 마스크를 이용하여, 동일 기판 위에 박막 트랜지스터(420)와, 기생 용량이 저감된

배선 교차부를 제작할 수 있다.

[0207] 화소에 대해 사용되는 박막 트랜지스터(420)는, 채널 형성 영역을 갖는 산화물 반도체층(422)을 포함하는 채널 보호형 박막 트랜지스터이다.

[0208] 또한, 도 7a는, 화소에 제공되는 채널 보호형 박막 트랜지스터(420)의 평면도이며, 도 7b는 도 7a의 선 D7-D8 및 선 D11-D12을 따라 취한 단면도이다. 또한, 도 7c는, 도 7a의 선 D9-D10을 따라 취한 단면도이다. 또한, 도 8e는 도 7b와 동일하다.

[0209] 본 실시 형태는 실시 형태 1 내지 5 중 어느 하나와 자유롭게 조합할 수 있다.

[0210] (실시 형태 7)

[0211] 본 실시 형태에서는, 축적 용량의 구성에 대해서, 실시 형태 2와 다른 예를 도 9a 및 도 9b를 참조하여 설명한다. 도 9a는, 도 3a와 축적 용량의 구성에 있어서의 차이 이외에는 동일하다. 그러므로, 동일한 부분에는 동일한 부호를 이용하고, 동일한 부분의 상세한 설명은 생략한다. 또한, 도 9a에서는 화소부의 박막 트랜지스터(220)와 축적 용량의 단면 구조를 나타낸다.

[0212] 도 9a는, 유전체로서의 보호 절연층(203) 및 평탄화 절연층(204)을 이용하여 화소 전극층(227)과, 상기 화소 전극층(227)과 중첩하는 용량 배선층(250)에 의해 축적 용량을 형성하는 예를 나타낸다. 용량 배선층(250)은 화소부의 박막 트랜지스터(220)의 소스 전극층과 동일한 투광성을 갖는 재료를 사용하여 동일한 공정으로 형성되기 때문에, 용량 배선층(250)은 박막 트랜지스터(220)의 소스 배선층과 중첩되지 않도록 배치된다.

[0213] 도 9a에 도시하는 축적 용량은, 한 쌍의 전극 및 유전체가 투광성을 갖고 있어, 전체 축적 용량은 투광성을 갖는다.

[0214] 또한, 도 9b는, 도 9a와는 다른 구성을 갖는 축적 용량의 예이다. 도 9b도, 도 3a와 축적 용량의 구성에 있어서의 차이 이외에는 동일하다. 그러므로, 동일한 부분에는 동일한 부호를 이용하고, 동일한 부분의 상세한 설명은 생략한다.

[0215] 도 9b는, 유전체로서 게이트 절연층(202)을 사용해서, 용량 배선층(230)과, 해당 용량 배선층(230)과 중첩하는 산화물 반도체층(251)과 용량 전극(231)과의 적층에 의해 축적 용량을 형성하는 예이다. 또한, 산화물 반도체층(251) 위에 용량 전극(231)은 접하여 적층되어 있고, 축적 용량의 전극들 중 하나로서 기능한다. 또한, 산화물 반도체층(251)은, 박막 트랜지스터(220)의 산화물 반도체층과 동일한 투광성을 갖는 재료를 사용하여 동일한 공정으로 형성한다. 또한, 용량 배선층(230)은 박막 트랜지스터(220)의 게이트 전극층과 동일한 투광성을 갖는 재료를 사용하여 동일한 공정으로 형성되기 때문에, 용량 배선층(230)은 박막 트랜지스터(220)의 게이트 배선층과 중첩되지 않도록 배치된다. 또한, 용량 전극(231)은 화소 전극층(227)과 전기적으로 접속되어 있다.

[0216] 도 9b에 도시하는 축적 용량에서도, 한 쌍의 전극 및 유전체가 투광성을 갖고 있고, 따라서 전체 축적 용량은 투광성을 갖는다.

[0217] 도 9a 및 도 9b에 도시하는 축적 용량은, 투광성을 갖고 있고, 예컨대 게이트 배선의 개수를 증가시켜서 표시 화상의 고정밀화를 실현한다. 그러므로, 화소 치수를 미세화해도, 충분한 용량 및 높은 개구율을 얻을 수 있다.

[0218] 본 실시 형태는 다른 실시 형태와 자유롭게 조합할 수 있다.

[0219] (실시 형태 8)

[0220] 이하, 본 실시 형태에서는, 동일 기판상에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 형성하는 예에 대해 설명한다.

[0221] 화소부에 배치하는 박막 트랜지스터는, 실시 형태 1, 2, 5, 6 중 어느 하나에 따라서 형성한다. 또한, 실시 형태 1, 2, 5, 6 중 어느 하나에 나타내는 박막 트랜지스터는 n채널형 TFT이기 때문에, 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터가 형성된 기판 위에 형성한다.

[0222] 액티브 매트릭스형 표시 장치의 블록도의 일례를 도 14a에 도시한다. 표시 장치의 기판(5300) 위에는, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)가 제공된다. 화소부(5301)에는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연장되어 배치되며, 복수의 주사선이 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303)로부터 연장되어 배치되어 있다. 또한, 주사선과 신호선의

교차 영역에는, 표시 소자를 각각 포함하는 화소가 매트릭스 형상으로 배치되어 있다. 또한, 표시 장치의 기판(5300)은 FPC(Flexible Printed Circuit) 등의 접속부를 통해 타이밍 제어 회로(5305)(컨트롤러 또는 제어 IC라고도 함)에 접속되어 있다.

[0223] 도 14a에서는, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는, 화소부(5301)가 형성된 기판(5300) 위에 형성된다. 그 때문에, 외부에 제공하는 구동 회로 등의 부품의 수가 감소하므로, 코스트를 저감할 수 있다. 또한, 기판(5300) 외부에 제공된 구동 회로로부터 배선을 연장시키는 경우에 형성되는 접속부에서의 접속수를 줄일 수 있고, 신뢰성의 향상이나 수율의 향상을 도모할 수 있다.

[0224] 또한, 타이밍 제어 회로(5305)는, 제1 주사선 구동 회로(5302)에 대하여, 일례로서, 제1 주사선 구동 회로용 스타트 신호(GSP1) 및 주사선 구동 회로용 클럭 신호(GCK1)를 공급한다. 또한, 타이밍 제어 회로(5305)는, 제2 주사선 구동 회로(5303)에 대하여, 일례로서, 제2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 함) 및 주사선 구동 회로용 클럭 신호(GCK2)를 공급한다. 또한, 타이밍 제어 회로(5305)는, 신호선 구동 회로(5304)에 대하여, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 비디오 신호용 데이터(DATA, 간단히 비디오 신호라고도 함) 및 래치 신호(LAT)를 공급한다. 또한, 각 클럭 신호는, 위상이 시프트된 복수의 클럭 신호이어도 되고, 클럭 신호를 반전하여 얻어진 신호(CKB)와 함께 공급되어도 된다. 또한, 제1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303) 중 어느 하나를 생략하는 것이 가능하다.

[0225] 도 14b에서는, 구동 주파수가 낮은 회로(예를 들면, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303))를, 화소부(5301)가 형성된 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 형성된 기판(5300)과는 다른 기판 위에 형성하는 구성에 대해 나타내고 있다. 해당 구성에 의해, 단결정 반도체를 포함한 트랜지스터와 비교하여 전계 효과 이동도가 작은 박막 트랜지스터에 의해, 기판(5300) 위에 형성하는 구동 회로를 구성할 수 있다. 따라서, 표시 장치의 대형화, 코스트의 저감, 또는 수율의 향상 등을 도모할 수 있다.

[0226] 또한, 실시 형태 1, 2, 5, 6에서 설명된 박막 트랜지스터는 n채널형 TFT이다. 도 15a 및 도 15b에서는 n채널형 TFT로 구성하는 신호선 구동 회로의 구성 및 동작에 대해 일례를 들어서 설명한다.

[0227] 신호선 구동 회로는, 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는, 복수의 스위칭 회로(5602_1) 내지 (5602_N)(N은 자연수)을 포함한다. 스위칭 회로(5602_1 내지 5602_N)는, 각각, 복수의 박막 트랜지스터(5603_1 내지 5603_k)(k는 자연수)를 포함한다. 이하, 박막 트랜지스터(5603_1 내지 5603_k)는 n채널형 TFT인 예를 설명한다.

[0228] 신호선 구동 회로의 접속 관계에 대해서, 스위칭 회로(5602_1)를 예로 들어 설명한다. 박막 트랜지스터(5603_1 내지 5603_k)의 제1 단자는, 각각, 배선(5604_1 내지 5604_k)와 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 제2 단자는, 각각, 신호선(S1 내지 Sk)와 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 게이트는, 배선(5605_1)과 접속된다.

[0229] 시프트 레지스터(5601)는, 배선(5605_1 내지 5605_N)에 순서대로 H 레벨 신호(H 신호 또는 고전원 전위 레벨에서의 신호라고도 함)를 출력하여, 스위칭 회로(5602_1 내지 5602_N)를 순서대로 선택하는 기능을 갖는다.

[0230] 스위칭 회로(5602_1)는, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk)과의 사이의 전기 도통(제1 단자와 제2 단자 사이의 도통)을 제어하는 기능, 즉 배선(5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급하는지의 여부를 제어하는 기능을 갖는다. 이와 같이 하여, 스위칭 회로(5602_1)은 셀렉터로서의 기능을 갖는다. 또한, 박막 트랜지스터(5603_1 내지 5603_k)는, 각각, 배선(5604_1 내지 5604_k)와 신호선(S1 내지 Sk)와의 사이의 도통 상태를 제어하는 기능, 즉 배선(5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급하는 기능을 갖는다. 이와 같이 하여, 박막 트랜지스터(5603_1 내지 5603_k)는 각각 스위치로서의 기능을 갖는다.

[0231] 또한, 배선(5604_1 내지 5604_k)에는, 각각, 비디오 신호용 데이터(DATA)가 입력된다. 비디오 신호용 데이터(DATA)는, 화상 데이터 또는 화상 신호에 따른 아날로그 신호일 경우가 많다.

[0232] 다음에, 도 15a의 신호선 구동 회로의 동작에 대해서, 도 15b의 타이밍 차트를 참조하여 설명한다. 도 15b에는, 신호(Sout_1 내지 Sout_N), 및 신호(Vdata_1 내지 Vdata_k)의 일례를 나타낸다. 신호(Sout_1 내지 Sout_N)은 시프트 레지스터(5601)로부터의 출력 신호의 일례이다. 신호(Vdata_1 내지 Vdata_k)는 배선(5604_1 내지 5604_k)에 입력된 신호의 일례이다. 또한, 신호선 구동 회로의 1 동작 기간은 표시 장치에 있어서의 1 게이트 선택 기간에 대응한다. 1 게이트 선택 기간은, 일례로서, 기간 T1 내지 TN으로 분할된다. 기간 T1 내지

TN은 각각 선택된 행의 화소에 비디오 신호용 데이터(DATA)를 기입하기 위한 기간이다.

[0233] 또한, 본 실시 형태의 도면 등에서 나타내는 각 구성의 신호 파형의 왜곡 등은, 명료화를 위해 과장하여 표기하고 있을 경우가 있다. 따라서, 본 실시 형태는 도면 등에 나타낸 스케일에 한정되지 않는다.

[0234] 기간 T1 내지 TN에 있어서, 시프트 레지스터(5601)는 H 레벨의 신호를 배선(5605_1 내지 5605_N)에 순서대로 출력한다. 예를 들면, 기간 T1에 있어서, 시프트 레지스터(5601)는, H 레벨의 신호를 배선(5605_1)에 출력한다. 그러면, 박막 트랜지스터(5603_1 내지 5603_k)는 온이 되므로, 배선(5604_1 내지 5604_k)과, 신호선(S1 내지 Sk)이 도통 상태로 된다. 이때, 배선(5604_1 내지 5604_k)에는, 각각, Data(S1) 내지 Data(Sk)가 입력된다. Data(S1) 내지 Data(Sk)는, 각각, 박막 트랜지스터(5603_1 내지 5603_k)를 통하여, 선택된 행에 있어서의 제1열 내지 제k열째의 화소에 기입된다. 이렇게 해서, 기간 T1 내지 TN에 있어서, 선택된 행에서 k열씩 비디오 신호용 데이터(DATA)가 순차적으로 기입된다.

[0235] 이상과 같이, 비디오 신호용 데이터(DATA)가 복수의 열씩 화소에 기입되는 것에 의해, 비디오 신호용 데이터(DATA)의 수 또는 배선의 수를 줄일 수 있다. 따라서, 외부 회로와의 접속수를 줄일 수 있다. 또한, 비디오 신호가 복수의 열씩 화소에 기입되는 경우에는, 기입 시간을 연장할 수 있고, 따라서 비디오 신호의 기입 부족을 방지할 수 있다.

[0236] 또한, 시프트 레지스터(5601) 및 스위칭 회로(5602)로서는, 실시 형태 1, 2, 5, 6에 나타내는 박막 트랜지스터에 의해 구성되는 회로를 이용하는 것이 가능하다. 이 경우, 시프트 레지스터(5601)는, n채널형 트랜지스터만으로 구성되거나 또는 p채널형 트랜지스터만으로 구성될 수 있다.

[0237] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 이용하는 시프트 레지스터의 일 실시 형태에 대해서 도 16a 내지 도 16d, 도 17a 및 도 17b를 참조하여 설명한다.

[0238] 주사선 구동 회로는 시프트 레지스터를 포함하고 있다. 또한, 경우에 따라서는 주사선 구동 회로는 레벨 시프터나 버퍼 등을 포함하고 있어도 된다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해서 완충 증폭되고, 그 결과 얻어지는 신호가 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 그리고, 1라인분의 화소의 트랜지스터를 동시에 ON으로 해야하므로, 큰 전류를 공급할 수 있는 버퍼가 이용된다.

[0239] 주사선 구동 회로 및/또는 신호선 구동 회로의 시프트 레지스터에 대해서 도 16a 내지 도 16d, 도 17a 및 도 17b를 참조하여 설명한다. 시프트 레지스터는 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)(N은 3이상의 자연수)를 포함한다(도 16a 참조). 도 16a에 도시된 시프트 레지스터의 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)에는, 제1 배선(11)으로부터 제1 클럭 신호(CK1), 제2 배선(12)으로부터 제2 클럭 신호(CK2), 제3 배선(13)으로부터 제3 클럭 신호(CK3) 및 제4 배선(14)으로부터 제4 클럭 신호(CK4)가 각각 공급된다. 제1 펄스 출력 회로(10_1)에는, 제5 배선(15)으로부터 스타트 펄스(SP1)(제1 스타트 펄스)가 입력된다. 2단째 이후의 제n 펄스 출력 회로(10_n)에는, 이전 단의 펄스 출력 회로로부터 신호(이러한 신호를 이전 단의 신호(OUT(n-1)라고도 함)(n은 2 이상 N 이하의 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)에는, 2단 후의 제3 펄스 출력 회로(10_3)로부터 신호가 입력된다. 마찬가지로, 2단째 이후의 제n 펄스 출력 회로에는, 2단 후의 제(n+2) 펄스 출력 회로(10_(n+2))로부터 신호(후단 신호(OUT(n+2))라고 함)가 입력된다. 따라서, 각 단의 펄스 출력 회로는, 후단 펄스 출력 회로 및/또는 2단 전의 펄스 출력 회로에 제1 출력 신호(OUT(1)(SR)~OUT(N)(SR))를 출력하고, 다른 회로 등에 제2 출력 신호(OUT(1)~OUT(N))를 출력한다. 도 16a에 도시한 바와 같이, 시프트 레지스터의 마지막 2개의 단에는, 후단 신호(OUT(n+2))가 입력되지 않기 때문에, 예를 들어, 제2 스타트 펄스(SP2), 제3 스타트 펄스(SP3)가 시프트 레지스터의 마지막 2개의 단의 펄스 출력 회로에 입력될 수 있다는 점에 유의해야 한다.

[0240] 클럭 신호(CK)는 일정한 간격으로 H 레벨과 L 레벨(L 신호 또는 저전원 전위 레벨이라고도 함)을 반복하는 신호라는 점에 유의해야 한다. 제1 클럭 신호(CK1)~제4 클럭 신호(CK4)는 순차적으로 1/4 주기만큼 지연된다(즉, 이들은 서로 90° 역위상(out of phase)이다). 본 실시 형태에서는, 제1 클럭 신호(CK1)~제4 클럭 신호(CK4)를 이용하여, 펄스 출력 회로의 구동 등을 제어한다. 클럭 신호가 입력되는 구동 회로에 따라, 클럭 신호를 GCK 또는 SCK라고도 부르지만, 이하 설명에서는 클럭 신호를 CK라고 부른다.

[0241] 제1 입력 단자(21), 제2 입력 단자(22) 및 제3 입력 단자(23)는, 제1 배선(11)~제4 배선(14) 중 임의의 것과 전기적으로 접속된다. 예를 들어, 도 16a의 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)는 제1 배선(11)과

전기적으로 접속되고, 제2 입력 단자(22)는 제2 배선(12)과 전기적으로 접속되고, 제3 입력 단자(23)는 제3 배선(13)과 전기적으로 접속된다. 제2 펄스 출력 회로(10_2)에서, 제1 입력 단자(21)는 제2 배선(12)과 전기적으로 접속되고, 제2 입력 단자(22)는 제3 배선(13)과 전기적으로 접속되고, 제3 입력 단자(23)는 제4 배선(14)과 전기적으로 접속된다.

[0242] 제1 내지 제N 펄스 출력 회로(10_1~10_N) 각각은, 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27)를 포함한다(도 16b 참조). 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)에는 제1 클럭 신호(CK1)가 입력되고, 제2 입력 단자(22)에는 제2 클럭 신호(CK2)가 입력되고, 제3 입력 단자(23)에는 제3 클럭 신호(CK3)가 입력되고, 제4 입력 단자(24)에는 스타트 펄스가 입력되고, 제5 입력 단자(25)에는 후단 신호(OUT(3))가 입력되며, 제1 출력 단자(26)로부터 제1 출력 신호(OUT(1)(SR))가 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호(OUT(1))가 출력된다.

[0243] 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)에, 3 단자를 갖는 박막 트랜지스터 외에, 상기 실시 형태에 기술된 4 단자를 갖는 박막 트랜지스터(TFT)를 이용할 수 있다. 도 16c는 상기 실시 형태에 기술된 4 단자를 갖는 박막 트랜지스터(28)의 심볼을 나타낸다. 도 16c에 나타낸 박막 트랜지스터(28)의 심볼은, 실시 형태 1, 2, 5 및 6 중 어느 것에 기술되어 있고, 도면 등에서 사용되는 4 단자를 갖는 박막 트랜지스터를 나타낸다. 본 명세서에서, 박막 트랜지스터는 반도체층을 개재하여 2개 게이트 전극을 갖고, 상기 반도체층 아래의 게이트 전극은 하부 게이트 전극이라 부르고, 상기 반도체층 위의 게이트 전극은 상부 게이트 전극이라 부른다는 점에 유의해야 한다. 박막 트랜지스터(28)는 하부 게이트 전극에 입력되는 제1 제어 신호(G1) 및 상부 게이트 전극에 입력되는 제2 제어 신호(G2)에 의해, In 단자와 Out 단자 사이의 전류를 제어할 수 있는 소자이다.

[0244] 박막 트랜지스터에서, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체를 이용하는 경우, 제조 공정에 따라 임계값 전압이 때때로 양의 방향 또는 음의 방향으로 이동된다. 이로 인해, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체를 이용하는 박막 트랜지스터는, 임계값 전압을 제어할 수 있는 구조를 갖는 것이 바람직하다. 도 16c에 나타낸 4 단자 박막 트랜지스터(28)의 임계값 전압은, 박막 트랜지스터(28)의 채널 형성 영역의 상하에 게이트 전극을 제공하고, 상기 상부 게이트 전극과 상기 채널 형성 영역 사이, 및 상기 하부 게이트 전극과 상기 채널 형성 영역 사이에 게이트 절연막을 개재하고, 상부 게이트 전극 및/또는 하부 게이트 전극의 전위를 제어함으로써, 소정의 레벨이 되도록 제어된다.

[0245] 다음에, 도 16b에 도시한 펄스 출력 회로의 구체적인 회로 구조의 예에 대하여, 도 16d를 참조하여 설명한다.

[0246] 도 16d에 도시된 제1 펄스 출력 회로(10_1)는, 제1 트랜지스터(31)~제13 트랜지스터(43)를 포함한다. 전술한 제1 입력 단자(21)~제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27) 외에, 제1 전원 전위(VDD)가 공급되는 전원선(51) 및 제2 전원 전위(VCC)가 공급되는 전원선(52), 제3 전원 전위(VSS)가 공급되는 전원선(53)으로부터, 제1 트랜지스터(31)~제13 트랜지스터(43)에 신호 또는 전원 전위가 공급된다. 여기서, 도 16d의 전원선의 전원 전위의 관계는, 제1 전원 전위(VDD)가 제2 전원 전위(VCC)보다 높고, 제2 전원 전위(VCC)가 제3 전원 전위(VSS)보다 높은 것으로 한다. 제1 클럭 신호(CK1)~제4 클럭 신호(CK4) 각각은 일정한 간격으로 H 레벨과 L 레벨을 반복하는 신호이고, H 레벨에서 클럭 신호는 VDD이고, L 레벨에서 클럭 신호는 VSS이라는 점에 유의해야 한다. 전원선(51)의 전위(VDD)를, 전원선(52)의 전위(VCC)보다 높게 함으로써, 트랜지스터의 동작에 악영향을 주는 일 없이, 트랜지스터의 게이트 전극에 인가되는 전위를 낮게 할 수 있고, 트랜지스터의 임계값 전압의 변동을 저감할 수 있고, 트랜지스터의 열화를 억제할 수 있다. 도 16d에서와 같이, 제1 트랜지스터(31)~제13 트랜지스터(43) 중에서 제6 트랜지스터(36)~제9 트랜지스터(39)에는, 도 16c에 나타낸 4 단자를 갖는 박막 트랜지스터(28)를 이용하는 것이 바람직하다는 점에 유의해야 한다. 제1 트랜지스터(31), 및 제6 트랜지스터(36)~제9 트랜지스터(39)는, 소스 또는 드레인으로 기능하는 한쪽 전극이 접속된 노드의 전위를, 게이트 전극의 제어 신호에 따라 전환하는 것이 필요로 되며, 게이트 전극에 입력되는 제어 신호에 대한 신속한 응답(온 전류의 가파른 상승)에 의해 펄스 출력 회로의 오동작을 저감할 수 있다. 도 16c에 나타낸 4 단자를 갖는 박막 트랜지스터(28)를 이용함으로써, 임계값 전압을 제어할 수 있고, 펄스 출력 회로의 오동작을 보다 저감할 수 있다. 도 16d에서 제1 제어 신호(G1) 및 제2 제어 신호(G2)는 동일한 제어 신호이지만, 제1 제어 신호(G1) 및 제2 제어 신호(G2)가 서로 다른 제어 신호일 수도 있음에 유의해야 한다.

[0247] 도 16d에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제1 트랜지스터(31)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으

로 접속되고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제6 트랜지스터(36)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되고, 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제9 트랜지스터(39)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)이 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제12 트랜지스터(42)의 제1 단자가 전원선(53)에 전기적으로 접속되고, 제12 트랜지스터(42)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제12 트랜지스터(42)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다. 제13 트랜지스터(43)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제13 트랜지스터(43)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되고, 제13 트랜지스터(43)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다.

[0248] 도 16d에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극 및 제9 트랜지스터(39)의 제2 단자의 접속점을 노드 A라고 한다. 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자 및 제11 트랜지스터(41)의 게이트 전극의 접속점을 노드 B라고 한다.

[0249] 도 17a는, 도 16d에 설명한 펄스 출력 회로를 제1 펄스 출력 회로(10_1)에 적용했을 경우에, 제1 입력 단자(21) 내지 제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27)에 대한 입출력 신호를 도시한다.

[0250] 구체적으로는, 제1 입력 단자(21)에 제1 클럭 신호(CK1)가 입력되고, 제2 입력 단자(22)에 제2 클럭 신호(CK2)가 입력되고, 제3 입력 단자(23)에 제3 클럭 신호(CK3)가 입력되고, 제4 입력 단자(24)에 스타트 펄스가 입력되고, 제5 입력 단자(25)에 후단 신호(OUT(3))가 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호(OUT(1)(SR))가 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호(OUT(1))가 출력된다.

[0251] 박막 트랜지스터는 게이트와, 드레인과, 소스의 적어도 3개의 단자를 갖는 소자인 점에 유의해야 한다. 박막 트랜지스터는 게이트와 중첩한 영역에 채널 영역이 형성되는 반도체를 갖는다. 게이트의 전위를 제어함으로써, 채널 영역을 통해 드레인과 소스 사이에 흐르는 전류를 제어할 수 있다. 여기서, 박막 트랜지스터의 소스와 드레인은, 박막 트랜지스터의 구조, 동작 조건 등에 따라 상호교환될 수 있기 때문에, 어느 쪽이 소스 또는 드레인 인지를 한정하는 것은 곤란하다. 따라서, 소스 또는 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않을 경우가 있다. 그런 경우, 예를 들어, 이러한 영역을 제1 단자 및 제2 단자라고 부를 수 있다.

[0252] 도 16d 및 도 17a에서, 노드 A를 부유 상태로 함으로써 부트스트랩(bootstrap) 동작을 행하기 위한 용량 소자를 추가적으로 제공할 수 있음에 유의해야 한다. 또한, 노드 B의 전위를 유지하기 위해서, 한쪽 전극이 노드 B에 전기적으로 접속된 용량 소자를 추가적으로 제공할 수도 있다.

[0253] 도 17b는, 도 17a에 도시된 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍차트이다. 시프트 레

지스터가 주사선 구동 회로에 포함되는 경우, 도 17b에서 기간(61)은 수직 귀선 기간(vertical retrace period)에 대응하고, 기간(62)은 게이트 선택 기간에 대응한다는 점에 유의해야 한다.

[0254] 도 17a에 도시한 바와 같이, 게이트에 제2 전원 전위(VCC)가 공급되는 제9 트랜지스터(39)를 제공함으로써, 부트스트랩 동작의 전후에서, 이하와 같은 이점이 얻어진다는 점에 유의해야 한다.

[0255] 게이트 전극에 제2 전원 전위(VCC)가 공급되는 제9 트랜지스터(39)가 없을 경우, 부트스트랩 동작에 의해 노드 A의 전위가 상승하면, 제1 트랜지스터(31)의 제2 단자인 소스의 전위가 상승하여, 제1 전원 전위(VDD) 값보다 커진다. 그 후, 제1 트랜지스터(31)의 제1 단자, 즉 전원선(51) 측의 단자가, 제1 트랜지스터(31)의 소스로서 기능하게 된다. 따라서, 제1 트랜지스터(31)에서는, 게이트와 소스 사이, 및 게이트와 드레인 사이에, 큰 바이어스 전압이 인가되어 상당한 스트레스가 걸리고, 트랜지스터의 열화의 요인이 될 수 있다. 한편, 게이트 전극에 제2 전원 전위(VCC)가 공급되는 제9 트랜지스터(39)가 있을 경우, 부트스트랩 동작에 의해 노드 A의 전위는 상승하지만, 제1 트랜지스터(31)의 제2 단자의 전위가 상승하는 것을 방지할 수 있다. 즉, 제9 트랜지스터(39)를 제공함으로써, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 부(negative) 바이어스 전압값을 작게 할 수 있다. 따라서, 본 실시 형태의 회로 구조에 의해, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 부 바이어스 전압을 작게 할 수 있어, 스트레스로 인한 제1 트랜지스터(31)의 열화를 억제할 수 있다.

[0256] 제9 트랜지스터(39)를, 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 제9 트랜지스터(39)의 제1 단자와 제2 단자를 통해 접속하여 제공할 수 있다는 점에 유의해야 한다. 본 실시 형태에서 복수의 펄스 출력 회로를 포함하는 시프트 레지스터를, 주사선 구동 회로보다 많은 단수를 갖는 신호선 구동 회로에 포함시키는 경우, 제9 트랜지스터(39)를 생략할 수 있고, 이로써 트랜지스터의 수를 삭감할 수 있다는 이점이 있다는 것에 유의해야 한다.

[0257] 제1 트랜지스터(31) 내지 제13 트랜지스터(43)의 반도체층으로서, 산화물 반도체를 이용하는 경우, 박막 트랜지스터의 오프 전류를 저감할 수 있고, 온 전류 및 전계 효과 이동도를 높이는 것이 가능하고, 트랜지스터의 열화의 정도를 저감할 수 있다는 점에 유의해야 한다. 이 때문에, 회로 내의 오동작을 저감할 수 있다. 또한, 산화물 반도체를 포함하는 트랜지스터는, 아몰퍼스 실리콘을 포함하는 트랜지스터에 비해, 게이트 전극에 고전위가 인가되는 것에 의해 야기되는 열화의 정도가 작다. 따라서, 제2 전원 전위(VCC)를 공급하는 전원선에, 제1 전원 전위(VDD)를 공급해도, 시프트 레지스터는 마찬가지 동작을 행할 수 있고, 회로 사이의 전원선의 수를 저감할 수 있어, 회로의 소형화를 달성할 수 있다.

[0258] 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제3 입력 단자(23)로부터 공급되는 클럭 신호가, 제2 입력 단자(22)로부터 공급되고, 제8 트랜지스터(38)의 게이트 전극에 제2 입력 단자(22)로부터 공급되는 클럭 신호가, 제3 입력 단자(23)로부터 공급될 수 있도록, 접속 관계를 변경해도, 시프트 레지스터가 마찬가지 효과를 달성할 것이란 점에 유의해야 한다. 도 17a에 도시하는 시프트 레지스터에 있어서, 제7 트랜지스터(37)와 제8 트랜지스터(38) 양쪽이 온 상태이고, 다음에 제7 트랜지스터(37)가 오프 상태이고, 제8 트랜지스터(38)가 온 상태이고, 다음에 제7 트랜지스터(37)와 제8 트랜지스터(38)가 오프 상태가 되도록, 제7 트랜지스터(37)와 제8 트랜지스터(38)의 상태가 변경되어서, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위 저하에 의해 야기되는 노드 B의 전위 저하가, 제7 트랜지스터(37)의 게이트 전극의 전위 저하 및 제8 트랜지스터(38)의 게이트 전극의 전위 저하에 의해 2회 발생한다는 점에 유의해야 한다. 한편, 제7 트랜지스터(37)와 제8 트랜지스터(38) 양쪽이 온 상태이고, 다음에 제7 트랜지스터(37)가 온 상태이고, 제8 트랜지스터(38)가 오프 상태이고, 다음에 제7 트랜지스터(37)와 제8 트랜지스터(38)가 오프 상태가 되도록, 제7 트랜지스터(37)와 제8 트랜지스터(38)의 상태가 변경되는 경우, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위 저하에 의해 야기되는 노드 B의 전위 저하가, 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 1회만 발생한다. 따라서, 접속 관계, 즉, 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제3 입력 단자(23)로부터 클럭 신호(CK3)를 공급하고, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제2 입력 단자(22)로부터 클럭 신호(CK2)를 공급하는 것이 바람직하다. 이는 노드 B의 전위의 변동 횟수를 감소시킬 수 있고, 노이즈를 저감할 수 있기 때문이다.

[0259] 이렇게, 제1 출력 단자(26) 및 제2 출력 단자(27)의 전위를 L 레벨로 유지하는 기간에, 노드 B에 정기적으로 H 레벨 신호를 공급하므로, 펄스 출력 회로의 오동작을 억제할 수 있다.

[0260] (실시 형태 9)

[0261] 박막 트랜지스터를 제조하고, 해당 박막 트랜지스터를 화소부 및 구동 회로에 이용함으로써, 표시 기능을 갖는

반도체 장치(표시 장치라고도 함)을 제조할 수 있다. 또한, 박막 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부가 형성되는 기판 위에 형성하여, 시스템-온-패널을 얻을 수 있다.

[0262] 본 표시 장치는 표시 소자를 포함한다. 예로서, 표시 소자는 액정 소자(액정 표시 소자 라고도 함), 발광 소자(발광 표시 소자라고도 함)을 포함한다. 발광 소자는, 전류 또는 전압에 의해 그 휘도가 제어되는 소자를 그 범주 내에 포함하고, 구체적으로는 무기 EL(Electroluminescent) 소자, 유기 EL 소자 등을 그 범위 내에 포함한다. 또한, 표시 장치는 전자 잉크 등의 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체를 포함할 수 있다.

[0263] 또한, 표시 장치는, 표시 소자가 밀봉되어 있는 패널과, 컨트롤러를 포함한 IC 등을 그 패널 위에 탑재한 모듈을 포함한다. 또한, 표시 장치의 제조 과정에서 표시 소자가 완성되기 이전의 일 실시 형태인 소자 기판에는, 복수의 화소들 각각의 표시 소자에 전류를 공급하기 위한 수단이 제공된다. 구체적으로는, 소자 기판은, 표시 소자의 화소 전극만이 형성된 상태일 수도 있고, 화소 전극이 되는 도전막을 형성한 이후로서 도전막을 에칭하여 화소 전극을 형성하기 이전의 상태일 수도 있고, 또는 임의의 다른 상태일 수도 있다.

[0264] 본 명세서에서 표시 장치란, 화상 표시 장치, 표시 장치, 또는 광원(조명 장치 포함)을 말한다는 점에 유의해야 한다. 또한, 표시 장치는 그 범주 내에 다음과 같은 모듈들을 포함한다: FPC(Flexible Printed Circuit), TAB(Tape Automated Bonding) 테이프, TCP(Tape Carrier Package) 등의 커넥터를 부착하는 모듈; TAB 테이프 또는 TCP의 끝에 인쇄 배선판이 제공되는 모듈; 및 COG(Chip On Glass) 방법에 의해 집적 회로(IC)가 표시 소자에 직접 탑재된 모듈.

[0265] 반도체 장치의 일 실시 형태인 액정 표시 패널의 외관 및 단면을, 도 10의 (A1), 도 10의 (A2), 및 도 10의 (B)를 참조하여 설명한다. 도 10의 (A1) 및 도 10의 (A2)는, 박막 트랜지스터(4010 및 4011)와, 액정 소자(4013)가 시일재(4005)에 의해 제1 기판(4001)과 제2 기판(4006) 사이에 밀봉되어 있는 패널의 평면도이다. 도 10의 (B)는 도 10의 (A1) 및 도 10의 (A2)의 선 M-N을 따라 취한 단면도이다.

[0266] 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 제공된다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 제공된다. 결과적으로, 화소부(4002)와 주사선 구동 회로(4004)는 제1 기판(4001)과 시일재(4005)와 제2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다. 단결정 반도체막 또는 다결정 반도체막을 이용하여 별도 준비된 기판 위에 형성된 신호선 구동 회로(4003)가, 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에 탑재된다.

[0267] 별도 형성된 구동 회로의 접속 방법에는 특별한 제한이 있는 것은 아니고, COG 방법, 와이어 본딩 방법, TAB 방법 등을 이용할 수 있다는 점에 유의해야 한다. 도 10의 (A1)은 COG 방법에 의해 신호선 구동 회로(4003)가 탑재되는 예를 나타낸다. 도 10의 (A2)는 TAB 방법에 의해 신호선 구동 회로(4003)가 탑재되는 예를 나타낸다.

[0268] 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 박막 트랜지스터를 포함한다. 도 10의 (B)는 화소부(4002) 내에 포함된 박막 트랜지스터(4010)와 주사선 구동 회로(4004) 내에 포함된 박막 트랜지스터(4011)를 예로서 나타낸다. 박막 트랜지스터(4010 및 4011) 위에 절연층(4041a, 4041b, 4042a, 4042b, 4020 및 4021)이 제공된다.

[0269] 실시 형태 1, 2, 5 및 6에 설명된 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터 중 임의의 것이, 박막 트랜지스터(4010 및 4011)로서 이용될 수 있다. 구동 회로에 이용되는 박막 트랜지스터(4011)로서, 실시 형태 2에 설명한 박막 트랜지스터(260 및 270) 중 어느 하나가 이용될 수 있다. 화소에 사용되는 박막 트랜지스터(4010)로서, 실시 형태 1, 2, 5 및 6에 설명된 박막 트랜지스터(420, 448, 220, 280 및 290) 중 어느 하나가 이용될 수 있다. 본 실시 형태에서는, 박막 트랜지스터(4010 및 4011)가 n채널형 박막 트랜지스터이다.

[0270] 구동 회로용의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩하도록 절연층(4021)의 일부 위에 도전층(4040)이 제공된다. 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4040)이 제공됨으로써, BT 시험 전후에서 박막 트랜지스터(4011)의 임계값 전압의 변화량을 저감할 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4040)은 제2 게이트 전극층으로서도 기능할 수 있다. 또한, 도전층(4040)의 전위는 GND 또는 0V, 혹은 플로팅 상태일 수도 있다.

[0271] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 서로 중첩하고 있는 부분이 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층

(4031)에는 각각 배향막으로서 기능하는 절연층(4032 및 4033)이 제공되고, 이들 전극층 사이에 절연층(4032 및 4033)을 통해 액정층(4008)이 끼워져 있다는 점에 유의해야 한다.

[0272] 제1 기판(4001) 및 제2 기판(4006)으로서는 투광성 기판을 이용할 수 있고, 글래스, 세라믹 또는 플라스틱을 이용할 수 있다는 점에 유의해야 한다. 플라스틱으로서, FRP(Fiberglass-Reinforced Plastics) 판, 폴리(폴리비닐 플루라이드)(PVF) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다.

[0273] 참조 부호(4035)는, 절연막을 선택적으로 에칭하여 얻어지는 기둥형 스페이서(columnar spacer)이고, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 대안으로서, 구형 스페이서(spherical spacer)를 이용할 수도 있다. 대향 전극층(4031)은, 박막 트랜지스터(4010)가 형성되어 있는 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 대향 전극층(4031)과 공통 전위선은, 공통 접속부를 이용하여, 한쌍의 기판 사이에 배치된 도전성 입자를 통해 서로 전기적으로 접속될 수 있다. 도전성 입자는 시일재(4005)에 포함된다는 점에 유의해야 한다.

[0274] 대안으로서, 배향막이 필요하지 않은 블루상(blue phase)을 나타내는 액정을 이용할 수도 있다. 블루상은 액정상들 중 하나로서, 콜레스테릭 액정의 온도를 상승시키면서 콜레스테릭상이 등방상으로 전이되기 직전에 나타나는 상이다. 블루상은 비교적 좁은 온도 범위에서 나타나기 때문에, 온도 범위를 증가시키기 위해서 액정층(4008)에 대해 5 중량% 이상의 카이럴제(chiral agent)를 포함하는 액정 조성물이 이용된다. 블루상을 나타내는 액정과 카이럴제를 포함하는 액정 조성물은, 1 msec 이하의 작은 응답 시간을 가지며, 광학적 등방성을 갖기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0275] 본 실시 형태는, 투과형 액정 표시 장치 외에, 반사형 액정 표시 장치에도 적용될 수 있음에 유의해야 한다.

[0276] 기판의 외측면(관찰자 측)에 편광판을 제공하고 기판의 내측면에 착색층(컬러 필터) 및 표시 소자에 이용하는 전극층을 이 순서대로 제공한 액정 표시 장치의 예를 설명했지만, 편광판은 기판의 내측면에 제공될 수도 있다. 편광판과 착색층의 적층 구조는 본 실시 형태에 설명된 것에 한정되지 않고, 편광판 및 착색층의 재료 또는 제조 공정 조건에 따라 적절하게 설정될 수 있다. 또한, 블랙 매트릭스(black matrix)로서 기능하는 차광막을 표시부 이외의 다른 부분에 제공할 수도 있다.

[0277] 박막 트랜지스터(4011)에는, 채널 보호층으로서 기능하는 절연층(4041a)과, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4041b)이 형성된다. 마찬가지로, 박막 트랜지스터(4010)에는, 채널 보호층으로서 기능하는 절연층(4042a)과, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4042b)이 형성된다.

[0278] 산화물 반도체층의 주연부(측면을 포함함)를 덮는 산화물 절연층인 절연층(4041b 및 4042b)은, 게이트 전극층과, 그 상측 또는 주변에 형성되는 배선층(소스 배선층 또는 용량 배선층 등) 사이의 거리를 증가시킴으로써, 기생 용량을 저감할 수 있다. 절연층(4041a, 4041b, 4042a 및 4042b)은, 실시 형태 1에서 설명한 산화물 절연층(426a 및 426b)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 박막 트랜지스터로 인한 표면 요철을 저감하기 위하여, 박막 트랜지스터는 평탄화 절연막으로서 기능하는 절연층(4021)으로 덮인다. 여기서, 절연층(4041a, 4041b, 4042a 및 4042b)으로서, 실시 형태 1에 따른 스퍼터링법에 의해 산화 규소막을 형성한다.

[0279] 절연층(4041a, 4041b, 4042a 및 4042b) 위에 절연층(4020)이 형성된다. 절연층(4020)은, 실시 형태 1에서 설명한 보호 절연층(403)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서, 절연층(4020)으로서, RF 스퍼터링법에 의해 질화 규소막을 형성한다.

[0280] 평탄화 절연막으로서 절연층(4021)이 형성된다. 절연층(4021)은, 실시 형태 1에서 설명한 평탄화 절연층(404)과 유사한 재료 및 방법을 이용하여 형성될 수 있고, 폴리이미드, 아크릴, 벤조시크로부텐계, 폴리아미드 또는 에폭시 등의 내열성 유기 재료가 이용될 수 있다. 이와 같은 유기 재료 외에도, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(Phosphosilicate Glass), BPSG(Borophosphosilicate Glass) 등을 이용하는 것도 가능하다. 이러한 재료를 이용하여 형성된 복수의 절연막을 적층함으로써 절연층(4021)을 형성할 수도 있다는 점에 유의해야 한다.

[0281] 본 실시 형태에서는, 화소부의 복수의 박막 트랜지스터를 통합하여 질화물 절연막으로 둘러쌀 수도 있다. 예를 들어, 절연층(4020)과 게이트 절연층에 질화물 절연막을 이용하고, 도 10의 (A1), 도 10의 (A2) 및 도 10의 (B)에 나타낸 바와 같이 적어도 액티브 매트릭스 기판 위의 화소부의 주연을 둘러싸도록 절연층(4020)과 게이트 절연층이 접하는 구조를 이용할 수 있다. 이러한 구조에 의해, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 반도체 장치, 예를 들어, 표시 장치로서 디바이스가 완성된 후에도 장기적으로, 외부로부터 수분의 침입

을 방지할 수 있어 디바이스의 장기간 신뢰성을 향상할 수 있다.

[0282] 실록산계 수지는, 출발 재료로서 실록산계 재료를 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응한다는 점에 유의해야 한다. 실록산계 수지는, 치환기로서 유기기(예를 들어, 알킬기 또는 아릴기) 또는 플루오르기를 포함할 수 있다. 유기기는 플루오르기를 포함할 수도 있다.

[0283] 절연층(4021)의 형성 방법에는 특별한 제한이 없으며, 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅법, 딥핑 방법, 스프레이 코팅법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄(offset printing) 등)이 이용될 수 있다. 또한, 평탄화 절연층(4021)은, 닥터 나이프(doctor knife), 롤 코터(roll coater), 커텐 코터, 나이프 코터 등으로 형성될 수 있다. 절연층(4021)의 베이킹 공정과 반도체층의 어닐링을 결합하면, 반도체 장치를 효율적으로 제조할 수 있다.

[0284] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성 도전 재료를 이용하여 형성될 수 있다.

[0285] 대안으로서, 화소 전극층(4030) 및 대향 전극층(4031)에 대해, 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 이용할 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은, 10000Ω / square 이하의 시트 저항과, 파장 550 nm에서 70% 이상의 투광율을 갖는 것이 바람직하다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항율이 0.1Ω · cm 이하인 것이 바람직하다.

[0286] 도전성 고분자로서, 소위 π-전자 켤레(π-electron conjugated) 도전성 고분자를 이용할 수 있다. 예로서, 폴리아닐린(polyaniline) 또는 그 유도체, 폴리피롤(polypyrrole) 또는 그 유도체, 폴리치오펜(polythiophene) 또는 그 유도체, 또는 이들의 2종 이상의 공중합체가 있다.

[0287] 또한, 각종 신호 및 전위가, FPC(4018)로부터, 별도 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소부(4002)에 공급된다.

[0288] 접속 단자 전극(4015)은, 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 이용하여 형성된다. 단자 전극(4016)은, 박막 트랜지스터(4010 및 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막을 이용하여 형성된다.

[0289] 접속 단자 전극(4015)은, 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.

[0290] 도 10의 (A1), 도 10의 (A2) 및 도 10의 (B)는, 신호선 구동 회로(4003)가 별도로 형성되어 제1 기판(4001) 위에 탑재된 예를 나타내지만, 본 실시 형태는 이러한 구조에 한정되지 않는다는 점에 유의해야 한다. 주사선 구동 회로가 별도로 형성되어 탑재되거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성되어 탑재될 수도 있다.

[0291] 도 19는, 본 명세서에서 개시된 제조 방법에 따라 제조된 TFT 기판(2600)을 이용하여 반도체 장치로서 액정 표시 모듈을 형성하는 예를 나타낸다.

[0292] 도 19는, TFT 기판(2600)과 대향 기판(2601)이 시일재(2602)에 의해 서로 접합되고, 이들 기판들 사이에 TFT 등을 포함한 화소부(2603), 액정층을 포함한 표시 소자(2604), 착색층(2605)이 제공되어 표시 영역을 형성하고 있는 액정 표시 모듈의 예를 나타낸다. 착색층(2605)은 컬러 표시를 행하는데 필요하다. RGB 시스템의 경우, 적, 녹, 청의 색상에 대응하는 착색층들이 각 화소에 제공된다. TFT 기판(2600)과 대향 기판(2601)의 외측에, 편광판(2606 및 2607) 및 확산판(2613)이 제공된다. 광원은 냉음극관(2610)과 반사판(2611)을 포함한다. 회로 기판(2612)은, 가요성 배선 기판(2609)을 통해 TFT 기판 (2600)의 배선 회로부(2608)에 접속되며, 제어 회로 또는 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층이, 이들 사이에 위상차판(retardation plate)을 개재하여 적층될 수 있다.

[0293] 액정 표시 모듈을 위해, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Antiferroelectric Liquid Crystal) 모드 등을 이용할 수 있다.

[0294] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제조할 수 있다.

[0295] 본 실시 형태는, 다른 실시 형태에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.

[0296] (실시 형태 10)

[0297] 반도체 장치의 일 실시 형태로서 전자 페이퍼의 예를 설명한다.

[0298] 본 발명의 일 실시 형태는, 스위칭 소자에 전기적으로 접속된 소자에 의해 전자 잉크가 구동되는 전자 페이퍼에 적용될 수 있다. 전자 페이퍼는, 전기영동 표시 장치(전기영동 디스플레이)라고도 불리며, 종이와 같은 수준의 가독성과, 다른 표시 장치들에 비해 저소비 전력을 가지며, 박형화 및 경량화가 가능하다는 점에서 유리하다.

[0299] 전기영동 디스플레이는, 다양한 형태를 가질 수 있다. 전기영동 디스플레이는, 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함한다. 각각의 마이크로캡슐은, 양으로 대전된 제1 입자와 음으로 대전된 제2 입자를 포함한다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 내의 입자들이 서로 반대 방향으로 이동하고, 한쪽에 집합한 입자들의 색상만이 표시된다. 제1 입자 및 제2 입자 각각이 색소를 포함하고, 전계가 없다면 이동하지 않는다는 점에 유의해야 한다. 또한, 제1 입자와 제2 입자는 상이한 색상(무색일 수 있음)을 갖는다.

[0300] 따라서, 전기영동 디스플레이는, 높은 유전 상수를 갖는 물질이 높은 전계 영역쪽으로 이동하는 소위 유전체전기영동 효과(dielectrophoretic effect)를 이용하는 디스플레이이다.

[0301] 상기 마이크로캡슐을 용매에 분산시킨 용액을 전자 잉크라 부른다. 이 전자 잉크는, 글래스, 플라스틱, 옷감, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터 또는 색소를 갖는 입자를 이용함으로써, 컬러 표시도 가능하다.

[0302] 또한, 2개의 전극의 사이에 개재하도록 복수의 상기 마이크로캡슐을 액티브 매트릭스 기판 위에 적절하게 배치하면, 액티브 매트릭스형 표시 장치가 완성될 수 있고, 마이크로캡슐에 전계를 인가하는 것에 의해 표시를 행할 수 있다. 예를 들어, 실시 형태 1, 2, 5 및 6에 설명한 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기판을 이용할 수 있다.

[0303] 마이크로캡슐 중 제1 입자 및 제2 입자 각각은, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계발광(electroluminescent) 재료, 전기변색(electrochromic) 재료, 자기영동(magnetophoretic) 재료로부터 선택된 1종의 재료 또는 이들의 복합 재료를 이용하여 형성될 수 있다는 점에 유의해야 한다.

[0304] 도 18은 반도체 장치의 예로서 액티브 매트릭스형 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는, 실시 형태 1에 설명된 박막 트랜지스터와 마찬가지로 제작될 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 실시 형태 2, 5 내지 6에 설명된 박막 트랜지스터도 본 실시 형태의 박막 트랜지스터(581)로서 사용될 수 있다.

[0305] 도 18의 전자 페이퍼는 트위스팅 볼 표시 방식을 이용한 표시 장치의 예이다. 트위스팅 볼 표시 방식은, 표시 소자에 이용되는 전극층인 제1 전극층과 제2 전극층 사이에 백 또는 흑으로 각각 착색된 구형 입자를 배치하고, 제1 전극층과 제2 전극층 사이에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0306] 기판(580) 위에 형성된 박막 트랜지스터(581)는 보텀 게이트 박막 트랜지스터이며, 산화물 반도체층에 접하는 절연막(583)으로 덮여 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층과, 제1 전극층(587)은, 절연층(585)에 형성된 개구를 통해 서로 접함으로써, 전기적으로 접속되어 있다. 제1 전극층(587)과 기판(596) 위에 형성된 제2 전극층(588) 사이에는, 각각 흑색 영역(590a), 백색 영역(590b), 및 주위가 액체로 채워져 있는 캐비티(594)를 갖는 구형 입자(589)가 제공된다. 구형 입자(589)의 주위의 공간은 수지 등의 충전재(595)로 충전된다. 제1 전극층(587)은 화소 전극에 대응하고, 제2 전극층(588)은 공통 전극에 대응한다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일한 기판 위에 제공되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기판 사이에 제공되는 도전성 입자를 통해 제2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

[0307] 트위스팅 볼 대신에, 전기영동 소자를 이용하는 것도 가능하다. 투명한 액체와, 양으로 대전한 흰 미립자와, 음으로 대전한 검은 미립자를 캡슐화한 직경 10㎛~200㎛ 정도의 마이크로캡슐을 이용한다. 제1 전극층과 제2 전극층 사이에 제공되는 마이크로캡슐에서는, 제1 전극층과 제2 전극층 사이에 전계가 인가되면, 흰

미립자와, 검은 미립자가 서로 반대 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼라 부른다. 전기영동 표시 소자는, 액정 표시 소자에 비해서, 반사율이 높기 때문에, 보조 라이트가 불필요하며, 소비 전력이 낮고, 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 화상을 유지하는 것이 가능하다. 따라서, 표시 기능을 갖는 반도체 장치(간단히 표시 장치 또는 표시 장치를 구비하는 반도체 장치라고 함)를 전원으로부터 분리한 경우에도, 표시된 화상을 보존하는 것이 가능하다.

[0308] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제조할 수 있다.

[0309] 본 실시 형태는, 다른 실시 형태들에 기재한 구조와 적절히 조합하여 구현될 수 있다.

[0310] (실시 형태 11)

[0311] 반도체 장치로서 발광 표시 장치의 예를 설명한다. 표시 장치에 포함된 표시 소자로서, 여기서는 전계발광을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 부르고, 후자는 무기 EL 소자라고 부른다.

[0312] 유기 EL 소자에서는, 발광 소자에 전압을 인가하는 것에 의해, 한쌍의 전극으로부터 발광성 유기 화합물을 포함하는 층에 전자 및 정공이 별도로 주입되어, 전류가 흐른다. 그 후, 이들 캐리어(전자 및 정공)가 재결합하여, 발광성 유기 화합물이 여기된다. 발광성 유기 화합물이 여기 상태로부터 기저 상태로 되돌아감으로써 발광한다. 이런 메카니즘으로 인해, 이 발광 소자를 전류 여기형 발광 소자라 부른다.

[0313] 무기 EL 소자는, 그 소자 구조에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더(binder) 내에 분산시킨 발광층을 가지며, 그 발광 메카니즘은 도너(donor) 준위와 억셉터(acceptor) 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층들 사이에 끼우고, 그것을 전극들 사이에 끼운 구조를 가지며, 그 발광 메카니즘은 금속 이온의 내부-쉘 전자 천이(inner-shell electron transition)를 이용하는 국부형 발광이다. 여기서는 발광 소자로서 유기 EL 소자를 이용하여 설명한다는 점에 유의해야 한다.

[0314] 도 12는 반도체 장치의 예로서 디지털 시간 계조 방법에 의해 구동 가능한 화소 구조의 예를 나타낸다.

[0315] 디지털 시간 계조 방법에 의해 구동 가능한 화소의 구조 및 동작에 대해서 설명한다. 여기서는 1개의 화소가 산화물 반도체층을 채널 형성 영역에 이용하는 2개의 n채널형 트랜지스터를 포함하는 예를 설명한다.

[0316] 화소(6400)는, 스위칭 트랜지스터(6401), 발광 소자 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제1 전극(소스 전극과 드레인 전극 중 한쪽)이 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제2 전극(소스 전극과 드레인 전극 중 다른 쪽)이 발광 소자 구동용 트랜지스터(6402)의 게이트에 접속된다. 발광 소자 구동용 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 발광 소자 구동용 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되고, 발광 소자 구동용 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일 기판 위에 제공된 공통 전위선과 전기적으로 접속한다.

[0317] 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저전원 전위로 설정된다는 점에 유의해야 한다. 저전원 전위는, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 (저전원 전위 < 고전원 전위)를 만족시키는 전위이다. 예를 들어, GND 또는 0V 등이 저전원 전위로서 설정될 수 있다. 고전원 전위와 저전원 전위 사이의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 흘려서 발광 소자(6404)를 발광시킨다. 따라서, 고전원 전위와 저전원 전위 사이의 전위차가 순방향 임계값 전압 이상이 되도록 각 전위를 설정한다.

[0318] 용량 소자(6403)를 발광 소자 구동용 트랜지스터(6402)의 게이트 용량으로 대체하는 경우, 용량 소자(6403)를 생략하는 것도 가능하다. 발광 소자 구동용 트랜지스터(6402)의 게이트 용량은, 채널 영역과 게이트 전극 사이에 형성될 수 있다.

[0319] 여기서, 전압 입력 전압 구동 방법을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에, 발광 소자 구동용 트랜지스터(6402)가 완전히 턴온 또는 턴오프되게 하는 비디오 신호를 입력한다. 즉, 발광 소자 구동용 트랜지스터(6402)는 선형 영역에서 동작하고, 따라서 전원선(6407)의 전압보다도 높은 전압을 발광 소자 구동용 트랜지스터(6402)의 게이트에 인가한다. 신호선(6405)에는, (전원선 전압 + 발광 소자 구동용 트랜지스

터(6402)의 Vth) 이상의 전압을 인가한다는 점에 유의해야 한다.

[0320] 디지털 시간 계조 방법 대신에, 아날로그 계조 방법을 이용하는 경우, 신호를 서로 다르게 입력함으로써, 도 12과 동일한 화소 구조를 이용할 수 있다.

[0321] 아날로그 계조 방법을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에, (발광 소자(6404)의 순방향 전압 + 발광 소자 구동용 트랜지스터(6402)의 Vth) 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도를 얻기 위한 전압을 지칭하며, 적어도 순방향 임계값 전압을 포함한다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작하게 하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록, 전원선(6407)의 전위는 발광 소자 구동용 트랜지스터(6402)의 게이트 전위보다도 높다. 비디오 신호가 아날로그 신호이기 때문에, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘리고, 아날로그 계조 방법을 실행할 수 있다.

[0322] 화소 구조는 도 12에 나타낸 것에 한정되지 않는다는 점에 유의해야 한다. 예를 들어, 도 12의 화소는 스위치, 저항 소자, 용량 소자, 트랜지스터, 논리 회로 등을 더 포함할 수 있다.

[0323] 다음에, 발광 소자의 구조에 대해서, 도 13a 내지 도 13c를 참조하여 설명한다. 여기서, 화소의 단면 구조에 대해서, n채널형 발광 소자 구동용 TFT를 예로서 설명한다. 도 13a 내지 도 13c에 나타낸 반도체 장치에 이용되는 발광 소자 구동용 TFT(7001, 7011, 7021)는, 실시 형태 1에 설명한 화소에 제공되는 박막 트랜지스터와 마찬가지로 제조될 수 있고, 각각 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 대안으로서, 실시 형태 2, 5 및 6에 설명한 화소에 제공되는 박막 트랜지스터를 발광 소자 구동용 구동 TFT(7001, 7011, 7021)로서 이용할 수도 있다.

[0324] 발광 소자로부터 광을 추출하기 위해서, 양극과 음극 중 적어도 한쪽이 투광할 필요가 있다. 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는 기판과는 반대측의 표면으로부터 광을 추출하는 상면 발광 구조, 기판측 표면으로부터 광을 추출하는 하면 발광 구조, 또는 기판측 표면 및 기판과는 반대측의 표면으로부터 광을 추출하는 양면 발광 구조를 갖는다. 이들 발광 구조들 중 임의의 것을 갖는 발광 소자에 화소 구조를 적용할 수 있다.

[0325] 상면 발광 구조를 갖는 발광 소자에 대해서 도 13a를 참조하여 설명한다.

[0326] 도 13a는, 발광 소자 구동용 TFT(7001)가 n형이고 발광 소자(7002)로부터 광이 양극(7005) 측으로 발광되는 경우, 화소의 단면도이다. 도 13a에서는, 발광 소자(7002)의 음극(7003)과 발광 소자 구동용 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004) 및 양극(7005)이 이 순서대로 적층된다. 음극(7003)은, 일함수가 낮고 광을 반사하는 것이라면, 다양한 도전성 재료로 형성될 수 있다. 예를 들어, Ca, Al, MgAg, AlLi 등이 사용되는 것이 바람직하다. 발광층(7004)은 단일 층 또는 적층된 복수의 층으로 형성될 수 있다. 발광층(7004)이 복수의 층으로 형성되는 경우, 음극(7003) 위에, 전자 주입층, 전자 수송층, 발광층, 홀 수송층 및 홀 주입층을 이 순서대로 적층함으로써, 발광층(7004)을 형성한다. 이들 층을 모두 제공할 필요가 없다는 점에 유의해야 한다. 양극(7005)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성 도전성 재료를 이용하여 형성된다.

[0327] 또한, 음극(7003)과 인접하는 화소의 음극(7008) 사이에, 이들 각각의 단부를 덮도록 격벽(7009)을 제공한다. 격벽(7009)은, 폴리이미드, 아크릴, 폴리아미드 또는 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7009)은 특히 감광성 수지 재료를 이용하여 형성되고, 격벽(7009)의 측면이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다. 격벽(7009)이 감광성 수지 재료를 이용하여 형성되는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

[0328] 음극(7003)과 양극(7005) 사이에 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 대응한다. 도 13a에 나타낸 화소의 경우, 발광 소자(7002)로부터 양극(7005) 측으로 화살표로 나타낸 바와 같이 발광된다.

[0329] 다음에, 하면 발광 구조를 갖는 발광 소자에 대해서 도 13b를 참조하여 설명한다. 도 13b는, 발광 소자 구동용 TFT(7011)가 n형이고 발광 소자(7012)로부터 광이 음극(7013) 측으로 발광되는 경우, 화소의 단면도이다. 도 13b에서는, 발광 소자 구동용 TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에, 발광층(7014) 및 양극(7015)이 이 순서대로 적층된다. 양극(7015)이 투광성을 갖는 경우, 양극(7015)을 덮도록, 광을 반사 또는 차단하기 위한 차광막(7016)을 형성할 수도 있다는

점에 유의해야 한다. 음극(7013)에는, 도 13a의 경우와 마찬가지로, 일함수가 낮은 도전성 재료이면 다양한 재료를 사용할 수 있다. 음극(7013)은 투광할 수 있는 두께(바람직하게는, 대략 5nm~30nm)로 형성된다는 점에 유의해야 한다. 예를 들어, 두께 20nm의 알루미늄막을 음극(7013)으로 이용할 수 있다. 도 13a의 경우와 마찬가지로, 발광층(7014)은 단일 층 또는 적층된 복수의 층으로 형성될 수 있다. 양극(7015)은 투광시킬 필요는 없지만, 도 13a의 경우와 마찬가지로, 투광성 도전성 재료를 이용하여 형성될 수 있다. 차광막(7016)으로서, 예를 들어, 광을 반사하는 금속을 이용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑 안료를 첨가한 수지 등을 이용할 수도 있다.

[0330] 또한, 도전막(7017)과 인접하는 화소의 도전막(7018) 사이에, 이들 각각의 단부를 덮도록 격벽(7019)을 제공한다. 격벽(7019)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7019)은 특히 감광성 수지 재료를 이용하여 형성되고, 격벽(7019)의 측면이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다. 격벽(7019)이 감광성 수지 재료를 이용하여 형성되는 경우, 레지스트 마스크의 형성 공정을 생략할 수 있다.

[0331] 음극(7013)과 양극(7015) 사이에, 발광층(7014)을 끼운 영역이 발광 소자(7012)에 대응한다. 도 13b에 나타낸 화소의 경우, 발광 소자(7012)로부터 음극(7013) 측으로 화살표로 나타낸 바와 같이 발광된다.

[0332] 다음에, 양면 발광 구조를 갖는 발광 소자에 대해서, 도 13c를 참조하여 설명한다. 도 13c에서는, 발광 소자 구동용 TFT(7021)에 전기적으로 접속된 투광성 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)을 형성하고, 음극(7023) 위에 발광층(7024) 및 양극(7025)을 이 순서대로 적층한다. 도 13a의 경우와 마찬가지로, 음극(7023)은 일함수가 낮은 도전성 재료이면 다양한 재료로 형성될 수 있다. 음극(7023)은 투광할 수 있는 두께를 갖도록 형성된다는 점에 유의해야 한다. 예를 들어, 20nm의 두께를 갖는 알루미늄막을 음극(7023)으로 사용할 수 있다. 발광층(7024)은, 도 13a와 마찬가지로, 단일 층 또는 적층된 복수의 층으로 형성될 수 있다. 양극(7025)은, 도 13a의 경우와 마찬가지로, 투광성 도전성 재료로 형성될 수 있다.

[0333] 또한, 도전막(7027)과 인접하는 화소의 도전막(7028) 사이에, 이들 각각의 단부를 덮도록 격벽(7029)을 제공한다. 격벽(7029)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7029)은 특히 감광성 수지 재료를 이용하여 형성되고, 격벽(7029)의 측면은 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다. 격벽(7029)이 감광성 수지 재료를 이용하여 형성되는 경우, 레지스트 마스크의 형성 공정을 생략할 수 있다.

[0334] 음극(7023)과, 발광층(7024)과, 양극(7025)이 서로 중첩하는 영역이 발광 소자(7022)에 대응한다. 도 13c에 도시한 화소의 경우, 발광 소자(7022)로부터 양극(7025) 측과 음극(7023) 측으로 화살표로 나타낸 바와 같이 발광된다.

[0335] 여기서, 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 제공하는 것도 가능하다.

[0336] 발광 소자의 구동을 제어하는 박막 트랜지스터(발광 소자 구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 설명했지만, 발광 소자 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구조를 이용할 수 있다는 점에 유의해야 한다.

[0337] 반도체 장치의 구조는, 도 13a 내지 도 13c에 나타낸 구조에 한정되는 것이 아니라, 본 명세서에 개시된 기술적 사상에 기초하여 각종 변형이 가능하다는 점에 유의해야 한다.

[0338] 다음에, 반도체 장치의 일 실시 형태인 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면을, 도 11a 및 도 11b를 참조하여 설명한다. 도 11a는, 제1 기판 위에 형성된 발광 소자와 박막 트랜지스터가, 시일재에 의해 제1 기판과 제2 기판 사이에서 밀봉되어 있는 패널의 평면도이다. 도 11b는, 도 11a의 선 H-I를 따라 취한 단면도이다.

[0339] 제1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)를 둘러싸도록, 시일재(4505)가 제공된다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b) 위에, 제2 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 제1 기판(4501), 시일재(4505) 및 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉된다. 표시 장치가 외부 대기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접착 필름 또는 자외선 경화 수지 필름 등) 또는 커버재로 패키징(밀봉)하는 것이 바람직

하다.

[0340] 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는 각각, 복수의 박막 트랜지스터를 포함하며, 화소부(4502)에 포함된 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)를 도 11b에 예로서 나타낸다.

[0341] 박막 트랜지스터(4509 및 4510)로서, 실시 형태 1, 2, 5 및 6에 설명된 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터가 이용될 수 있다. 박막 트랜지스터(4509)로서, 실시 형태 2에 설명된 박막 트랜지스터(260 및 270) 중 어느 하나가 이용될 수도 있다. 화소에 제공되는 박막 트랜지스터(4510)로서, 실시 형태 1, 2, 5 및 6에 설명한 박막 트랜지스터(420, 448, 220, 280 및 290) 중 어느 하나가 이용될 수 있다. 본 실시 형태에서, 박막 트랜지스터(4509 및 4510)는 n채널형 박막 트랜지스터이다.

[0342] 절연층(4544) 위에는, 구동 회로용으로 사용되는 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4540)이 제공된다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 제공함으로써, BT 시험 전후 사이에서 박막 트랜지스터(4509)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(4540)은, 박막 트랜지스터(4509)의 게이트 전극층과 동일한 전위 또는 상이한 전위를 가질 수 있으며, 제2 게이트 전극층으로서 기능할 수도 있다. 또한, 도전층(4540)의 전위는, GND, 0V 혹은 플로팅 상태일 수 있다.

[0343] 박막 트랜지스터(4509) 위에는, 채널 보호층으로서 기능하는 절연층(4541a)과, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4541b)이 형성되어 있다. 박막 트랜지스터(4510)에는, 마찬가지로, 채널 보호층으로서 기능하는 절연층(4542a)과, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4542b)이 형성되어 있다.

[0344] 산화물 반도체층의 주연부(측면을 포함함)를 덮는 산화물 절연층인 절연층(4541b 및 4542b) 각각은, 게이트 전극층과 그 상측 또는 주변에 형성되는 배선층(소스 배선층 또는 용량 배선층 등) 사이의 거리를 증가시킴으로써, 기생 용량을 저감할 수 있다. 절연층(4541a, 4541b, 4542a 및 4542b)은, 실시 형태 1에 설명된 산화물 절연층(426a 및 426b)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 박막 트랜지스터들의 표면 요철을 저감하기 위해서 평탄화 절연막으로서 기능하는 절연층(4543)으로 박막 트랜지스터들을 덮는다. 여기서, 실시 형태 1에 따라, 절연층(4541a, 4541b, 4542a 및 4542b)으로서, 산화 규소막을 형성한다.

[0345] 또한, 절연층(4541a, 4541b, 4542a 및 4542b) 위에는 절연층(4543)이 형성된다. 절연층(4543)은, 실시 형태 1에 설명한 보호 절연층(403)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서, 절연층(4543)로서, RF 스퍼터링법에 의해 질화 규소막을 형성한다.

[0346] 또한, 평탄화 절연막으로서 절연층(4544)을 형성한다. 절연층(4544)은, 실시 형태 1에 설명한 평탄화 절연층(404)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서, 절연층(4544)으로서 아크릴을 이용한다.

[0347] 본 실시 형태에서는, 화소부의 복수의 박막 트랜지스터를 통합하여 질화물 절연막으로 둘러쌀 수도 있다. 절연층(4543)과 게이트 절연층에 질화물 절연막을 이용하고, 도 11a 및 도 11b에 나타낸 바와 같이, 적어도 액티브 매트릭스 기판의 화소부의 주연을 둘러싸도록 절연층(4543)과 게이트 절연층이 서로 접하여 제공되는 구조를 이용할 수 있다. 이 제조 공정에 의해, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 표시 장치 등의 반도체 장치로서 디바이스가 완성된 후에도 장기적으로, 외부로부터의 수분의 침입을 방지할 수 있어, 장기간 신뢰성을 향상시킬 수 있다.

[0348] 또한, 참조 부호(4511)는 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구조는, 제1 전극층(4517), 전계발광층(4512), 제2 전극층(4513)을 포함하는 적층 구조에 한정되지 않는다는 점에 유의해야 한다. 발광 소자(4511)로부터 광이 추출되는 방향 등에 따라, 발광 소자(4511)의 구조가 적절하게 변경될 수 있다.

[0349] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(4520)은 특히 감광성 재료를 이용하여 형성되고 제1 전극층(4517) 위에 개구부를 가짐으로써, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다.

[0350] 전계발광층(4512)은, 단일 층 또는 적층된 복수의 층으로 형성될 수 있다.

[0351] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4511) 내에 침입하지 않도록 하기 위해, 제2 전극층(4513) 및 격

벽(4520) 위에 보호막을 형성할 수도 있다. 보호막으로서는, 질화 규소막, 질화 산화 규소막, DLC 막 등을 형성할 수 있다.

[0352] 각종 신호 및 전위가, FPC(4518a 및 4518b)로부터, 신호선 구동 회로(4503a 및 4503b), 주사선 구동 회로(4504a 및 4504b) 또는 화소부(4502)에 공급된다.

[0353] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막으로부터 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509 및 4510)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.

[0354] 접속 단자 전극(4515)은, 이방성 도전막(4519)을 통해 FPC(4518a)의 단자에 전기적으로 접속된다.

[0355] 발광 소자(4511)로부터 광이 추출되는 방향에 위치하는 제2 기판은 투광성을 가질 필요가 있다. 그 경우, 글래스 판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름 등의 투광성 재료가 사용된다.

[0356] 충전재(4507)로서, 질소 또는 아르곤 등의 불활성 가스 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌과 비닐 아세테이트)를 이용할 수 있다. 예를 들어, 충전재로서 질소를 이용할 수 있다.

[0357] 만일 필요하다면, 편광판 또는 원형 편광판(타원형 편광판을 포함), 위상차판(1/4 파장판 또는 1/2 파장판) 또는 컬러 필터 등의 광학 필름이 발광 소자의 발광면 위에 적절하게 제공될 수도 있다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 제공할 수도 있다. 예를 들어, 표면 위의 요철에 의해 반사광이 확산되어 눈부심을 저감할 수 있는 안티-글래어 처리(anti-glare treatment)를 행할 수 있다.

[0358] 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로로서 탑재될 수 있다. 대안으로서, 신호선 구동 회로 단독 또는 그 일부, 또는 주사선 구동 회로 단독 또는 그 일부만이 별도로 형성되어 탑재될 수 있지만, 도 11a 및 도 11b에 나타낸 구조에 한정되지 않는다.

[0359] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제조할 수 있다.

[0360] 본 실시 형태는, 실시 형태 1 내지 4, 및 실시 형태 6 내지 8에 설명한 구조와 적절하게 조합하여 구현될 수 있다.

[0361] (실시 형태 12)

[0362] 본 명세서에서 개시된 반도체 장치는 전자 페이퍼에 적용될 수 있다. 전자 페이퍼는, 데이터를 표시할 수 있는 것이라면 다양한 분야의 전자 기기에 이용될 수 있다. 예를 들어, 전자 페이퍼는, 전자 서적 리더(전자 북), 포스터, 전철 등의 차량의 차내 광고, 또는 신용 카드 등의 각종 카드의 표시에 적용될 수 있다. 전자 기기의 예를 도 20에 나타낸다.

[0363] 도 20은, 전자 서적 리더(2700)의 예를 나타낸다. 예를 들어, 전자 서적 리더(2700)는 2개의 하우징, 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)에 의해 결합되어, 전자 서적 리더(2700)가 힌지(2711)를 축으로 하여 개폐될 수 있다. 이와 같은 구조에 의해, 전자 서적 리더(2700)가 종이 서적처럼 동작할 수 있다.

[0364] 표시부(2705) 및 표시부(2707)는, 각각 하우징(2701) 및 하우징(2703)에 통합된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상을 표시할 수 있다. 상이한 화상을 표시하는 경우, 우측의 표시부(도 20의 표시부(2705))는 텍스트를 표시하고, 좌측의 표시부(도 20의 표시부(2707))는 그래픽을 표시할 수 있다.

[0365] 도 20은, 하우징(2701)에 조작부 등이 제공되어 있는 예를 나타낸다. 예를 들어, 하우징(2701)에는 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 제공된다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 하우징의 표시부와 동일한 면에는, 키보드, 포인팅 장치 등도 제공될 수 있다. 또한, 하우징의 배면 또는 측면에, 외부 접속 단자(이어폰 단자, USB 단자 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속가능한 단자 등), 기록 매체 삽입부 등이 제공될 수도 있다. 게다가, 전자 서적 리더(2700)는 전자 사전의 기능을 가질 수도 있다.

[0366] 전자 서적 리더(2700)는 데이터를 무선으로 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자

서적 서버로부터 원하는 서적 데이터 등을 구입하여, 다운로드할 수 있다.

[0367] (실시 형태 13)

[0368] 본 명세서에서 개시된 반도체 장치는 (오락 기기를 포함한) 다양한 전자 기기에 적용될 수 있다. 전자 기기의 예로서는, 텔레비전 장치(텔레비전 또는 텔레비전 수상기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임 콘솔, 휴대 정보 단말기, 오디오 재생 장치, 파친코 기기 등의 대형 게임기 등이 포함된다.

[0369] 도 21a는 텔레비전 장치(9600)의 예를 나타낸다. 텔레비전 장치(9600)에서, 표시부(9603)는 하우징(9601) 내에 통합된다. 표시부(9603)에는 영상을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.

[0370] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치 또는 별도의 원격 컨트롤러(9610)에 의해 작동될 수 있다. 원격 컨트롤러(9610)의 조작 키(9609)에 의해 채널 및 음량을 제어하여 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 원격 컨트롤러(9610)에는, 원격 컨트롤러(9610)로부터 출력되는 데이터를 표시하기 위한 표시부(9607)가 제공될 수 있다.

[0371] 텔레비전 장치(9600)에는, 수신기, 모뎀 등이 제공될 수 있다는 점에 유의해야 한다. 수신기에 의해, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 장치(9600)가 모뎀을 통해 유선 또는 무선에 의해 통신 네트워크에 접속될 때, 단방향(송신자로부터 수신자에게) 또는 쌍방향(송신자와 수신자 사이, 수신자들 사이 등)의 데이터 통신이 행해질 수 있다.

[0372] 도 21b는, 디지털 포토 프레임(9700)의 예를 나타낸다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)는 하우징(9701) 내에 통합된다. 표시부(9703)에는, 다양한 화상이 표시될 수 있다. 예를 들어, 표시부(9703)는 통상의 포토 프레임으로서 기능하기 위해 디지털 카메라 등으로 촬영한 화상의 데이터를 표시할 수 있다.

[0373] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속부(USB 단자, USB 케이블 등의 다양한 케이블에 접속가능한 단자 등), 기록 매체 삽입부 등이 제공된다는 점에 유의해야 한다. 비록 이들이 표시부와 동일한 면에 제공될 수 있지만, 디지털 포토 프레임(9700)의 측면 또는 배면에 제공되는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영한 화상의 데이터가 저장되는 메모리를 디지털 포토 프레임의 기록 매체 삽입부 내에 삽입함으로써, 화상 데이터를 표시부(9703)에 전송하여 표시할 수 있다.

[0374] 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신할 수 있는 구성을 갖는다. 무선 통신에 의해, 원하는 화상 데이터를 전송하여 표시할 수 있다.

[0375] 도 22a는, 2개의 하우징, 하우징(9881) 및 하우징(9891)을 포함하는 휴대형 오락 기기를 도시한다. 하우징(9881) 및 하우징(9891)은 개폐될 수 있도록 접속부(9893)에 접속된다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 통합된다. 또한, 도 22a에 나타낸 휴대형 오락 기기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기 또는 적외선을 측정하는 기능을 갖는 센서) 및 마이크로폰(9889)) 등을 포함한다. 물론, 휴대형 오락 기기의 구조는 전술된 것에 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 구비한 다른 구조도 이용할 수 있다. 휴대형 오락 기기는 적절하다면 다른 부속 장비를 포함할 수도 있다. 도 22a에 도시된 휴대형 오락 기기는, 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능과, 무선 통신에 의해 다른 휴대형 오락 기기와 정보를 공유하는 기능을 가진다. 도 22a에 도시된 휴대형 오락 기기는, 전술된 것에 제한되지 않고 다양한 기능을 가질 수 있다.

[0376] 도 22b는, 대형 오락 기기인 슬롯 머신(9900)의 예를 나타낸다. 슬롯 머신(9900)에서, 표시부(9903)는 하우징(9901) 내에 통합된다. 또한, 슬롯 머신(9900)은, 스타트 레버 또는 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커등을 포함한다. 물론, 슬롯 머신(9900)의 구조는 전술된 것에 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 구비한 다른 구조도 이용할 수 있다. 슬롯 머신(9900)은, 적절하다면 다른 부속 장비를 포함할 수도 있다.

[0377] 도 23a는 휴대형 컴퓨터의 예를 나타내는 사시도이다.

[0378] 도 23a의 휴대형 컴퓨터에서, 표시부(9303)를 갖는 상부 하우징(9301)과 키보드(9304)를 갖는 하부 하우징(9302)은, 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 힌지 수단을 폐쇄함으로써 서로 중첩될 수 있다.

도 23a의 휴대형 컴퓨터는 운반하기 편리할 수 있으며, 입력을 위해 키보드를 사용하는 경우에는, 힌지 수단이 개방되어, 사용자가 표시부(9303)를 보면서 입력할 수 있다.

[0379] 하부 하우징(9302)은, 키보드(9304) 외에도, 입력을 행할 수 있는 포인팅 장치(9306)를 포함한다. 또한, 표시부(9303)가 터치 입력 패널일 때, 표시부의 일부를 터치함으로써 입력을 수행할 수 있다. 하부 하우징(9302)은 CPU 등의 연산 기능부 또는 하드 디스크를 포함한다. 또한, 하부 하우징(9302)은, 또 다른 장치, 예를 들어, USB의 통신 규격에 따른 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.

[0380] 상부 하우징(9301)은 표시부(9307)를 포함하고, 상부 하우징(9301)의 내부를 향해 슬라이딩시켜 수납할 수 있다. 따라서, 넓은 표시 화면을 실현할 수 있다. 또한, 수납가능한 표시부(9307)의 화면의 방향을 사용자가 조정할 수 있다. 수납가능한 표시부(9307)가 터치 입력 패널인 경우, 수납가능한 표시부(9307)의 일부에 접촉하는 것에 의해 입력을 행할 수 있다.

[0381] 표시부(9303), 또는 수납가능한 표시부(9307)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 화상 표시 장치를 이용하여 형성된다.

[0382] 또한, 도 23a의 휴대형 컴퓨터는 수신기 등을 구비할 수 있고, 텔레비전 방송을 수신하여 화상을 표시부에 표시할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 힌지 유닛을 폐쇄 상태로 유지한 채, 표시부(9307)를 슬라이딩시켜서 표시부(9307)의 전체 화면을 노출시키고, 화면 각도를 조정하여, 사용자가 텔레비전 방송을 시청할 수 있다. 이 경우에, 힌지 유닛이 개방되어 있지 않고, 표시부(9303)에 표시를 행할 수 없다. 또한, 텔레비전 방송을 표시하기 위한 회로의 기동만을 행한다. 따라서, 전력 소비가 최소화될 수 있고, 배터리 용량이 한정된 휴대형 컴퓨터에서 유용하다.

[0383] 또한, 도 23b는 손목 시계와 같이 사용자의 손목에 장착가능한 휴대 전화의 예를 나타내는 사시도다.

[0384] 이 휴대 전화는, 적어도 전화 기능을 갖는 통신 장치와 배터리를 포함하는 본체; 본체를 손목에 장착할 수 있게 하는 밴드부(9204); 손목에 고정된 밴드부의 고정 상태를 조정하는 조정부(9205); 표시부(9201); 스피커(9207); 및 마이크로폰(9208)을 포함한다.

[0385] 또한, 본체는 조작 스위치(9203)를 포함한다. 조작 스위치(9203)는, 전원 턴온 스위치, 표시 전환 스위치, 촬영 개시 지시 스위치로 기능하는 것 외에, 스위치를 누르면 인터넷용 프로그램을 기동시키는 버튼 등으로 기능하고, 각 기능에 대응하여 사용될 수 있다.

[0386] 이 휴대 전화로의 입력은, 표시부(9201)에 손가락, 입력 펜 등으로 접촉하는 것 또는 조작 스위치(9203)의 조작 또는 마이크로폰(9208)으로의 음성 입력에 의해 행해진다. 도 23b에는, 표시부(9201)에 표시된 표시 버튼(9202)이 도시되어 있다는 점에 유의해야 한다. 손가락 등으로 표시 버튼(9202)에 접촉하는 것에 의해 입력을 행할 수 있다.

[0387] 또한, 본체는 카메라 렌즈를 통과하여 형성된 피사체상을 전자 화상 신호로 변환하는 기능을 갖는 촬상 수단을 포함하는 카메라부(9206)를 포함한다. 카메라부는 반드시 제공될 필요가 없음에 유의해야 한다.

[0388] 도 23b에 나타낸 휴대 전화는 텔레비전 방송의 수신기 등을 구비하고, 텔레비전 방송을 수신하여 화상을 표시부(9201)에 표시할 수 있다. 또한, 도 23b에 나타낸 휴대 전화는 메모리 등의 기억 장치 등을 구비하고, 텔레비전 방송을 메모리에 기록할 수 있다. 도 23b에 나타낸 휴대 전화는, GPS 등의 위치 정보를 검출할 수 있는 기능을 가질 수 있다.

[0389] 표시부(9201)로서, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 화상 표시 장치를 이용한다. 도 23b에 나타낸 휴대 전화는 소형화 및 경량화되고, 그 배터리 용량이 제한된다. 따라서, 표시부(9201)에 이용하는 표시 장치로서, 저소비 전력으로 구동할 수 있는 패널을 이용하는 것이 바람직하다.

[0390] 도 23b는 손목에 장착하는 전자 기기를 도시했지만, 본 실시 형태는 이것에 한정되지 않고, 휴대가능한 형상을 갖는 것이면 이용가능하다는 점에 유의해야 한다.

[0391] (실시 형태 14)

[0392] 본 실시 형태에서는, 반도체 장치의 일 실시 형태로서, 실시 형태 1, 2, 5 및 6에 설명한 박막 트랜지스터를 포함하는 표시 장치의 예를, 도 24 내지 도 35를 참조하여 설명한다. 본 실시 형태는, 표시 소자로서 액정 소자를 포함하는 액정 표시 장치의 예를, 도 24 내지 도 35를 참조하여 설명한다. 도 24 내지 도 35의 액정 표시 장치에 이용되는 TFT(628 및 629)로서, 실시 형태 1, 2, 5 및 6에 설명한 박막 트랜지스터가 사용될 수 있다.

TFT(628 및 629)는, 실시 형태 1, 2, 5 및 6에 설명한 공정과 유사한 공정으로 제조될 수 있는 전기 특성 및 신뢰성이 높은 박막 트랜지스터이다. TFT(628) 및 TFT(629)는, 채널 보호층(608) 및 채널 보호층(611)을 각각 포함하고, 반도체막을 채널 형성 영역으로 포함하는 역 스태거형 박막 트랜지스터이다.

[0393] 우선, 수직 배향(VA:Vertical Alignment) 액정 표시 장치에 대해서 설명한다. 수직 배향(VA)은, 액정 표시 패널의 액정 분자의 배향을 제어하는 방식이다. VA 액정 표시 장치에서, 전압이 인가되지 않는 패널면에 대하여 액정 분자가 수직 방향으로 배향된다. 본 실시 형태에서는, 특히, 화소를 수개의 영역(서브 픽셀)으로 분할하고, 이들 영역 각각에서 분자가 서로 다른 방향으로 배향된다. 이것을 멀티-도메인화(multi-domain) 또는 멀티 도메인 설계라고 한다. 이하의 설명에서는, 멀티 도메인 설계의 액정 표시 장치에 대해서 설명한다.

[0394] 도 25 및 도 26은, 각각 화소 전극 및 대향 전극을 나타낸다. 또한, 도 25는 화소 전극이 형성되는 기판측의 평면도이다. 도 24는, 도 25의 선 E-F을 따라 취한 단면 구조를 나타낸다. 도 26은 대향 전극이 형성되는 기판측의 평면도이다. 이하에서는, 이들 도면을 참조하여 설명한다.

[0395] 도 24에서, TFT(628), TFT(628)에 접속되는 화소 전극층(624) 및 축적 용량부(630)가 형성되어 있는 기판(600)과, 대향 전극층(640) 등이 형성되어 있는 대향 기판(601)을 서로 중첩하고, 기판 사이에 액정을 주입한다.

[0396] 대향 기판(601)에는, 착색막(636) 및 대향 전극층(640)이 제공되고, 대향 전극층(640) 위에 돌기(644)가 형성된다. 이 구조에 의해, 액정의 배향을 제어하기 위한 돌기(644)와 스페이서의 높이를 서로 다르게 한다. 화소 전극층(624) 위에 배향막(648)이 제공된다. 마찬가지로, 대향 전극층(640) 및 돌기(644)에는 배향막(646)이 형성된다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성된다.

[0397] 스페이서로서, 기둥형 스페이서를 형성할 수 있거나, 비드(bead) 스페이서를 산포할 수 있다. 스페이서가 투광성을 갖는 경우, 기판(600) 위의 화소 전극층(624) 위에 형성할 수도 있다.

[0398] 기판(600) 위에는, TFT(628), TFT(628)에 접속되는 화소 전극층(624) 및 축적 용량부(630)가 형성된다. 화소 전극층(624)은, TFT(628), 배선(616) 및 축적 용량부(630)를 덮는 절연막(620), 및 절연막(620)을 덮는 제3 절연막(622)에 형성되는 컨택트 홀(623)로, 배선(618)과 접속한다. TFT(628)로서, 실시 형태 1, 2, 5 및 6에 설명한 박막 트랜지스터를 적절하게 이용할 수 있다. 또한, 축적 용량부(630)는, TFT(628)의 게이트 배선(602)과 동시에 형성한 제1 용량 배선(604); 게이트 절연막(606); 배선(616 및 618)과 동시에 형성한 제2 용량 배선(617)을 포함한다.

[0399] 화소 전극층(624)과 액정층(650)과 대향 전극층(640)이 서로 중첩하여, 액정 소자가 형성된다.

[0400] 도 25는 기판(600) 위의 평면 구조를 나타낸다. 화소 전극층(624)은, 실시 형태 1에 설명한 재료를 이용하여 형성된다. 화소 전극층(624)에는, 슬릿(slits)(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하기 위해 형성된다.

[0401] 도 25에 나타낸 TFT(629), TFT(629)에 접속되는 화소 전극층(626) 및 축적 용량부(631)는, 각각 TFT(628), 화소 전극층(624) 및 축적 용량부(630)와 유사한 방식으로 형성될 수 있다. TFT(628 및 629) 모두는 배선(616)에 접속된다. 이 액정 표시 패널의 화소는, 화소 전극층(624 및 626)을 포함한다. 화소 전극층(624 및 626)은 서브 픽셀이다.

[0402] 도 26은 대향 기판측의 평면 구조를 나타낸다. 차광막(632) 위에 대향 전극층(640)이 형성된다. 대향 전극층(640)은, 화소 전극층(624)과 유사한 재료를 이용하여 형성되는 것이 바람직하다. 대향 전극층(640) 위에는 액정의 배향을 제어하는 돌기(644)가 형성된다. 또한, 도 26에서, 기판(600) 위에 형성되는 화소 전극층(624 및 626)을 파선으로 나타내고, 대향 전극층(640)은, 화소 전극층(624 및 626)과 중첩하여 제공된다.

[0403] 도 27은 이 화소 구조의 등가 회로를 나타낸다. TFT(628 및 629) 모두는 게이트 배선(602) 및 배선(616)과 접속되어 있다. 이 경우, 용량 배선(604)의 전위를 용량 배선(605)의 전위와 다르게 함으로써, 액정 소자(651)의 동작을 액정 소자(652)의 동작과 상이하게 할 수 있다. 즉, 용량 배선(604 및 605)의 전위들을 개별적으로 제어함으로써 액정의 배향을 정밀하게 제어하고 시야각을 넓힌다.

[0404] 슬릿(625)을 제공한 화소 전극층(624)에 전압을 인가하면, 슬릿(625)의 근방에 왜곡된 전계(경사 전계)가 발생한다. 슬릿(625)과, 대향 기판(601) 측의 돌기(644)를 서로 중첩하지 않도록 배치하는 것에 의해, 경사 전계(oblique electric field)를 효과적으로 발생시켜 액정의 배향을 제어하게 되므로, 액정의 배향 방향이 장소에 따라 달라진다. 즉, 멀티 도메인을 이용함으로써, 액정 표시 패널의 시야각을 넓힌다.

[0405] 다음에, 전술된 것과는 다른 VA 액정 표시 장치에 대해서, 도 28 내지 도 31을 참조하여 설명한다.

[0406] 도 28 및 도 29는, VA 액정 표시 패널의 화소 구조를 나타낸다. 도 29는 기판(600) 위의 평면도이다. 도 28은 도 29의 선 Y-Z을 따라 취한 단면 구조를 나타낸다. 이하, 양쪽 도면을 참조하여 설명한다.

[0407] 이 화소 구조에서, 하나의 화소는 복수의 화소 전극을 갖고, 각 화소 전극에 TFT가 접속되어 있다. 각 TFT는 서로 다른 게이트 신호에 의해 구동된다. 구체적으로, 멀티 도메인 설계에서, 각 화소 전극에 인가되는 신호는 독립적으로 제어된다.

[0408] 화소 전극층(624)은, 절연막(620), 절연막(621) 및 절연막(622)에 형성되는 컨택트 홀(623)로, 배선(618)을 통해 TFT(628)와 접속하고 있다. 또한, 화소 전극층(626)은, 절연막(620), 절연막(621) 및 절연막(622)에 형성되는 컨택트 홀(627)로, 배선(619)을 통해 TFT(629)와 접속하고 있다. TFT(628)의 게이트 배선(602)은, TFT(629)의 게이트 배선(603)과는 분리되어, 서로 다른 게이트 신호가 공급될 수 있다. 한편, 데이터선으로서 기능하는 배선(616)은, TFT(628 및 629)에 의해 공유된다. TFT(628 및 629)로서, 실시 형태 1, 2, 5 및 6에 설명한 박막 트랜지스터를 적절하게 이용할 수 있다. 게이트 배선(602), 게이트 배선(603) 및 용량 배선(690) 위에는 게이트 절연막(606)이 형성되어 있음에 유의해야 한다.

[0409] 화소 전극층(624)의 형상은 화소 전극층(626)의 형상과 다르고, 이들 화소 전극층은 슬릿(625)에 의해 분리된다. 화소 전극층(626)은 V자형을 갖는 화소 전극층(624)을 둘러싼다. TFT(628 및 629)는 화소 전극층(624 및 626)에 인가하는 전압의 타이밍을 서로 다르게 함으로써, 액정의 배향을 제어한다. 도 31은 이 화소 구조의 등가 회로를 나타낸다. TFT(628)는 게이트 배선(602)과 접속하고, TFT(629)는 게이트 배선(603)과 접속한다. 또한, TFT(628 및 629) 모두는 배선(616)과 접속한다. 게이트 배선(602 및 603)에 서로 다른 게이트 신호를 공급하는 경우, TFT(628 및 629)의 동작 타이밍을 상이하게 할 수 있다. 즉, TFT(628 및 629)의 동작을 개별적으로 제어하는 경우, 액정 소자(651 및 652)의 액정의 배향을 정밀하게 제어하여, 시야각을 넓힐 수 있다.

[0410] 대향 기판(601)에는, 착색막(636) 및 대향 전극층(640)이 제공된다. 또한, 착색막(636)과 대향 전극층(640) 사이에는 평탄화 막(637)이 형성됨으로써, 액정의 배향의 왜곡을 방지한다. 도 30은 대향 기판측의 평면 구조를 나타낸다. 대향 전극층(640)은 복수의 화소에 의해 공유되고, 대향 전극층(640)에 슬릿(641)이 형성된다. 화소 전극층(624) 및 화소 전극층(626) 측의 슬릿(641) 및 슬릿(625)을, 서로 중첩하지 않도록 배치하는 것에 의해, 경사 전계를 효과적으로 발생시켜, 액정의 배향을 제어한다. 이에 의해, 액정이 배향되는 방향을 장소에 따라 다르게 할 수 있어, 시야각을 넓힌다. 도 30에서, 기판(600) 위에 형성되는 화소 전극층(624 및 626)을 파선으로 나타내고, 대향 전극층(640)은, 화소 전극층(624 및 626)과 중첩하여 제공된다는 점에 유의해야 한다.

[0411] 화소 전극층(624) 및 화소 전극층(626) 위에 배향막(648)이 형성되고, 유사한 방식으로 대향 전극층(640) 위에도 배향막(646)이 형성된다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성된다. 또한, 화소 전극층(624)과 액정층(650)과 대향 전극층(640)이 서로 중첩함으로써, 제1 액정 소자가 형성된다. 또한, 화소 전극층(626)과 액정층(650)과 대향 전극층(640)이 서로 중첩함으로써, 제2 액정 소자가 형성된다. 또한, 도 28 내지 도 31에 나타낸 표시 패널의 화소 구조는, 1개 화소에 제1 액정 소자와 제2 액정 소자가 제공되는 멀티 도메인 구조이다.

[0412] 다음에, 수평 전계 방식의 액정 표시 장치에 대해서 설명한다. 수평 전계 방식에서는, 셀 내의 액정 분자에 대하여 수평 방향으로 전계를 인가함으로써, 액정을 구동하여 계조를 표현한다. 이 방식에 따르면, 시야각을 약 180°까지 확장할 수 있다. 이하, 수평 전계 방식을 이용하는 액정 표시 장치에 대해서 설명한다.

[0413] 도 32에서는, 전극층(607), TFT(628) 및 TFT(628)에 접속되는 화소 전극층(624)이 형성되는 기판(600)과, 대향 기판(601)을 서로 중첩하고, 이들 사이에 액정을 주입한다. 대향 기판(601)에는, 착색막(636), 평탄화 막(637) 등이 제공된다. 대향 기판(601) 측에는 대향 전극층이 제공되지 않는다는 점에 유의해야 한다. 기판(600)과 대향 기판(601) 사이에는 배향막(646) 및 배향막(648)을 개재하여 액정층(650)이 형성된다.

[0414] 기판(600) 위에는, 전극층(607), 전극층(607)에 접속되는 용량 배선(604) 및 TFT(628)가 형성된다. 용량 배선(604)은 TFT(628)의 게이트 배선(602)과 동시에 형성될 수 있다. TFT(628)로서, 실시 형태 1 내지 5에 설명한 박막 트랜지스터를 이용할 수 있다. 전극층(607)은, 실시 형태 1에 설명한 화소 전극층(427)의 재료와 유사한 재료를 이용하여 형성될 수 있다. 전극층(607)은 대략 화소의 형상으로 구획화한 형상으로 형성된다. 전극층(607) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다.

[0415] TFT(628)의 배선(616 및 618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에서 비디오 신호가 전송되는 데이터선이며 한 방향으로 연장하여, TFT(628)의 소스 영역 또는 드레인 영역과 접속되며, 소스 전극 및 드레인 전극 중 한쪽으로 기능한다. 배선(618)은 소스 전극 및 드레인 전극 중 다른 쪽으로 기능하고, 화소 전극층(624)과 접속된다.

[0416] 배선(616 및 618) 위에 제2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성되는 컨택트 홀(623)을 통해 배선(618)에 접속되는 화소 전극층(624)이 형성된다. 화소 전극층(624)은 실시 형태 1에 설명한 화소 전극층과 유사한 재료를 이용하여 형성된다.

[0417] 이렇게, 기판(600) 위에 TFT(628), 이에 접속되는 화소 전극층(624)이 형성된다. 축적 용량은 전극층(607)과 화소 전극층(624) 사이에 형성된다.

[0418] 도 33은 화소 전극층의 구조를 나타내는 평면도이다. 도 32에는 도 33의 선 O-P를 따라 취한 단면 구조를 나타낸다. 화소 전극층(624)에는 슬릿(625)이 제공된다. 슬릿(625)은 액정의 배향을 제어하기 위해 제공된다. 이 경우, 전계는 전극층(607)과 화소 전극층(624) 사이에서 발생한다. 전극층(607)과 화소 전극층(624) 사이에는 게이트 절연막(606)이 형성되어 있지만, 게이트 절연막(606)의 두께는 50nm~200nm이며, 2μm~10μm인 액정층의 두께와 비교하여 충분히 얇다. 따라서, 기판(600)에 실질적으로 평행한 방향(수평 방향)으로 전계가 발생한다. 이 전계에 의해 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태에서도 수평으로 배향되기 때문에, 시야각에 의한 콘트라스트 등의 영향이 적고, 시야각이 넓어진다. 또한, 전극층(607)과 화소 전극층(624) 모두는 투광성 전극이므로, 개구율이 향상될 수 있다.

[0419] 다음에, 수평 전계 방식의 액정 표시 장치의 다른 일례에 대해서 설명한다.

[0420] 도 34 및 도 35는, IPS 모드의 액정 표시 장치의 화소 구조를 나타낸다. 도 35는 평면도이고, 도 34는 도 35의 선V-W을 따라 취한 단면 구조를 나타낸다. 이하, 양쪽 도면을 참조하여 설명한다.

[0421] 도 34에서, TFT(628)와, 이에 접속되는 화소 전극층(624)이 형성되는 기판(600)과, 대향 기판(601)을 서로 중첩하고, 이들 기판 사이에 액정을 주입한다. 대향 기판(601)에는, 착색막(636) 및 평탄화 막(637) 등이 형성된다. 대향 기판(601) 측에는 대향 전극층은 제공되지 않는다는 점에 유의해야 한다. 기판(600)과 대향 기판(601) 사이에는, 배향막(646) 및 배향막(648)을 개재하여 액정층(650)이 형성된다.

[0422] 기판(600) 위에는, 공통 전위선(609) 및 TFT(628)가 형성된다. 공통 전위선(609)은 TFT(628)의 게이트 배선(602)과 동시에 형성될 수 있다. TFT(628)로서, 실시 형태 1, 2, 5 및 6에 설명된 박막 트랜지스터를 이용할 수 있다.

[0423] TFT(628)의 배선(616 및 618)은 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에서 비디오 신호를 전송하는 데이터선이며 한 방향으로 연장하여, TFT(628)의 소스 영역 또는 드레인 영역과 접속되고, 소스 전극 및 드레인 전극 중 한쪽으로 기능한다. 배선(618)은 소스 및 드레인 전극 중 다른 한쪽으로 기능하고, 화소 전극층(624)과 접속된다.

[0424] 배선(616 및 618) 위에 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성되는 컨택트 홀(623)을 통해 배선(618)에 접속되는 화소 전극층(624)이 형성된다. 화소 전극층(624)은 실시 형태 1에 설명한 화소 전극층(427)과 유사한 재료를 이용하여 형성된다. 도 35에 나타낸 바와 같이, 화소 전극층(624)은, 공통 전위선(609)과 동시에 형성된 빗 형상(comb-like) 전극과 화소 전극층(624)이 수평 전계를 발생시킬 수 있도록, 형성된다. 또한, 화소 전극층(624)의 빗 형상 부분, 및 공통 전위선(609)과 동시에 형성된 빗 형상 전극은 서로 중첩하지 않도록 형성된다.

[0425] 화소 전극층(624)에 인가되는 전위와 공통 전위선(609)에 인가되는 전위 사이에 전계가 발생하면, 이 전계에 의해 액정의 배향이 제어된다. 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태에서도 수평으로 배향되기 때문에, 시야각에 의한 콘트라스트 등의 영향이 적어지고, 시야각이 넓어진다.

[0426] 이렇게, 기판(600) 위에 TFT(628)과 이에 접속되는 화소 전극층(624)이 형성된다. 축적 용량은 공통 전위선(609)과 용량 전극(615) 사이에 게이트 절연막(606)을 제공함으로써 형성된다. 용량 전극(615)과 화소 전극층(624)은 컨택트 홀(633)을 통해 접속된다.

[0427] 이상의 공정에 의해, 표시 장치로서 액정 표시 장치를 제조할 수 있다. 본 실시 형태의 액정 표시 장치는 개구

율이 높은 액정 표시 장치이다.

[0428] (실시 형태 15)

[0429] 액정 표시 패널의 사이즈가 60 인치 또는 120 인치와 같이 10 인치를 초과하는 경우, 투광성을 갖는 배선의 배선 저항이 문제가 될 수 있고, 따라서 본 실시 형태에서는, 금속 배선을 게이트 배선의 일부로서 사용함으로써, 배선 저항을 저감시키는 예를 설명한다.

[0430] 또한, 도 3a 및 도 36a에서 동일한 부분에 대해서는 동일한 참조 부호를 사용하고, 그 상세한 설명은 생략한다는 점에 유의해야 한다. 본 실시 형태는 실시 형태 1에 설명한 액티브 매트릭스 기판에 적용될 수 있음에 유의해야 한다.

[0431] 도 36a 및 도 36b는, 구동 회로의 박막 트랜지스터의 게이트 전극층을, 금속배선을 이용하여 형성하는 예이다. 구동 회로에서, 게이트 전극층의 재료는 투광성을 갖는 재료에 한정되지 않는다. 금속 배선이 형성되기 때문에, 실시 형태 1 및 실시 형태 2에 비해, 포토마스크의 수가 증가한다.

[0432] 도 36a에서, 구동 회로의 박막 트랜지스터(260)는 제1 금속 배선층(242) 위에 제2 금속 배선층(241)이 적층되는 게이트 전극층을 포함한다. 제1 금속 배선층(242)은, 제1 금속 배선층(236)과 동일한 재료 및 동일한 공정에 의해 형성될 수 있음에 유의해야 한다. 제2 금속 배선층(241)은, 제2 금속 배선층(237)과 동일한 재료 및 동일한 공정에 의해 형성될 수 있다.

[0433] 마찬가지로, 도 36b에서, 구동 회로의 박막 트랜지스터(270)는 제1 금속 배선층(244) 위에 제2 금속 배선층(243)이 적층된 게이트 전극층을 포함한다. 제1 금속 배선층(244)은, 제1 금속 배선층(236)과 동일한 재료 및 동일한 공정에 의해 형성될 수 있음에 유의해야 한다. 제2 금속 배선층(243)은, 제2 금속 배선층(237)과 동일한 재료 및 동일한 공정에 의해 형성될 수 있다.

[0434] 제1 금속 배선층(242)과 도전층(267)을 서로 전기적으로 접속할 경우, 제1 금속 배선층(242)의 산화를 방지하기 위해 제공되는 제2 금속 배선층(241)이 질화 금속막을 이용하여 형성되는 것이 바람직하다. 마찬가지로, 제1 금속 배선층(244)과 도전층(277)을 서로 전기적으로 접속할 경우, 제1 금속 배선층(244)의 산화를 방지하기 위해 제공되는 제2 금속 배선층(243)이 질화 금속막을 이용하여 형성되는 것이 바람직하다.

[0435] 우선, 기판(200) 위에 탈수화 또는 탈수소화를 위한 제1 가열 처리에 견딜 수 있는 내열성 도전성 재료막(두께가 100nm 이상 500nm 이하임)을 형성한다.

[0436] 본 실시 형태에서는, 두께가 370nm의 텅스텐 막과 두께가 50nm의 질화 탄탈막을 형성한다. 여기서, 도전막을 질화 탄탈막과 텅스텐 막의 적층에 의해 형성했지만, 본 실시 형태는 이것에 특별히 제한되지 않는다. 도전막은, Ta, W, Ti, Mo, Al 및 Cu로부터 선택된 원소, 전술한 원소를 성분으로 포함하는 합금, 전술한 원소를 조합한 합금막 또는 전술한 원소를 성분으로 포함하는 질화물을 이용하여 형성된다. 또한, 내열성 도전성 재료막은, 전술한 원소를 포함하는 단층 구조에 한정되지 않으며, 2층 이상의 적층 구조를 가질 수 있다.

[0437] 제1 포토리소그래피 공정에 의해 금속 배선을 형성하고, 제1 금속 배선층(236)과 제2 금속 배선층(237), 제1 금속 배선층(242)과 제2 금속 배선층(241), 제1 금속 배선층(244)과 제2 금속 배선층(243)을 형성한다. 텅스텐 막 및 질화 탄탈막의 에칭에는 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용하는 것이 바람직하다. ICP 에칭법을 이용하여, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량 및 기판측의 전극 온도 등)을 적절히 조절함으로써 원하는 테이퍼형으로 막을 에칭할 수 있다. 제1 금속 배선층(236)과 제2 금속 배선층(237)을 테이퍼형으로 에칭함으로써, 금속 배선층 위에 접하여 형성되는 투광성 도전막을 형성할 때의 결함을 저감할 수 있다.

[0438] 그 후, 투광성 도전막을 형성한 후, 제2 포토리소그래피 공정에 의해 게이트 배선층(238) 및 박막 트랜지스터(220)의 게이트 전극층을 형성한다. 투광성 도전막은, 실시 형태 1에 설명된 가시광에 대하여 투광성을 갖는 도전성 재료를 이용하여 형성된다.

[0439] 예를 들어, 제1 금속 배선층(236) 또는 제2 금속 배선층(237)에 접하는 게이트 배선층(238)의 계면이 존재하면, 후의 가열 처리 등에 의해 산화막이 형성되어, 투광성 도전막의 재료에 따라 접촉 저항이 높아질 수 있으므로, 제2 금속 배선층(237)은 제1 금속 배선층(236)의 산화를 방지하는 질화 금속막을 이용하여 형성되는 것이 바람직하다.

[0440] 다음에, 실시 형태 1과 동일한 공정에 의해 게이트 절연층, 산화물 반도체층 등을 형성한다. 실시 형태 1에 따

라 후속 공정을 행하여, 액티브 매트릭스 기판을 제조한다.

[0441] 도 36a 및 도 36b에는, 제2 금속 배선층(237)의 일부와 중첩하는 게이트 배선층(238)을 나타낸다. 대안으로서, 게이트 배선층은 제1 금속 배선층(236) 및 제2 금속 배선층(237)의 전체를 덮을 수도 있다. 즉, 제1 금속 배선층(236) 및 제2 금속 배선층(237)은, 게이트 배선층(238)의 저항을 저감하기 위한 보조 배선이라 할 수 있다.

[0442] 또한, 단자부에서, 게이트 배선과 동일한 전위의 제1 단자 전극을, 보호 절연층(203) 위에 형성하고, 제2 금속 배선층(237)과 전기적으로 접속시킨다. 단자부로부터 이어진 배선도 금속 배선을 사용하여 형성한다.

[0443] 또한, 배선 저항을 저감하기 위한 금속 배선, 즉, 제1 금속 배선층(236) 및 제2 금속 배선층(237)을, 표시 영역이 아닌 부분의 게이트 배선층 및 용량 배선층에 대한 보조 배선으로서 이용할 수도 있다.

[0444] 본 실시 형태에서는, 금속 배선을 일부 이용하여 배선 저항을 저감한다. 따라서, 액정 표시 패널의 사이즈가 60 인치 또는 120 인치와 같이 10 인치를 초과하는 경우에도, 표시 화상의 고정밀화를 도모할 수 있고, 높은 개구율을 실현할 수 있다.

[0445] (실시예 1)

[0446] 본 실시예에서는, 산소 밀도가 높은 영역 및 산소 밀도가 낮은 영역을 포함하는 산화물 반도체층에서, 가열 처리로 인한 산소 확산 현상에 대하여 시뮬레이션했다. 결과를, 도 37 및 도 38을 참조하여 설명한다. 여기서, 시뮬레이션용 소프트웨어로서, 후지쯔 주식회사 제조의 Materials Explorer 5.0을 이용했다.

[0447] 도 37은 시뮬레이션에 이용한 산화물 반도체층의 모델을 나타낸다. 여기서, 산화물 반도체층(701)은, 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)의 적층 구조를 갖는다.

[0448] 여기서, 산소 밀도가 낮은 층(703)을, 15개 In 원자, 15개 Ga 원자, 15개 Zn원자 및 54개 O원자로 이루어지는 아몰퍼스 구조를 갖도록 형성했다.

[0449] 또한, 산소 밀도가 높은 층(705)을, 15개 In 원자, 15개 Ga 원자, 15개 Zn 원자 및 66개 O원자로 이루어지는 아몰퍼스 구조를 갖도록 형성했다.

[0450] 또한, 산화물 반도체층(701)의 밀도를 5.9g/cm^3로 설정했다.

[0451] 다음에, 산화물 반도체층(701)에 대하여, 온도 250℃에서 NVT 앙상블의 조건에서, 고전적인 MD(분자 동력학) 시뮬레이션을 행했다. 시간 눈금 폭을 0.2fs로 설정하고, 총 시뮬레이션 시간을 200ps로 설정했다. Born-Mayer-Huggins 전위를, 금속-산소 결합 및 산소-산소 결합에 인가했다. 산화물 반도체층(701)의 상단 및 하단의 원자의 이동을 고정시켰다.

[0452] 도 38에 시뮬레이션 결과를 나타냈다. z축 좌표의 0nm 내지 1.15nm의 범위에, 산소 밀도가 낮은 층(703)이 표시되며, z축 좌표의 1.15nm 내지 2.3nm의 범위에, 산소 밀도가 높은 층(705)이 표시된다. MD 시뮬레이션 전의 산소 밀도 분포를 실선(707)으로 나타내고, MD 시뮬레이션 후의 산소 밀도 분포를 파선(709)으로 나타낸다.

[0453] 실선(707)은, 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)의 계면으로부터 산소 밀도가 높은 층(705)까지의 영역에서 산화물 반도체층(701)의 산소 밀도가 높다는 것을 도시한다.

[0454] 따라서, 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)의 적층 상태와 같이, 산도 밀도 분포가 불균일한 경우, 가열 처리에 의해 산도 밀도가 높은 영역에서부터 산도 밀도가 낮은 영역으로 산소가 확산되어, 산소 밀도가 균일해지는 것을 발견했다.

[0455] 즉, 실시 형태 1 및 6에 설명한 바와 같이, 산화물 반도체층 위에 산화물 절연막을 형성하는 것에 의해, 산화물 반도체층과 산화물 절연막의 계면에서 산소 밀도가 증가하므로, 산화물 반도체층의 산소 밀도가 낮은 영역으로 산소가 확산하고, 산화물 반도체층의 저항이 증가한다.

[0456] 본 실시예에 설명한 바와 같이, 산소가 산화물 반도체층의 표면에 흡착한 후, 산화물 반도체층에 포함되는 금속 이온(Me)과 이온 결합하고, 산소 원자의 상태에서 산화물 반도체층 내로 확산된다(도 39a 내지 도 39c 참조).

[0457] 본 출원은 2009년 7월 31일자로 일본 특허청에 출원된 일본 특허 출원 번호 제2009-179773호를 기초로 하고, 그 전체 내용은 본원에 참조로서 통합된다.

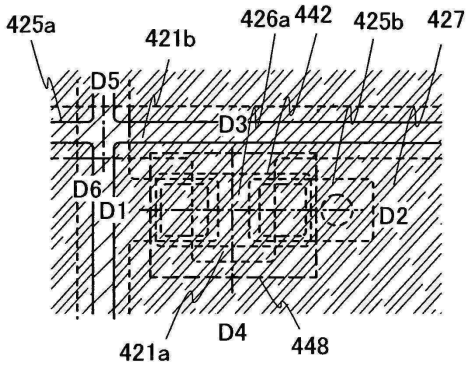
부호의 설명

[0458] 10 : 펄스 출력 회로, 11 : 제1 배선, 12 : 제2 배선, 13 : 제3 배선, 14 : 제4 배선, 15 : 제5 배선, 21 : 제1 입력 단자, 22 : 제2 입력 단자, 23 : 제3 입력 단자, 24 : 제4 입력 단자, 25 : 제5 입력 단자, 26 : 제1 출력 단자, 27 : 제2 출력 단자, 28 : 박막 트랜지스터, 31 : 트랜지스터, 32 : 트랜지스터, 33 : 트랜지스터, 34 : 트랜지스터, 35 : 트랜지스터, 36 : 트랜지스터, 37 : 트랜지스터, 38 : 트랜지스터, 39 : 트랜지스터, 40 : 트랜지스터, 41 : 트랜지스터, 42 : 트랜지스터, 43 : 트랜지스터, 51 : 전원선, 52 : 전원선, 53 : 전원선, 61 : 기간, 62 : 기간, 200 : 기판, 202 : 게이트 절연층, 203 : 보호 절연층, 204 : 평탄화 절연층, 205 : 공통 전위선, 206 : 공통 전극층, 207 : 산화물 반도체층, 208 : 산화물 절연층, 209 : 공통 전위선, 210 : 공통 전위선, 220 : 박막 트랜지스터, 221 : 단자, 222 : 단자, 223 : 접속 전극층, 225 : 도전층, 226 : 전극층, 227 : 화소 전극층, 228 : 단자, 229 : 단자, 230 : 용량 배선층, 231 : 용량 전극, 236 :금속 배선층, 237 : 금속 배선층, 238 : 게이트 배선층, 241 : 금속 배선층, 242 : 금속 배선층, 243 : 금속 배선층, 244 : 금속 배선층, 250 : 용량 배선층, 251 : 산화물 반도체층, 254 : 소스 배선, 255 : 단자 전극, 256 : 소스 배선, 257 : 단자 전극, 260 : 박막 트랜지스터, 261 : 게이트 전극층, 263 : 채널 형성 영역, 264a : 고저항 소스 영역, 264b : 고저항 드레인 영역, 264c : 영역, 264d : 영역, 265a : 소스 전극층, 265b : 드레인 전극층, 266a : 산화물 절연층, 266b : 산화물 절연층, 267 : 도전층, 268a : 보조 전극층, 268b : 보조 전극층, 270 : 박막 트랜지스터, 271 : 게이트 전극층, 273 : 채널 형성 영역, 274a : 고저항 소스 영역, 274b : 고저항 드레인 영역, 274c : 영역, 274d : 영역, 274e : 영역, 274f : 영역, 275a : 소스 전극층, 275b : 드레인 전극층, 276a : 산화물 절연층, 276b : 산화물 절연층, 277 : 도전층, 280 : 박막 트랜지스터, 281 : 게이트 전극층, 282a : 게이트 절연층, 282b : 게이트 절연층, 282c : 게이트 절연층, 283 : 채널 형성 영역, 284a : 고저항 소스 영역, 284b : 고저항 드레인 영역, 284c : 소스 영역, 284d : 드레인 영역, 285a : 소스 전극층, 285b : 드레인 전극층, 286a : 산화물 절연층, 286b : 산화물 절연층, 290 : 박막 트랜지스터, 291 : 게이트 전극층, 292a : 게이트 절연층, 292b : 게이트 절연층, 293 : 채널 형성 영역, 294a : 고저항 소스 영역, 294b : 고저항 드레인 영역, 294c : 영역, 294d : 영역, 294e : 영역, 294f : 영역, 295a : 소스 전극층, 295b : 드레인 전극층, 296a : 산화물 절연층, 296b : 산화물 절연층, 400 : 기판, 402 : 게이트 절연층, 403 : 보호 절연층, 404 : 평탄화 절연층, 420 : 박막 트랜지스터, 421a : 게이트 전극층, 421b : 게이트 전극층, 422 : 산화물 반도체층, 423 : 채널 형성 영역, 424a : 고저항 소스 영역, 424b : 고저항 드레인 영역, 424c : 영역, 424d : 영역, 425a : 소스 전극층, 425b : 드레인 전극층, 426a : 산화물 절연층, 426b : 산화물 절연층, 427 : 화소 전극층, 430 : 산화물 반도체막, 441 : 컨택트 홀, 442 : 산화물 반도체층, 448 : 박막 트랜지스터, 580 : 기판, 581 : 박막 트랜지스터, 583 : 절연막, 585 : 절연층, 587 : 전극층, 588 : 전극층, 589 : 구형 입자, 590a : 흑색 영역, 590b : 백색 영역, 594 : 캐비티, 595 : 충전재, 596 : 기판, 600 : 기판, 601 : 대향 기판, 602 : 게이트 배선, 603 : 게이트 배선, 604 : 용량 배선, 605 : 용량 배선, 606 : 게이트 절연막, 607 : 전극층, 608 : 채널 보호층, 609 : 공통 전위선, 611 : 채널 보호층, 615 : 용량 전극, 616 : 배선, 617 : 용량 배선, 618 : 배선, 619 : 배선, 620 : 절연막, 621 : 절연막, 622 : 절연막, 623 : 컨택트 홀, 624 : 화소 전극층, 625 : 슬릿, 626 : 화소 전극층, 627 : 컨택트 홀, 628 : TFT, 629 : TFT, 630 : 축적 용량부, 631 : 축적 용량부, 632 : 차광막, 633 : 컨택트 홀, 636 : 착색막, 637 : 평탄화 막, 640 : 대향 전극층, 641 : 슬릿, 644 : 돌기, 646 : 배향막, 648 : 배향막, 650 : 액정층, 651 : 액층 소자, 652 : 액정 소자, 690 : 용량 배선, 701 : 산화물 반도체층, 703 : 산소 밀도가 낮은 층, 705 : 산소 밀도가 높은 층, 707 : 실선, 709 : 파선, 2600 : TFT 기판, 2601 : 대향 기판, 2602 : 시일재, 2603 : 화소부, 2604 : 표시 소자, 2605 : 착색층, 2606 : 편광판, 2607 : 편광판, 2608 : 배선 회로부, 2609 : 가요성 배선 기판, 2610 : 냉음극관, 2611 : 반사판, 2612 : 회로 기판, 2613 : 확산판, 2700 : 전자 서적 리더, 2701 : 하우징, 2703 : 하우징, 2705 : 표시부, 2707 : 표시부, 2711 : 힌지, 2721 : 전원 스위치, 2723 : 조작키, 2725 : 스피커, 4001 : 기판, 4002 : 화소부, 4003 : 신호선 구동 회로, 4004 : 주사선 구동 회로, 4005 : 시일재, 4006 : 기판, 4008 : 액정층, 4010 : 박막 트랜지스터, 4011 : 박막 트랜지스터, 4013 : 액정 소자, 4015 : 접속 단자 전극, 4016 : 단자 전극, 4018 : FPC, 4019 : 이방성 도전막, 4020 : 절연층, 4021 : 절연층, 4030 : 화소 전극층, 4031 : 대향 전극층, 4032 : 절연층, 4040 : 도전층, 4041a : 절연층, 4041b : 절연층, 4042a : 절연층, 4042b : 절연층, 4501 : 기판, 4502 : 화소부, 4503a : 신호선 구동 회로, 4503b : 신호선 구동 회로, 4504a : 주사선 구동 회로, 4504b : 주사선 구동 회로, 4505 : 시일재, 4506 : 기판, 4507 : 충전재, 4509 : 박막 트랜지스터, 4510 : 박막 트랜지스터, 4511 : 발광 소자, 4512 : 전계 발광층, 4513 : 전극층, 4515 : 접속 단자 전극, 4516 : 단자 전극, 4517 : 전극층, 4518a : FPC, 4518b : FPC, 4519 : 이방성 도전막, 4520 : 격벽, 4540 : 도전층, 4541a : 절연층, 4541b : 절연층, 4542a : 절연층, 4542b : 절연층, 4543 : 절연층, 4544 : 절연층, 5300 : 기판, 5301 : 화소부, 5302 : 주사선 구동 회로, 5303 : 주사선 구동 회로, 5304 : 신호선 구동 회로, 5305 : 타이밍 제어 회로, 5601 : 시프트 레지스터, 5602 : 스위칭 회로, 5603 : 박막 트랜지스터, 5604 : 배선, 5605 :

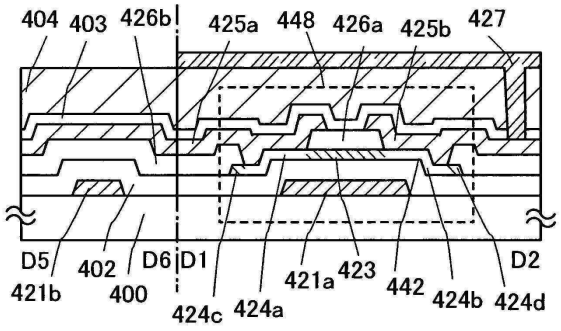
배선, 6400 : 화소, 6401 : 스위칭 트랜지스터, 6402 : 발광 소자 구동용 트랜지스터, 6403 : 용량 소자, 6404 : 발광 소자, 6405 : 신호선, 6406 : 주사선, 6407 : 전원선, 6408 : 공통 전극, 7001 : TFT, 7002 : 발광 소자, 7003 : 음극, 7004 : 발광층, 7005 : 양극, 7008 : 음극, 7009 : 격벽, 7011 : 발광 소자 구동용 TFT, 7012 : 발광 소자, 7013 : 음극, 7014 : 발광층, 7015 : 양극, 7016 : 차광막, 7017 : 도전막, 7018 : 도전막, 7019 : 격벽, 7021 : 발광 소자 구동용 TFT, 7022 : 발광 소자, 7023 : 음극, 7024 : 발광층, 7025 : 양극, 7027 : 도전막, 7028 : 도전막, 7029 : 격벽, 9201 :표시부, 9202 : 표시 버튼, 9203 : 조작 스위치, 9204 : 밴드부, 9205 : 조정부, 9206 : 카메라부, 9207 : 스피커, 9208 : 마이크로폰, 9301 : 상부 하우징, 9302 : 하부 하우징, 9303 : 표시부, 9304 : 키보드, 9305 : 외부 접속 포트, 9306 : 포인팅 디바이스, 9307 : 표시부, 9600 : 텔레비전 장치, 9601 : 하우징, 9603 : 표시부, 9605 : 스탠드, 9607 : 표시부, 9609 : 조작키, 9610 : 원격 컨트롤러, 9700 : 디지털 포토 프레임, 9701 : 하우징, 9703 : 표시부, 9881 : 하우징, 9882 : 표시부, 9883 : 표시부, 9884 : 스피커부, 9885 : 조작키, 9886 : 기록 매체 삽입부, 9887 : 접속 단자, 9888 : 센서, 9889 : 마이크로폰, 9890 : LED 램프, 9891 : 하우징, 9893 : 연결부, 9900 : 슬롯 머신, 9901 : 하우징, 9903 : 표시부

도면

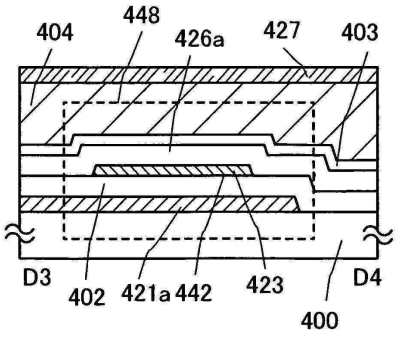
도면1a



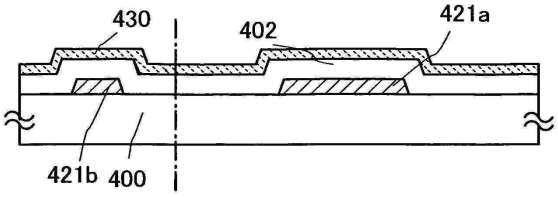
도면1b



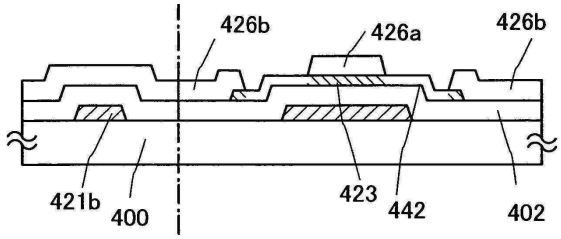
도면1c



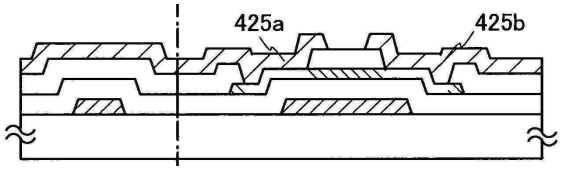
도면2a



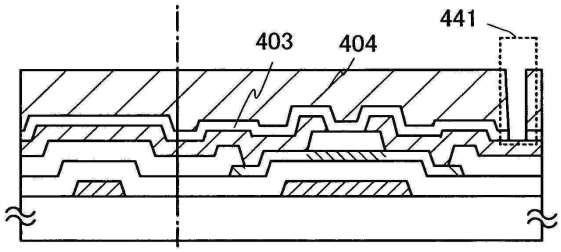
도면2b



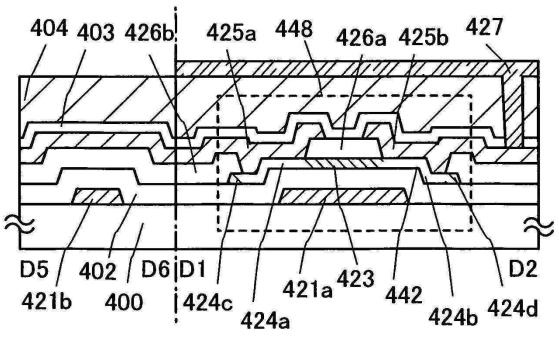
도면2c



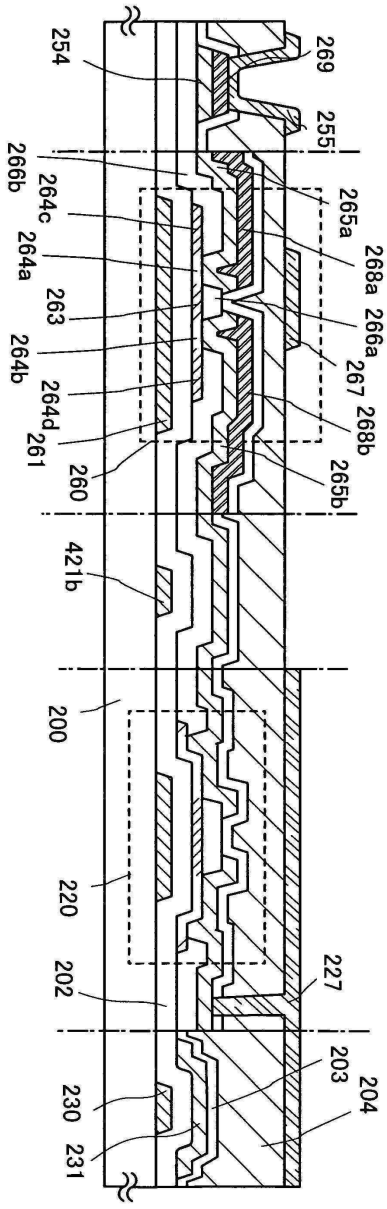
도면2d



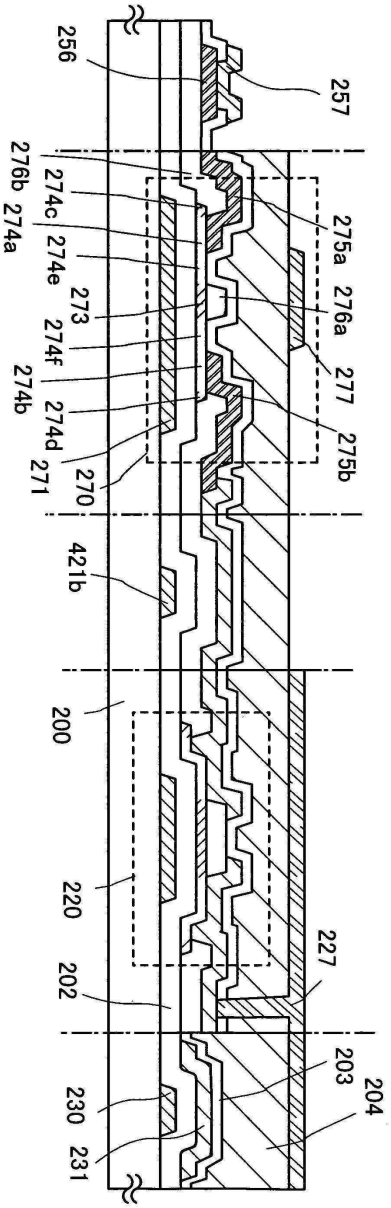
도면2e


404
403
426b
425a
448
426a
425b
427
D5
421b
402
400
D6
D1
424c
424a
421a
423
442
424b
D2
424d

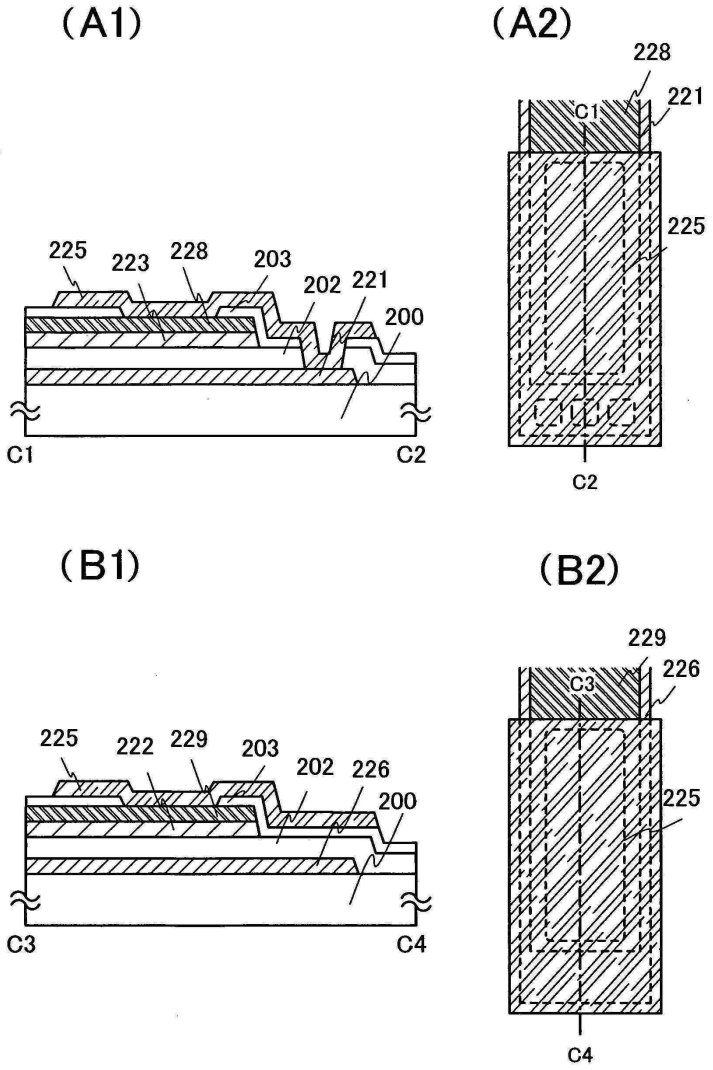
도면3a


254
269
255
266b
264c
264a
263
264b
264d
261
260
265a
268a
266a
267
268b
265b
421b
200
220
202
227
203
204
230
231

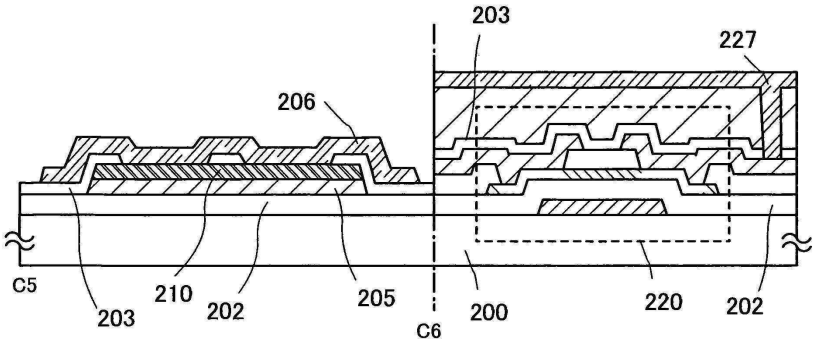
도면3b


256
257
276b
274c
274a
274e
273
274f
274b
274d
271
270
275a
276a
277
275b
421b
200
220
202
227
203
204
230
231

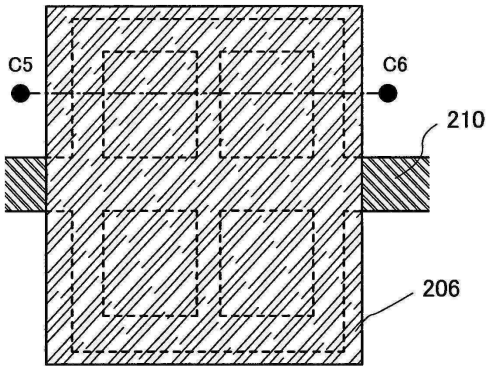
도면4


(A1)
(A2)
225
223
228
203
202
221
200
C1
C2
228
221
C1
225
C2
(B1)
(B2)
225
222
229
203
202
226
200
C3
C4
229
226
C3
225
C4

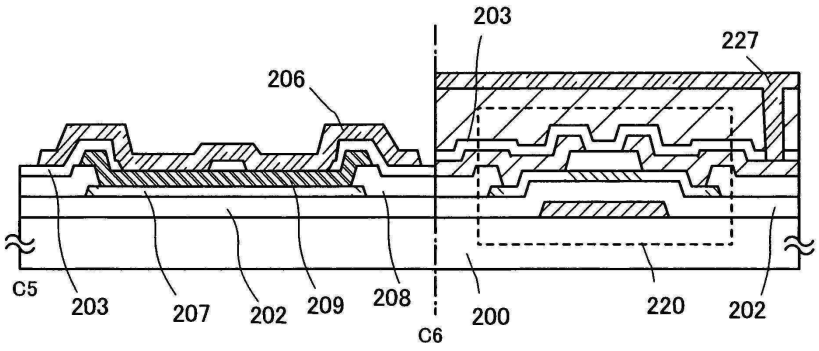
도면5a


203
227
206
C5
203
210
202
205
C6
200
220
202

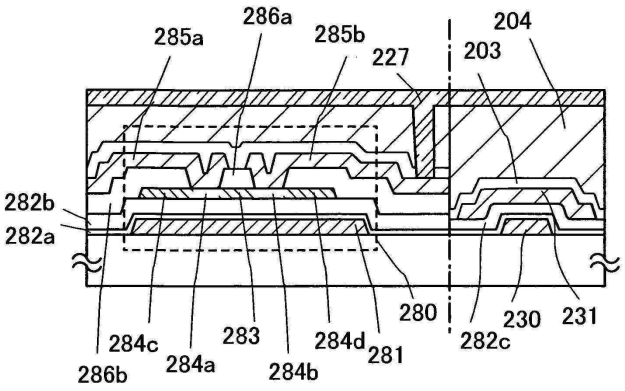
도면5b



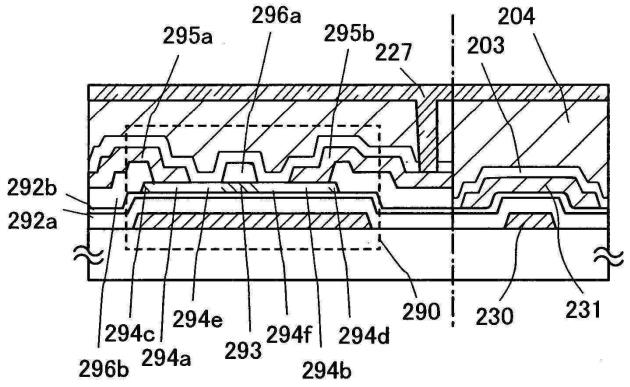
도면5c



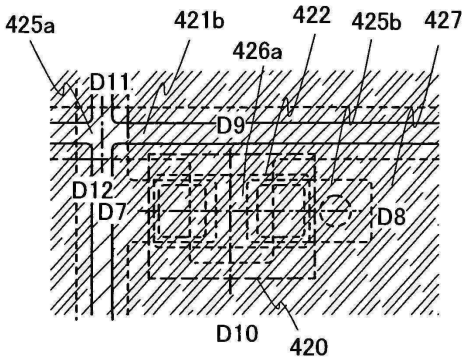
도면6a



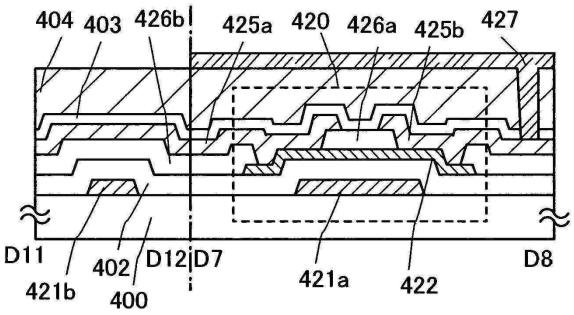
도면6b



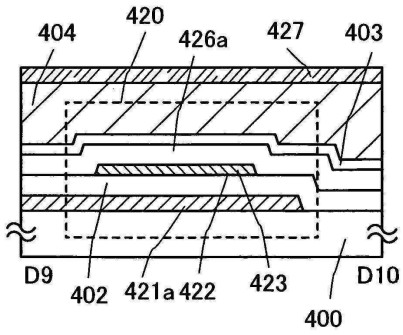
도면7a



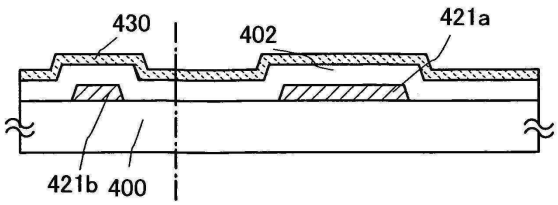
도면7b



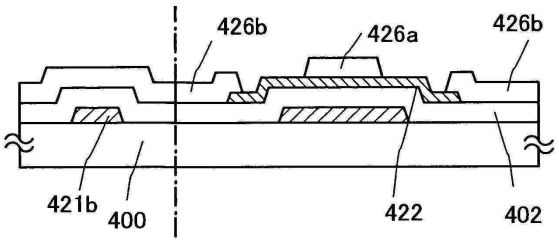
도면7c



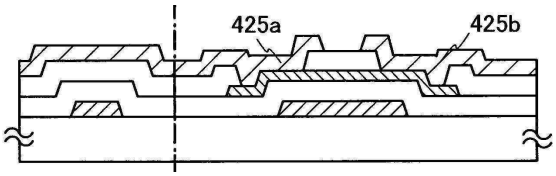
도면8a



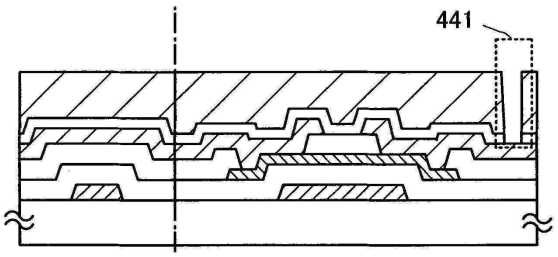
도면8b



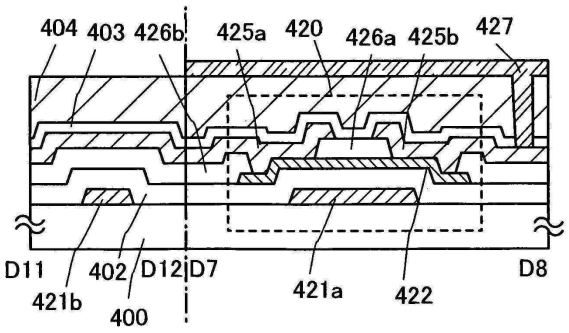
도면8c



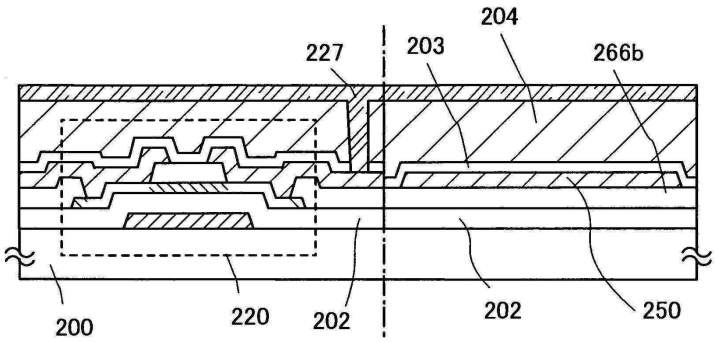
도면8d



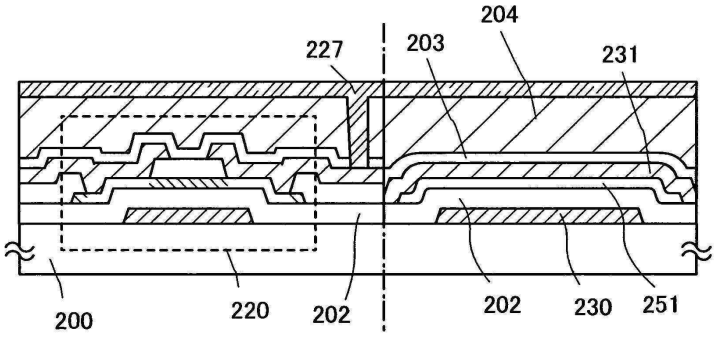
도면8e



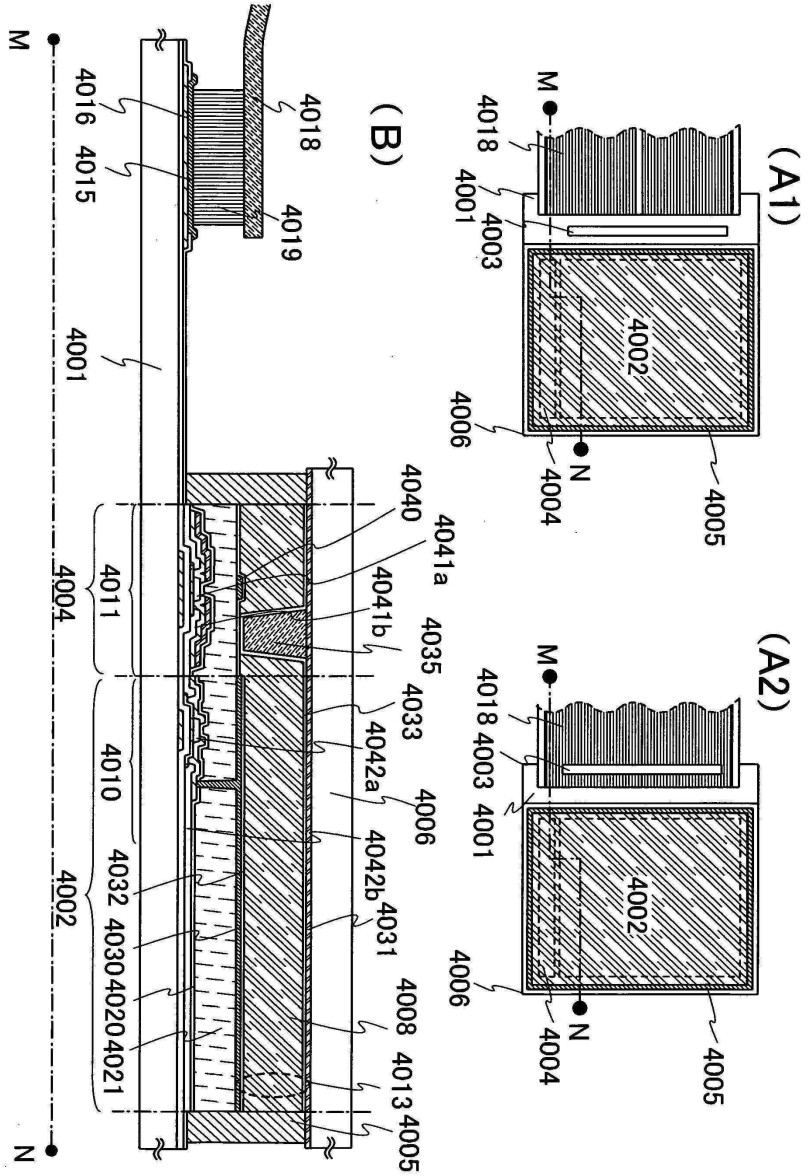
도면9a


204
227
203
266b
200
220
202
202
250

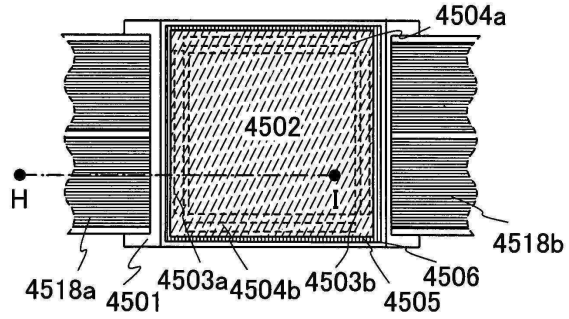
도면9b


204
227
203
231
200
220
202
202
230
251

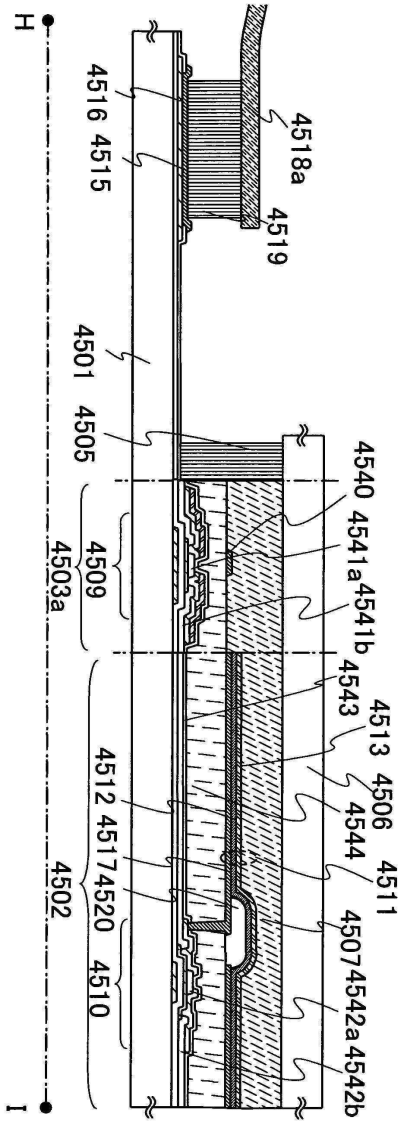
도면10


(A1)
(A2)
(B)
M
N
4001
4002
4003
4004
4005
4006
4008
4010
4011
4013
4015
4016
4018
4019
4020
4021
4030
4031
4032
4033
4035
4040
4041a
4041b
4042a
4042b

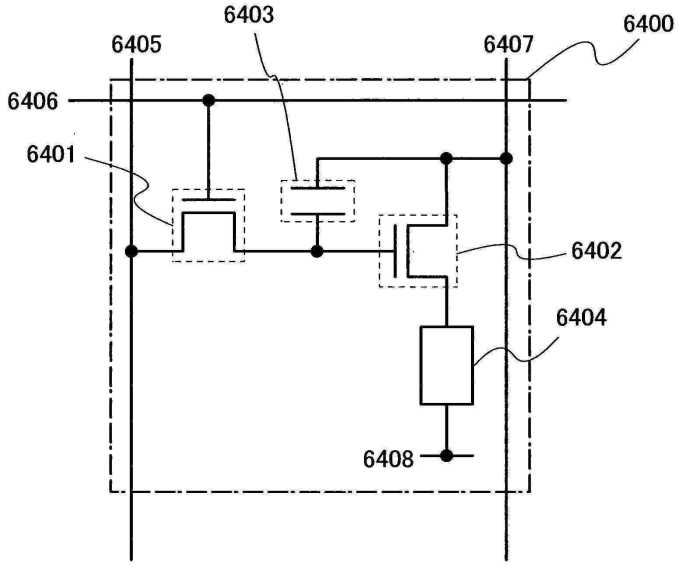
도면11a


H
I
4501
4502
4503a
4503b
4504a
4504b
4505
4506
4518a
4518b

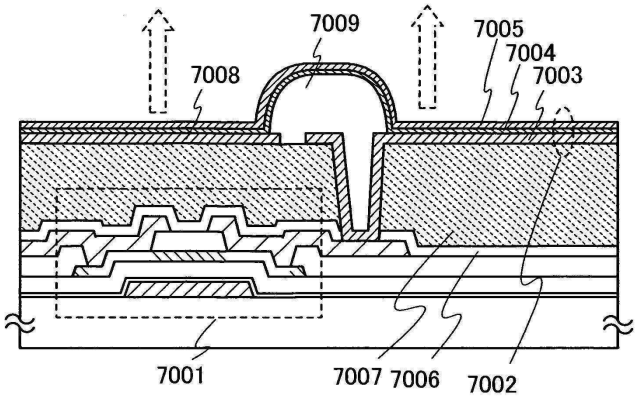
도면11b


H
I
4516
4515
4518a
4519
4501
4505
4503a
4509
4540
4541a
4541b
4543
4513
4506
4544
4511
4512
4517
4520
4502
4510
4507
4542a
4542b

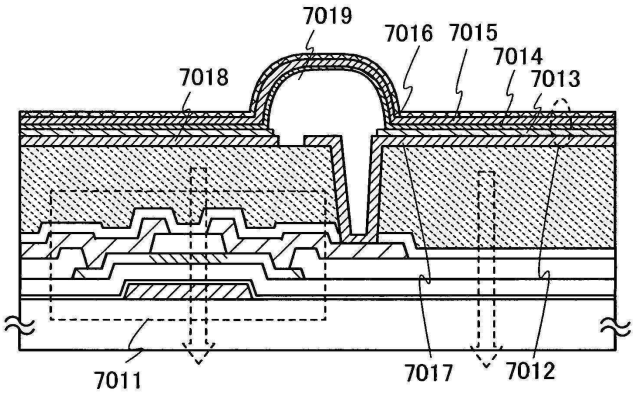
도면12


6403
6405
6407
6400
6406
6401
6402
6404
6408

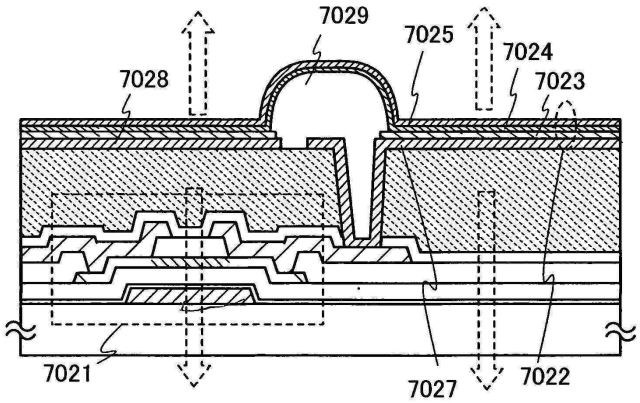
도면13a



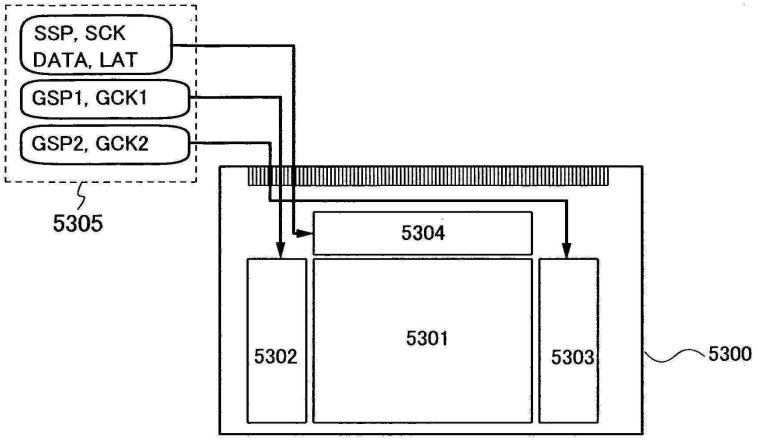
도면13b



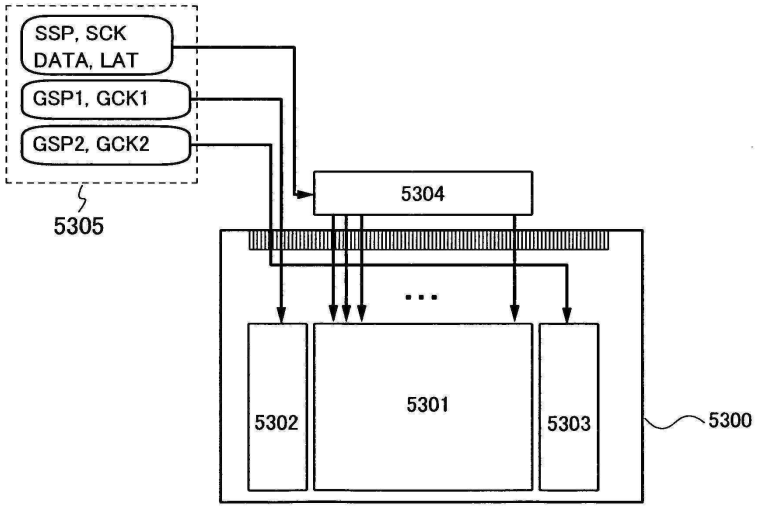
도면13c



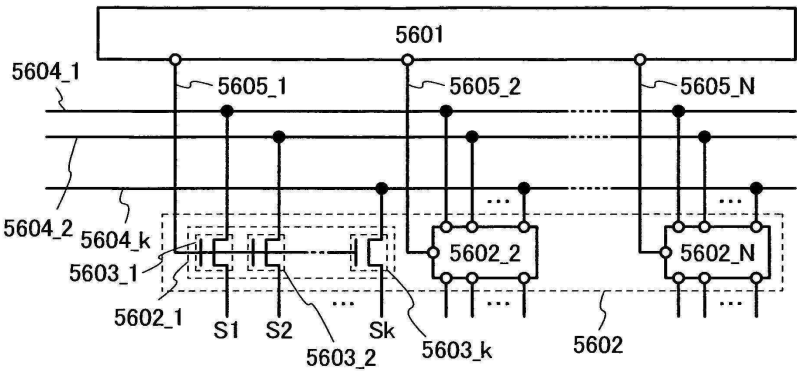
도면14a



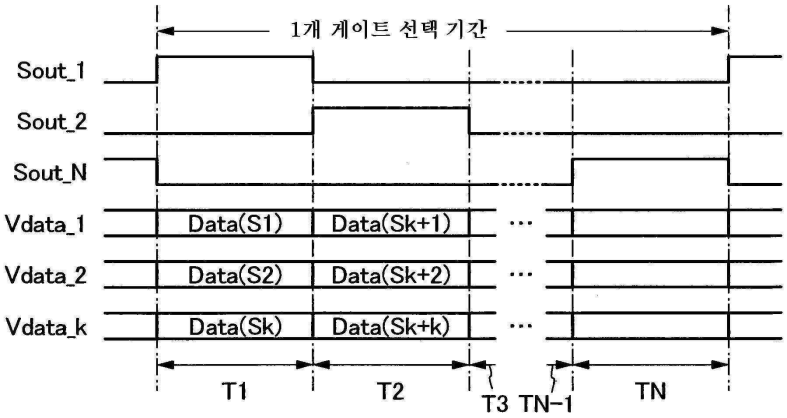
도면14b



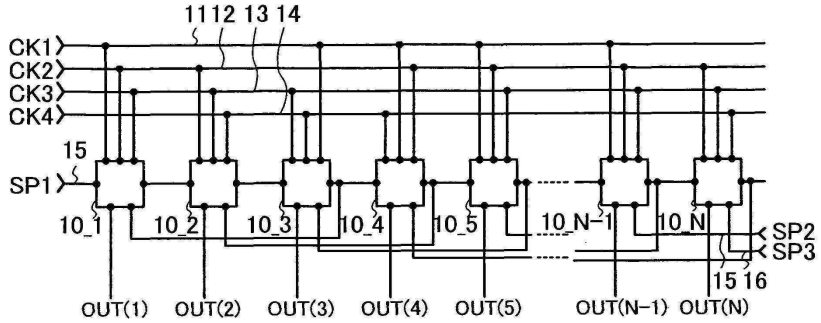
도면15a



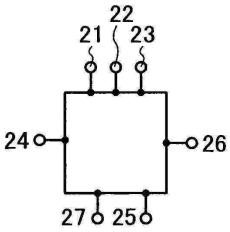
도면15b



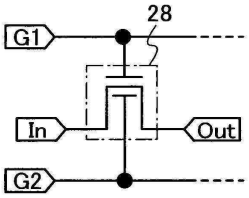
도면16a



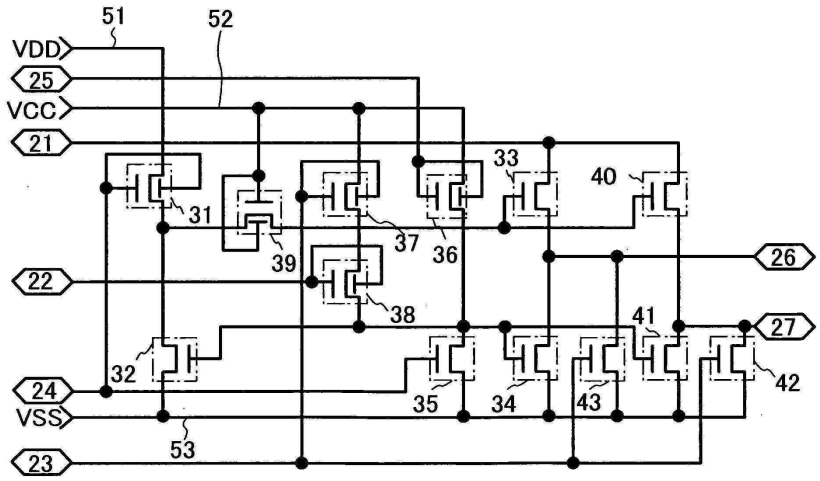
도면16b



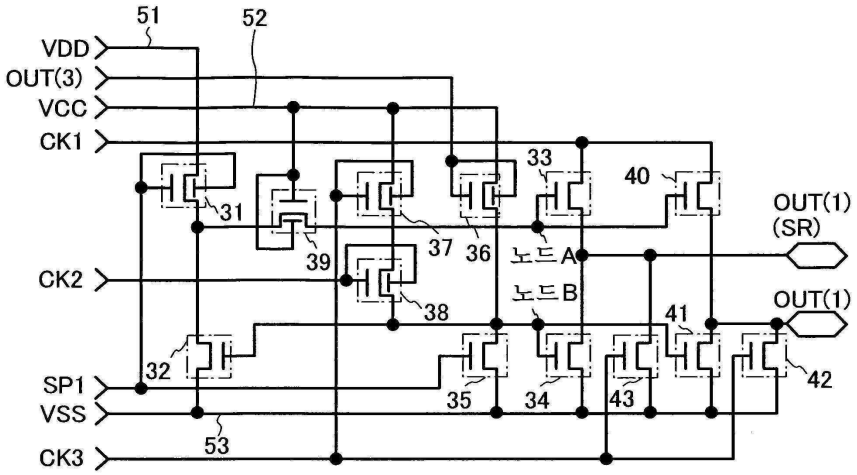
도면16c



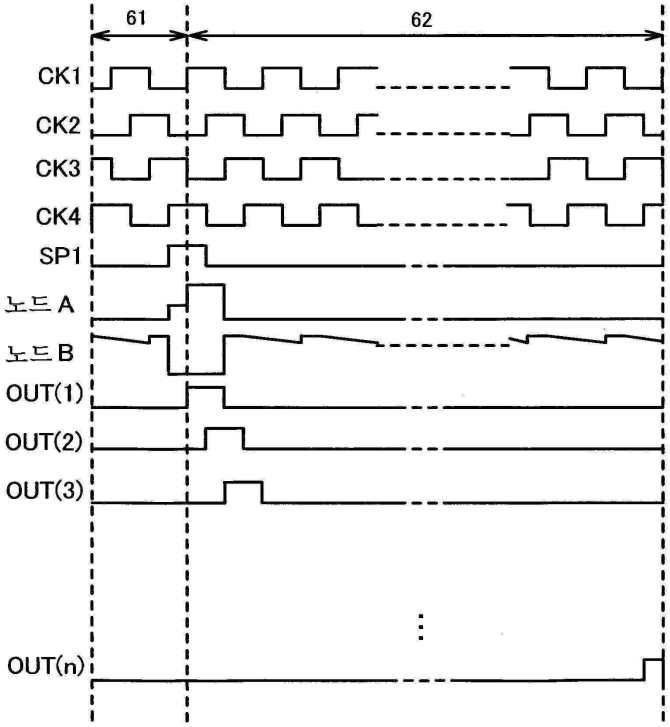
도면16d


51
52
VDD
25
VCC
21
22
24
VSS
23
31
39
37
36
33
40
38
26
41
27
32
35
34
43
42
53

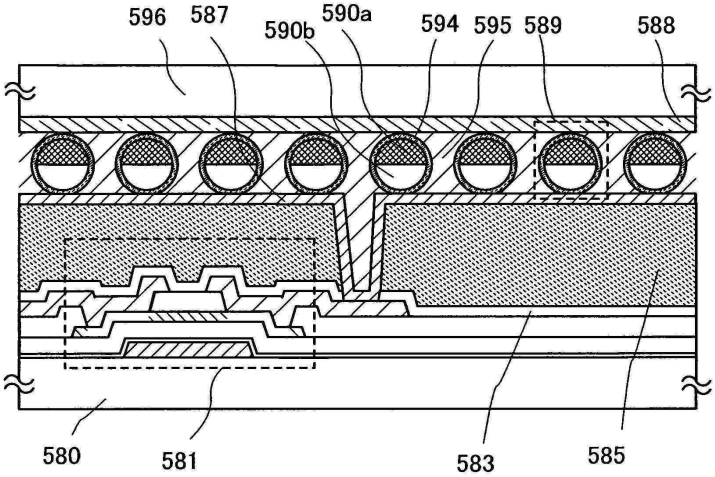
도면17a


51
52
VDD
OUT(3)
VCC
CK1
CK2
SP1
VSS
CK3
31
39
37
36
33
40
노드A
노드B
OUT(1)
(SR)
OUT(1)
38
41
32
35
34
43
42
53

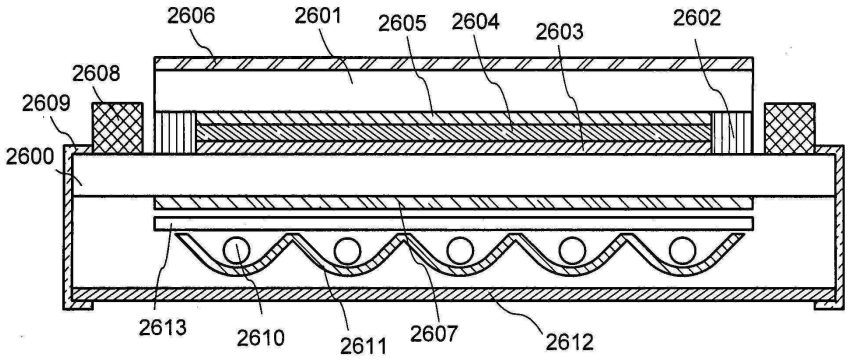
도면17b


61
62
CK1
CK2
CK3
CK4
SP1
노드 A
노드 B
OUT(1)
OUT(2)
OUT(3)
OUT(n)

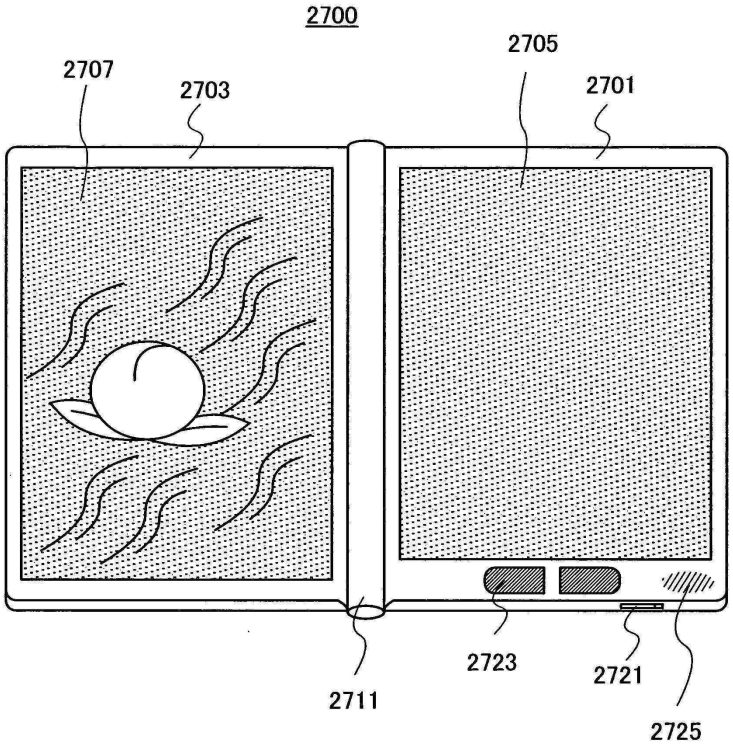
도면18


596
587
590b
590a
594
595
589
588
580
581
583
585

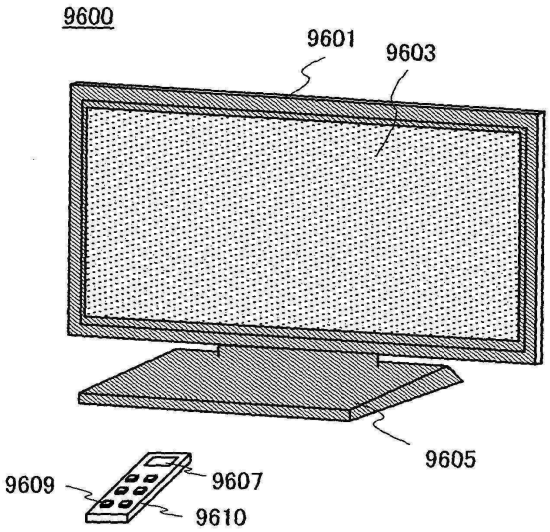
도면19


2606
2601
2605
2604
2603
2602
2608
2609
2600
2613
2610
2611
2607
2612

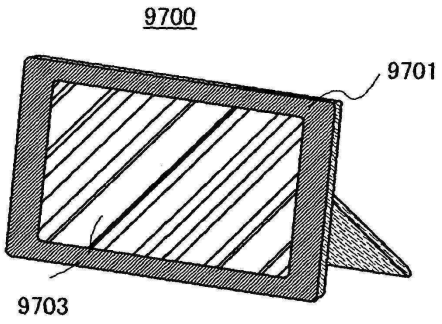
도면20


2700
2707
2703
2705
2701
2723
2721
2711
2725

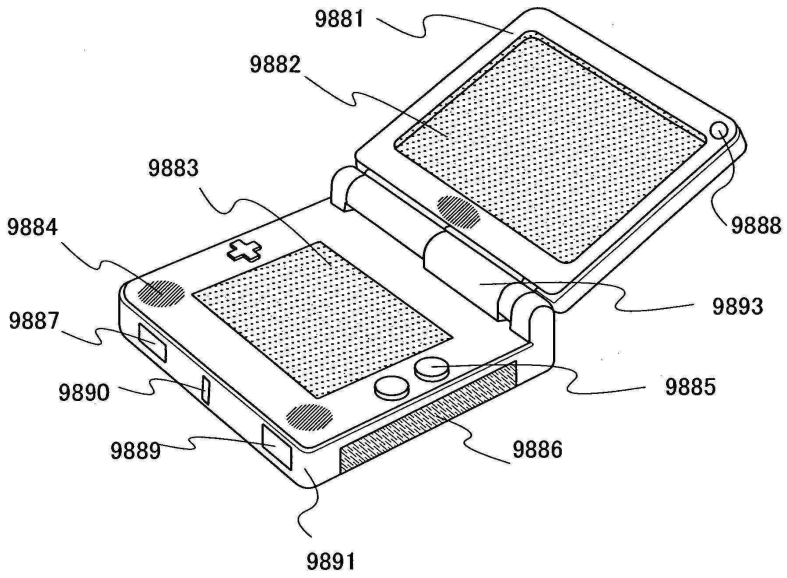
도면21a



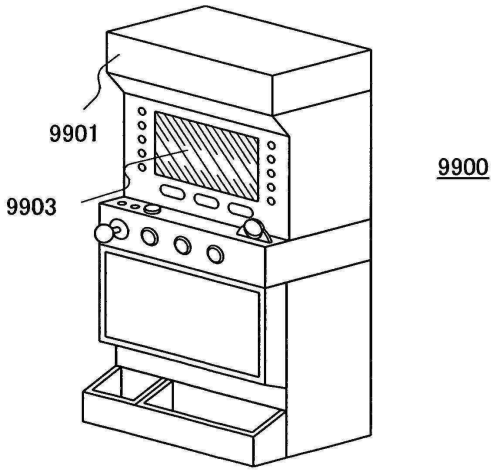
도면21b



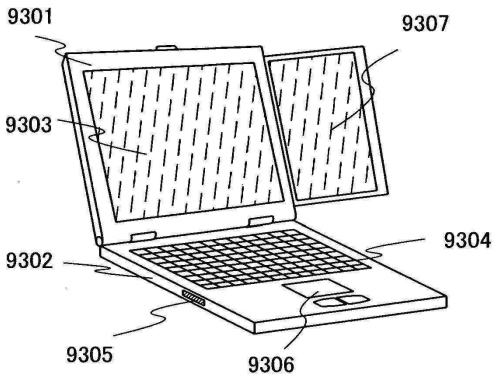
도면22a



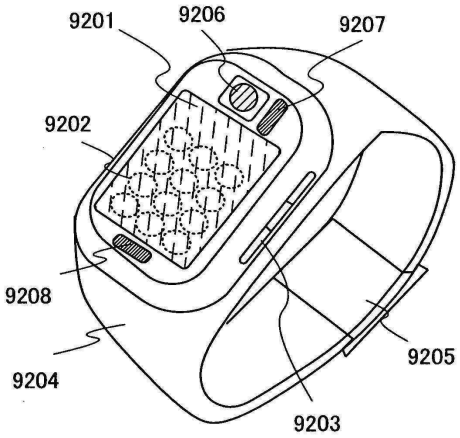
도면22b



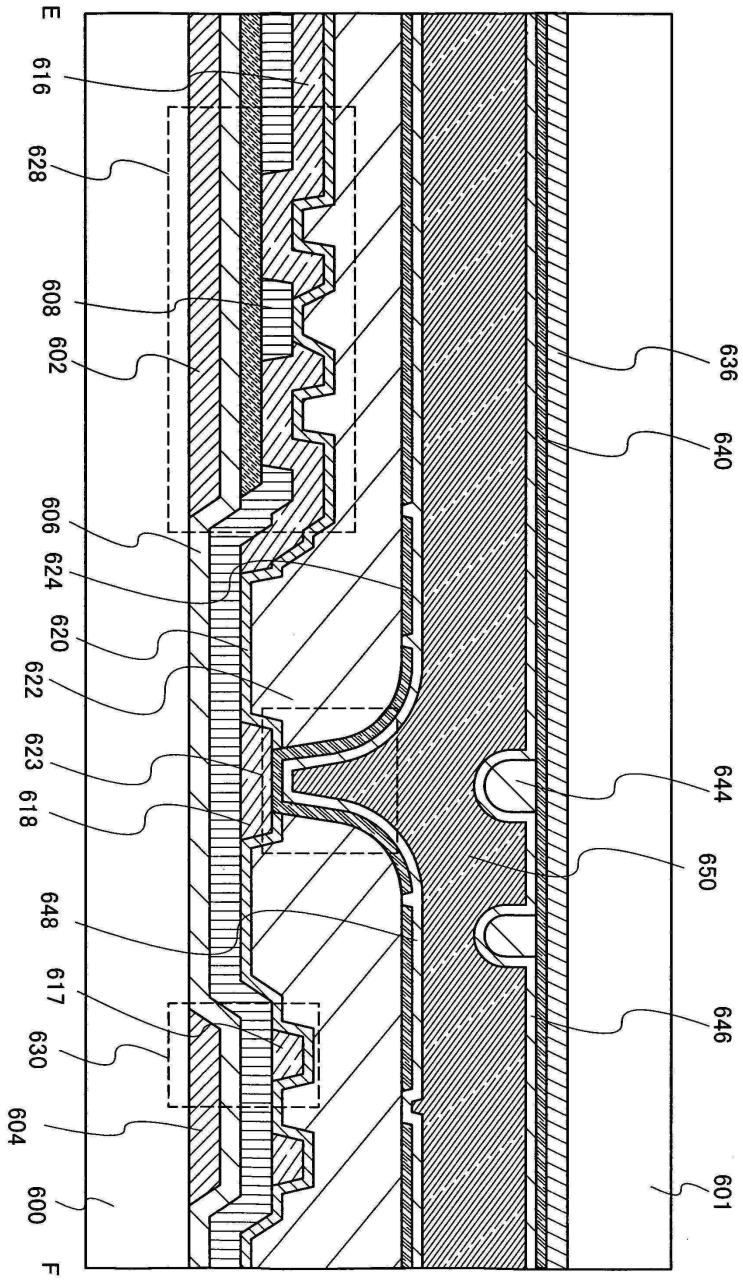
도면23a



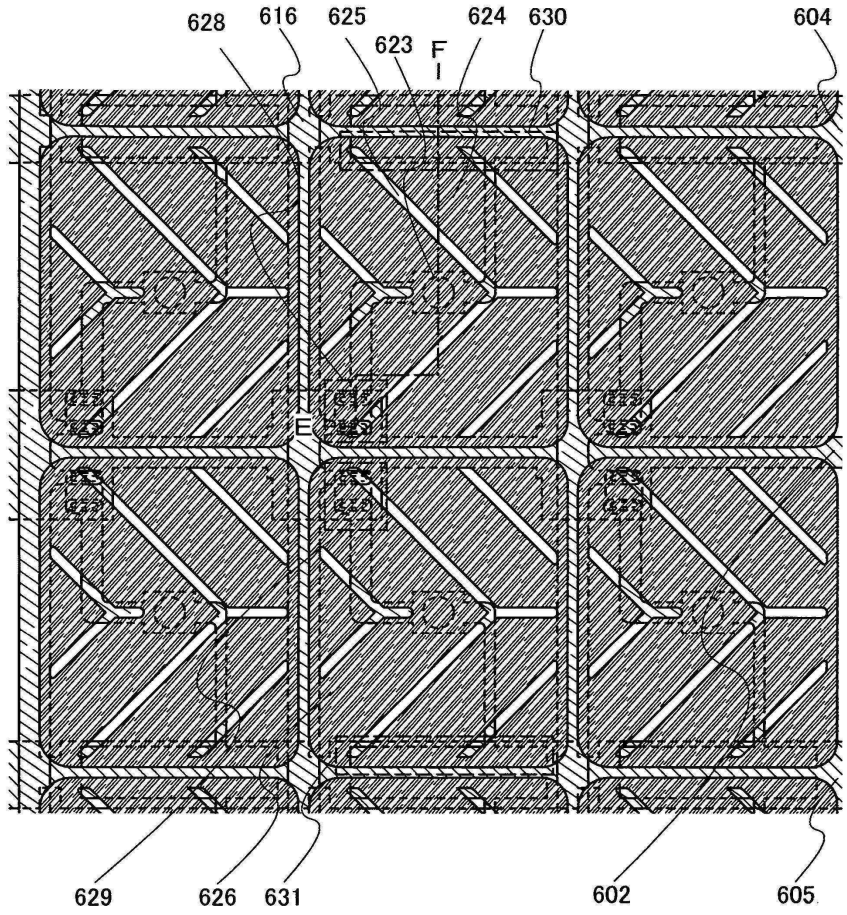
도면23b



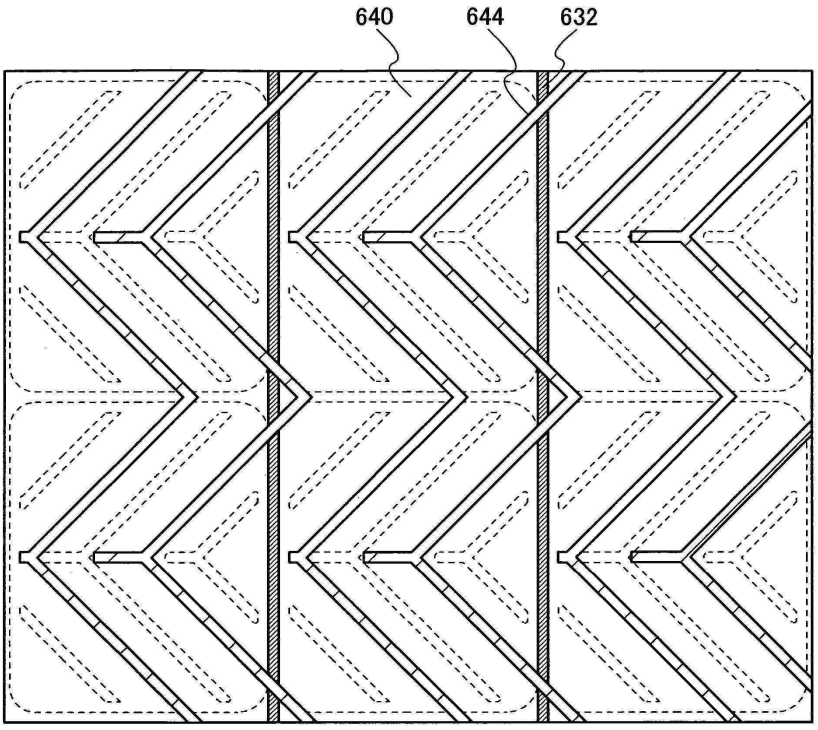
도면24


E
616
628
608
602
606
624
620
622
623
618
648
617
630
604
600
F
636
640
644
650
646
601

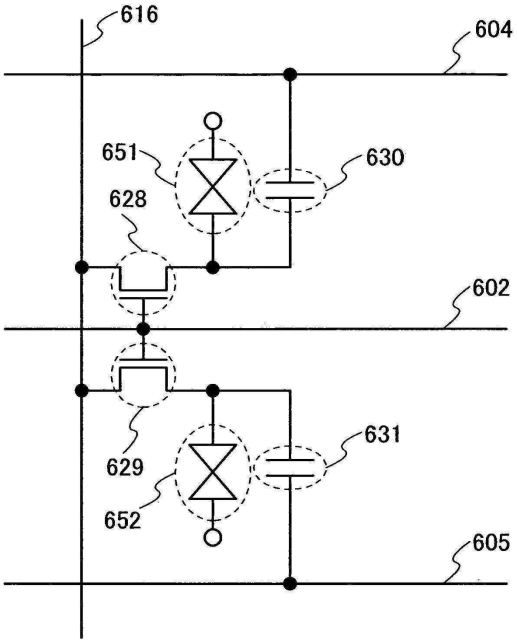
도면25



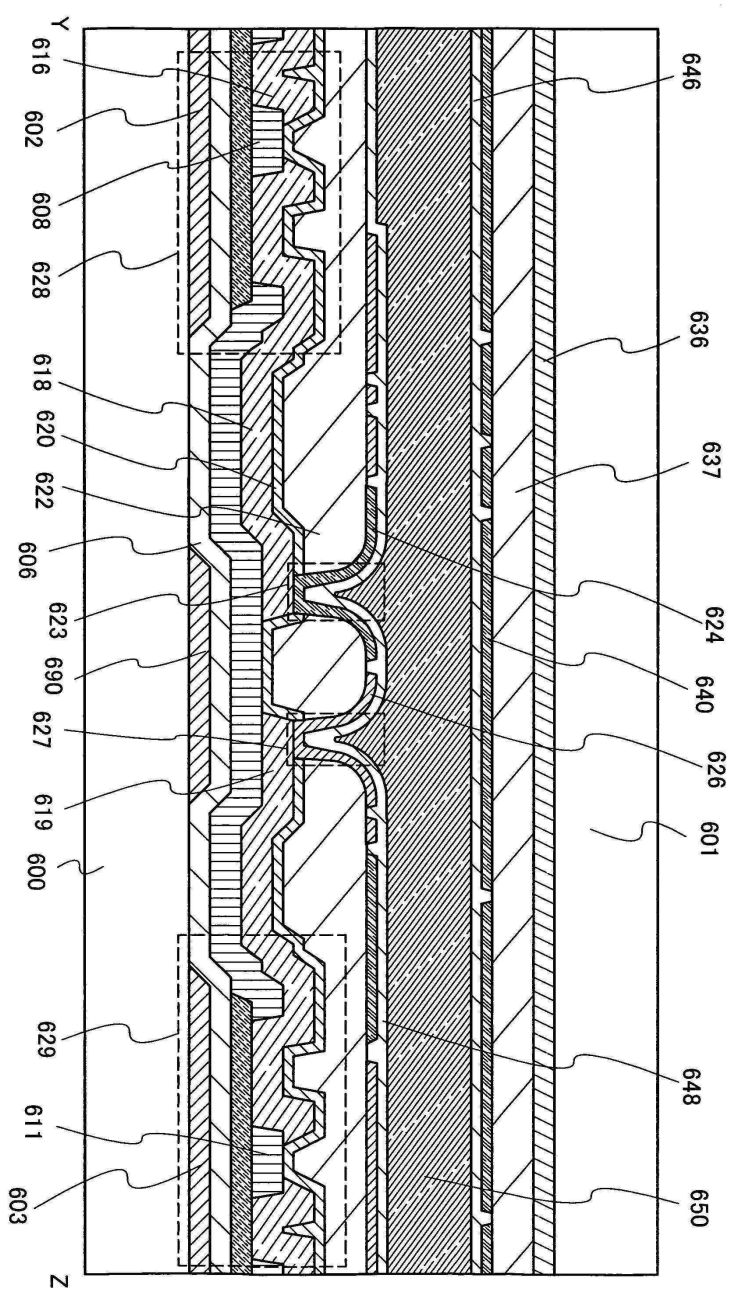
도면26



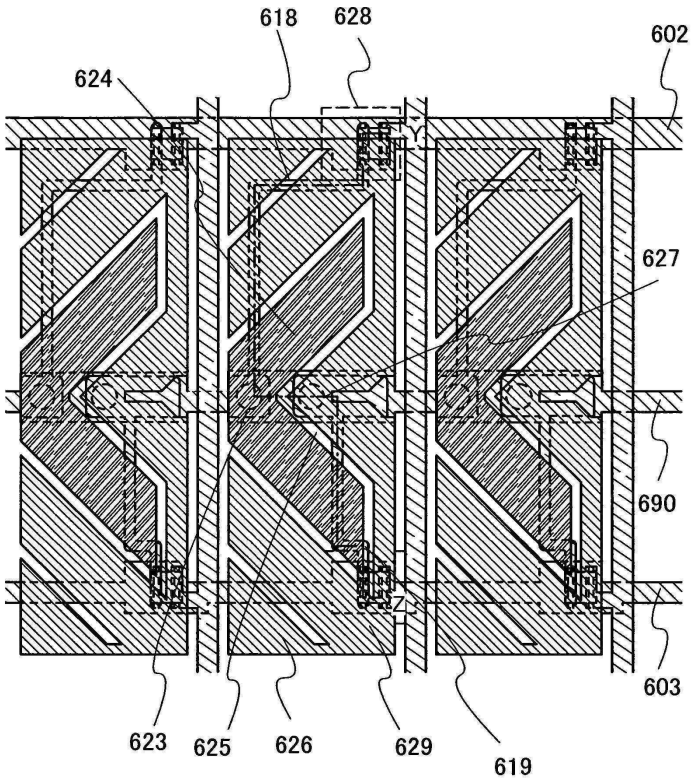
도면27



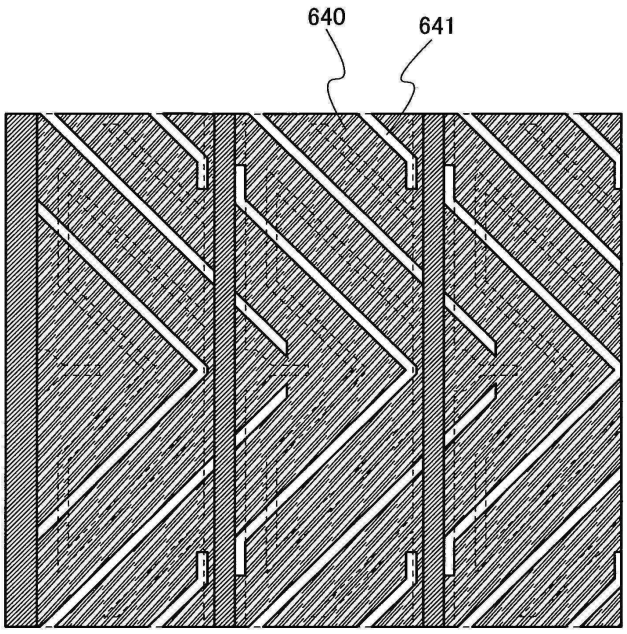
도면28


Y
616
602
608
628
618
620
622
606
623
690
627
619
600
629
611
603
Z
646
636
637
624
640
626
601
648
650

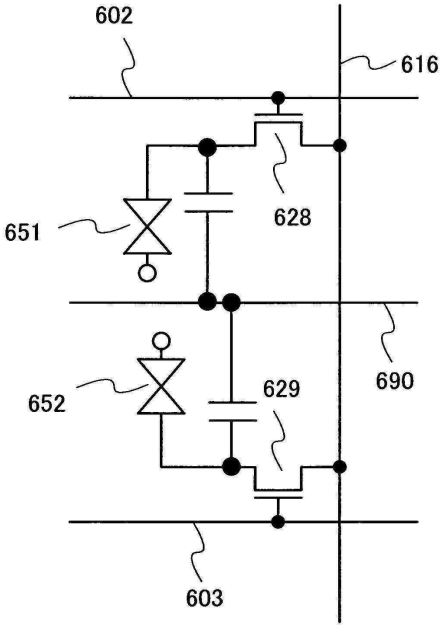
도면29



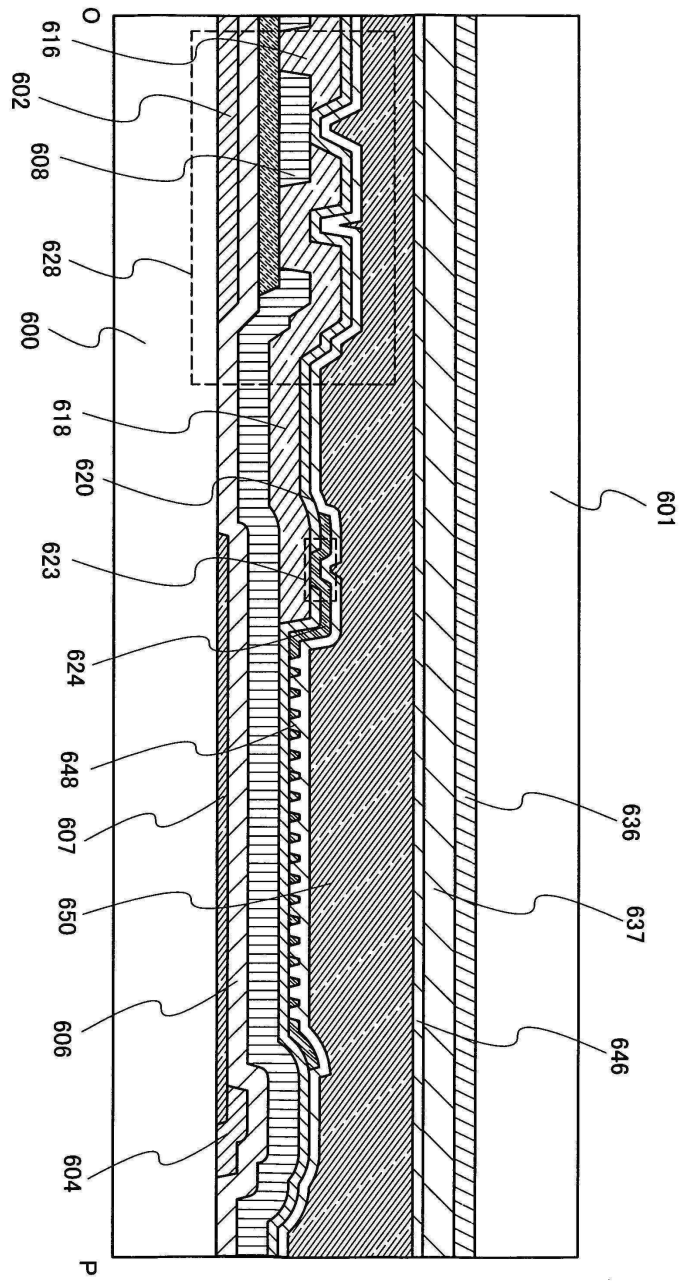
도면30



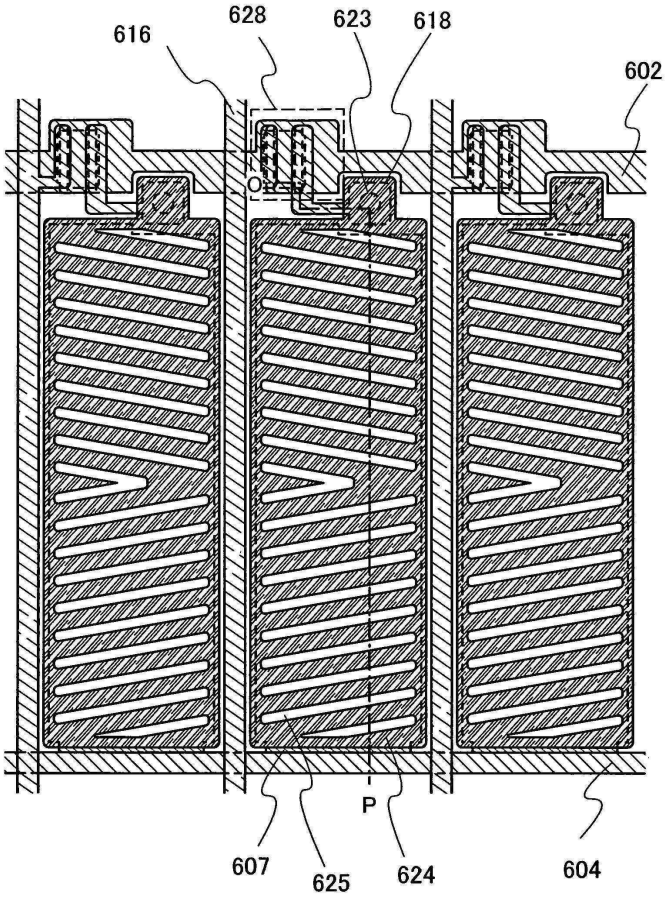
도면31



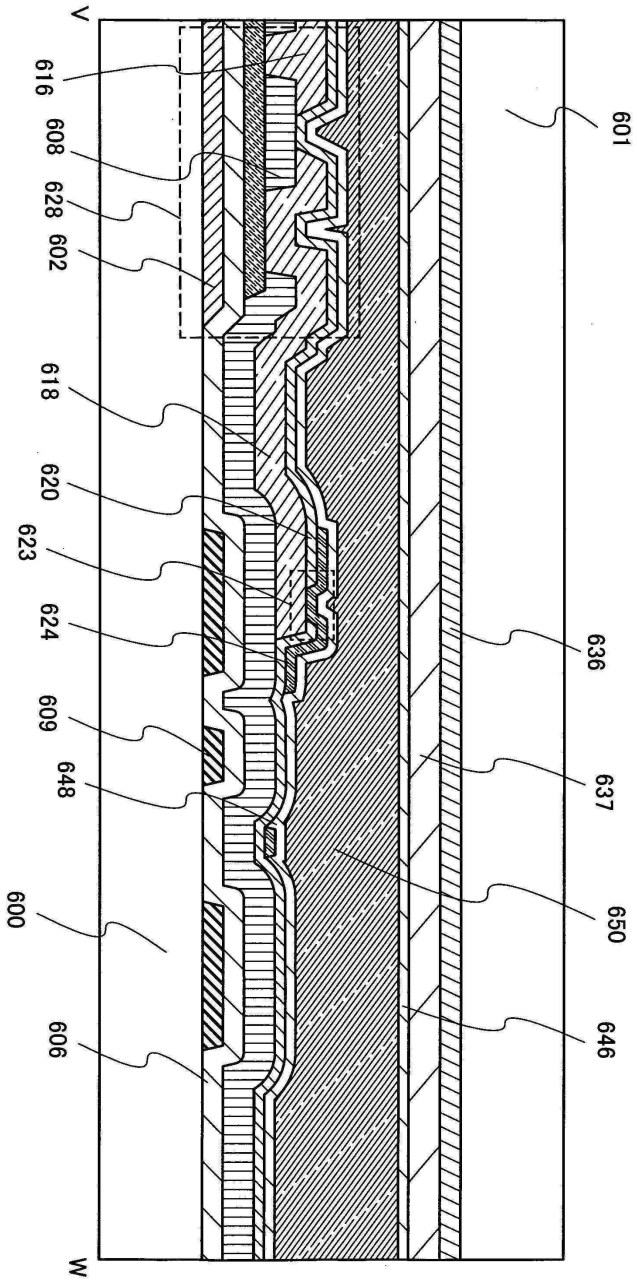
도면32


O
616
602
608
628
600
618
620
623
624
648
607
650
606
604
P
601
636
637
646

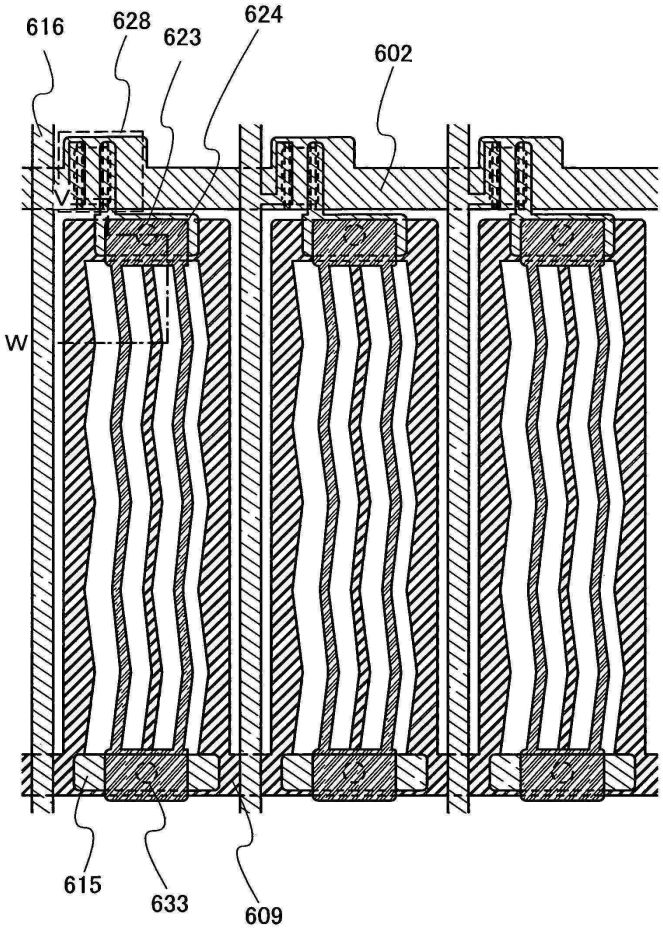
도면33



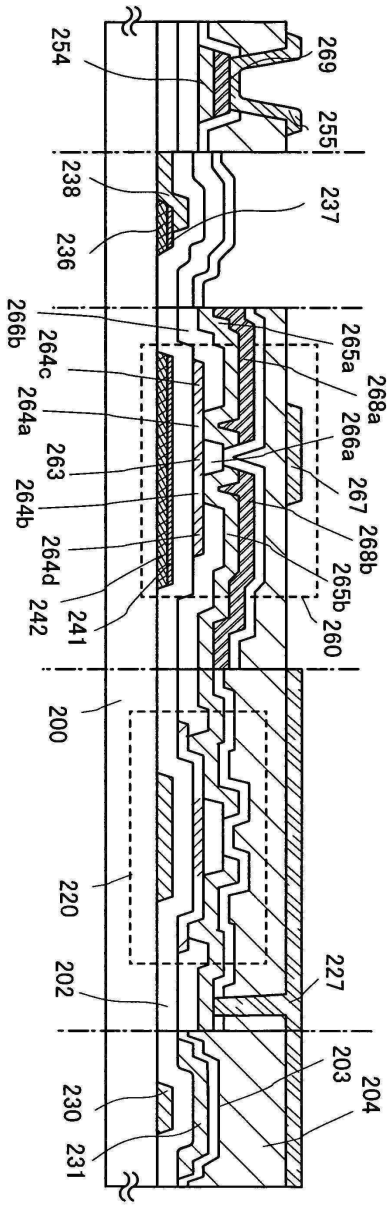
도면34


V
W
616
608
628
602
618
620
623
624
609
648
600
606
601
636
637
650
646

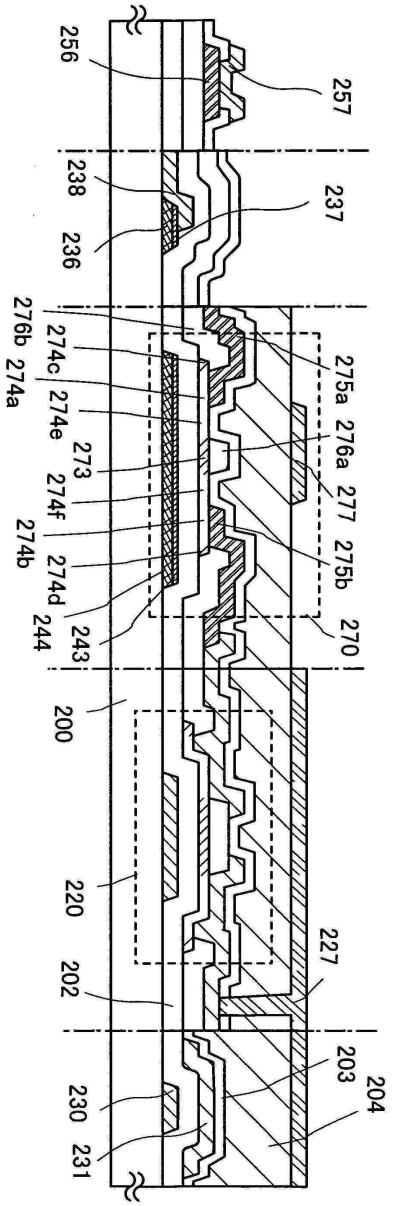
도면35



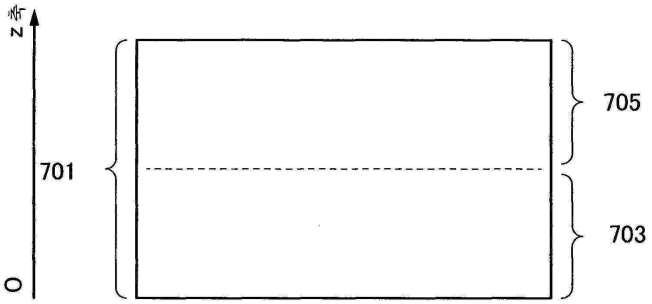
도면36a


254
269
255
238
237
236
266b
264c
264a
263
264b
264d
242
241
265a
268a
266a
267
268b
265b
260
200
220
202
227
203
204
230
231

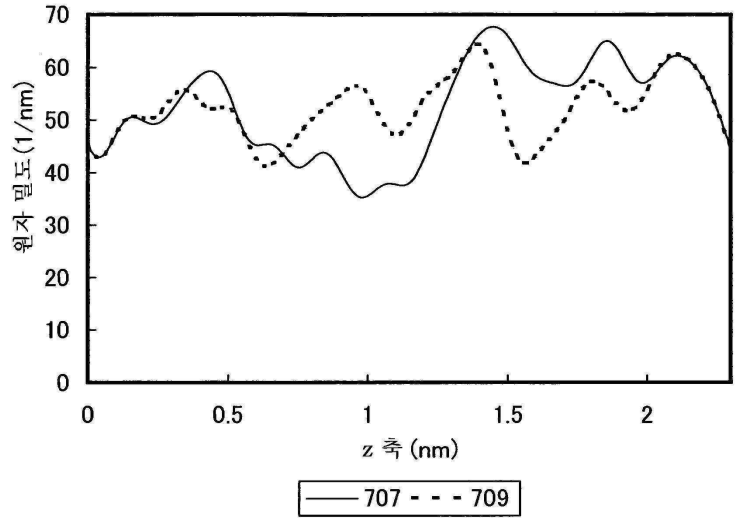
도면36b


256
257
238
237
236
276b
274c
274a
274e
273
274f
274b
274d
244
243
275a
276a
277
275b
270
200
220
227
202
203
204
230
231

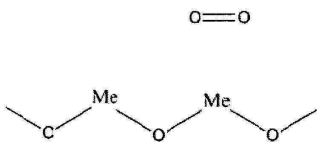
도면37


z축
701
705
703
0

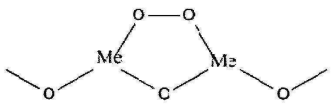
도면38



도면39a



도면39b



도면39c

