



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I447916 B

(45)公告日：中華民國 103 (2014) 年 08 月 01 日

(21)申請案號：098126268

(22)申請日：中華民國 98 (2009) 年 08 月 04 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/08/07 日本

2008-204903

(71)申請人：日本顯示器股份有限公司 (日本) JAPAN DISPLAY INC. (JP)

日本

松下液晶顯示器股份有限公司 (日本) PANASONIC LIQUID CRYSTAL DISPLAY
CO., LTD. (JP)

日本

(72)發明人：海東拓生 KAITOH, TAKUO (JP)；宮澤敏夫 MIYAZAWA, TOSHIO (JP)；境武志
SAKAI, TAKESHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5504348

US 5798744

US 2006015264A1

審查人員：陳英豪

申請專利範圍項數：2 項 圖式數：23 共 0 頁

(54)名稱

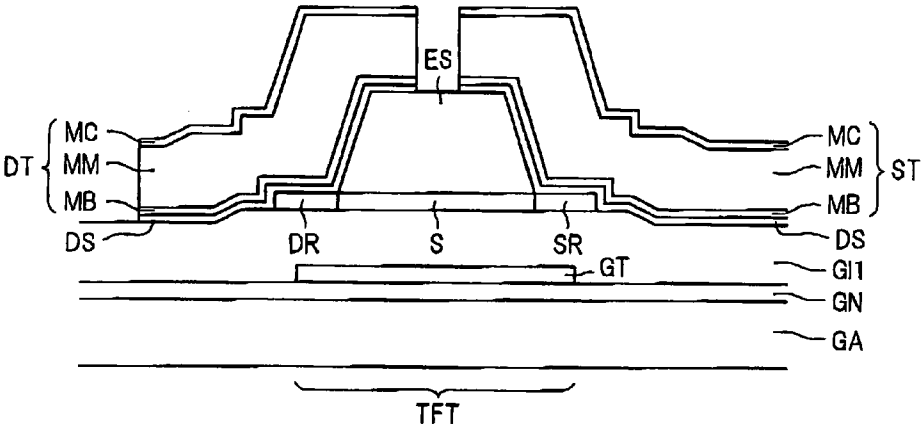
顯示裝置

DISPLAY DEVICE

(57)摘要

本發明之顯示裝置之特徵係包含：含有閘極電極(GT)、通道領域、被形成在挾持通道領域之領域之 2 個不純物領域，並控制源極電極(ST)以及汲極電極(DT)間之電流之半導體膜(S)；中介在源極電極(ST)等與 2 個不純物領域之間之 2 個歐姆接觸層(DS)；在以成為半導體膜(S)之略中心之位置當作中心之一部份之領域被層積之絕緣膜(ES)；半導體膜(S)係被形成含有微結晶矽或多晶矽；2 個不純物領域係被形成在不形成絕緣膜(ES)之領域；2 個歐姆接觸層(DS)係以覆蓋 2 個不純物領域之方式被形成；源極電極(ST)等係以覆蓋歐姆接觸層(DS)之方式被形成。

圖3



- GT . . . 閘極電極
- GI1 . . . 閘極絕緣膜
- S . . . 半導體膜
- ES . . . 絕緣膜
- DT . . . 汲極電極
- ST . . . 源極電極
- DR . . . 汲極領域
- SR . . . 源極領域
- DS . . . 不純物矽層
- MC . . . 金屬蓋層
- MM . . . 主配線層
- MB . . . 障壁金屬層
- GN . . . 污染防止膜
- GA . . . 透明基板

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098126268

※申請日：98 年 08 月 04 日

※IPC 分類：H01L 29/186 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：(中文／英文)

顯示裝置

Display device

二、中文發明摘要：

本發明之顯示裝置之特徵係包含：含有閘極電極（GT）、通道領域、被形成在挾持通道領域之領域之 2 個不純物領域，並控制源極電極（ST）以及汲極電極（DT）間之電流之半導體膜（S）；中介在源極電極（ST）等與 2 個不純物領域之間之 2 個歐姆接觸層（DS）；在以成為半導體膜（S）之略中心之位置當作中心之一部份之領域被層積之絕緣膜（ES）；半導體膜（S）係被形成含有微結晶矽或多晶矽；2 個不純物領域係被形成在不形成絕緣膜（ES）之領域；2 個歐姆接觸層（DS）係以覆蓋 2 個不純物領域之方式被形成；源極電極（ST）等係以覆蓋歐姆接觸層（DS）之方式被形成。

I447916

第 098126268 號

民國 102 年 11 月 14 日修正

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第 3 圖。

(二) 本代表圖之元件符號簡單說明：

GT：閘極電極

GI1：閘極絕緣膜

S：半導體膜

ES：絕緣膜

DT：汲極電極

ST：源極電極

DR：汲極領域

SR：源極領域

DS：不純物矽層

MC：金屬蓋層

MM：主配線層

MB：障壁金屬層

GN：污染防止膜

GA：透明基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明，係有關於使用薄膜電晶體（TFT）進行畫素之顯示控制之顯示裝置及顯示裝置之製造方法。

【先前技術】

檢討使性能比從前更為提升，像使用非晶質矽（a-Si）而被形成之薄膜電晶體之電性的特性等之性能。在此，欲得到所期待之電性的特性，也就例如，一面挪用藉由盡量維持使用非晶質矽被形成之薄膜電晶體之構造所設計之製造程序，一面加大矽結晶粒徑以改善電子移動度等之方向性進行檢討。

日本專利特開平 5-55570 號公報，係該類技術之一例，圖 6 係圖示利用與日本專利特開平 5-55570 號公報所記載同樣之底部閘極（bottom gate）構造之薄膜電晶體。日本專利特開平 5-55570 號公報中，如同圖所示，因為顯示裝置製造上之理由，多晶矽（p-Si）是被層積於非晶質矽之下側。

【發明內容】

在著眼於圖 6 所示之薄膜電晶體時，ON 電流係流過電子移動度較大的多晶矽層 SP，而 OFF 電流就成為問題。這是因為，在對閘極電極 GT 施加付電壓時，會在多晶矽層 SP 感應電洞，由於在汲極電極 DT 以及源極電極 ST

與多晶矽層 SP 之間沒有電位障壁，使電洞導致電流直接流到汲極電極 DT 以及源極電極 ST 的緣故。

於是，本案發明人等首先檢討圖 7 所示之類的構造。如圖 7 所示，藉由將多晶矽層 SP 與非晶質矽層 SA，由與不純物一起以非晶質矽被成膜化之不純物矽層（Doped-Si）DS 所覆蓋，可防止電流通過電洞並抑制 OFF 電流。然而，多晶矽層 SP 與汲極電極 DT 以及源極電極 ST 係中介不純物矽層 DS 而接續，因為該接續部分狹小使接觸電阻變大而令 ON 電流變得不充分。

於是，本案發明人等進而檢討圖 8 所示之類的構造。為了使圖 7 構造之 ON 電流增大，如圖 8 所示，而擴大汲極電極 DT 以及源極電極 ST 與半導體膜 S 所接續之部分，使接觸電阻降低。該加工，首先進行取代非晶質矽層 SA 而形成絕緣膜 ES，半導體膜 S 之未被絕緣膜 ES 覆蓋之部分，則與不純物矽層 DS 接觸。

然而，圖 8 所示之類的構造中，以顯示圖 9A 所示之閘極電壓與汲極電流之特性圖之方式，在汲極電壓 1V，ON 電流可被充分確保，而且，也能抑制 OFF 電流，在汲極電壓 10V 下，則無法抑制 OFF 電流而使漏電流流走。從而，有必要限定適用於薄膜電晶體之汲極電壓在例如 5V 以下，而將汲極電壓設在更高電壓之場合如何抑制 OFF 電流就成為一項課題。

本發明之目的就在於提供一種顯示裝置及其製造方法，可抑制製造過程導致之成本增加，具備藉由加大矽的結

晶粒徑一面改善顯示裝置之薄膜電晶體之電子移動度，一面謀求適切化 ON 電流與 OFF 電流之薄膜電晶體之顯示裝置，及其製造方法。

欲解決上述課題，有關本發明之顯示裝置，其特徵係包含：被層積在透明基板之上側之閘極電極；及被層積在前述閘極電極上側，含通道領域、與在挾持該通道領域之領域將不純物打入而形成之 2 個不純物領域，藉由使該閘極電極所發生之電場控制源極電極以及汲極電極間之電流之半導體膜；及分別中介在前述源極電極以及前述汲極電極與前述 2 個不純物領域之間，使該等歐姆接觸之 2 個歐姆接觸層；及以成爲前述半導體膜之略中心之位置當作中心之該半導體膜之一部分之領域之上側，被層積而接在前述半導體膜之絕緣膜；前述半導體膜係由含微結晶矽或多晶矽而形成；前述 2 個不純物領域係被形成在前述半導體膜上側不形成前述絕緣膜之部分之領域；前述 2 個歐姆接觸層係以分別覆蓋前述 2 個不純物領域之方式被形成；前述源極電極以及前述汲極電極係以分別覆蓋前述 2 個歐姆接觸層之方式被形成。藉此，在使用包含微結晶矽或多晶矽之半導體膜之場合，藉由設置不純物領域形成 PN 接合可抑制 OFF 電流，同時，不純物領域被歐姆接觸層覆蓋使與汲極電極等接觸之面積擴大而可確保充分之 ON 電流。

此外，在上述顯示裝置，前述 2 個不純物領域，係依循前述源極電極以及前述汲極電極之形狀，其一部份被形

成；前述 2 個歐姆接觸層，則分別以從前述絕緣膜之一部份開始覆蓋 2 個不純物領域各自之上面與側面之方式延伸，依循前述源極電極以及前述汲極電極之形狀而被形成。藉此，歐姆接觸層與不純物領域可被有效率地形成，抑制 OFF 電流而且確保 ON 電流。

欲解決上述課題，有關本發明之顯示裝置之製造方法，其特徵係包含：在透明基板上側層積閘極電極之閘極電極層積工程；及在前述閘極電極上側，層積含有微結晶矽或多晶矽，並藉由使該閘極電極所發生之電場控制源極電極以及汲極電極間之電流之半導體膜之半導體膜層積工程；及將不純物注入前述半導體膜之不純物注入工程；及中介在前述源極電極以及前述汲極電極與注入前述不純物之領域之間形成使歐姆接觸之 2 個歐姆接觸層，同成形成前述源極電極以及前述汲極電極之電極形成工程。

此外，在上述顯示裝置之製造方法，前述不純物注入工程係包含：層積被覆前述半導體膜之絕緣膜之絕緣膜層積工程；及在前述絕緣膜上形成抗蝕圖案，側蝕刻後以在比該抗蝕圖案還要內側形成前述絕緣膜之方式進行加工之絕緣膜加工工程；及依隨前述抗蝕圖案，利用乾蝕刻加工前述半導體膜之半導體膜加工工程；以被形成在比前述抗蝕圖案還要內側之前述絕緣膜作為遮罩，將前述不純物注入前述半導體膜。從而，能夠有效率地將不純物打入半導體膜。這時，前述電極形成工程係包含：將用以形成前述歐姆接觸層之膜，以由非晶質矽與不純物所構成之方式加

以成膜之歐姆接觸層成膜工程；及將用以形成前述源極電極以及前述汲極電極之金屬，在用以形成前述歐姆接觸層之膜上側進行成膜之電極成膜工程；及將在前述電極成膜工程被成膜之金屬，加工成前述源極電極以及前述汲極電極之形狀之電極加工工程；及依隨前述源極電極以及前述汲極電極之形狀，將前述絕緣膜視為蝕刻停止膜並藉由加工形成前述歐姆接觸用之膜，形成 2 個歐姆接觸層之歐姆接觸層加工工程；前述顯示裝置之製造方法係進而包含：繼續前述歐姆接觸層加工工程之加工，將被形成之前述不純物注入前述半導體膜之領域，加工成 2 個不純物領域之不純物領域加工工程。從而，能夠依隨源極電極以及汲極電極之形狀，有效率地形成歐姆接觸層、與不純物領域。

【實施方式】

以下，針對本發明之實施型態，參照圖面並加以說明。

有關本發明之一實施型態之顯示裝置，係 IPS (In-Plane Switching) 方式之液晶顯示裝置，係由包含：閘極訊號線、汲極訊號線、薄膜電晶體、畫素電極、以及被配置對向電極之 TFT 基板、與該 TFT 基板對向而被設置彩色濾光裝置之濾光基板、與被封入兩基板所挾持之領域之液晶材料等所構成。該 TFT 基板中，在玻璃基板等之透明基板上配置薄膜電晶體等。

圖 1 係顯示上述液晶顯示裝置之 TFT 基板 SUB 之等

價電路圖。此外，圖 2 係 TFT 基板 SUB 之一個畫素領域之放大平面圖。

在該等圖，TFT 基板 SUB 中，多數之閘極訊號線 GL 互為等間隔放置並朝圖中橫方向延伸，此外，多數之汲極訊號線 DL 則互為等間隔放置並朝圖中縱方向延伸。接著，利用這些閘極訊號線 GL 以及汲極訊號線 DL 區畫出各個並排成棋盤狀之畫素。此外，共同（common）訊號線 CL，與各閘極訊號線 GL 平行地，朝圖中橫方向延伸。

在利用閘極訊號線 GL 以及汲極訊號線 DL 所區畫出之畫素領域之角落，形成具有 MIS（Metal-Insulator-Semiconductor）構造之薄膜電晶體 TFT，其閘極電極 GT 係被接續在閘極訊號線 GL，汲極電極 DT 則被接續在汲極訊號線 DL。此外，在各畫素領域形成一對之畫素電極 PX 以及對向電極 CT，畫素電極 PX 係被接續在薄膜電晶體 TFT 之源極電極 ST，對向電極 CT 則被接續在共同訊號線 CL。

在以上之電路構成，藉由對各畫素之對向電極 CT 中介共同訊號線 CL 施加基準電壓，對閘極訊號線 GL 施加閘極電壓，以選擇畫素行。此外，在該選擇之時機，藉由對各汲極訊號線 DL 供給映像訊號，以對各畫素之畫素電極 PX 施加映像訊號之電壓。藉此，形成在畫素電極 PX 與對向電極 CT 之間會發生因應映像訊號之電壓之強度之橫電場，且因應該橫電場之強度可決定液晶分子之配向。

在此，如圖 2 所示，在被接續於閘極訊號線 GL 之閘

極電極 GT 之上側，形成絕緣膜 ES，再者，汲極電極 DT 以及源極電極 ST 以重疊在絕緣膜 ES 之一部份之方式被形成。

圖 3，係圖示圖 2 所示之 III-III 之剖面，對汲極訊號線 DL 所延伸之方向而言垂直之剖面。如同圖所示，TFT 基板 SUB 上之薄膜電晶體 TFT 中，在閘極電極 GT 之上側中介閘極絕緣膜 GI1 形成半導體膜 S。在半導體膜 S 之上側有絕緣膜 ES 與半導體膜 S 相接而形成，在絕緣膜 ES 之兩側形成汲極電極 DT 與源極電極 ST。此外，在半導體膜 S 之兩端打入不純物形成汲極領域 DR 以及源極領域 SR（以下，簡稱 2 個不純物領域）。該 2 個不純物領域，中介邊塗布不純物邊成膜化非晶質矽之不純物矽層 DS（以下，簡稱歐姆接觸層 DS），取而接續汲極電極 DT 以及源極電極 ST 與歐姆接觸。又，歐姆接觸，就是所謂的在配線層與半導體層等之電性接觸部，電壓—電流特性會顯示直線性之接觸。

在此，半導體膜 S，非晶質矽利用 CVD 法等被成膜化，利用雷射退火裝置（Laser Anneal）等，而朝微結晶矽（ μ c-Si）或多晶矽等之結晶性矽被結晶化。一般而言，隨著半導體膜 S 之矽的結晶性提升，結晶尺寸變大因而電子移動度提升，但是被要求之過程溫度會變高因而造成過程成本增大。

本實施型態之半導體膜 S，係由包含微結晶矽或者多晶矽所形成。

又，微結晶矽，結晶粒徑在 10nm 以上 100nm 左右以下之範圍，半導體膜 S 之結晶粒徑，係能夠利用反射電子線折射或拉曼分光法等加以確認。

接著，在半導體膜 S 之兩端，以絕緣膜 ES 作為遮罩，打入磷（P）等之 N 型不純物打入而形成 2 個不純物領域。半導體膜 S 之絕緣膜 ES 之下側之領域，係被 2 個不純物領域所挾持，形成藉由閘極電極 GT 所發生之電場以控制汲極電極 DT 以及源極電極 ST 間之電流之通道領域。

此外，歐姆接觸層 DS，為了使汲極電極 DT 以及源極電極 ST、與 2 個不純物領域歐姆接觸，而被形成分為 2 個領域。歐姆接觸層 DS，利用材料依循形成汲極電極 DT 以及源極電極 ST 之材料，以覆蓋 2 個不純物領域之方式被形成。因為汲極電極 DT 以及源極電極 ST 主要是由鋁所形成，所以，本實施型態之歐姆接觸層 DS，係由被添加磷等不純物之非晶質矽所形成。如圖 3 所示，該 2 個歐姆接觸層 DS，係被設成橫跨絕緣膜 ES 之一部份、與汲極領域 DR 或源極領域 SR 而延伸之方式。又，磷等不純物也會被注入 2 個不純物領域，但是，歐姆接觸層 DS，其不純物的濃度會高於該等領域，不同於 2 個不純物領域而是由非晶質矽所形成。

絕緣膜 ES，係利用 CVD 法，由例如二氧化矽（SiO₂ 等）所形成。如後述，該絕緣膜 ES，係擔負：在將不純物打入 2 個不純物領域時之作為遮罩之功用，與以汲極

電極 DT 等作為遮罩在蝕刻形成歐姆接觸層 DS 時蝕刻不及於半導體膜 S 之功用。

汲極電極 DT 以及源極電極 ST，主要是由鋁等金屬所形成，以覆蓋 2 個歐姆接觸層 DS 之方式分別被形成。藉此，形成在汲極電極 DT 以及汲極領域 DR 之間、源極電極 ST 以及源極領域 SR 之間，中介有不純物矽層 DS。

根據以上，2 個不純物領域中介 2 個歐姆接觸層 DS 而與汲極電極 DT 以及源極電極 ST 接續之面積擴大的緣故，可減少接觸電阻並確保 ON 電流。接著，2 個不純物領域，形成作為通道領域功能之絕緣膜 ES 下側之半導體膜 S 之部分、與 PN 接合。藉此，在不被施加閘極電壓之場合，在 2 個不純物領域與通道領域之邊界會形成空乏層，即使在汲極電極 DT 以及源極電極 ST，施以較高的電壓之場合，也能防止漏電流（圖 9B）。

以上，針對本實施型態之 TFT 基板 SUB 上之薄膜電晶體 TFT 加以說明。以下，針對製造相關之薄膜電晶體 TFT 之方法，使用圖 4A～圖 4J、以及圖 5A～圖 5C 加以說明。

首先，在玻璃基板等之透明基板 GA 將污染防止膜 GN 成膜化，形成閘極電極 GT（圖 4A）。污染防止膜 GN，係利用例如 CVD 法將氮化矽（SiN）成膜化。此外，閘極電極 GT，係由例如鉬（Mo）等導電性金屬所形成，經過習知之光刻（lithography）工程與蝕刻工程其形狀會被加工成同圖所示型態。

其次，以被覆閘極電極 GT 之方式形成閘極絕緣膜 GI1，而且，在閘極絕緣膜 GI1 上形成半導體膜 S（圖 4B）。閘極絕緣膜 GI1，係例如二氧化矽，利用 CVD 法被成膜化。首先，半導體膜 S，係非晶質矽利用 CVD 法被成膜化，使用雷射退火裝置、或者 RTA（Rapid Thermal Anneal）法等，而朝多晶矽被結晶化。此時，亦可藉由熱處理非晶質矽，使之朝微結晶矽結晶化。

其次，在被結晶化之半導體膜 S 之上側，利用 CVD 法將二氧化矽成膜化，層積絕緣膜 ES（圖 4C）。

接著，在絕緣膜 ES 上，經過習知之光刻工程，形成抗蝕圖案 RP（圖 4D）。在此習知之光刻工程中，首先，在上述絕緣膜 ES 上塗布光阻劑（photoresist），在該光阻劑上，中介被形成特定圖案之光罩而照射紫外線等。當光罩上的圖案所對應之圖案被轉寫至光阻劑上時，就產生被紫外線等照射之部分與不被照射之部分，並於被照射之部分之光阻劑產生化學反應。接著，利用顯影過程，將光阻劑之產生化學反應之部分，或者，並未產生化學反應之部分除去，形成抗蝕圖案 RP。本實施型態之抗蝕圖案 RP 之形狀，係以半導體膜 S 之加工形狀被形成。

接著，特別是，以該抗蝕圖案 RP 作為遮罩，以氟酸系進行濕蝕刻，加工被層積著的絕緣膜 ES（圖 4E）。此時，將絕緣膜 ES 進行側蝕刻，並在抗蝕圖案 RP 之內側形成絕緣膜 ES。利用濕蝕刻加工絕緣膜 ES 之後，依循該抗蝕圖案 RP，藉由進行乾蝕刻，將半導體膜 S 加工成與

抗蝕圖案 RP 同樣之形狀（圖 4F）。絕緣膜 ES，係藉由從抗蝕圖案 RP 之外延部到其內側大致均等地被侵蝕而被形成，如圖 4F 等所示，絕緣膜 ES 之剖面係具有斜度（taper）被形成梯形狀。另一方面，半導體膜 S，係被形成與抗蝕圖案 RP 之形狀大致相同之形狀。從而，絕緣膜 ES，係接在半導體膜 S 之上側，被形成在以成為半導體膜 S 之略中心之位置當作中心之領域。

於是，之後，抗蝕圖案 RP 藉由使用氧電漿等之灰化而被除去，將例如磷（P）等之 N 型不純物打入半導體膜 S（圖 4G）。該不純物，係藉由用離子注入機被離子化而被加速電場，在成為加工之對象之 TFT 基板之面內均等地，對 TFT 基板從略垂直方向被打入。特別是，本實施型態中，作成以圖 4F 所示方式用濕蝕刻被形成之絕緣膜 ES 會成為遮罩，在半導體膜 S 對不形成絕緣膜 ES 之部分之領域 NR 打入不純物。此外，絕緣膜 ES 之下側之領域，並不打入不純物，而作成由多晶矽或微結晶矽所形成。在此，圖 5A 係顯示圖 4G 之各層被加工之情況之俯視圖。如圖 5A 所示，對半導體膜 S 打入不純物而形成之領域 NR，係被形成包圍絕緣膜 ES 之周圍之型態。

在對半導體膜 S 打入不純物之後，歐姆接觸層 DS、與形成汲極電極 DT 以及源極電極 ST 之金屬膜被成膜化（圖 4H）。首先，歐姆接觸層 DS，係藉由將例如磷等之不純物與非晶質矽一起利用 PECVD 法成膜化所形成。本實施型態之歐姆接觸層 DS，被形成其不純物之濃度比被

形成在上述半導體膜 S 之領域 NR 還要高。汲極電極 DT 以及源極電極 ST，利用濺鍍法，分別形成障壁金屬層 MB、主配線層 MM、金屬蓋層 MC。此時，障壁金屬層 MB 以及金屬蓋層 MC，係利用例如鈦、鎢、鉻或鉬等高融點金屬所作成之導電性金屬薄膜所形成。主配線層 MM，係由鋁或者含鋁之合金所形成。又，鋁或鋁系合金，採用與跟不純物一起被成膜化之非晶質矽與良質的歐姆接觸。

接著，金屬蓋層 MC、主配線層 MM、障壁金屬層 MB、以及歐姆接觸層 DS，係利用習知之光刻工程以及蝕刻工程，被加工成汲極電極 DT 以及源極電極 ST 之形狀（圖 4I）。本實施型態之汲極電極 DT 以及源極電極 ST，係由金屬蓋層 MC、主配線層 MM、障壁金屬層 MB 等 3 層所構成。在此，圖 5B 以及圖 5C 係顯示圖 4I 之各層被加工之情況之俯視圖。首先，在金屬蓋層 MC 上形成用以形成汲極電極 DT 以及源極電極 ST 之抗蝕圖案，依循該抗蝕圖案，濕蝕刻金屬蓋層 MC、主配線層 MM、障壁金屬層 MB，形成汲極電極 DT 以及源極電極 ST（圖 5B）。其次，將被形成之汲極電極 DT 以及源極電極 ST 作為遮罩，乾蝕刻歐姆接觸層 DS，加工成與汲極電極 DT 以及源極電極 ST 同樣之形狀。藉此，歐姆接觸層 DS，以被汲極電極 DT 等從上側覆蓋之型態被形成（圖 5B）。

接著，直接繼續加工歐姆接觸層 DS 之乾蝕刻，加工從絕緣膜 ES 露出在半導體膜 S 被打入不純物之領域 NR，形成 2 個不純物領域（汲極領域 DR 以及源極領域 SR

)(圖 5C)。藉由乾蝕刻歐姆接觸層 DS，讓領域 NR 之一部份露出。本實施型態中，領域 NR 與歐姆接觸層 DS，因為一起由被添加磷之矽所形成，所以可以用相同的乾蝕刻之過程加工。此時，絕緣膜 ES，係發揮半導體膜 S 不會被乾蝕刻到之蝕刻停止之功用。如圖 5C 所示，依循汲極電極 DT 以及源極電極 ST 之形狀，加工領域 NR，位於 2 個不純物領域之圖中上側以及下側之側面，以沿著汲極電極 DT 以及源極電極 ST 之加工形狀之方式被形成。在各個汲極電極 DT 以及源極電極 ST、與 2 個不純物領域之間，分別中介有 2 個歐姆接觸層 DS。2 個不純物領域，以分別被 2 個歐姆接觸層 DS 覆蓋之方式被形成。再者，在 2 個歐姆接觸層 DS 之上側，作成與 2 個歐姆接觸層 DS 同樣的形狀之汲極電極 DT 以及源極電極 ST，以覆蓋該 2 個歐姆接觸層之方式被形成。此時，汲極電極 DT 以及源極電極 ST 與 2 個歐姆接觸層 DS，係以從絕緣膜 ES 之一部份開始覆蓋汲極領域 DR 以及源極領域 SR 之方式延伸。汲極領域 DR 以及源極領域 SR，其上面與一個側面被歐姆接觸層 DS 覆蓋，而與歐姆接觸層 DS 接觸。上述作法，藉由領域 NR 被加工成 2 個不純物領域，存在於汲極領域 DR 以及源極領域 SR 之間之領域之半導體膜 S 之領域，成為上側被絕緣膜 ES 覆蓋同時作為通道領域之功能。汲極領域 DR 以及源極領域 SR，在半導體膜 S 之兩端，以挾持作為通道領域功能之領域之方式被形成。

最後，在上述所構成之構造全體，鈍化膜 PA，利用

電漿 CVD 法以氮化矽被成膜化（圖 4J）。利用該鈍化膜 PA，保護上述作法所形成之薄膜電晶體 TFT。

又，在有關本發明之實施型態之液晶顯示裝置，上述係以液晶之驅動方式作為 IPS 方式加以說明，本發明亦可採用 VA（Vertically Aligned）方式或 TN（Twisted Nematic）方式等其他之驅動方式。圖 10 係圖示構成 VA 方式及 TN 方式之顯示裝置之 TFT 基板 SUB 之等價電路，圖 11 係顯示該等方式之顯示裝置之 TFT 基板 SUB 之畫素領域之放大平面圖。在 VA 方式以及 TN 方式之場合，在 TFT 基板 SUB 設置對向電極 CT 以及共同訊號線 CL，取而代之，在與 TFT 基板相對向設置彩色濾光裝置之對向基板，設置對向電極 CT。

又，上述雖以本發明之實施型態作為液晶顯示裝置加以說明，並不限定於此，而至今也還沒有能夠適用於例如有機 EL（Electro Luminescence）元件等之其他顯示裝置之案例。本發明，在不逸脫上述所說明之實施型態之技術的思想之範圍內當然可以有適當變更之可能性。

【圖式簡單說明】

圖 1 係構成 IPS 方式之液晶顯示裝置之 TFT 基板之等價電路圖。

圖 2 係顯示關於本實施型態之 TFT 基板之畫素領域之放大平面圖。

圖 3 係圖 2 之 III—III 截斷面之剖面圖。

圖 4A 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4B 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4C 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4D 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4E 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4F 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4G 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4H 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4I 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 4J 係圖示製造關於本實施型態之顯示裝置之薄膜電晶體 TFT 之情況。

圖 5A 係顯示製造薄膜電晶體 TFT 之情況之俯視圖。

圖 5B 係顯示製造薄膜電晶體 TFT 之情況之俯視圖。

圖 5C 係顯示製造薄膜電晶體 TFT 之情況之俯視圖。

圖 6 係圖示與專利文獻 1 所記載同樣之底部閘極（

bottom gate) 構造之薄膜電晶體。

圖 7 係圖示對於圖 6 之薄膜電晶體之構造本案發明人等檢討後之構造。

圖 8 係圖示對於圖 7 之薄膜電晶體之構造本案發明人等檢討後之構造。

圖 9A 係顯示圖 8 之薄膜電晶體之閘極電壓與汲極電流之特性圖。

圖 9B 係顯示圖 3 之薄膜電晶體之閘極電壓與汲極電流之特性圖。

圖 10 係圖示構成 VA 方式及 TN 方式之顯示裝置之 TFT 基板之等價電路圖之一例。

圖 11 係顯示 VA 方式及 TN 方式之 TFT 基板之畫素領域之一例之放大平面圖。

【主要元件符號說明】

DL：汲極訊號線

SUB：TFT 基板

GT：閘極電極

GI1：閘極絕緣膜

S：半導體膜

ES：絕緣膜

DT：汲極電極

ST：源極電極

DR：汲極領域

SR：源極領域

DS：不純物矽層

MC：金屬蓋層

MM：主配線層

MB：障壁金屬層

GN：污染防止膜

GA：透明基板

七、申請專利範圍：

1. 一種顯示裝置，其特徵係包含：

被層積在透明基板之上側之閘極電極；及

被層積在前述閘極電極上側，含通道領域、與在挾持該通道領域之領域將不純物打入而形成之 2 個不純物領域，藉由使該閘極電極所發生之電場控制源極電極以及汲極電極間之電流之半導體膜；及

分別中介在前述源極電極以及前述汲極電極與前述 2 個不純物領域之間，使該等歐姆接觸之 2 個歐姆接觸層；及

以成為前述半導體膜之略中心之位置當作中心之該半導體膜之一部分之領域之上側，被層積而接在前述半導體膜之絕緣膜；

前述半導體膜係由含微結晶矽或多晶矽而形成；

前述 2 個不純物領域係被形成在前述半導體膜上側不形成前述絕緣膜之部分之領域；

前述汲極電極與前述源極電極、以及前述 2 個歐姆接觸層，係從前述絕緣膜的一部分起以覆蓋前述不純物區域的方式延伸；

前述 2 個歐姆接觸層，係從前述絕緣膜的一部份起以分別覆蓋前述 2 個不純物領域之分別的上面和一個側面的方式延伸，以與前述 2 個不純物區域各自接觸的方式被形成；

前述源極電極以及前述汲極電極係以分別覆蓋前述 2

個歐姆接觸層之方式被形成。

2.如申請專利範圍第 1 項記載之顯示裝置，其中

前述絕緣膜，包括：與前述半導體膜的一部分區域相接的底面、與前述底面對向的上面、與前述底面的端部與前述上面的端部相交的側面；

前述 2 個歐姆接觸層與前述絕緣膜之前述上面與前述側面相接地形成；

前述源極電極與前述汲極電極於前述絕緣膜之前述上面相互對向。

圖 1

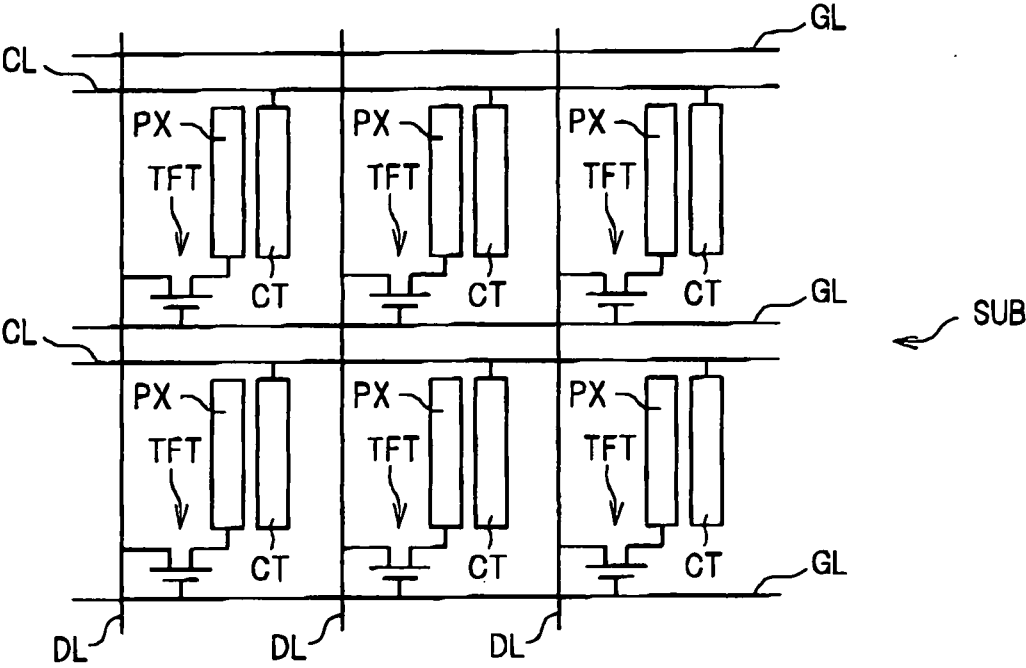


圖2

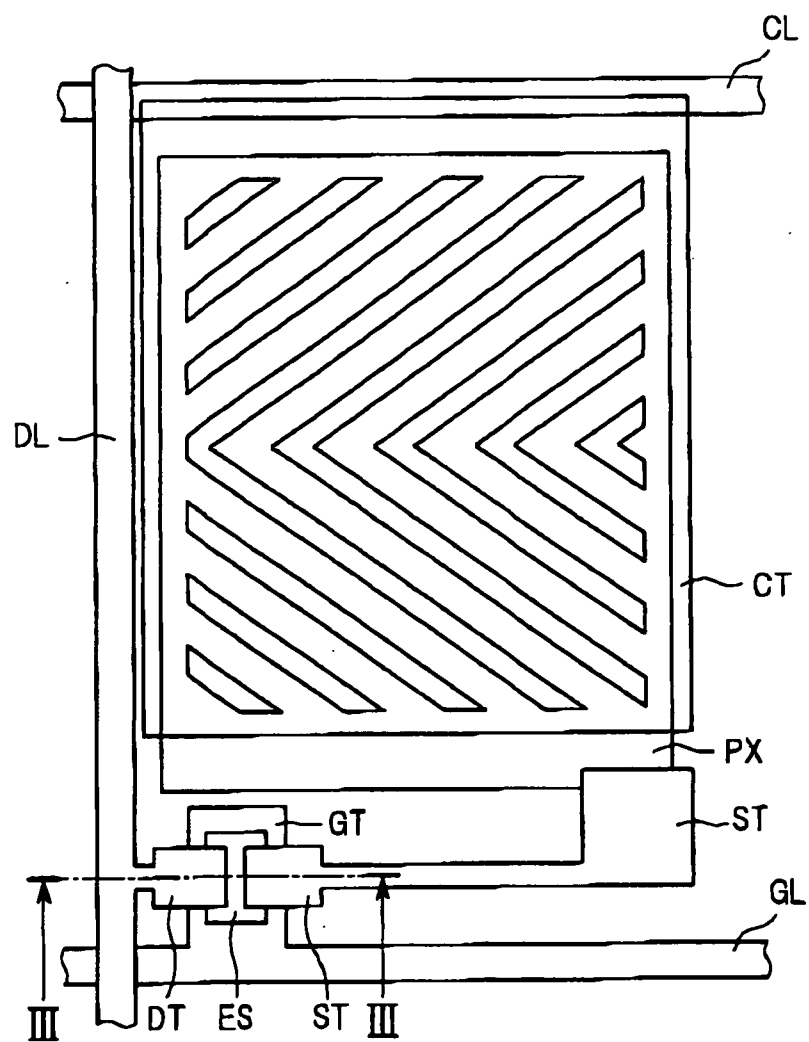


圖 3

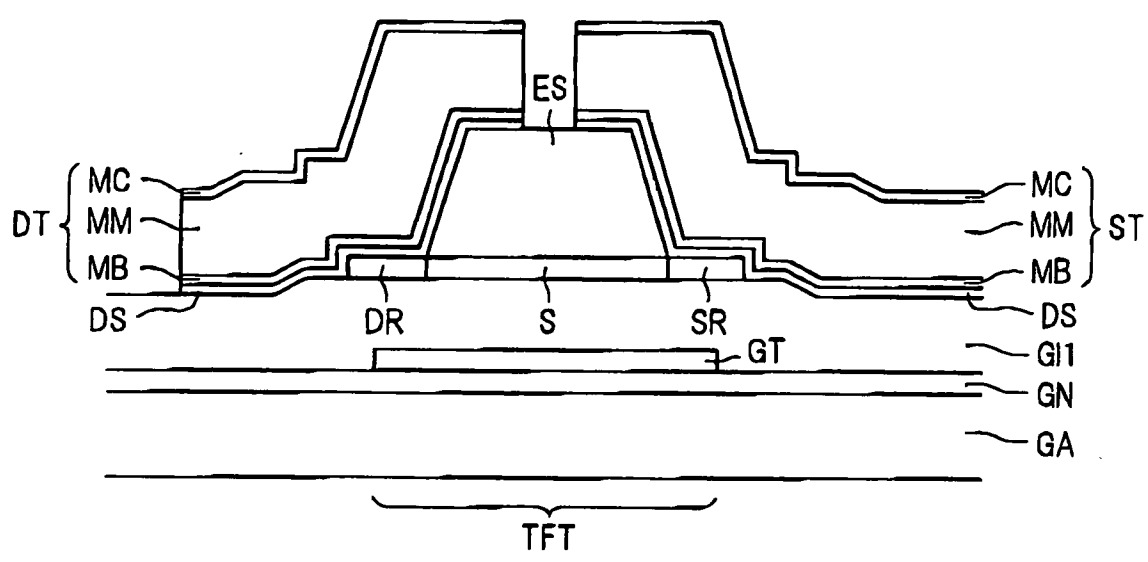


圖 4A

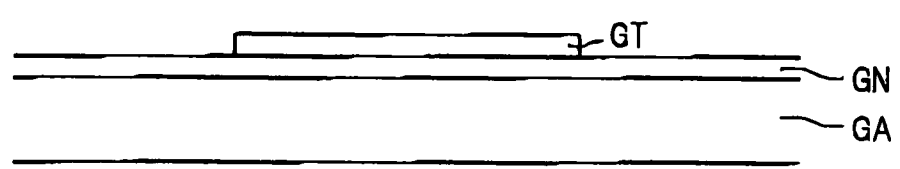


圖 4B

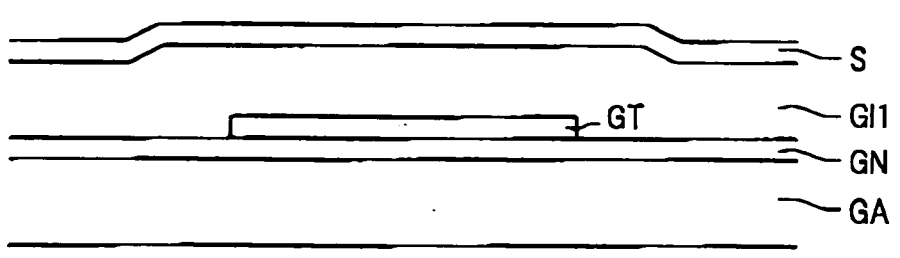


圖 4C

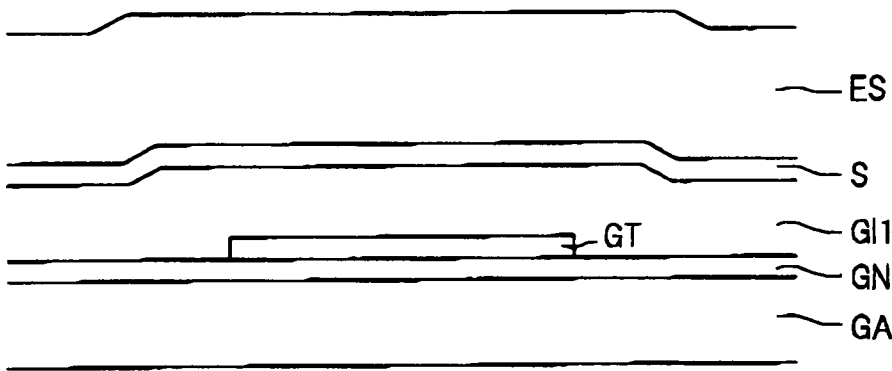


圖 4D

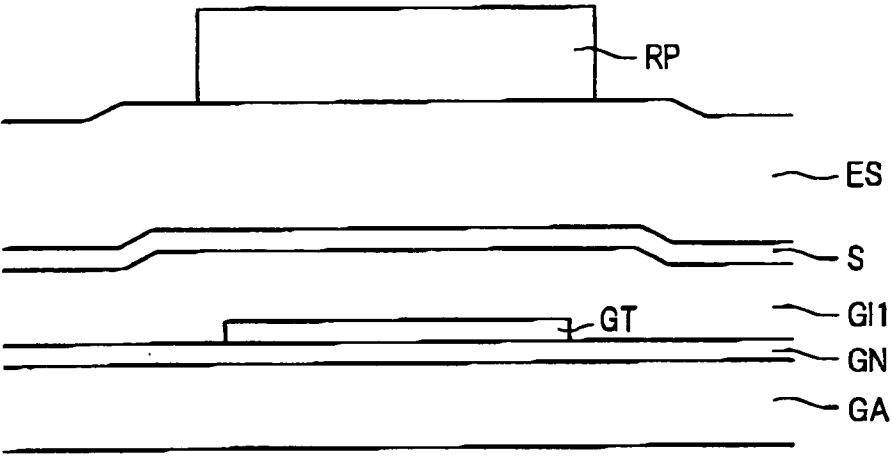


圖 4E

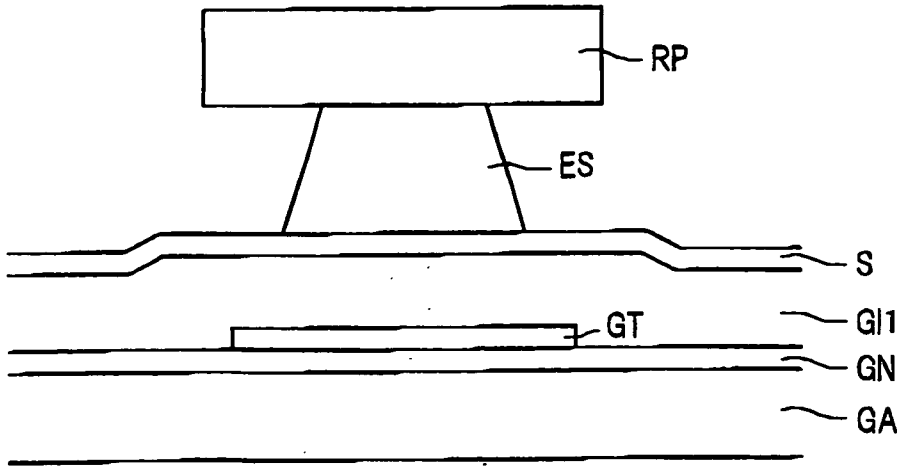


圖 4F

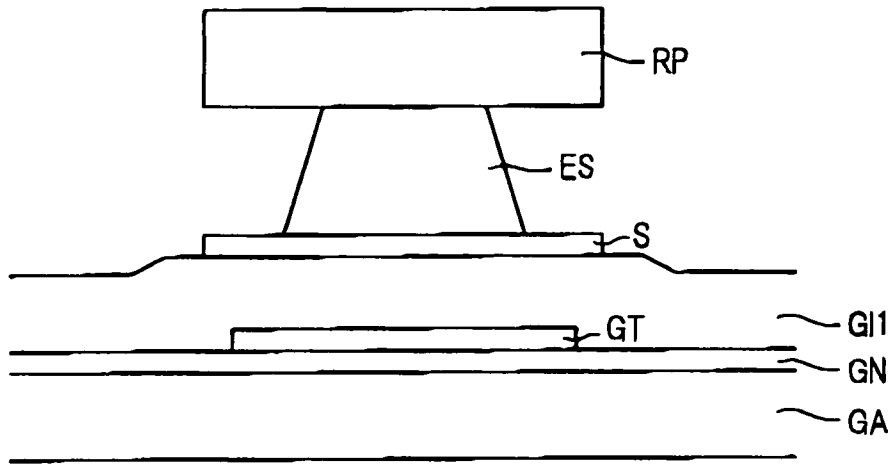


圖 4G

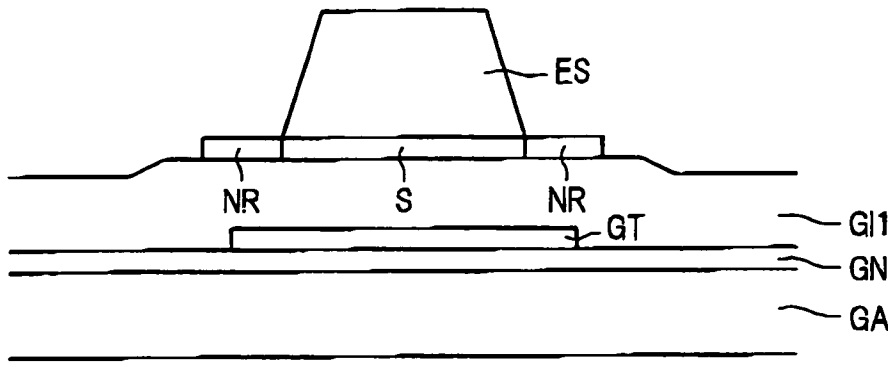


圖 4H

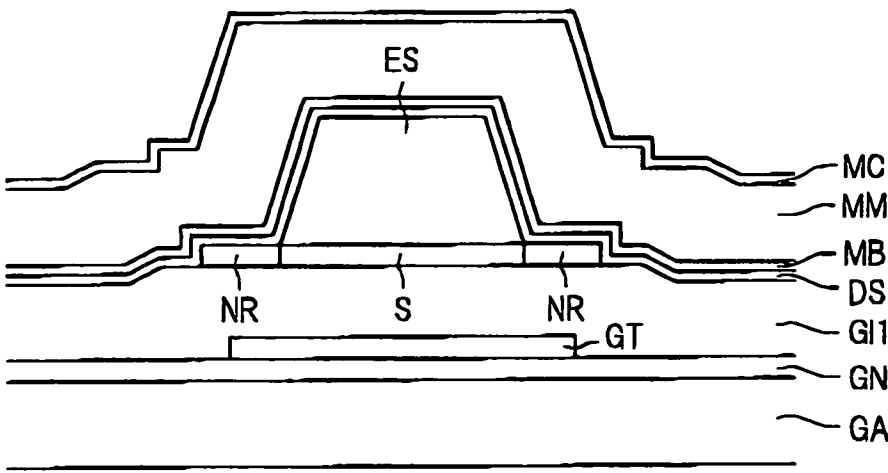


圖4I

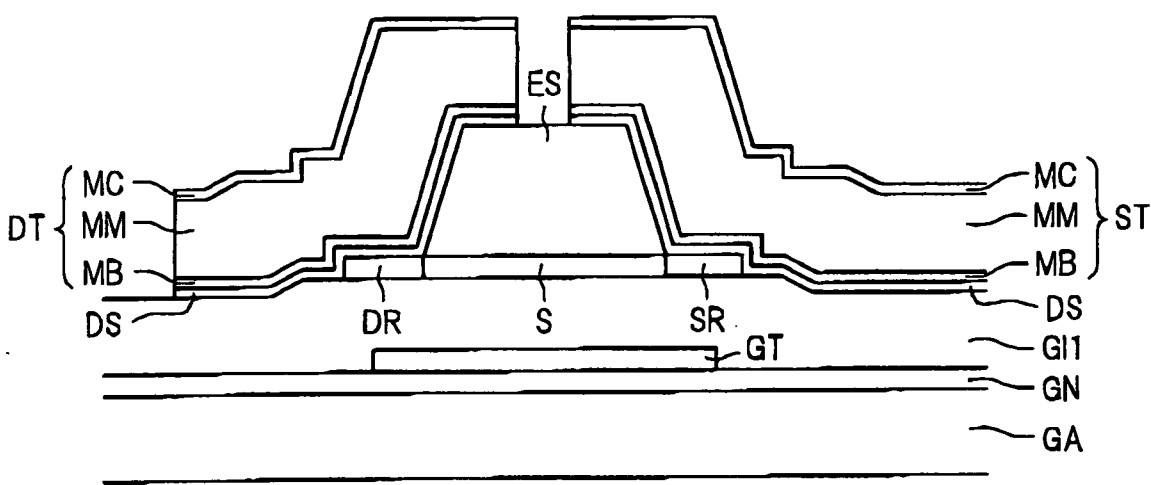


圖4J

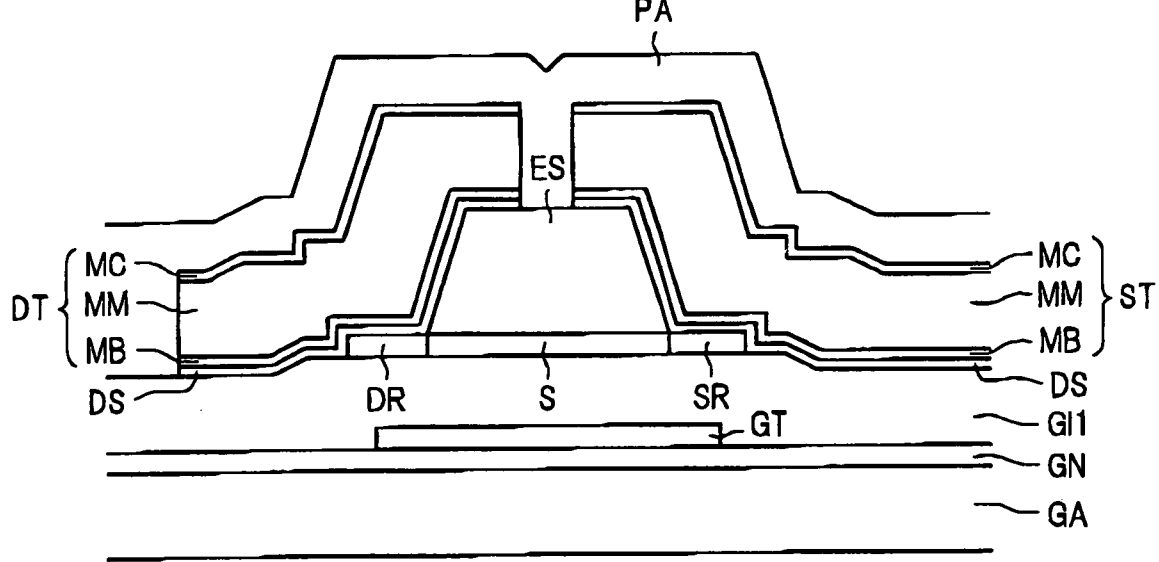


圖5A

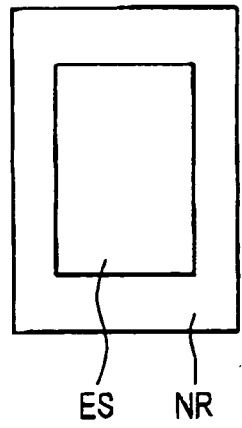


圖 5B

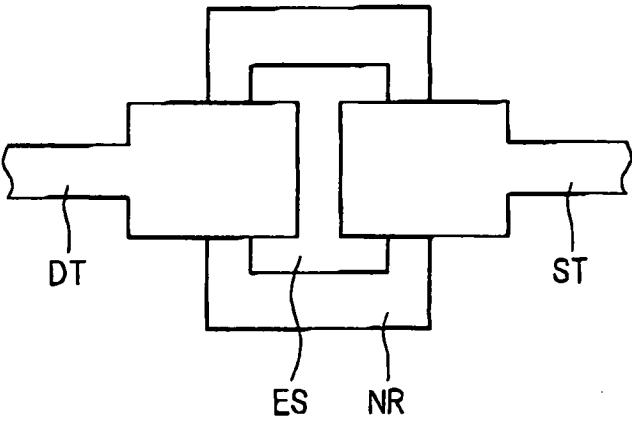


圖 5C

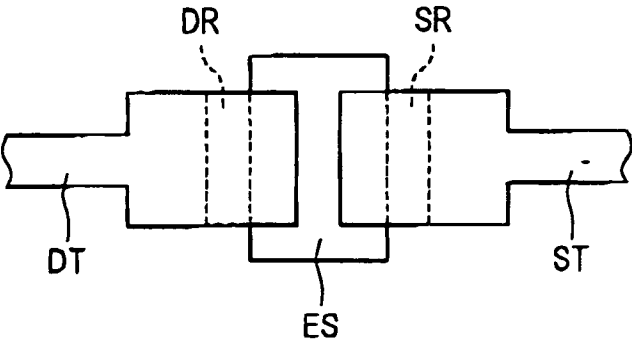


圖 6

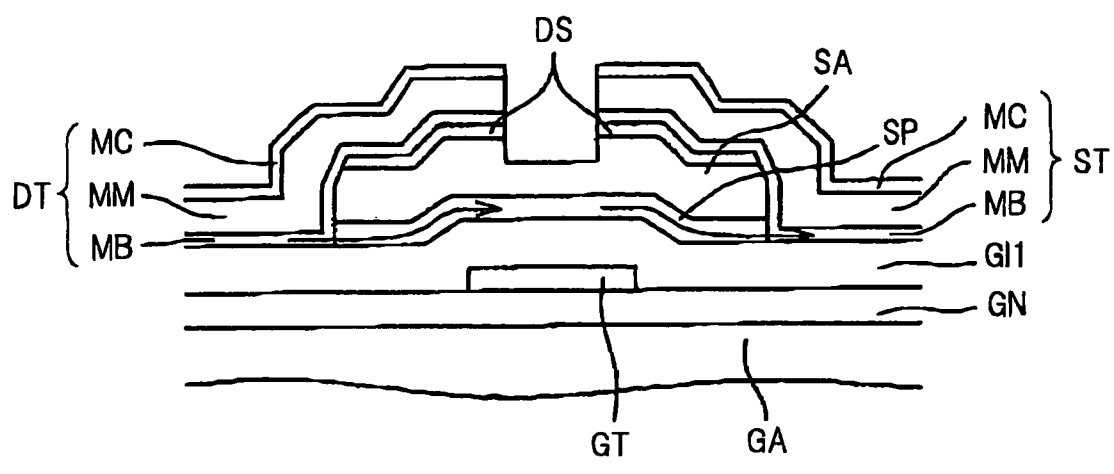


圖 7

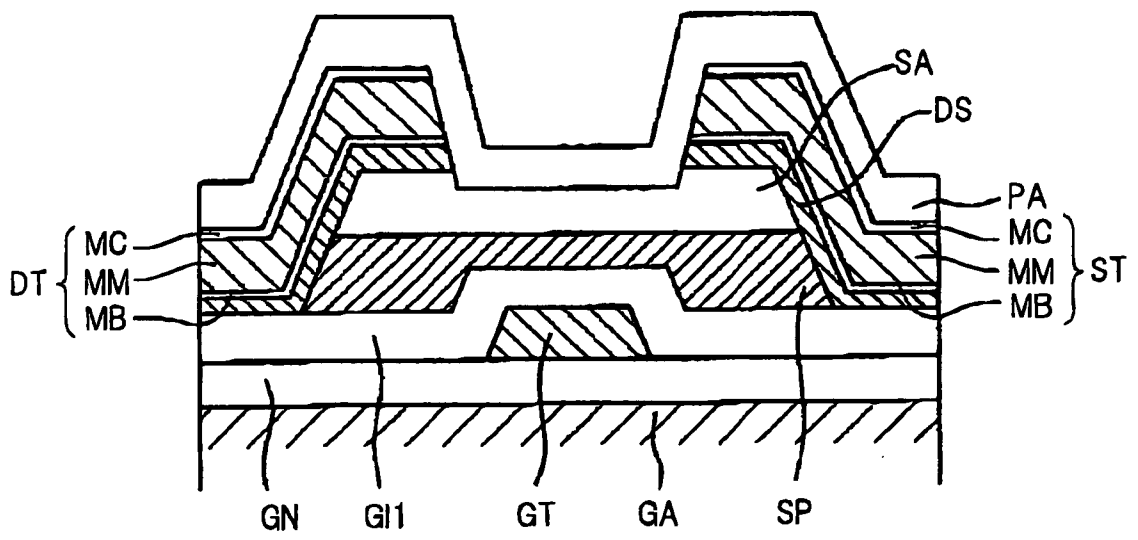


圖 8

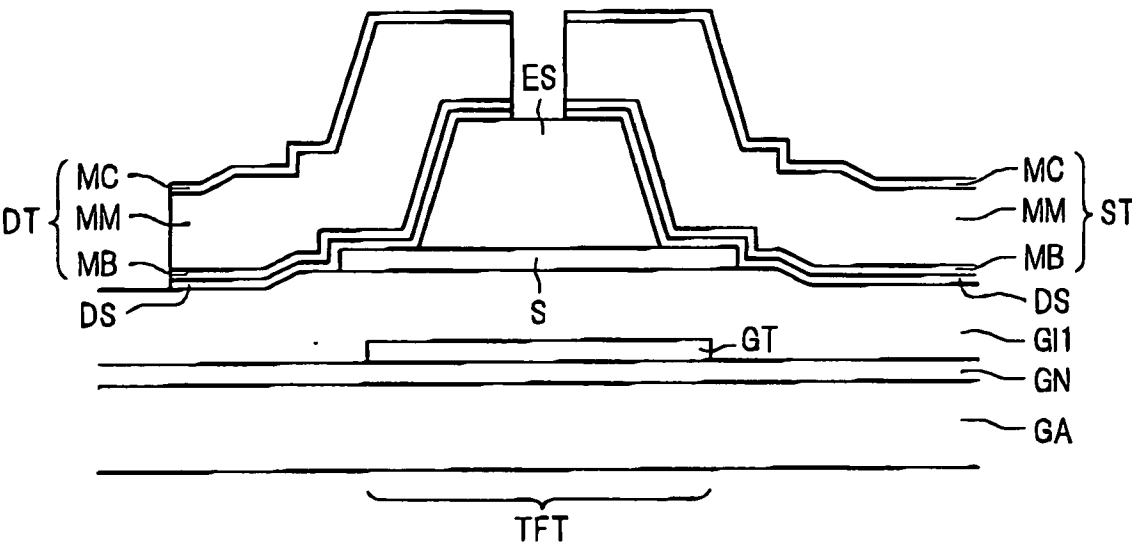


圖 9A

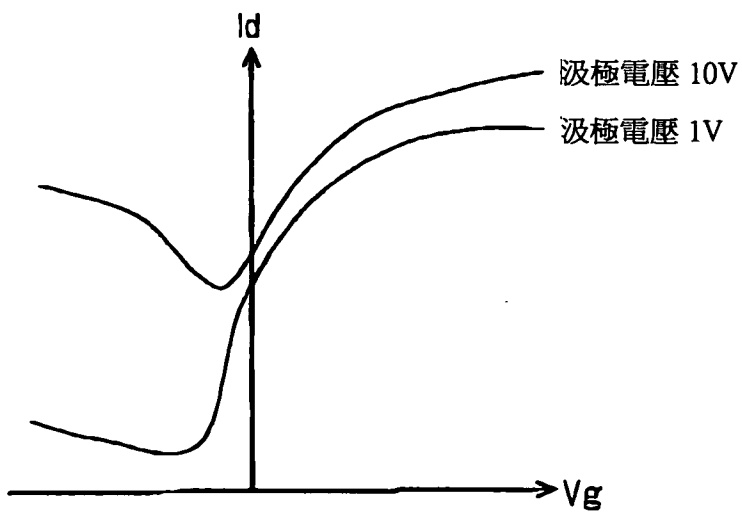


圖 9B

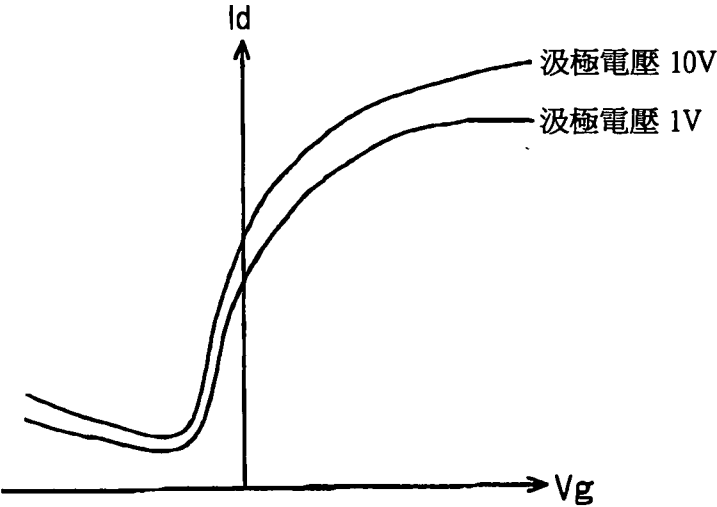


圖 10

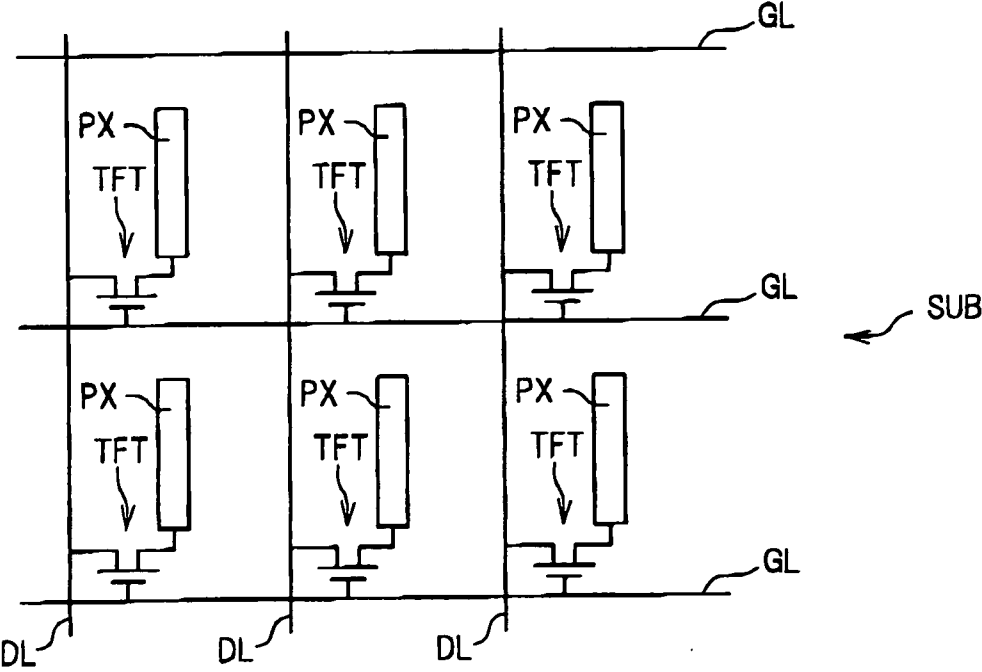


圖 11

