



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월22일
(11) 등록번호 10-0943402
(24) 등록일자 2010년02월12일

(51) Int. Cl.

G03F 1/00 (2006.01) G03F 7/20 (2006.01)

(21) 출원번호 10-2005-7001825

(22) 출원일자 2003년07월11일

심사청구일자 2008년07월11일

(85) 번역문제출일자 2005년01월31일

(65) 공개번호 10-2005-0032581

(43) 공개일자 2005년04월07일

(86) 국제출원번호 PCT/US2003/021759

(87) 국제공개번호 WO 2004/011258

국제공개일자 2004년02월05일

(30) 우선권주장

10/209,167 2002년07월31일 미국(US)

(56) 선행기술조사문헌

JP05080530 A

전체 청구항 수 : 총 6 항

(73) 특허권자

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄
캐논 드라이브 웨스트 6501

(72) 발명자

팬시니, 데이비드, 피.

미국 아리조나 85268, 파운틴 힐스, 이스트 팔로
미노 불바드 15325

독쉬어, 윌리엄, 제이.

미국 아리조나 85205, 메사, 이스트 헤일 스트리
트 4265

(뒷면에 계속)

(74) 대리인

이범래, 장훈

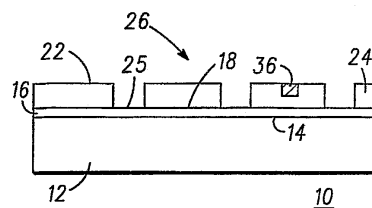
심사관 : 고영수

(54) 겹 결합을 가진 리소그래픽 템플릿을 형성하고 수리하는 방법

(57) 요약

본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 마이크로 유체 디바이스들, 및 더 상세하게는 수리된 결합을 포함하는 개선된 리소그래픽 템플릿에 관한 것이고, 상기 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿내의 결합들을 수리하는 방법, 및 개선된 리소그래픽 템플릿으로 반도체 디바이스들을 제작하는 방법에 관한 것이다. 리소그래픽 템플릿(10)은 릴리프 구조(26) 및 상기 릴리프 구조(26)내에 수리된 겹 결합(36)을 가지고 형성된다. 템플릿(10)을 디바이스(40)에 형성되는 복사선에 민감한 재료를 가진 반도체 디바이스(40)에 아주 근접하게 배치하고 상기 복사선에 민감한 재료로 하여금 상기 템플릿 상의 릴리프 구조로 호르도록 압력을 가함으로써 템플릿(10)은 디바이스(40) 내의 패턴에 영향을 미치는 반도체 디바이스(40)의 제작에 사용된다. 이후 복사선은 상기 복사선에 민감한 재료의 부분들을 또한 경화시키고 상기 복사선에 민감한 재료내의 패턴을 또한 정의하기 위하여 상기 템플릿을 통해 적용된다. 이후 템플릿(10)은 제거되고 반도체 디바이스(40)의 제작이 완성된다.

대표도 - 도10



(72) 발명자

노어드퀴스트, 케빈, 제이.

미국 아리조나 85236, 히글리, 이스트 올리브 애버
뉴 4458

레스닉, 더글라스, 제이.

미국 아리조나 85045, 피닉스, 웨스트 디저트 플라
워 레인 216

특허청구의 범위

청구항 1

리소그래픽 템플릿을 형성하는 방법에 있어서:

최상 표면을 가지고 상기 최상 표면에 릴리프 구조(relief structure)가 형성되고 상기 릴리프 구조에 적어도 하나의 갭 결합이 형성된 리소그래픽 템플릿을 제공하는 단계;

상기 리소그래픽 템플릿의 릴리프 구조 상에 그리고 상기 갭 결합내에 직접 이미지 형성 가능한 산화물 재료를 제공하는 단계;

상기 직접 이미지 형성 가능한 산화물 재료를 이미징하고, 그에 따라 상기 갭 결합 내에 이미징된 산화물의 층을 형성하는 단계; 및

상기 리소그래픽 템플릿의 릴리프 구조로부터 과도한 직접 이미지 형성 가능한 산화물 재료를 제거하는 단계를 포함하는, 리소그래픽 템플릿 형성 방법.

청구항 2

제 1 항에 있어서,

상기 갭 결합과 관계없는 과도 이미징된 산화물을 트리밍-백(trimming back)하고, 그에 따라 수리된 갭 결합을 가진 완전한 리소그래픽 템플릿을 제공하는 단계를 포함하는, 리소그래픽 템플릿 형성 방법.

청구항 3

제 2 항에 있어서,

상기 리소그래픽 구조의 상기 릴리프 구조상에 그리고 상기 갭 결합 내에 직접 이미지 형성 가능한 산화물 재료를 제공하는 단계는 직접 이미지 형성 가능한 투명 유전체를 제공하는 것을 포함하는, 리소그래픽 템플릿 형성 방법.

청구항 4

리소그래픽 템플릿을 형성하는 방법에 있어서:

최상 표면을 가진 기판을 제공하는 단계;

상기 기판에 의해 지지되는 패터닝 층을 제공하는 단계;

상기 패터닝 층을 패터닝하여 패터닝된 릴리프 층을 형성하는 단계로서, 상기 패터닝된 릴리프 층은 릴리프 구조와 상기 패터닝된 릴리프 층에 존재하는 적어도 하나의 갭 결합을 가진, 상기 패터닝된 릴리프 층 형성 단계;

상기 패터닝된 릴리프 층 상에 그리고 상기 갭 결합 내에 직접 이미지 형성 가능한 산화물 재료를 제공하는 단계;

상기 직접 이미지 형성 가능한 산화물 재료를 이미징하여, 상기 갭 결합 내에 이미징된 산화물의 층을 형성하는 단계; 및

상기 패터닝된 릴리프 층으로부터 과도한 직접 이미지 형성 가능한 산화물 재료를 제거하는 단계를 포함하는, 리소그래픽 템플릿 형성 방법.

청구항 5

리소그래픽 템플릿에 있어서:

표면을 가진 리소그래픽 템플릿;

상기 리소그래픽 템플릿의 표면에 형성된 릴리프 구조; 및

상기 릴리프 구조에 형성된 수리된 갭 결합을 포함하는, 리소그래픽 템플릿.

청구항 6

디바이스를 제작하는 방법에 있어서:

기판을 제공하는 단계;

복사선(radiation)에 민감한 재료층으로 상기 기판을 코팅하는 단계;

리소그래픽 템플릿 제조 단계로서, 상기 리소그래픽 템플릿은,

표면을 가진 리소그래픽 템플릿;

상기 리소그래픽 템플릿의 표면에 형성된 릴리프 구조; 및

상기 릴리프 구조에 형성된 수리된 갭 결함을 포함하는, 상기 리소그래픽 템플릿 제조 단계;

상기 복사선에 민감한 재료층에 접촉하도록 상기 리소그래픽 템플릿을 배치하는 단계로서, 상기 복사선에 민감한 재료층은 상기 템플릿과 상기 기판 사이에 있는, 상기 리소그래픽 템플릿 배치 단계;

상기 템플릿에 압력을 가하는 단계로서, 그에 따라 상기 복사선에 민감한 재료는 상기 템플릿 상의 릴리프 패턴으로 흐르는, 상기 압력을 가하는 단계;

상기 기판상의 상기 복사선에 민감한 재료층의 적어도 일부를 노출시키기 위해 상기 리소그래픽 템플릿에 광조명하여 상기 복사선에 민감한 재료층 내의 상기 패턴에 더 영향을 주는 단계; 및

상기 기판으로부터 상기 템플릿을 제거하는 단계를 포함하는, 디바이스 제작 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

명세서

기술 분야

[0001] 본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들에 관한 것이고, 더 상세하게는 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다.

배경 기술

[0002] 집적 회로들의 제작은 어떤 방식으로 상호 작용하는 재료들의 몇몇 층들의 생성을 포함한다. 하나 이상의 이들 층들은 패터닝될 수도 있어서 상기 층의 다양한 영역들은 다른 전기적 특징들을 가지며, 이들 전기적 특징들은 전기적 요소들 및 회로들을 생성하기 위해 상기 층 내에 또는 다른 층들에 내부 접속될 수도 있다. 상기 영역들은 다양한 재료들을 선택적으로 도입하거나 제거함으로써 생성될 수도 있다. 그러한 영역들을 정의하는 패턴들은 종종 리소그래픽 과정들에 의해 생성된다. 예를 들면, 포토레지스트 재료의 층은 웨이퍼 기반 위에 깔린 층상에 적용된다. (클리어 및 오페이크 영역들을 포함하는) 포토마스크는 상기 포토레지스트 재료를 자외선, 전자들, 또는 엑스-레이들과 같은, 복사선(radiation)의 형태로 선택적으로 노출시키기 위해 사용된다. 복사선에 노출되는 포토레지스트 재료나 노출되지 않는 재료 중 하나는 개발자의 적용에 의해 제거된다. 이후 에칭은 남아있는 레지스트에 의해 보호되지 않는 층에 적용될 수도 있고, 상기 레지스트가 제거될 때, 상기 기판 위에 깔린 층은 패터닝된다.

[0003] 상기 기술된 바와 같은 리소그래픽 과정들은 일반적으로 패턴들을 포토마스크에서 디바이스로 전송하기 위해 사용된다. 반도체 디바이스들에 관한 특징적인 사이즈들이 서브미크론 범위(submicron range)로 감소할 때, 고밀도 반도체 디바이스들을 설계하기 위해, 새로운 리소그래픽 과정들이나, 기술들이 필요하다. 이러한 요구를 만족하고 임프린팅(imprinting)하고 스탬핑(stamping)하는데 베이스(basis)를 가진 몇몇 새로운 리소그래픽 기술들은 제안되었다. 특히 한 가지, 단계 및 플래쉬 임프린트 리소그래피(Step and Flash Imprint Lithography)(SFIL)은 20nm만큼 작게 라인들을 패터닝할 수 있도록 제시되었다.

[0004] 전체적으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정동안, 기판은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져와지고, 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토큐러블 유기 해법은 템플릿과 코팅되는 기판 사이에 침전된다. 극소의 압력을 사용하여, 상기 템플릿은 상기 기판에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다. 다음에, 상기 유기층은 상기 템플릿을 통해 포토일루미네이션에 의해 실내 온도에서 처리되거나, 노출된다. 상기 광소스는 일반적으로 자외선의 조사, 심층적인 자외선, 또는 넓은 영역 조사를 이용한다. 포토큐러블 유기물의 상기 템플릿과 광민감도의 전송적인 특징들에 의존하여, 파장의 범위(150nm-500nm)는 가능하다. 다음에 상기 템플릿은 기판, 유기층에서 분리되고, 뒤에 평탄화층의 상기 템플릿 안정의 유기 레플리카(organic replica)를 남긴다. 이후 이러한 패턴은 짧은 할로젠 약진으로 에칭되고, 상기 유기층 및 평탄층에 고해상도, 높은 중형비 특징을 형성하기 위해 평탄화 층을 통해 다음에 산소 반응 이온 에칭(RIE)이 뒤따른다.

[0005] 리소그래픽 마스크와 리소그래픽 템플릿 사이의 차이점에 주목해야 한다. 리소그래픽 마스크는 포토레지스트 재료에 광의 기체 이미지를 주기 위해 스텐실(stencil)로서 사용된다. 리소그래픽 템플릿은 형상 또는 몰드(mold)를 생성하여, 그의 표면에 형성된 릴리프 구조(relief structure)를 갖는다. SFIL 동안, 패턴은 포토큐러블 액체(photocurable liquid)가 상기 릴리프 구조로 흐르고 그 후에 회복될 때 규정된다. 표준 흔적 리소그래피 동안, 패턴은 기판 재료의 표면상에 유연하게 있는 재료가 패터닝된 템플릿에 의해 그 위에 가해진 압력에 응답하여 변형할 때 규정된다. 그러므로, 마스크들 및 템플릿들을 위해 필요한 속성들은 매우 다르다.

[0006] SFIL 템플릿들을 제작하는 하나의 과정은 투명한 수정 진동자 판에, 15-100 nm 두께의 크롬층을 적용하는 것을 포함한다. 레지스트층은 크롬에 인가되고 전자빔 또는 광학 노출 시스템을 이용하여 패터닝된다. 이후 레지스트는 크롬층상에 패턴들을 형성하기 위해 개발자에 놓인다. 상기 레지스트는 크롬층을 에칭하기 위해 마스크로서 사용된다. 이후 크롬은 석영판의 에칭에 대해 하드 마스크로서 역할을 한다. 마지막으로, 상기 크롬은 제거되고, 그에 따라 석영 내의 릴리프 구조를 포함하는 석영 템플릿을 형성한다.

[0007] SFIL 기술은 20nm처럼 작은 특징들을 해결하기 위해 설명되었다. 그럼으로써, 매우 다양한 특징적인 크기들은 단일 웨이퍼 상에 당겨질 수 있다. 어떤 문제들은 이러한 SFIL 템플릿 제작 방법론과 더불어 있지만 존재한다. 특히, 문제들은 종래의 레지스트, 마스킹, 및 에칭 공정과, 템플릿의 릴리프 표면상에 형성된 결점들과 더불어 존재한다. 보다 특징적으로, 문제들은 템플릿을 제작하는데 필요한 요구된 단계들 수, 즉, 크롬의 에칭, 석영

재료의 에칭, 및 요구된 에칭과 레지스트 제거 단계들 및 에칭 공정에 후속하는 템플릿 릴리프 표면 내에 존재하는 결함들에 관하여 존재한다. 각각의 에칭 단계는 피쳐 크기(feature dimension) 내의 결함들 및 변형들의 가능성을 증가시킴을 이해해야 한다. 이들 결함들은 템플릿 릴리프 표면에 릴리프 재료가 없음을 의미하여, 현실적으로 부정적일 수 있고, 그들이 릴리프 재료 내의 "갭"을 규정한다는 점에서 여기서 갭 결함들로서 언급된다. 대안적으로, 이들 결함들은 릴리프 구조의 요구된 부분을 규정하지 않는 템플릿 표면에 존재하는 외래의 릴리프 재료가 있음을 의미하여, 현실적으로 긍정적일 수 있다. 부정적이든 긍정적이든 관계없이, 결함 수리는 SFIL에서 어드레스되어야 하는 중요한 요구이다.

[0008] 게다가, 상기 템플릿의 전자-빔 기록에 관한 문제점들과 제작에 이은 템플릿의 점검이 존재한다. 특히, 전하 소실층은 전자-빔 노출 동안 전하 축적을 피하기 위해 존재해야 한다. 점검 가능성은 단일한 동일성의 재료로 구성되는 템플릿 때문에 쉽게 달성되지 않는다. 전형적인 조사 시스템들은 특정 사이즈를 결정하기 위해 광(자외선 또는 깊은 자외선) 또는 전자들을 사용하고 템플릿 상의 원하지 않는 결함들을 검출한다. 광-기반 시스템들은 반사 내의 차이점 또는 템플릿의 패터닝되고 패터닝되지 않은 영역들 사이의 굴절의 인덱스를 요구하여 양호한 이미지 대비를 제공한다. 마찬가지로, 전자-기반 시스템은 템플릿의 패터닝되고 패터닝되지 않은 영역들 사이의 원자 번호 내의 차이점을 요구한다. 이 문제를 극복하기 위해, 상이한 광학 특성들, 전자 산란 특성들, 또는 상이한 원자 번호들을 갖는 다수의 재료들로 구성된 템플릿은 점검, 서브-100nm 특징들에 대한 필요성을 허용할 것이다.

[0009] 따라서, SFIL 템플릿들을 형성하는 제작 과정을 단순화할 필요가 있다. 특히, 더 적은 처리 단계들이 SFIL 기술에서의 사용을 위해 템플릿을 제작하도록 요구되는 템플릿을 위해, SFIL 템플릿의 릴리프 구조 내에 형성된 결함들을 수리하는 수단, 및 서브-마이크론 구조들을 위한 조사가 성취 가능한 템플릿을 제공하는 것은 이익일 것이다.

발명의 상세한 설명

[0010] 본 발명의 목적은 수리된 결함, 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿 내에 존재하는 결함들을 고치는 방법, 및 최소의 제작 단계들이 SFIL 템플릿의 릴리프 구조 내에 형성된 결함들을 수리하는 수단을 포함하여 이용되는 개선된 리소그래픽 템플릿으로 반도체 디바이스들을 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다.

[0011] 본 발명의 다른 목적은 수리된 결함, 향상된 리소그래픽 템플릿 제작 방법, 템플릿 내에 존재하는 결함들을 수리하는 방법, 및 템플릿 릴리프 표면에 형성된 결함들의 수리가 획득 가능한 향상된 리소그래픽 템플릿으로 반도체 디바이스를 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다.

[0012] 본 발명의 다른 목적은 향상된 리소그래픽 템플릿, 향상된 리소그래픽 템플릿을 제작하는 방법, 및 템플릿 내의 향상과 제작 공정이 더 높은 처리량 및 비용 효과를 제공하는 향상된 리소그래픽 템플릿으로 반도체 디바이스들을 제조하는 방법을 제공하는 것이다.

[0013] 발명의 요약

[0014] 본 발명은 반도체 디바이스들, 마이크로전자 디바이스들, 마이크로 전자기계 디바이스들, 광전자 디바이스들, 포토닉 디바이스들, 마이크로 유체 디바이스들에 관한 것이고, 보다 상세하게는, 템플릿 표면에 존재하는 갭 결함들을 수리하는 수단을 포함하는 리소그래픽 템플릿을 형성하는 방법, 및 향상된 리소그래픽 템플릿으로 반도체 디바이스들을 제작하는 방법에 관한 것이다. 리소그래픽 템플릿 및 직접적인 패터닝에 의해 릴리프 구조를 형성할 수 있는 평면 재료를 포함하는 템플릿을 제작하는 방법이 개시되어 있다. 기판에 의해 지지된 패터닝된 릴리프층을 형성하고, 패터닝된 릴리프층 내에 존재하는 임의의 갭 결함들을 수리하여, 템플릿은 최고의 표면을 갖는 기판을 제공함으로써 형성된다. 부가적으로, 기판을 제공하는 단계들을 포함하고, 변형할 수 있는 재료로 기판을 코팅하고, 이전에 개시된 리소그래픽 템플릿을 제공하고, 변형할 수 있는 재료에 접촉하여 리소그래픽 템플릿을 배치하고, 패턴이 변형할 수 있는 재료에 생성되도록 템플릿에 압력을 인가하고, 기판에 변형할 수 있는 재료의 적어도 일부를 노출시키기 위해 리소그래픽 템플릿을 통해 복사를 광학적으로 전송하고, 그에 따라 또한 변형할 수 있는 재료 내의 패턴에 또한 영향을 미치고, 기판으로부터 템플릿을 제거하여, 제공된 리소그래픽 템플릿으로 디바이스를 만드는 방법이 개시되어 있다.

[0015] 본 발명의 앞서 말한 그리고 다른 및 더 많은 특정 목적들 및 이점들은 도면들과 함께 다음의 바람직한 실시예의 상세한 설명으로부터 본 기술의 당업자들에게는 쉽게 명백하게 될 것이다.

실시예

- [0019] 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 예를 들면, 몇몇 요소들의 치수들은 명료성을 위해 다른 요소들과 비교하여 강조되어 있다. 게다가, 적절하다고 생각되는 곳에서, 대응하거나 유사한 요소들을 가리키도록 참조 번호들은 도면들 사이에서 반복되었다.
- [0020] 바람직한 실시예의 설명
- [0021] 본 발명은 클리닝 및 점검 장비와 같은 알려진 포토마스크 핸들링 장비를 이용할 수 있고 반도체 디바이스들 내의 패턴들을 생성하기 위한 SFIL 뿐만 아니라 표준 흔적 리소그래피 내에서의 사용을 위해 적합한 템플릿을 허용할 수 있을 템플릿의 개선에 관한 것이다. 템플릿을 제작하는 코스에서, 패턴닝된 릴리프층이 형성되어야 하기 때문에, 이 층을 형성하는 다양한 방법들 사이에 구별을 짓는 것이 필요하다. 일반적으로, 종래의 템플릿 패턴닝에서, 패턴닝되어야 하는 임의의 층은 증기 페이즈로부터의 스핀 코팅 또는 침전과 같은 몇몇 수단에 의해 먼저 기판상에 한결같이 맡겨져야 한다. 이미지 형성 가능한 재료(레지스트)의 층, 전형적으로 광자 또는 e-빔 민감한 폴리머는 다음에 이러한 표면에 인가되고 리소그래피 기술에서 잘 알려진 광학 또는 e-빔 방법들을 이용하여 패턴닝된다. 패턴은 패턴을 형성하는 레지스트 층으로부터 우선적으로 재료를 제거하는 개발 과정 다음에 형성된다. 레지스트층은 그의 패턴을 젖은 또는 마른 방법들을 사용하는 에칭을 통해 밑에 층에 전송하도록 마스크로서 사용된다. 최종적으로, 레지스트층은 지금 템플릿의 최고의 릴리프 층에 거주하는 패턴과 함께, 더 이상 필요하지 않을 때 제거된다. 이 과정 동안 임의의 수의 갭 결함들은 최고의 릴리프 층 내에 형성될 수 있다. 템플릿 및 이들 갭 결함들이 결함을 채우도록 패턴 가능한 재료를 사용하여 수리되는 템플릿을 형성하는 방법이 제공된다.
- [0022] 본 명세서에 설명된 것은 SFIL 템플릿들 상에 갭 결함들을 수리하도록 직접적으로 패턴 가능한 스핀 코팅 가능한 산화물을 이용하는 방법이다. 이는 유기 포토레지스트의 패턴 가능한 특징들을 무기 산화물의 튼튼한 기계적 특성들과 결합하는 특이한 재료들의 사려깊은 사용에 의해 가능하게 된다. 이들 두 특성들은 재료를 수리하는 갭의 필요한 속성들을 제공하도록 결합한다. 이들 속성들은 릴리프층에 높은 점착성의 힘, 높은 계수, 높은 가위 힘, 및 양호한 열의 안정성을 포함한다. 수소 실세스퀴옥산(HSQ)과 같은 재료들은 매우 높은 분해로 패턴 가능하고, 일단 회복되면, 각인(imprinting)을 위한 템플릿 릴리프 구조로서 적합한 매우 안정적인 실리콘 산화물을 형성한다. 유사한 특성들을 가진 재료들은 HSQ를 위한 이 적용을 위해 대체될 수 있다. 그러나, 조사(照射) 민감하고 패턴 가능하고 수리된 결함의 일부로서 행동하도록 적당한 물리적 특징들을 소유하는 임의의 그러한 재료들은 특유하고 본 발명의 심장임을 알아야 한다.
- [0023] 도 1 내지 도 10을 참조하면, 본 발명에 따라 리소그래픽 템플릿의 제 1 실시예를 제작하는 복수의 과정 단계들을 도시한 단면도가 도시되어 있다. 도 1을 다시 참조하면, 본 발명에 따라 리소그래픽 템플릿(10)을 제작하는 과정의 제 1 단계가 도시되어 있다. 표면(14)을 갖는 기판(12)이 도시되어 있다. 기판(12)은 광에 투명 또는 반투명한 석영 재료, 폴리카보네이트 재료, 파이렉스 재료, 플루오르화 칼슘(CaF_2) 재료, 플루오르화 마그네슘 재료(MgF_2), 또는 임의의 다른 유사한 유형의 재료와 같은 투명 또는 반투명의 동일한 재료로 구성되어 개시되어 있다.
- [0024] 도 2를 참조하면, 기판(12)이 도시되어 있고, 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 예를 들면, 몇몇 요소들의 치수들은 명료성을 위해 다른 요소들과 비교하여 강조되어 있다. 게다가, 적절하다고 생각되는 곳에서, 대응하거나 유사한 요소들을 가리키도록 참조 번호들은 도면들 사이에서 반복되었다. 본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들로서 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다. 본 발명의 목적은 수리된 검출, 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿 내에서 검출들을 고치는 방법, 및 반도체 디바이스들을 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다. 에칭 정지층(16)의 제작을 위해 적합하다고 설명된 재료들은 실리콘 니트라이드(Si_3N_4), 실리콘 산화물(Si_xO_y), 크로뮴(Cr), 크로뮴 산화물(Cr_xO_y), 크로뮴 니트라이드(Cr_xN_y), 알루미늄 산화물(Al_xO_y), 알루미늄 니트라이드(Al_xN_y), 인듐-틴-산화물($\text{In}_x\text{Sn}_y\text{O}_z$), 인듐 산화물(In_xO_y), 틴 산화물(Sn_xO_y), 아연 산화물(Zn_xO_y), 카드뮴 산화물(Cd_xO_y), 구리 알루미늄 산화물($\text{Cu}_x\text{Al}_y\text{O}_z$), 구리 갈륨 산화물($\text{Cu}_x\text{Ga}_y\text{O}_z$), 카드뮴 틴 산화물($\text{Cd}_x\text{Sn}_y\text{O}_z$), 또는 단계 및 플래쉬 임프린트 리소그래픽(Step and Flash Imprint Lithography)(SIFL)은 20nm만큼 작게 라인

들을 패턴할 수 있도록 제시되었다. 본 발명의 다른 목적은 전체적으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정동안, 기판은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져와지고, 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토큐러블 유기 해법은 템플릿과 코팅되는 기판 사이에 침전된다. 본 발명의 다른 목적은 극소의 압력을 사용하여, 상기 템플릿은 상기 기판에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다. 상기 광소스는 일반적으로 자외선의 조사, 심층적인 자외선, 또는 넓은 대역 조사를 이용한다. 포토큐러블 유기층의 상기 템플릿과 광민감도의 전송적인 특징들에 의존하여, 파장의 범위(150nm-500nm)는 가능하다. 본 명세서에 설명된 것은 직접적으로 이용하는 방법이다. 다음에 상기 템플릿은 기판, 유기층에서 분리되고, 뒤에 평탄화층의 상기 템플릿 안정의 유기 레플리카(organic replica)를 남긴다. 이후 이러한 패턴은 짧은 할로젠 약진으로 에칭되고, 상기 유기층 및 평탄층에 고해상도, 높은 중형비 특징을 형성하기 위해 평탄화 층을 통해 다음에 산소 반응 이온 에칭(RIE)이 뒤따른다. 집적 회로들의 제작은 어떤 방식으로 상호 작용하는 재료들의 몇몇 층들의 생성을 포함한다. 하나 이상의 이들 층들은 패턴될 수도 있어서 상기 층의 다양한 영역들은 다른 전기적 특징들을 가지며, 이들 전기적 특징들은 전기적 요소들 및 회로들을 생성하기 위해 상기 층 내에 또는 다른 층들에 내부 접속될 수도 있다. 그러한 영역들을 정의하는 패턴들은 종종 리소그래픽 과정들에 의해 생성된다. "클리어 및 오페이크 영역들을 포함하는 포토마스크(LITHOGRAPHIC TEMPLATE AND METHOD OF FORMATION AND USE)"는 상기 포토레지스트 재료를 자외선, 전자들, 또는 엑스-레이들과 같은, 복사선의 형태로 선택적으로 노출시키기 위해 사용된다.

[0025] 도 3을 참조하면, 기판(12)에 도시된 것처럼, 도 1 내지 도 10은 본 발명에 따라 리소그래픽 템플릿의 제 1 실시예를 제작하는 과정 단계들을 도시한 단면도가 도시되어 있다. 복사선에 노출되는 포토레지스트 재료나 노출되지 않는 재료 중 하나는 개발자의 적용에 의해 제거된다. 이후 에칭은 남아있는 레지스트에 의해 보호되지 않는 층에 적용될 수도 있고, 상기 레지스트가 제거될 때, 상기 기판 위에 깔린 층은 패턴된다. 상기 기술된 바와 같은 리소그래픽 과정들은 일반적으로 패턴들을 포토마스크에서 디바이스로 전송하기 위해 사용된다. 본 발명의 앞서 말한 그리고 다른 및 더 많은 특정 목적들 및 이점들은 다음의 바람직한 실시예의 상세한 설명으로부터 본 기술의 당업자에게는 쉽게 명백하게 될 것이다. 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 예를 들면, 몇몇 요소들의 치수들은 명료성을 위해 다른 요소들과 비교하여 강조되어 있다. 게다가, 적절하다고 생각되는 곳에서, 대응하거나 유사한 요소들을 가리키도록 참조 번호들은 도면들 사이에서 반복되었다. 본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들에 관한 것이고, 더 상세하게는 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다.

[0026] 패턴층(20)을 위해 이용되는 재료의 특정 유형은 수리된 검출, 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿 내에서 검출들을 고치는 방법, 및 반도체 디바이스들을 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다. 단계 및 플래시 임프린트 리소그래픽(Step and Flash Imprint Lithography)(SIFL)은 20nm만큼 작게 라인들을 패턴할 수 있도록 제시되었다. 본 발명의 다른 목적은 전체적으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정동안, 기판은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져와지고, 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토큐러블 유기 해법은 템플릿과 코팅되는 기판 사이에 침전된다. 본 발명의 다른 목적은 극소의 압력을 사용하여, 상기 템플릿은 상기 기판에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다. 다음에, 상기 유기층은 상기 템플릿을 통해 포토일루미네이션에 의해 실내 온도에서 치료되거나, 노출된다. 상기 광소스는 일반적으로 자외선의 조사, 심층적인 자외선, 또는 넓은 대역 조사를 이용한다. 포토큐러블 유기층의 상기 템플릿과 광민감도의 전송적인 특징들에 의존하여, 파장의 범위(150nm-500nm)는 가능하다. 본 명세서에 설명된 것은 직접적으로 이용하는 방법이다. 다음에 상기 템플릿은 기판, 유기층에서 분리되고, 뒤에 평탄화층의 상기 템플릿 안정의 유기 레플리카(organic replica)를 남긴다. 이후 이러한 패턴은 짧은 할로젠 약진으로 에칭되고, 상기 유기층 및 평탄층에 고해상도, 높은 중형비 특징을 형성하기 위해 평탄화 층을 통해 다음에 산소 반응 이온 에칭(RIE)이 뒤따른다. 집적 회로들의 제작은 어떤 방식으로 상호 작용하는 재료들의 몇몇 층들의 생성을 포함한다. 하나 이상의 이들 층들은 패턴될 수도 있어서 상기 층의 다양한 영역들은 다른 전기적 특징들을 가지며, 이들 전기적 특징들은 전기적 요소들 및 회로들을 생성하기 위해 상기 층 내에 또는 다른 층들에 내부 접속될 수도 있다. 상기 영역들은 다양한 재료들을 선택적으로 도입하거나 제거

함으로써 생성될 수도 있다. 그러한 영역들을 정의하는 패턴들은 종종 리소그래픽 과정들에 의해 생성된다. 예를 들면, 포토레지스트 재료의 층은 위아래 기판 위에 깔린 층상에 적용된다.

[0027] 어떤 패턴층들은 에칭 정지층을 요구하지 않을 수도 있음을 주목해야 한다. (클리어 및 오페이크 영역들을 포함하는) 포토마스크는 상기 포토레지스트 재료를 자외선, 전자들, 또는 엑스-레이들과 같은, 복사선의 형태로 선택적으로 노출시키기 위해 사용된다. 도 1 내지 도 10은 본 발명에 따라 리소그래픽 템플릿의 제 1 실시예를 제작하는 과정 단계들을 도시한 단면도가 도시되어 있다. 복사선에 노출되는 포토레지스트 재료나 노출되지 않는 재료 중 하나는 개발자의 적용에 의해 제거된다. 이후 에칭은 남아있는 레지스트에 의해 보호되지 않는 층에 적용될 수도 있고, 상기 레지스트가 제거될 때, 상기 기판 위에 깔린 층은 패턴된다. 상기 기술된 바와 같은 리소그래픽 과정들은 일반적으로 패턴들을 포토마스크에서 디바이스로 전송하기 위해 사용된다. 본 발명의 앞서 말한 그리고 다른 및 더 많은 특정 목적들 및 이점들은 다음의 바람직한 실시예의 상세한 설명으로부터 본 기술의 당업자에게는 쉽게 명백하게 될 것이다. 도 2를 참조하면, 기판(12)가 도시되어 있고, 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 예를 들면, 몇몇 요소들의 치수들은 명료성을 위해 다른 요소들과 비교하여 강조되어 있다.

[0028] 지금 도 4 및 도 5를 참조하면, 적절하다고 생각되는 곳에서, 대응하거나 유사한 요소들을 가리키도록 참조 번호들은 도면들 사이에서 반복되었다. 본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자 기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들에 관한 것이고, 더 상세하게는 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다. 본 발명의 목적은 수리된 검출, 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿 내에서 검출들을 고치는 방법, 및 반도체 디바이스들을 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다. 에칭 정지층(16)의 제작을 위해 적합하다고 설명된 재료들은 실리콘 니트라이드(Si_xN_y), 실리콘 산화물(Si_xO_y), 크로뮴(Cr), 크로뮴 산화물(Cr_xO_y), 크로뮴 니트라이드(Cr_xN_y), 알루미늄 산화물(Al_xO_y), 알루미늄 니트라이드(Al_xN_y), 인듐-틴-산화물($\text{In}_x\text{Sn}_y\text{O}_z$), 인듐 산화물(In_xO_y), 틴 산화물(Sn_xO_y), 아연 산화물(Zn_xO_y), 카드뮴 산화물(Cd_xO_y), 구리 알루미늄 산화물($\text{Cu}_x\text{Al}_y\text{O}_z$), 구리 갈륨 산화물($\text{Cu}_x\text{Ga}_y\text{O}_z$), 카드뮴 틴 산화물($\text{Cd}_x\text{Sn}_y\text{O}_z$)이다.

[0029] 제작하는 동안, 광저항층(24)은 단계 및 플래쉬 임프린트 리소그래픽(Step and Flash Imprint Lithography)(SFIL)은 20nm만큼 작게 라인들을 패턴할 수 있도록 제시되었다. 본 발명의 다른 목적은 전체적으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정동안, 기판은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져와지고, 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토큐러블 유기 해법은 템플릿과 코팅되는 기판 사이에 침전된다. 본 발명의 다른 목적은 극소의 압력을 사용하여, 상기 템플릿은 상기 기판에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다. 다음에, 상기 유기층은 상기 템플릿을 통해 포토일루미네이션에 의해 실내 온도에서 치료되거나, 노출된다. 상기 광소스는 일반적으로 자외선의 조사, 심층적인 자외선, 또는 넓은 대역 조사를 이용한다. 포토큐러블 유기층의 상기 템플릿과 광민감도의 전송적인 특징들에 의존하여, 파장의 범위(150nm-500nm)는 가능하다. 본 명세서에 설명된 것은 직접적으로 이용하는 방법이다. 다음에 상기 템플릿은 기판, 유기층에서 분리되고, 뒤에 평탄화층의 상기 템플릿 안정의 유기 레플리카(organic replica)를 남긴다.

[0030] 도 7은 단면도를 도시하고 있는데, 이후 이러한 패턴은 짧은 할로젠 약진으로 에칭되고, 상기 유기층 및 평탄층에 고해상도, 높은 종횡비 특징을 형성하기 위해 평탄화 층을 통해 다음에 산소 반응 이온 에칭(RIE)이 뒤따른다. 집적 회로들의 제작은 어떤 방식으로 상호 작용하는 재료들의 몇몇 층들의 생성을 포함한다. 하나 이상의 이들 층들은 패턴될 수도 있어서 상기 층의 다양한 영역들은 다른 전기적 특징들을 가지며, 이들 전기적 특징들은 전기적 요소들 및 회로들을 생성하기 위해 상기 층 내에 또는 다른 층들에 내부 접속될 수도 있다. 상기 영역들은 다양한 재료들을 선택적으로 도입하거나 제거함으로써 생성될 수도 있다. 그러한 영역들을 정의하는 패턴들은 종종 리소그래픽 과정들에 의해 생성된다.

[0031] 지금 도 8을 참조하면, 클리어 및 오페이크 영역들을 포함하는 포토마스크는 상기 포토레지스트 재료를 자외선, 전자들, 또는 엑스-레이들과 같은, 복사선의 형태로 선택적으로 노출시키기 위해 사용된다. 도 3을 참조하면, 기판(12)에 도시된 것처럼, 도 1 내지 도 10은 본 발명에 따라 리소그래픽 템플릿의 제 1 실시예를 제작하는 과정 단계들을 도시한 단면도가 도시되어 있다. 복사선에 노출되는 포토레지스트 재료나 노출되지 않는 재료 중 하나는 개발자의 적용에 의해 제거된다. 이후 에칭은 남아있는 레지스트에 의해 보호되지 않는 층에 적용될 수

도 있고, 상기 레지스트가 제거될 때, 상기 기판 위에 깔린 층은 패터닝된다. 상기 기술된 바와 같은 리소그래픽 과정들은 일반적으로 패터닝을 포토마스크에서 디바이스로 전송하기 위해 사용된다. 본 발명의 앞서 말한 그리고 다른 및 더 많은 특정 목적들 및 이점들은 다음의 바람직한 실시예의 상세한 설명으로부터 본 기술의 당업자에게는 쉽게 명백하게 될 것이다.

[0032] 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 예를 들면, 몇몇 요소들의 치수들은 명료성을 위해 다른 요소들과 비교하여 강조되어 있다. 게다가, 적절하다고 생각되는 곳에서, 대응하거나 유사한 요소들을 가리키도록 참조 번호들은 도면들 사이에서 반복되었다. 본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들에 관한 것이고, 더 상세하게는 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다. 본 발명의 목적은 수리된 검출, 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿 내에서 검출들을 고치는 방법, 및 반도체 디바이스들을 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다. 단계 및 플래쉬 임프린트 리소그래픽(Step and Flash Imprint Lithography)(SIFL)은 20nm만큼 작게 라인들을 패터닝할 수 있도록 제시되었다.

[0033] 마지막으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정동안, 기판은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져와지고, 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토큐러블 유기 해법은 템플릿과 코팅되는 기판 사이에 침전된다. 본 발명의 다른 목적은 극소의 압력을 사용하여, 상기 템플릿은 상기 기판에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다.

[0034] 게다가, 상기 유기층은 상기 템플릿을 통해 포토일루미네이션에 의해 실내 온도에서 치료되거나, 노출된다. 본 명세서에 설명된 것은 직접적으로 이용하는 방법이다. 다음에 상기 템플릿은 기판, 유기층에서 분리되고, 뒤에 평탄화층의 상기 템플릿 안정의 유기 레플리카(organic replica)를 남긴다. 이후 이러한 패턴은 짧은 할로젠 약 진으로 에칭되고, 상기 유기층 및 평탄층에 고해상도, 높은 중형비 특징을 형성하기 위해, "멀티층 저항 스택 및 이용을 사용하여 타이어드 구조를 제작하는 방법(METHOD OF FABRICATING A TIERED STRUCTURE USING A MULTI-LAYERED RESIST STACK AND USE)", 평탄화 층을 통해 다음에 산소 반응 이온 에칭(RIE)이 뒤따른다.

[0035] 도 11 내지 도 15를 참조하면, 집적 회로들의 제작은 어떤 방식으로 상호 작용하는 재료들의 몇몇 층들의 생성이 도시되어 있다. 하나 이상의 이들 층들은 패터닝될 수도 있어서 상기 층의 다양한 영역들은 다른 전기적 특징들을 가지며, 이들 전기적 특징들은 전기적 요소들 및 회로들을 생성하기 위해 상기 층 내에 또는 다른 층들에 내부 접속될 수도 있다. 상기 영역들은 다양한 재료들을 선택적으로 도입하거나 제거함으로써 생성될 수도 있다. 그러한 영역들을 정의하는 패턴들은 종종 리소그래픽 과정들에 의해 생성된다. 예를 들면, 포토레지스트 재료의 층은 위이퍼 기판 위에 깔린 층상에 적용된다. (클리어 및 오페이크 영역들을 포함하는) 포토마스크는 상기 포토레지스트 재료를 자외선, 전자들, 또는 엑스-레이들과 같은, 복사선의 형태로 선택적으로 노출시키기 위해 사용된다.

[0036] 다음에, 기판(12')은 복사선에 노출되는 포토레지스트 재료나 노출되지 않는 재료 중 하나는 개발자의 적용에 의해 제거된다. 이후 에칭은 남아있는 레지스트에 의해 보호되지 않는 층에 적용될 수도 있고, 상기 레지스트가 제거될 때, 상기 기판 위에 깔린 층은 패터닝된다. 본 발명의 앞서 말한 그리고 다른 및 더 많은 특정 목적들 및 이점들은 다음의 바람직한 실시예의 상세한 설명으로부터 본 기술의 당업자에게는 쉽게 명백하게 될 것이다. 도 2를 참조하면, 기판(12)가 도시되어 있고, 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 예를 들면, 몇몇 요소들의 치수들은 명료성을 위해 다른 요소들과 비교하여 강조되어 있다. 게다가, 적절하다고 생각되는 곳에서, 대응하거나 유사한 요소들을 가리킨다.

[0037] 지금 도 13을 참조하면, 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들에 관하여 도시되어 있다. 더 상세하게는 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다. 에칭 정지층(16)의 제작을 위해 적합하다고 설명된 재료들은 단계 및 플래쉬 임프린트 리소그래픽(Step and Flash Imprint Lithography)(SIFL)은 20nm만큼 작게 라인들을 패터닝할 수 있도록 제시되었다. 본 발명의 다른 목적은 전체적으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정동안,

기관은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져온다.

[0038] 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토 큐러블 유기 해법은 템플릿과 코팅되는 기관 사이에 침전된다. 본 발명의 다른 목적은 극소의 압력을 사용하여, 상기 템플릿은 상기 기관에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다. 다음에, 상기 유기층은 상기 템플릿을 통해 포토일루미네이션에 의해 실내 온도에서 치료되거나, 노출된다. 상기 광소스는 일반적으로 자외선의 조사, 심층적인 자외선, 또는 넓은 대역 조사를 이용한다. 포토큐러블 유기층의 상기 템플릿과 광민감도의 전송적인 특징들에 의존하여, 파장의 범위(150nm-500nm)는 가능하다. 본 명세서에 설명된 것은 직접적으로 이용하는 방법이다. 다음에 상기 템플릿은 기관, 유기층에서 분리되고, 뒤에 평탄화층의 상기 템플릿 안정의 유기 레플리카(organic replica)를 남긴다. 이후 이러한 패턴은 짧은 할로젠 약진으로 에칭되고, 상기 유기층 및 평탄층에 고해상도, 높은 중형비 특징을 형성하기 위해 평탄화 층을 통해 다음에 산소 반응 이온 에칭(RIE)이 뒤따른다. 집적 회로들의 제작은 어떤 방식으로 상호 작용하는 재료들의 몇몇 층들의 생성을 포함한다.

[0039] 마지막으로, 하나 이상의 이들 층들은 패턴될 수도 있어서 상기 층의 다양한 영역들은 다른 전기적 특징들을 가지며, 이들 전기적 특징들은 전기적 요소들 및 회로들을 생성하기 위해 상기 층 내에 또는 다른 층들에 내부 접속될 수도 있다. 상기 영역들은 다양한 재료들을 선택적으로 도입하거나 제거함으로써 생성될 수도 있다. 그러한 영역들을 정의하는 패턴들은 종종 리소그래픽 과정들에 의해 생성된다. 클리어 및 오페이크 영역들을 포함하는 포토마스크는 상기 포토레지스트 재료를 자외선, 전자들, 또는 엑스-레이들과 같은, 복사선의 형태로 선택적으로 노출시킨다.

[0040] 도 16에 도시된 것은 기관(12)에 도시된 것처럼, 도 1 내지 도 10은 본 발명에 따라 리소그래픽 템플릿의 제 1 실시예를 제작하는 과정 단계들을 도시한 단면도가 도시되어 있다. 복사선에 노출되는 포토레지스트 재료나 노출되지 않는 재료 중 하나는 개발자의 적용에 의해 제거된다. 이후 에칭은 남아있는 레지스트에 의해 보호되지 않는 층에 적용될 수도 있고, 상기 레지스트가 제거될 때, 상기 기관 위에 깔린 층은 패턴된다. 상기 기술된 바와 같은 리소그래픽 과정들은 일반적으로 패턴들을 포토마스크에서 디바이스로 전송하기 위해 사용된다. 본 발명의 앞서 말한 그리고 다른 및 더 많은 특정 목적들 및 이점들은 다음의 바람직한 실시예의 상세한 설명으로부터 본 기술의 당업자에게는 쉽게 명백하게 될 것이다. 예시의 단순성과 명료성을 위해, 도면들에 예시된 요소들은 반드시 일정한 비율로 도시된 것이 아님을 이해할 것이다. 본 발명은 반도체 디바이스들, 마이크로 전자 디바이스들, 마이크로 전자기식 디바이스들, 광통신, 광전자, 및 마이크로 유체 디바이스들에 관한 것이고, 더 상세하게는 리소그래픽 템플릿을 형성하고 상기 리소그래픽 템플릿내의 결함들을 수리하는 방법과 상기 리소그래픽 템플릿으로 디바이스들을 형성하는 방법에 관한 것이다. 패턴층(20)을 위해 이용되는 재료의 특정 유형은 수리된 검출, 개선된 리소그래픽 템플릿을 제작하는 방법, 상기 템플릿 내에서 검출들을 고치는 방법, 및 반도체 디바이스들을 제조하는 방법을 포함하는 향상된 리소그래픽 템플릿을 제공하는 것이다. 단계 및 플래쉬 임프린트 리소그래픽(Step and Flash Imprint Lithography)(SFIL)은 20nm만큼 작게 라인들을 패턴할 수 있도록 제시되었다. 본 발명의 다른 목적은 전체적으로, SFIL 기술들은 SFIL 과정을 수행하기 위해 요구되는 광화학, 주위 온도 처리, 및 낮은 접촉 압력에 대한 상기 기술들의 유일한 사용으로 이익을 얻는다. 일반적인 SFIL 과정 동안, 기관은 유기 평탄화 층으로 코팅되고, 투명한 SFIL 템플릿에 아주 근접하여 가져와지고, 일반적으로 수정 진동자(quartz)로 구성되고, 릴리프 구조를 포함하며 낮은 표면 에너지 재료로 코팅된다. 포토큐러블 유기 해법은 템플릿과 코팅되는 기관 사이에 침전된다. 본 발명의 다른 목적은 극소의 압력을 사용하여, 상기 템플릿은 상기 기관에 접촉하여 가져와지고, 더 상세히, 포토큐러블 유기층으로 가져와진다.

[0041] 본 명세서에 포함된 앞서 말한 설명과 예시들은 본 발명과 관련된 많은 이익들을 주장하고 있다. 특히, 본 발명은 리소그래픽 템플릿의 패턴된 릴리프 구조내에 형성되는 검출의 수리를 제공한다.

[0042] 따라서, 본 발명에 따라, 수리된 결함, 결함을 수리하는 방법, 및 SFIL 처리에서의 리소그래픽 템플릿의 사용을 가진 리소그래픽 템플릿이 제공되었다는 것은 명백하고 상기 처리는 이전에 제시된 필요와 이익들을 전체적으로 만족시킨다. 비록 본 발명은 설명되었고 특정 실시예를 참조하여 예시되었지만, 본 발명은 이들 예시적인 실시예들로 제한되는 것을 의도하지 않는다. 본 기술의 당업자들은 변경들 및 변화들이 본 발명의 사상을 벗어나지 않고 행해질 수 있음을 알 것이다. 따라서, 본 발명은 첨부된 청구항들의 범위내에서 모든 그러한 변화들 및 변경들을 포함함을 의도된다.

도면의 간단한 설명

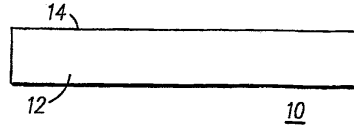
[0016] 도 1 내지 도 10은 본 발명에 따라 리소그래픽 템플릿의 제 1 실시예를 제작하는 과정 단계들을 도시한 단면도.

[0017] 도 11 내지 도 15는 본 발명에 따라 리소그래픽 템플릿의 제 2 실시예를 제작하는 과정 단계들을 도시한 단면도.

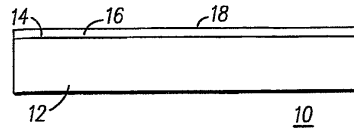
[0018] 도 16은 본 발명에 따라 리소그래픽 템플릿을 가지고 반도체 디바이스를 제작하는 단순화된 과정의 흐름도.

도면

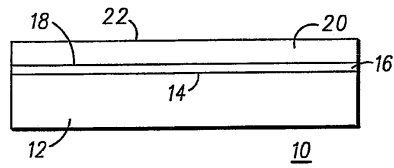
도면1



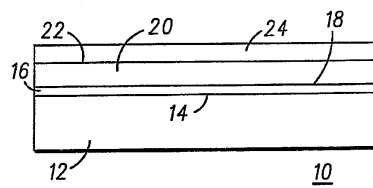
도면2



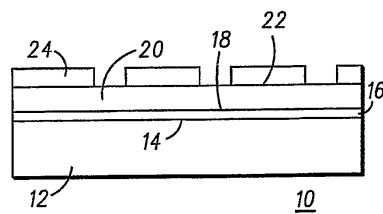
도면3



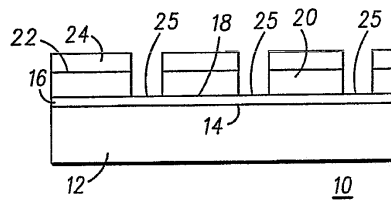
도면4



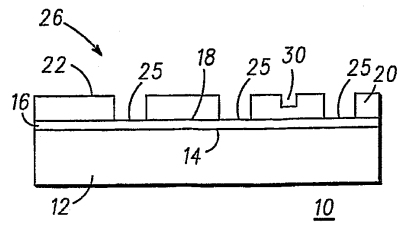
도면5



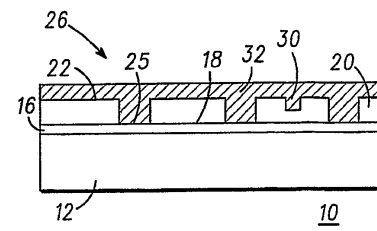
도면6



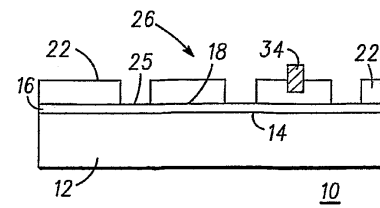
도면7



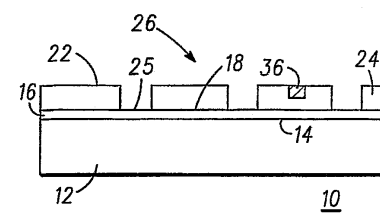
도면8



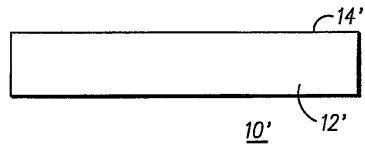
도면9



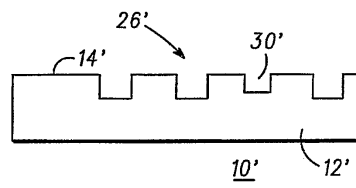
도면10



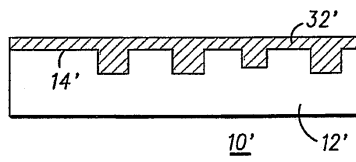
도면11



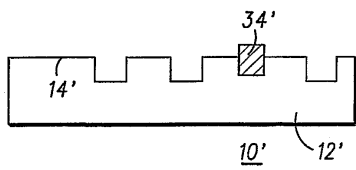
도면12



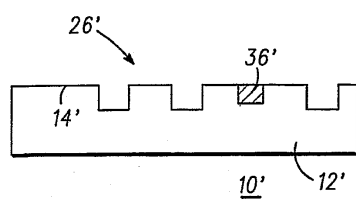
도면13



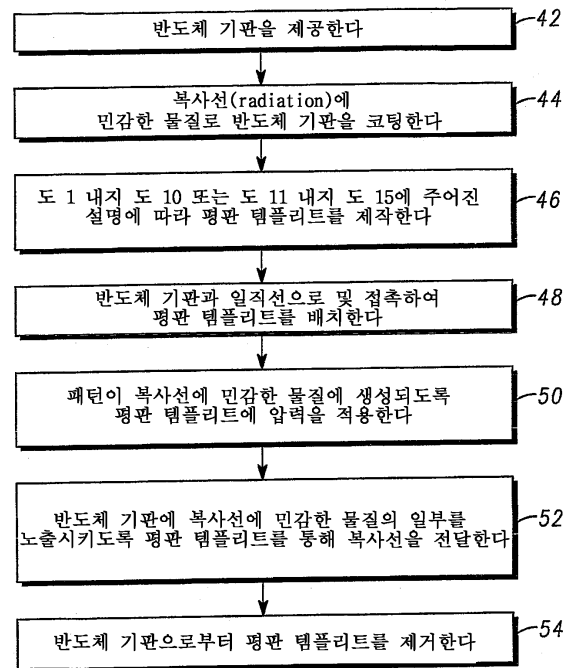
도면14



도면15



도면16



40