

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94116919

※申請日期：94.5.24

※IPC 分類：G11C 16/26 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶體及用於省電讀取及程式化驗證作業之方法

NON-VOLATILE MEMORY AND METHOD WITH POWER-SAVING
READ AND PROGRAM-VERIFY OPERATIONS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登

VAN ORDEN, CHARLES

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特140號

140 CASPIAN COURT, SUNNYVALE, CA 94089, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 顏李

LI, YAN

2. 李山普

LEE, SEUNGPIL

3. 陳辛隆

CHAN, SIU LUNG

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 韓國 REPUBLIC OF KOREA

3. 香港 HONG KONG

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年03月16日；11/083,514

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明概言之係關於非揮發性半導體記憶體，例如電可擦可程式化唯讀記憶體 (EEPROM) 和快閃 EEPROM，具體而言，本發明係關於在讀取及程式驗證作業期間構建省電特性之非揮發性半導體記憶體。

【先前技術】

最近，具有電荷非揮發性儲存能力的固態記憶體，尤其是作為小形體因數卡封裝的 EEPROM 及快閃 EEPROM 形式的固態記憶體，已成為眾多種行動及手持裝置、尤其是資訊用具和消費電子產品中的首選儲存裝置。與亦為固態記憶體的 RAM (隨機存取記憶體) 不同，快閃記憶體具有非揮發性，即使在電源關閉之後也能保留其所儲存資料。快閃記憶體儘管成本較高，但目前卻越來越多地應用於大容量儲存應用中。基於旋轉磁性媒體的傳統大容量儲存裝置，例如硬磁碟驅動器及軟磁碟，不適用於行動及手持環境。原因在於磁碟驅動器通常較為笨重，易於發生機械故障，且具有高的延時和高功率需求。該等不受歡迎之特性使得基於磁碟之儲存裝置不適用於大多數行動及可攜式應用。相反，快閃記憶體，無論係嵌入式還是可拆卡形式，皆可理想地適用於行動及手持環境，乃因其具有大小小、功率消耗低、速度高及可靠性高之特點。

EEPROM 及電可程式化唯讀記憶體 (EPROM) 為可受到擦除並將新資料寫入或「程式化」入其記憶胞內的非揮發性

記憶體。二者皆利用一位於一場效電晶體結構中的浮動(未連接的)導電閘極，該浮動導電閘極定位於一半導體基板的一通道區上方、源極區與汲極區之間。然後在浮動閘極之上設置有一控制閘極。電晶體之臨限電壓特性受控於浮動閘極上所保持之電荷量。換言之，對於浮動閘極上一給定之電荷位準，必須在控制閘極上施加一對應之電壓(臨限值)後，電晶體方會導通來允許其源極區與汲極區之間導電。

浮動閘極可保持一電荷範圍，因此可程式化至一臨限電壓窗內的任一臨限電壓位準。臨限電壓窗之大小係由器件之最低及最高臨限位準來定界，而器件之最低及最高臨限位準又對應於可程式化至浮動閘極上之電荷範圍。臨限值窗通常相依於記憶體裝置之特性、工作條件及歷史。原則上，該窗內每一不同的可解析之臨限電壓位準範圍皆可用於標識該單元的一確定之儲存狀態。

用作一記憶胞之電晶體通常通過兩種機理之一程式化為一「已程式化」狀態。在「熱電子注入」中，施加至汲極之高電壓會使電子加速穿過基板通道區。同時，施加至控制閘極之高電壓會將熱電子藉由一薄的閘極介電層拉至浮動閘極上。在「隧穿注入」中，則是相對於基板在控制閘極上施加一高電壓。藉由此種方式，將電子自所述基板拉至中間浮動閘極。

記憶體裝置可藉由多種機理來擦除。對於EPROM，可藉由紫外線輻射移除浮動閘極上之電荷，來對記憶體實施

整體擦除。對於EEPROM，可藉由相對於控制閘極在基板上施加一高電壓以促使浮動閘極中之電子隧穿一薄氧化層到達基板之通道區(即Fowler-Nordheim隧穿)，來對一記憶胞實施電擦除。通常，EEPROM可逐一位元組方式予以擦除。對於快閃EEPROM，可一次電擦除整個記憶體或每次電擦除一個或多個塊，其中一個塊可由512個或更多儲存位元組組成。

非揮發性記憶胞之實例

● 記憶體裝置通常包含一個或多個可安裝於一卡上之記憶體晶片。每一記憶體晶片包含一由例如解碼器和擦除、寫入和讀取電路等周邊電路支援之記憶胞陣列。更為複雜之記憶體裝置亦帶有一控制器，該控制器執行智慧和更高階之記憶體作業及介接。目前有許多種在商業上很成功之非揮發性固態記憶體裝置正為吾人所用。該等記憶體裝置可採用不同類型之記憶胞，其中每一類型記憶胞均具有一個或多個電荷儲存元件。

● 圖1A-1E示意性顯示非揮發性記憶胞之不同實例。

圖1A示意性地顯示一非揮發性記憶體，其為一具有一用於儲存電荷之浮動閘極之EEPROM單元的形式。電可擦可程式化唯讀記憶體(EEPROM)具有與EPROM類似之結構，但其另外亦提供一種在施加適當電壓時無需曝光至紫外線輻射即會以電方式加載或自其浮動閘極移除電荷之機理。此等單元之實例及其製造方法在第5,595,924號美國專利中給出。

圖 1B 示意性地顯示一兼具有一選擇閘極及一控制或引導閘極二者之快閃 EEPROM 單元。該記憶胞 10 具有一位於源極擴散區 14 與汲極擴散區 16 之間的「分裂通道」12。一單元事實上由兩個電晶體 T1 及 T2 串聯構成。T1 用作一具有一浮動閘極 20 及一控制閘極 30 之儲存電晶體。浮動閘極能夠儲存一可選數量之電荷。可流經通道之 T1 部分之電流量相依於控制閘極 30 上之電壓及駐留在中間浮動閘極 20 上之電荷量。T2 用作一具有一選擇閘極 40 之選擇電晶體。當選擇閘極 40 上之電壓使 T2 導通時，其會容許通道之 T1 部分中之電流流過源極與汲極之間。選擇電晶體提供一沿源極-汲極通道之開關，該開關獨立於控制閘極處之電壓。其一優點在於，其可用於關斷彼等因其浮動閘極處之電荷耗盡(正)而在零控制閘極電壓下仍然導通的單元。另一優點在於，其使源極側注入程式化更易於實施。

分裂通道記憶體單元之一簡單實施例係選擇閘極和控制閘極連接至同一字線，如圖 1B 中之虛線所示意性顯示。此藉由將一電荷儲存元件(浮動閘極)定位於通道的一部分上方、並將一控制閘極結構(其為一字線之一部分)定位於另一通道部分上方及電荷儲存元件上方來達成。由此會有效地構成一具有兩個串聯電晶體之單元，其中一個電晶體(儲存電晶體)使用所述電荷儲存元件上之電荷量與所述字線上之電壓的組合來控制可流經其通道部分之電流量，另一電晶體(選擇電晶體)則僅以字線作為其閘極。此等單元之實例、其在儲存系統中之應用及其製造方法在第

5,070,032、5,095,344、5,315,541、5,343,063及5,661,053號美國專利中給出。

圖1B所示分裂通道單元之一更佳實施例係選擇閘極與控制閘極相互獨立，而不藉由其間之虛線相連。在一種實施方案中，將一單元陣列中一行單元之控制閘極連接至一垂直於字線之控制(或引導)線。其作用係在讀取或程式化一選定單元時無需使字線同時執行兩種功能。該等兩種功能係：(1)用作選擇電晶體之閘極，因此需要一適當之電壓使選擇電晶體導通或關斷，(2)藉由一耦合於字線與電荷儲存元件之間的電場(容性)將電荷儲存元件之電壓驅動至一期望位準。通常難以使用一單一電壓以最佳方式同時執行該等兩種功能。藉由分別控制控制閘極和選擇閘極，字線只需執行功能(1)，而由附加之控制線執行功能(2)。此種能力使吾人能夠設計其中程式化電壓適合於目標資料的更高性能程式化作業。獨立控制(或引導)閘極在快閃EEPROM陣列中之應用闡述於第5,313,421號及第6,222,762號美國專利(舉例而言)中。

圖1C示意性地顯示另一具有雙浮動閘極及獨立選擇閘極和控制閘極之快閃EEPROM單元。記憶胞10類似於圖1B所示記憶胞，只是其實際上具有三個串聯電晶體。在該類型單元中，在其源極擴散區與汲極擴散區之間的其通道上方包含兩個儲存元件(即T1-左和T1-右)，其間為一選擇電晶體T1。該等儲存電晶體分別具有浮動閘極20和20'、及控制閘極30和30'。選擇電晶體T2係由一選擇閘極40控制。

在任一時刻，僅對該對儲存電晶體之一進行讀取或寫入存取。在正存取儲存單元T1-左時，T2及T1-右二者皆導通，以容許通道之T1-左部分中之電流流過源極與汲極之間。類似地，在正存取儲存單元T1-右時，T2及T1-左導通。擦除係藉由以下方式達成：使選擇閘極多晶矽之一部分緊貼浮動閘極，並施加一顯著的正電壓(例如20 V)至選擇閘極，以使儲存於浮動閘極內之電子可隧穿至所述選擇閘極多晶矽。

圖1D示意性地顯示一組織成一NAND單元之記憶胞串。一NAND單元50由一系列藉由各自源極及汲極以菊花鏈方式連接之儲存電晶體M1、M2...Mn($n=4、8、16$ 或更高)組成。一對選擇電晶體S1、S2經由NAND單元之源極端子54和汲極端子56控制該儲存電晶體鏈與外部之連接。在一記憶體陣列中，當源極選擇電晶體S1導通時，源極端子耦聯至一源極線。類似地，當汲極選擇電晶體S2導通時，NAND單元之汲極端子耦合至記憶體陣列的一位元線。鏈中之每一儲存電晶體皆具有一電荷儲存元件，該電荷儲存元件用於儲存一給定量之電荷，以表示一預期儲存狀態。每一儲存電晶體之控制閘極皆提供對讀取和寫入作業之控制。選擇電晶體S1、S2中每一選擇電晶體之控制閘極分別經由其源極端子54及汲極端子56控制對NAND單元之存取。

當讀取及在程式化過程中驗證一NAND單元內一被定址之儲存電晶體時，將為其控制閘極提供一適當電壓。同

時，藉由於控制閘極上施加充足之電壓，使NAND單元50內其餘未被定址之儲存電晶體完全導通。藉由此種方式，有效地建立一自各儲存電晶體之源極至該NAND單元之源極端子54之導電路徑，及類似地自各儲存電晶體之汲極至該單元之汲極端子56之導電路徑。在第5,570,315、5,903,495及6,046,935號美國專利中闡述了具有此種NAND單元結構之記憶體裝置。

圖1E示意性顯示一具有一用於儲存電荷之介電層之非揮發性記憶體。其中使用一介電層替代先前所述之導電性浮動閘極元件。此等利用介電儲存元件之記憶體裝置已由Eitan等人闡述於「NRROM：一種新穎的局部化陷獲的2-位元式非揮發性記憶胞(NRROM:A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell)」(IEEE電子器件通訊(IEEE Electron Device Letters)，第21卷，第11號，2000年11月，第543-545頁)中。一ONO介電層延伸跨越源極擴散區與汲極擴散區之間的通道。一個資料位元的電荷集中在毗鄰汲極擴散區之介電層中，另一資料位元的電荷則集中在毗鄰源極擴散區之介電層中。舉例而言，第5,768,192和6,011,725號美國專利揭示一種具有一夾於兩層二氧化矽之間的陷獲介電層的非揮發性記憶胞。多狀態資料儲存係藉由分別讀取介電層內各個在空間上分離之電荷儲存區域之二進製狀態來構建。

記憶體陣列

一記憶體裝置通常由一記憶胞二維陣列構成，其中記憶

胞呈列及行佈置，且可藉由字線和位元線定址。所述陣列可根據一NOR型或一NAND型架構而形成。

NOR陣列

圖2顯示一記憶胞NOR陣列之實例。具有一NOR型架構之記憶體裝置係使用圖1B或圖1C所示類型之單元來構建。每列記憶胞皆藉由其源極及汲極以菊花鏈方式連接。該設計有時稱為虛接地設計。每一記憶胞10皆具有一源極14、一汲極16、一控制閘極30及一選擇閘極40。一列中各單元之選擇閘極連接至字線42。一行中各單元之源極和汲極則分別連接至所選位元線34和36。在某些其中記憶胞之控制閘極和選擇閘極分別受到控制之實施例中，一引導線36亦連接一行中各單元之控制閘極。

許多快閃EEPROM裝置係由其中所形成的每一記憶胞之控制閘極和選擇閘極皆連接在一起各記憶胞構建而成。在此種情形中，不需要使用引導線，僅由一字線連接沿每一列之各單元之所有控制閘極和選擇閘極。在第5,172,338號和第5,418,752號美國專利中揭示了該等設計之實例。在該等設計中，字線實質上執行兩種功能：列選擇以及為列中之所有單元提供控制閘極電壓來進行讀取或程式化。

NAND陣列

圖3顯示一例如圖1D中所示之記憶胞NAND陣列之一實例。沿每一行NAND單元，皆有一位元線耦聯至每一NAND單元之汲極端子56。沿每一列NAND單元，皆有一源極線可連接其所有源極端子54。同時，一列中各NAND

單元之控制閘極亦連接至一系列對應之字線。可經由相連之字線、以選擇電晶體控制閘極上之適當電壓使選擇電晶體對導通(參見圖1D)來定址一整行NAND單元。在正讀取代表一NAND鏈內一記憶胞的儲存電晶體時，該鏈中之其餘儲存電晶體經由其相關之字線強導通，因此流經該鏈之電流實質上相依於儲存於所讀取單元中之電荷位準。在第5,570,315、5,774,397及6,046,935號美國專利中可找到一NAND架構陣列之實例及其作為儲存系統一部分之作業。

● 塊擦除

將電荷儲存式儲存裝置程式化只會導致向其電荷儲存元件增加更多之電荷。因此，在程式化作業之前，須移除(或擦除)電荷儲存元件中現有之電荷。設置有擦除電路(未圖示)來擦除一或多個記憶胞塊。當一同(即以快閃形式)電擦除整個單元陣列或該陣列中相當多之單元群組時，例如EEPROM等非揮發性記憶體即稱為「快閃」EEPROM。一旦得到擦除，所述群組單元即可進行重新程式化。可一同擦除之該群組單元可由一個或多個可定址之擦除單位組成。擦除單位或塊通常儲存一頁或多頁資料，頁係程式化和讀取單位，當然在一次作業中可程式化或讀取多於一頁。每一頁通常儲存一個或多個資料扇區，扇區之大小由主機系統界定。其一實例係此一扇區：512個位元組之使用者資料(遵循一為磁碟驅動器所設立的標準)，加上一定數量的關於使用者資料及/或儲存使用者資料之塊的附加項資訊位元組。

讀取/寫入電路

在通常的雙狀態EEPROM單元中，至少建立一個電流斷點位準，以將導電窗劃分成兩個區域。在藉由施加一預定之固定電壓來讀取一單元時，其源極/汲極電流會藉由與所述斷點位準(或參考電流 I_{REF})相比較而解析成一儲存狀態。若所讀取電流高於斷點位準之電流，則可確定該單元處於一種邏輯狀態(例如「0」狀態)。反之，若所述電流低於斷點位準之電流，則可確定該單元處於另一種邏輯狀態(例如「1」狀態)。因此，此一雙狀態單元儲存一個數位資訊位元。通常設置一可在外部程式化之參考電流源作為一記憶體系統之一部分來產生斷點位準電流。

為提高記憶體容量，隨著半導體技術水平的進步，正以愈來愈高之密度製造快閃EEPROM裝置。另一種提高儲存容量之方法係使每一記憶胞儲存多於兩種狀態。

在一多狀態或多位準EEPROM記憶胞中，係藉由一個以上斷點將導電窗劃分為多於兩個區域，以使每一單元能夠儲存一個以上資料位元。由此，會使一給定EEPROM陣列所能夠儲存之資訊隨著每一單元所能夠儲存之狀態數量的增多而增多。在第5,172,338號美國專利中闡述了具有多狀態或多位準記憶胞之EEPROM或快閃EEPROM。

實際上，通常藉由在施加一參考電壓至一單元之控制閘極時，感測穿過該單元之源電極和漏電極之導通電流來讀取該單元之記憶狀態。因此，對於一單元之浮動閘極上的每一給定電荷量，皆可根據一固定之參考控制閘極電壓偵

測到一對應之導通電流。類似地，可程式化至浮動閘極上之電荷範圍會界定一對應之臨限電壓窗或一對應之導通電流窗。

或者，並不偵測一所劃分電流窗中之導通電流，而是可在控制閘極處為一給定的受試記憶狀態設定臨限電壓，然後偵測導通電流低於還是高於一臨限電流。在一種實施方案中，藉由檢查導通電流經位元線電容放電之速率來相對於臨限電流偵測導通電流。

圖4針對在任一時刻浮動閘極可選擇性儲存的四種不同電荷量Q1-Q4來顯示源極-汲極電流 I_D 與控制閘極電壓 V_{CG} 之間的關係。這四條 I_D - V_{CG} 實線曲線代表可程式化至一記憶胞之浮動閘極上之四種電荷位準，其分別對應於四種可能的記憶狀態。舉例而言，若干單元之臨限電壓窗可介於0.5 V至3.5 V之間。藉由以皆為0.5 V之間隔將臨限值窗劃分為5個區域，可對6種記憶狀態進行定界。舉例而言，若如圖所示使用2 μ A之參考電流 I_{REF} ，則以Q1程式化之單元可視為處於記憶狀態「1」，乃因其曲線在由 $V_{CG}=0.5$ V和 $V_{CG}=1.0$ V所定界之臨限值窗區域內與 I_{REF} 相交。類似地，Q4處於記憶狀態「5」。

由以上描述可以看出，使一記憶胞儲存之狀態愈多，其臨限值窗劃分得愈精細。此將需要更高之程式化及讀取作業精度，以便能夠達到所要求之解析度。

在第4,357,685號美國專利中揭示了一種程式化一雙狀態EPROM之方法，其中，一單元在程式化至一給定狀態

時，會經受連續之程式化電壓脈衝，其中每次向浮動閘極增加一遞增電荷量。在兩次脈衝之間，皆回讀或驗證該單元以確定其源極-汲極電流相對於斷點位準的高低。在電流狀態經驗證達到期望狀態時，停止程式化。所用程式化脈衝串可具有遞增的週期和幅值。

先前技術之程式化電路僅施加程式化脈衝在臨限值窗中自己擦除狀態或接地狀態步進至到達目標狀態。實際上，為達成足夠高之解析度，所劃分或定界之每一區域皆將至少需要穿越約5個程式化分步。該效能對於雙狀態記憶胞而言可以接受。然而，對於多狀態單元，所需之分步數量隨著分區數量的增加而增加，因此，必須提高程式化精度或解析度。舉例而言，一16狀態之單元可能平均需要至少40個程式化脈衝方可程式化至一目標狀態。

圖5示意性顯示一具有一典型佈置的記憶體陣列100之記憶體裝置，其可由讀取/寫入電路170經由列解碼器130及行解碼器160來存取。如結合圖2和圖3所示，記憶體陣列100中一記憶胞的一儲存電晶體可通過一組所選字線及位元線來定址。列解碼器130選擇一個或多個字線，行解碼器160則選擇一個或多個位元線，以向所定址之儲存電晶體之相應閘極施加適當的電壓。提供讀取/寫入電路170來讀取或寫入(程式化)所定址之儲存電晶體之記憶狀態。讀取/寫入電路170包含若干可經由位元線連接至該陣列中之儲存元件之讀取/寫入模組。

影響讀取/寫入性能及精度的因素

為提高讀取和程式化效能，並列讀取或程式化一陣列中之多個電荷儲存元件或儲存電晶體。因此，一同讀取或程式化一記憶元件邏輯「頁」。在現有記憶體架構中，一列通常包含數個交錯的頁。一頁中之所有記憶元件將被一同讀取或程式化。行解碼器將選擇性地將每一交錯的頁連接至一對應數量之讀取/寫入模組。舉例而言，在一實施方案中，將記憶體陣列設計為具有一532位元組(512位元組加上20位元組之附加項)之頁大小。若每行包含一汲極位元線且每列有兩個交錯的頁，則共計8512行，其中每一頁皆與4256個行相關聯。此時將可連接4256個感測模組來並列讀取或寫入所有偶數位元線或奇數位元線。藉由此種方式，可自該記憶元件頁讀取或向該記憶元件頁程式化一由4256個位元(即532個位元組)之並列資料組成的頁。構成讀取/寫入電路170之讀取/寫入模組可佈置成各種不同之架構。

如前文所述，傳統記憶體裝置係藉由以大規模並列方式對所有偶數或所有奇數位元線同時進行作業來改良讀取/寫入作業。此種一列由兩個交錯頁構成之架構將有助於緩解安裝讀取/寫入電路塊之問題。其亦取決於控制位元線-位元線容性耦合此一考量因素。塊解碼器用於將該組讀取/寫入模組多工至偶數頁或奇數頁。藉由此種方式，每當正讀取或程式化一組位元線時，該交錯的組皆可接地，以使緊鄰元件的耦合最小化。

然而，此種交錯頁架構至少有三方面的缺點。首先，其

需要額外之多工電路。第二，其效能較慢。為完成對藉由一字線相連的或位於一系列中的各記憶胞的讀取或程式化，需要兩次讀取或兩次程式化作業。第三，其在解決例如以下等干擾影響方面亦非最佳：當在不同時刻程式化兩個處於浮動閘極位準之相鄰電荷儲存元件(例如分別在奇數頁和偶數頁中)時，該等兩個相鄰電荷儲存元件之間的場耦合。

第2004-0057318-A1號美國專利公開案揭示一種容許並列地感測複數個鄰接記憶胞之記憶體裝置及其方法。舉例而言，將沿一系列的共享相同字線之所有記憶胞作為一頁來一同讀取或程式化。此種「全部位線」架構為「交替位線」架構之效能的兩倍，同時使由鄰近干擾影響所致之錯誤最小化。然而，感測所有位元線確實會因由相鄰位元線之互電容所感應之電流而在相鄰位元線之間引起串擾問題。此可藉由在感測每一相鄰位元線對之導通電流時使其之間的電壓差基本與時間無關來解決。當施加該條件時，所有因不同位元線之電容而引起之位移電流皆會下降，乃因其皆相依於隨時間變化之電壓差。耦合至每一位元線之感測電路皆在該位元線上具有一電壓箝位電路，以使任一對相鄰的所連接位元線上之電位差皆與時間無關。由於位元線電壓被箝位，因而不能應用感測因位元線電容而引起之放電的傳統方法。而是，該感測電路及方法容許藉由記錄一記憶胞之導通電流獨立於位元線對一給定電容器放電或充電之速率來確定該記憶胞之導通電流。此將使感測電

路與記憶體陣列之架構無關(即與位元線電容無關)。尤其是，其容許在感測期間箝位位元線電壓，藉以防止位元線串擾。

功率消耗係對記憶體裝置之一重要考量因素，對於具有全部位元線架構之記憶體裝置尤其如此。由於使用大規模並列感測，因而存在導通電流流動之記憶胞之數量將增加。對於全部位元線架構而言，其中並列操作之記憶胞數量潛在地為交替位元線架構的兩倍，因而功率消耗更為嚴重。此外，在使用恒定電壓位元線之方案中，位元線在連接至記憶胞時被預充電以保持電壓條件穩定，此意味著在感測期間的預充電作業中，不僅花費功率對位元線充電，且亦花費功率來抵制洩漏的記憶胞電流。

因此，普遍需要一種功率消耗得到降低之高效能、高容量非揮發性記憶體。詳言之，需要一種具有增強之讀取及程式化效能且功率有效之緊密非揮發性記憶體。

【發明內容】

根據本發明之一態樣，當一或多遍地感測一頁多狀態記憶胞時，在感測期間將該頁中已知在某一遍中不相關之彼等記憶胞之導通電流關斷來節約功率。

根據本發明之另一態樣，當在多遍中程式化一頁記憶胞時，在程式化驗證作業中將該頁中已知在某一遍中不相關之彼等記憶胞之導通電流關斷來節約功率。

根據本發明之又一態樣，在一感測作業期間，藉由先佔式開始任何會延長功率消耗週期之作業來使功率消耗週期

最小化。在較佳實施例中，在一當前感測循環之前先佔式開始對記憶體陣列中未選字線預充電之作業，以使其不會延長所選位元線受到預充電之週期。

根據本發明之再一態樣，僅在開始一包含根據多個臨限電壓進行的多遍感測之感測循環時，實施未選字線預充電。

藉由本發明各態樣所達成之功率節約能夠達成一更為功率有效之記憶裝置。與現有讀取/寫入電路相比，功率消耗的節約可高達百分之五十。詳言之，無需使用一體積龐大之電源即可並列地使用更大量之讀取/寫入模組。

根據本發明之尚一態樣，在一具有由交替的程式化階段及驗證階段組成之循環的程式化作業中，一種程式化方法包括：在程式化階段開始時，將被禁止程式化之記憶胞之位元線充電至一預定電壓，而不對欲程式化之記憶胞之位元線充電；及在程式化階段結束時，對欲程式化之記憶胞之位元線放電，而不對禁止程式化之記憶胞之位元線放電。

在一實施例中，當在交替的程式化階段與驗證階段之間循環時，未放電位元線之至少一子集將保持其電壓，藉以消除在每一程式化階段中對彼等位元線進行的會消耗功率的充電及放電。該未放電位元線之子集對應於已根據一當前定界臨限電壓經過驗證之記憶胞。

在另一實施例中，當在交替的程式化階段與驗證階段之間循環時，所有未放電位元線皆將保持其電壓不變，藉以

消除在每一程式化階段中對彼等位元線進行的會消耗功率的充電及放電。此係藉由防止所鎖定的位元線被其導通之記憶胞放電來達成。在每一記憶胞或NAND鏈與其相關聯位元線之間皆設置有一開關。該開關可因應其相關聯位元線上之電壓狀態而在位元線電壓實質上為零電壓時將記憶胞或NAND鏈連接至其相關聯位元線，或者在位元線實質上為電源電壓時使記憶胞或NAND鏈自其相關聯位元線斷開。

根據下文對本發明較佳實施例之說明，將會瞭解本發明之其它特徵和優點，下文說明應結合附圖閱讀。

【實施方式】

圖6A示意性顯示一具有一排讀取/寫入電路之緊密記憶元件，其可提供實施本發明之環境。該記憶元件包含一二維記憶胞陣列300、控制電路310及讀取/寫入電路370。記憶體陣列300可由字線經由一系列解碼器330及由位元線經由一行解碼器360定址。讀取/寫入電路370構建為一排感測模組480，並能容許並列地讀取或程式化一記憶胞塊(亦稱作「頁」)。在一較佳實施例中，一頁係由一系列鄰接之記憶胞構成。在另一其中將一系列記憶胞劃分成多個塊或頁之實施例中，設置一塊多工器350將各讀取/寫入電路370多工至各個塊。

控制電路310與讀取/寫入電路370相配合，以對記憶體陣列300執行記憶體作業。控制電路310包含一狀態機312、一單片位址解碼器314及一功率控制模組316。狀態

機312對記憶體作業提供晶片級控制。單片位址解碼器314在主機或一記憶體控制器所用位址與解碼器330及370所用硬體位址之間提供一位址介面。功率控制模組316控制在記憶體作業期間提供至字線及位元線之功率和電壓。

圖6B顯示圖6A所示緊密記憶元件之一較佳結構。各周邊電路對記憶體陣列300之存取係以對稱形式在該陣列之對置側上實施，由此將每側上之存取線和電路減半。因此，列解碼器分裂為列解碼器330A及330B，行解碼器分裂為行解碼器360A及360B。在其中將一列記憶胞劃分成多個塊之實施例中，塊多工器350分裂為塊多工器350A及350B。類似地，讀取/寫入電路分裂為自陣列300底部連接至位元線之讀取/寫入電路370A及自陣列300頂部連接至位元線之讀取/寫入電路370B。藉由此種方式，實質上將讀取/寫入模組之密度並因而將該排感測模組480之密度減半。

整排 p 個並列運作之感測模組480使得能夠並列地讀取或程式化一列中一由 p 個胞組成之塊(或頁)。一個實例性記憶體陣列可具有 $p=512$ 個位元組(512×8 個位元)。在較佳實施例中，塊係一連串的整列記憶胞。在另一實施例中，塊係該列中記憶胞之一子集。舉例而言，該記憶胞子集可係整列的一半或整列的四分之一。該記憶胞子集可係一連串鄰接之記憶胞或彼此相隔一個記憶胞，或者彼此相隔預定數量個記憶胞。每一感測模組皆包括一用於感測記憶胞導通電流之感測放大器。一較佳之感測放大器揭示於第2004-

0109357-A1號美國專利公開案中，該公開案之全部揭示內容以引用方式併入本文中。

省電讀取作業

根據本發明之一態樣，當一或多遍地感測一頁多狀態記憶胞時，在感測期間將該頁中已知在某一遍中不相關之彼等記憶胞之導通電流關斷來節約功率。

在一如圖4所示之多狀態記憶體裝置中，將記憶胞之臨限電壓窗劃分成數個區域，每一區域皆代表一記憶狀態。該等區域由一組預定之定界臨限電壓來定界。在感測一記憶胞時，相當於確定該記憶胞之所程式化臨限電壓處於哪一區域內。此係藉由將所程式化臨限電壓依次與每一定界臨限電壓相比較來達成。在每一遍中，可辨別出彼等所程式化臨限電壓低於當前定界臨限電壓之記憶胞。若在各遍期間按遞增次序掃描各定界臨限電壓，則將首先識別出具有較小所程式化臨限電壓、因而具有較高導通電流之記憶胞。記憶胞一旦被識別出，即與後續各遍不相關，因而後續各遍將僅企圖識別更高之所程式化臨限電壓或更低之導通電流。因此，該省電方案規定關斷先前所識別出的不再與當前感測遍相關之記憶胞之導通電流。藉由此種方式，在每一感測遍後，皆將消耗愈來愈少之功率。

讀取作業係藉由感測在記憶胞中所程式化之臨限電壓來確定該記憶胞之記憶狀態。該省電方案適用於具有一遍以上感測之讀取作業。

圖7A係根據本發明之一較佳實施例，一省電讀取作業之

流程圖。

步驟400：提供一非揮發性記憶胞陣列，其中每一記憶胞皆可程式化至一使電流通之臨限電壓，該臨限電壓對應於多種記憶狀態之一。

步驟402：按遞增次序提供一系列定界臨限電壓，以用於在對應於增大之程式化臨限電壓的各記憶狀態之間定界。

步驟404：在該系列中選擇一定界臨限電壓，以根據其實施感測。

步驟406：關斷該群組中已知其所程式化臨限電壓小於所述所選定界臨限電壓之彼等記憶胞之導通電流。在第一遍感測之前，該讀取作業不知曉程式化至該頁中任一記憶胞內之臨限電壓。為此，不會關斷任何記憶胞之導通電流。

步驟408：根據所選定界臨限電壓來感測該群組記憶胞。

步驟410：是否已到達該系列定界臨限電壓之末尾？若未到達，則進行至步驟412。否則，進行至步驟420。

步驟412：選擇該系列中之下一定界臨限電壓。然後進行至步驟406。

步驟420：結束。

如前面所述，非揮發性記憶胞具有一電荷儲存元件，該電荷儲存元件容許藉由程式化作業來修改其上面之電荷。在所程式化電荷量與其控制閘極上用於導通其汲極源極導

通電流之臨限電壓之間存在確定之關係。該關係可以兩種同等之角度來表達。在導通電流角度中，在給定控制閘極上之電壓條件下，所程式化電荷愈少之彼等記憶胞將具有愈高之導通電流，其中未程式化狀態具有最高之導通電流。在臨限電壓角度中，在給定一參考電流條件下，所程式化電荷愈少之彼等記憶胞將具有愈低之臨限電壓，其中未程式化狀態具有最低之臨限電壓。因此，可將在兩個不同記憶狀態之間實施感測視為在給定臨限電壓條件下區別兩個導通電流、或者在給定參考導通電流條件下區別兩個臨限電壓。

圖 7B 自導通電流比較之角度顯示圖 7A 所示省電讀取作業之流程圖。

步驟 430：提供一非揮發性記憶胞陣列，其中每一記憶胞皆可程式化至一使電流導通之臨限電壓，該臨限電壓對應於多種記憶狀態之一。

步驟 432：按遞減次序提供一系列預定之定界電流值，以在具有愈來愈低導通電流之多個記憶狀態之間進行區分。

步驟 434：自該系列中選擇一第一預定定界電流值。

步驟 436：並列地感測該等複數個記憶胞，以識別彼等導通電流高於所選定界電流值之記憶胞。

步驟 438：關斷所並列感測之該等複數個記憶胞中彼等所識別出的更高電流記憶胞之導通電流。

步驟 440：是否已到達該系列定界電流值之末尾？若未

到達，則進行至步驟442。否則，進行至步驟450。

步驟442：選擇該系列中之下一定界臨限電壓。然後進行至步驟436。

步驟450：結束。

多狀態記憶體之讀取及程式化考量因素

圖8A-8E、9A-9E、10A-10E分別顯示三個對4-狀態記憶體進行多位元編碼之實例。在4-狀態記憶胞中，可由兩個位元表示該等四種狀態。一種現有技術係使用二遍式程式化來程式化該種記憶體。藉由第一遍來程式化第一位元(下頁位元)。然後，在第一第二遍中程式化同一記憶胞來表示一所需之第二位元(上頁位元)。為在第二遍中不會改變第一位元之值，使第二位元之記憶狀態表示相依於第一位元之值。

圖8A-8E顯示使用傳統2-位元格雷碼來編碼之4-狀態記憶體之程式化及讀取作業。記憶胞之可程式化臨限電壓範圍(臨限值窗)被劃分成四個區域-表示一未程式化「U」狀態、及其他三個增大的程式化狀態「A」、「B」及「C」。該等四個區域分別由定界臨限電壓 D_A 、 D_B 及 D_C 來定界。

圖8A顯示在每一記憶胞皆使用一傳統格雷碼儲存兩個資料位元時，4-狀態記憶體陣列之臨限電壓分佈。該等四個分佈表示四種記憶狀態「U」、「A」、「B」及「C」之數量。在程式化一記憶胞之前，首先將其擦除成其「U」或「未程式化」狀態。當該記憶胞被漸增地程式化時，會漸進地達到記憶狀態「A」、「B」及「C」。格雷碼使用(上位

元，下位元)將「U」表示為(1, 1)、將「A」表示為(1, 0)、將「B」表示為(0, 0)、及將「C」表示為(0, 1)。

圖8B顯示在一使用格雷碼的現有2遍式程式化方案中之下頁程式化。對於一頁欲並列程式化之記憶胞，上位元及下位元將產生兩個邏輯頁：一由下位元組成之邏輯下頁及一由上位元組成之邏輯上頁。第一遍程式化僅程式化邏輯下頁位元。藉由適當編碼，隨後對同一頁記憶胞實施之第二遍程式化將程式化邏輯上頁位元且不重設邏輯下頁位元。格雷碼係一種常用碼，其中當躍遷至一相鄰狀態時僅一個位元發生變化。因此，由於僅涉及一個位元，該種碼具有對錯誤修正之要求較低之優點。

一使用格雷碼的一般性方案係使「1」表示「未程式化」狀態。因此，已擦除記憶狀態「U」由(上頁位元，下頁位元)=(1, 1)表示。因此，在第一遍程式化邏輯下頁時，任一將儲存位元「0」之記憶胞之邏輯狀態將自(x, 1)躍遷至(x, 0)，其中「x」表示上位元之「無所謂(don't care)」值。然而，由於上位元尚未程式化，因而為一致起見，亦可由「1」來標記「x」。(1, 0)邏輯狀態係藉由將記憶胞程式化至記憶狀態「A」來表示。換言之，在第二遍程式化之前，由記憶狀態「A」表示下位元值「0」。

圖8C顯示在一使用格雷碼的現有2遍式程式化方案中之上頁程式化。實施第二遍程式化來儲存邏輯上頁之位元。僅彼等需要一上頁位元值「0」之記憶胞將得到程式化。在第一遍後，該頁中之各記憶胞處於邏輯狀態(1, 1)或

(1, 0)。為在第二遍中保持下頁之值，需要區分下位元值「0」或「1」。為自(1, 0)躍遷至(0, 0)，將所涉及之記憶胞程式化至記憶狀態「B」。為自(1, 1)躍遷至(0, 1)，將所涉及之記憶胞程式化至記憶狀態「C」。藉由此種方式，在讀取期間，藉由確定程式化於記憶胞中之記憶狀態，即可將下頁位元及上頁位元二者解碼。

程式化係藉由如下方式來達成：並列地交替施加一程式化脈衝至一頁記憶胞，隨後對每一記憶胞實施感測或程式化驗證，以確定是否其中已有任一記憶胞程式化至其目標狀態。每當一記憶胞已得到程式化驗證後，即鎖定或禁止程式化該記憶胞，以禁止甚至當繼續施加程式化脈衝來完成對群組中其他記憶胞之程式化時，不再進一步將該記憶胞程式化。由圖8B及8C可見，在下頁程式化期間，需要依據定界臨限電壓為 D_A 之狀態「A」（標記為「verifyA」）來實施程式化驗證。然而，對於上頁程式化而言，則需要依據狀態「B」或「C」來實施程式化驗證。因此，上頁驗證將需要實施一2遍式驗證：「verifyB及verifyC」，其分別係依據定界臨限電壓 D_B 及 D_C 。

圖8D顯示為鑒別使用格雷碼編碼之4-狀態記憶體中之下位元所需之讀取作業。由於由(1, 0)編碼之記憶狀態「A」及由(0, 0)編碼之記憶狀態「B」之下位元皆為「0」，因而每當將一記憶胞程式化至狀態「A」或「B」時，皆將偵測到下位元「0」。反之，每當一記憶胞未程式化而處於狀態「U」時或程式化至狀態「C」時，皆將偵

測到下位元「1」。因此，下頁讀取將需要實施一2遍式讀取：readA及readC，其分別係依據定界臨限電壓 D_A 及 D_C 。

圖8E顯示為鑒別使用格雷碼編碼之4-狀態記憶體中之上位元所需之讀取作業。其將需要依據定界臨限電壓 D_B 實施一遍讀取readB。藉由此種方式，任何所程式化臨限電壓小於 D_B 之記憶胞皆將被偵測到處於記憶狀態「1」，反之亦然。

當第二遍程式化出現錯誤時，該格雷碼、2遍式程式化方案可能會成為問題。舉例而言，將上頁位元程式化至「0」而下位元處於「1」將導致自(1, 1)躍遷至(0, 1)。此需要將記憶胞自「U」經「A」及「B」漸進地程式化至「C」。若在該程式化作業完成之前出現電源中斷，則記憶胞可能會最終處於其中一個躍遷記憶狀態，例如「A」。當讀取記憶胞時，「A」將被解碼成邏輯狀態(1, 0)。由於其本應為(0, 1)，因而此將使上位元及下位元二者為錯誤結果。同樣，若當到達「B」時程式化作業中斷，則其將對應於(0, 0)。儘管此時上位元正確，但下位元仍然錯誤。此外，由於可自未程式化狀態「U」一直躍遷至最大程式化狀態「C」，因而該碼方案具有加劇在不同時刻所程式化之相鄰記憶胞之電荷位準間的電位差之影響。因此，其會加劇相鄰浮動閘極之間的場效耦合(「Yupin效應」)。

圖9A-9E顯示對使用另一邏輯碼(「LM」碼)編碼之4狀態記憶體之程式化及讀取。該碼更為容錯且會緩解因Yupin效應而引起之鄰近記憶胞耦合。圖9A顯示在每一記

憶胞皆使用LM碼儲存兩個資料位元時，4-狀態記憶體陣列之臨限電壓分佈。LM編碼與圖8A所示傳統格雷碼之不同之處在於，狀態「A」及「C」之上位元及下位元反置。「LM」碼已揭示於第6,657,891號美國專利中，其因避免了程式化作業需要大的電荷量變化而有利於降低相鄰浮動閘極之間的場效耦合。

圖9B顯示在一使用LM碼之現有2遍式程式化方案中之下頁程式化。可容錯之LM碼基本避免了任何上頁程式化經由任何中間狀態躍遷。因此，第一遍下頁程式化使邏輯狀態(1, 1)躍遷至某一中間狀態(x, 0)，此由將「未程式化」記憶狀態「U」程式化至一由(x, 0)表示之「中間」狀態來體現，該中間狀態在一寬廣分佈中具有一大於 D_A 但小於 D_C 之程式化臨限電壓。圖9C顯示在一使用LM碼之現有2遍式程式化方案中之上頁程式化。在第二遍將上頁位元程式化至「0」時，若下頁位元為「1」，則邏輯狀態(1, 1)躍遷至(0, 1)，此由將「未程式化」記憶狀態「U」程式化至「A」來體現。若下頁位元為「0」，則藉由自「中間」狀態程式化至「B」來獲得邏輯狀態(0, 0)。同樣，若上頁將保持處於「1」，同時下頁已程式化至「0」，則將需要自「中間」狀態躍遷至(1, 0)，此由將「中間」狀態程式化至「C」來體現。由於上頁程式化僅涉及程式化至下一相鄰記憶狀態，因而在各遍之間不會改變大量之電荷。此外，程式化中斷不會改變下頁位元，因而更為容錯。

圖 9D 顯示為鑒別使用 LM 碼編碼之 4-狀態記憶體之下位元所需之讀取作業。解碼作業將相依於上頁是否已得到程式化。若上頁已得到程式化，則讀取下頁將需要依據定界臨限電壓 D_B 來實施一遍讀取 readB。反之，若上頁尚未得到程式化，則下頁被程式化至「中間」狀態(圖 9B)，且 readB 將造成錯誤。相反地，讀取下頁將需要依據定界臨限電壓 D_A 實施一遍讀取 readA。為區分該等兩種情形，當對上頁程式化時在上頁中寫入一旗標(「LM」旗標)。在讀取期間，將首先假定上頁已得到程式化，因此將實施一 readB 作業。若讀取到 LM 旗標，則該假定正確且該讀取作業完成。相反，若該第一讀取未得到一旗標，則將表明上頁尚未得到程式化，因而將須藉由一 readA 作業來讀取下頁。

圖 9E 顯示為鑒別使用 LM 碼編碼之 4-狀態記憶體之上位元所需之讀取作業。由該圖顯而易見，上頁讀取將需要實施一 2 遍式讀取 readA 及 readC-其分別依據定界臨限電壓 D_A 及 D_C 。同樣，若上頁尚未得到程式化，則「中間」狀態亦可使對上頁之解碼混亂。同樣，LM 旗標將指示上頁是否已得到程式化。若上頁未得到程式化，則所讀取資料將被重設至「1」，此指示上頁資料未得到程式化。

在支援局部頁程式化之記憶體中，LM 碼亦可成為問題。儘管可並列地程式化或讀取一頁記憶胞，然而局部頁程式化容許在一遍中程式化該頁的一部分、然後在下一遍中程式化該頁的其餘未程式化部分。在一其中僅局部地將

上頁填充以資料之程式化作業中，LM碼會成為問題。在接下來完成局部未填充頁面之上頁程式化中，資料可能會程式化至錯誤狀態。按照慣例，「1」位元代表「未程式化」狀態，因此在未程式化「U」狀態中，下位元及上位元二者在開始時皆缺設為「1」。上頁位元應為「1」，其代表未填充部分中之記憶胞。若未填充部分中一記憶胞之下頁位元碰巧為「1」，則所得到之邏輯狀態(1, 1)將使記憶胞保持為「U」。然而，若下頁位元為「0」，則將得到邏輯狀態(1, 0)，此將使記憶胞程式化至最高程式化(最高臨限電壓)「C」狀態。在完成未填充部分之下一遍程式化中將不再考慮變至(0, 0)或「B」之可能性，乃因不可能自「C」退回至一變低的程式化狀態。

圖10A-10E顯示對使用一較佳邏輯碼(「LM New」碼)編碼之4-狀態記憶體之程式化及讀取。LM New碼類似於LM碼，但無上述缺點。圖10A顯示在每一記憶胞皆使用LM New碼儲存兩個資料位元時4-狀態記憶體陣列之臨限電壓分佈。LM New碼已由Li等人揭示於第10/830,824號美國專利申請案中，該專利申請案於2004年4月24日提出申請，且名稱為「具改良之局部頁程式化能力之非揮發性記憶體及控制(NON-VOLATILE MEMORY AND CONTROL WITH IMPROVED PARTIAL PAGE PROGRAM CAPABILITY)」。

該種碼與圖9A所示LM碼之區別在於，狀態「B」與「C」之邏輯編碼互換。因此，「U」之(上位元，下位元)係(1, 1)，「A」之(上位元，下位元)係(0, 1)，「B」之(上位元，

下位元)係(1, 0),「C」之(上位元, 下位元)係(0, 0)。該種編碼會避免上文所述LM碼中之局部頁程式化問題, 乃因此時當下位元為「0」時, 局部未填充之上頁被程式化至「B」狀態。接下來對局部未填充部分之程式化將容許自(1, 0)程式化至(0, 0)邏輯狀態, 此對應於自「B」程式化至「C」狀態。

圖10B顯示在一使用LM New碼之現有2遍式程式化方案中之下頁程式化。可容錯之LM New碼基本避免了任何上頁程式化經由任何中間狀態躍遷。因此, 第一遍下頁程式化使邏輯狀態(1, 1)躍遷至某一中間狀態(x, 0), 此由將「未程式化」記憶狀態「U」程式化至一由(x, 0)表示之「中間」狀態來體現, 該中間狀態具有一大於 D_A 但小於 D_C 之程式化臨限電壓。圖10C顯示在一使用LM New碼之現有2遍式程式化方案中之上頁程式化。在第二遍將上頁位元程式化至「0」時, 若下頁位元為「1」, 則邏輯狀態(1, 1)躍遷至(0, 1), 此由將「未程式化」記憶狀態「U」程式化至「A」來體現。若下頁位元為「0」, 則藉由自「中間」狀態程式化至「C」來獲得邏輯狀態(0, 0)。同樣, 若上頁將保持處於「1」, 同時下頁已程式化至「0」, 則將需要自「中間」狀態躍遷至(1, 0), 此由將「中間」狀態程式化至「B」來體現。

圖10D顯示為鑒別使用LM New碼編碼之4-狀態記憶體之下位元所需之讀取作業。LM碼情形中之相同考量因素同樣適用於此。首先實施一readB作業, 以確定是否可讀取

到LM旗標。若是，則上頁已得到程式化，且readB作業將準確地得到下頁資料。反之，若上頁尚未得到程式化，則將藉由一readA作業來讀取下頁資料。

圖10E顯示為鑒別使用LM New碼編碼之4-狀態記憶體之上位元所需之讀取作業。由該圖顯而易見，上頁讀取將需要分別依據定界臨限電壓 D_A 、 D_B 及 D_C 實施一3遍式讀取：readA，readB及readC。對上頁之解碼具有與上文參照LM碼之LM旗標所述之相同考量因素。

上文針對一實例性4-狀態記憶體所論述之各種碼顯示，一讀取作業可涉及單遍感測，如在「readB」中，將所程式化臨限電壓相對於定界臨限電壓 D_B 相比較。readB作業適用於讀取依據傳統格雷碼之上頁、或依據LM碼之下頁、抑或依據LM New碼之下頁。在該等單遍式讀取情形中，讀取作業完全不知曉該頁中任何記憶胞之記憶狀態，因此不能預先識別出與讀取作業不相關之記憶胞來予以關斷從而省電。

一讀取作業亦可在讀取依據傳統格雷碼之下頁或依據LM碼之上頁中涉及一2遍式讀取，如在readA及readC中。在此種情形中，在第一遍後，會偵測到彼等所程式化臨限電壓小於定界臨限電壓 D_A 之記憶胞。在第二遍readC中，藉由將先前在readA中偵測到之記憶胞之位元線接地而將其導通電流關斷，以使其不會無謂地漏電。

一讀取作業亦可在讀取依據LM New碼之上頁中涉及一3遍式讀取，如在readA、readB及readC中。在此種情形

中，在第一遍後，會偵測到彼等所程式化臨限電壓小於定界臨限電壓 D_A 之記憶胞。在第二遍 readB 中，藉由將在 readA 中偵測到之記憶胞之位元線接地而將其導通電流關斷，以使其不會無謂地漏電。在第二遍後，會偵測到彼等所程式化臨限電壓小於定界臨限電壓 D_B 之記憶胞。在第三遍 readC 中，亦藉由將在 readB 中偵測到之記憶胞之位元線接地而將其導通電流關斷，藉以進一步降低任何無謂的漏電。

圖 11 更詳細地示意性顯示一適於實施本發明的圖 6A 所示較佳感測模組。感測模組 480 經由一所耦合之位元線 36 感測一 NAND 鏈 50 中一記憶胞之導通電流。其具有一可選擇性地耦合至一位元線之感測接點 481、一感測放大器 600 或一讀出匯流排 499。在開始時，一隔離電晶體 482 在由一信號 BLS 啟用時將位元線 36 連接至感測接點 48。感測放大器 600 感測感測接點 481。該感測放大器包括一預充電/箝位電路 640、一記憶胞電流鑒別器 650 及一鎖存器 660。

感測模組 480 使得能夠感測 NAND 鏈中所選記憶胞之導通電流。在感測之前，必須經由適當之字線及位元線來設定所選記憶胞之閘極電壓。如在下文中所將更詳細說明，在預充電作業中，首先將未選字線充電至一電壓 V_{read} ，隨後將所選字線充電至一對應於所考量之給定記憶狀態之預定臨限電壓 $V_T(i)$ 。然後，預充電電路 640 將位元線電壓帶至一適合於感測之預定汲極電壓。此將引起一源極-汲極導通電流在 NAND 鏈 50 中之所選記憶胞中流動，該源極-汲

極導通電流係經由一所耦合位元線36自NAND鏈之通道偵測到。該導通電流係當在記憶胞之源極與汲極之間存在一標稱電壓差時程式化入記憶胞之電荷及所施加 $V_T(i)$ 之函數。

當 $V_T(i)$ 電壓穩定時，可經由所耦合位元線36感測所選記憶胞之導通電流或所程式化臨限電壓。然後，感測放大器600耦合至感測接點，以感測該記憶胞中之導通電流。記憶胞電流鑒別器650用作一電流位準鑒別器或比較器。其有效地確定導通電流係高於抑或低於一給定的定界電流值 $I_0(j)$ 。若其高於該給定的定界電流值 $I_0(j)$ ，則將鎖存器660設定至一其中信號 $INV=1$ 之預定狀態。

一下拉電路486因應鎖存器660將信號 INV 設定至HIGH(高)而啟動。此會將感測接點481並由此將所連位元線36下拉至接地電壓。無論控制閘極電壓如何，此皆將禁止記憶胞10中導通電流之流動，乃因在其源極與汲極之間將不存在電壓差。

一般而言，將由一頁記憶胞受一對應數量之多遍式感測模組480操作。一頁控制器498為每一感測模組提供控制及定時信號。該頁控制器498使每一多遍式感測模組480遍曆一預定之遍數($j=1$ 至 N)，並亦為每一遍提供一預定之定界電流值 $I_0(j)$ 。如在此項技術中眾所習知，亦可將定界電流值構建為定界臨限電壓或時間週期以供感測。在最末遍後，頁控制器498藉由一信號 NCO 啟用一傳輸閘488，以將感測接點481之狀態作為所感測資料讀取至一讀出匯流排

499。總之，將自所有多遍式模組480讀出一頁感測資料。類似之感測模組已揭示於第11/015,199號美國專利申請案中，該專利申請案由Cernea等人於2004年12月16日提出申請，其名稱為「用於低電壓作業之改良記憶體感測電路及方法 (IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION)」。第11/015,199號美國專利申請案之全部揭示內容以引用方式併入本文中。

採用漸進性關斷之順序性臨限值讀取

一實施圖7所示省電讀取作業之實例係相繼依據定界臨限電壓 D_A 、 D_B 及 D_C 以3遍式感測來實施一讀取作業。此一3遍式讀取將具有結合依據LM New碼之上頁(圖10E)所述之順序：readA，readB及readC。

圖12(A)-12(I)係在並列施加至一NAND記憶胞(其係一記憶體頁之一部分)之3遍式讀取期間控制圖11所示感測模組480之作業之時序圖。圖12(A)顯示將讀取作業劃分成七個階段，其中階段(1)及(2)劃歸於一字線預充電子作業下，隨後階段(3)及(4)劃歸於readA子作業下，階段(5)及(6)劃歸於readB子作業下，階段(7)劃歸於readC子作業下。圖12(B)顯示，讀取作業在開始及結束時分別由FSM_READ上升及下降來定時。

字線預充電子作業始於階段(1)，此時在如圖12(C)所示之Unsel WL信號上升時，NAND鏈之未選字線正在預充電中。此為NAND鏈中未選記憶胞之控制閘極提供一電壓

Vread(例如 5.5 V)，以使其完全導通。在階段(2)中，在如圖 12(D)所示之 Selected WL 信號上升時 NAND 鏈之所選字線開始預充電。此為 NAND 鏈中所選記憶胞之控制閘極提供一電壓 V_A (例如 0-0.6 V)，並有效地設定定界臨限電壓 D_A ，以待接下來進行 readA 子作業。

readA 子作業始於在階段(3)中信號 RST 將感測放大器之輸出信號 INV 重設至零(圖 12(G))。同時，藉由信號 SGS 及 SGD 導通 NAND 鏈中的一對選擇電晶體來啟用 NAND 鏈，以便連接至位元線。然後，藉由一啟用信號 BLS(圖 12(H)) 將該位元線耦合至感測模組。此刻，感測模組中之預充電/箝位電路 640 反抗記憶胞之洩漏的導通電流 I_{DS} 而將該位元線充電至一預定電壓(例如 0.5 V)。在位元線電壓穩定後，一選通信號 STB 即刻使記憶胞電流鑒別器 650 之結果鎖存入鎖存器 660 內(圖 12(I))。若記憶胞之所程式化臨限電壓小於定界臨限值 D_A ，(或者同等地，記憶胞之導通電流高於一定界電流)，則接點 SEN 或 SEN2 將被導通電流放泄至 LOW(低)。此將產生一其中 INV 信號為 HIGH 之鎖存結果。反之，若記憶胞之所程式化臨限電壓高於 D_A ，則將偵測到 SEN2 為 HIGH，且 INV 將被鎖存為 LOW。在鎖存來自感測放大器之資料後，信號 BLS 變為 LOW，藉以將記憶胞自感測模組斷開。

對於彼等其中感測作業使信號 INV 被鎖存於 HIGH 之較高電流記憶胞，一下拉電路 486 會將其位元線下拉至接地。此會有效地關斷彼等記憶胞之導通電流及功率泄放。在一

較佳實施方案中，由感測放大器以一有限之位元線上拉來實施一附加的更早讀取(參見圖12(I)中階段(3)中之第一選通信號STB)。此將儘快地識別出彼等具有甚至更高導通電流狀態之記憶胞並將其位元線鎖存至接地，藉以關斷其導通電流。

在階段(4)中，當信號NCO將傳輸閘488啟用時，SEN2中之資料經由讀出匯流排499傳輸出。

子作業readB及readC皆類似於readA，其中對應地分別將所選WL電壓變至 V_B 及 V_C 。

對於連續感測而言，較佳地自較低臨限電壓(例如自狀態「A」)開始漸進地感測。此意味著首先識別出較高電流記憶胞以便較早地排除之。若記憶胞具有一小於 D_A 之程式化臨限電壓，則將其視為一導通之記憶胞。在「A」處實施感測後，導通之記憶胞將被放電至接地位準。此會有效地關斷該記憶胞中之導通電流。若記憶胞具有一高於 D_A 之程式化臨限電壓，則將其視為在「A」處不導通，且位元線將保持處於一恒定值而不放電。對於以「B」位準實施之第二感測子作業，僅需要選擇性對在「A」處不導通之記憶胞的位元線充電。此意味著不重設用於該頁之感測模組鎖存器來迫使INV返回至零(即，不重設用於該頁之感測模組鎖存器來清除其中INV=1之位元線下拉)。藉由此種方式，將不對所程式化臨限電壓小於 D_A 之記憶胞充電，藉以節約功率。吾人將看到，在每一相繼性感測後，該頁中愈來愈多之記憶胞因與後續感測不相關而被關斷。藉由此種

方式，使頁中各記憶胞所泄放之功率最小化。

儘管所述實例係提及一涉及三個定界臨限電壓之讀取作業，然而所述方法及原理廣泛適用於具有一遍以上之讀取作業，其中後續遍可利用在前一遍中獲得之資訊來選擇性地關斷與當前遍不相關之記憶胞。亦應注意，在傳統實施方案中，相對於每一記憶狀態之感測彼此獨立。換言之，每一感測皆將經歷完全相同數量之步驟，即對於readA、readB及readC而言皆自階段(1)至階段(4)。而在本感測中，僅第一遍讀取readA將頁中所有感測放大器之鎖存器重設至INV=0，以對頁中之所有位元線預充電。後續感測將僅對彼等INV=0之位元線充電而不對彼等在前一感測期間其INV反轉之位元線充電。

採用選擇性關斷之省電程式化驗證

根據本發明之另一態樣，當在多遍中程式化一頁記憶胞時，在程式化驗證作業中將該頁中已知在某一遍中不相關之彼等記憶胞之導通電流關斷來節約功率。

圖13顯示一在一程式化階段與一程式化驗證階段之間交替循環之程式化作業。該程式化階段由如下構成：在對頁中所有記憶胞控制閘極施加一程式化電壓脈衝之前，為字線及位元線設定適當之電壓。然後，感測該頁之記憶胞。若已驗證出有任何記憶胞已達到其目標狀態，則將其鎖定而不再進行進一步作業，並禁止進一步程式化該記憶胞。然後，該程式化作業繼續循環經過程式化階段及驗證階段，直至該頁中所有記憶胞皆已經過程式化驗證。

程式化作業之驗證階段藉由感測在最後程式化脈衝後程式化於記憶胞中之臨限電壓來確定該記憶胞之記憶狀態。

圖 14(A)-14(F)係圖 13 所示程式化作業中程式化階段之時序圖。程式化作業(圖 14(A))係藉由信號 FSM_PGM 上升來啟動(圖 14(B))。同時，位元線之電壓得到設定。將彼等其記憶胞將被程式化之位元線設定至 0 V(圖 14(F))，同時將彼等其記憶胞將被禁止程式化之位元線設定至 Vdd(圖 14(E))。在一 NAND 鏈情況下，將未選字線上之電壓設定為 V_{pass} (圖 14(C))。隨後施加一處於 V_{pgm} 之脈衝至所選字線(圖 14(D))。

當在程式化作業期間，感測之目的在於程式化驗證時，系統知曉欲程式化之目標狀態因而知曉欲驗證之狀態。在此種情形中，在第一遍感測期間，亦可採用關斷不相關之記憶胞。僅需對具有當前所驗證之記憶狀態之記憶胞集合之位元線充電以供感測。此外，在每一依據一記憶狀態實施之程式化驗證作業期間，隨著愈來愈多之記憶胞得到程式化驗證，待驗證之記憶胞集合將逐漸變得愈來愈小。在另一實施例中，亦可阻止對經驗證之記憶胞進行進一步之驗證作業，並阻止接下來對其位元線預充電。

在一實施例中，藉由簡單地忽略記憶體頁中彼等已被鎖定而不再進行程式化之位元來達成省電。因此，在驗證階段期間，將不對與彼等已知被禁止程式化之記憶胞相關聯的位元線實施預充電來加以感測。

圖 15 係根據本發明之一較佳實施例，包含藉由忽略禁止

程式化之位元而實施省電驗證的程式化作業之流程圖。

步驟 510：提供一非揮發性記憶胞陣列，其中每一記憶胞皆可程式化至一使電流導通之臨限電壓，該臨限電壓對應於多種記憶狀態之一。

步驟 520：使用一程式化脈衝並列地程式化一群組記憶胞。

步驟 530：關斷該群組中彼等被禁止程式化之記憶胞之導通電流。

步驟 540：並列地感測該群組記憶胞，以驗證是否每一記憶胞皆已程式化至其目標記憶狀態。

步驟 542：是否該群組中所有記憶胞皆已得到驗證？否則進行至步驟 520。

步驟 540：結束。

圖 16(A)-16(J)係在圖 15 所示程式化作業之驗證階段期間，圖 11 所示感測模組之作業之時序圖。該實例顯示一分別依據記憶狀態「A」、「B」及「C」實施之 3 遍式感測：verifyA、verifyB 及 verifyC。該等定時及作業類似於圖 12(A)-12(I) 中時序圖所示之 3 遍式讀取作業。在驗證情形中之主要區別在於，在每一驗證子作業開始時，未被禁止程式化或鎖定之記憶胞之位元線被選擇進行預充電(其中 $INV=0$) (參見圖 16(I))，而其餘記憶胞之位元線則被下拉至接地(其中 $INV=1$)。

在又一實施例中，並非在每一驗證階段中皆實施關斷被禁止程式化之記憶胞之導通電流之步驟，而是僅在第一次

驗證期間實施一次。此將簡化作業，但代價係省電量減小。

圖 17 係根據本發明之一較佳實施例，包含藉由僅選擇具有相關記憶狀態之位元來實施省電驗證的程式化作業之流程圖。

步驟 550：在一非揮發性記憶胞陣列中，其中每一記憶胞皆可程式化至一使電流導通之臨限電壓，該臨限電壓對應於多種記憶狀態之一。

步驟 560：使用一程式化脈衝並列地程式化一群組記憶胞。

步驟 570：關斷該群組中彼等所程式化記憶狀態不同於當前所程式化驗證之目標記憶狀態的記憶胞之導通電流。

步驟 580：並列地感測該群組記憶胞，以驗證是否每一記憶胞皆已程式化至目標記憶狀態。

步驟 582：是否該群組中所有記憶胞皆已得到驗證？否則進行至步驟 560。

步驟 590：結束。

圖 18(A)-18(J)係在圖 17 所示程式化作業之驗證階段期間，圖 11 所示感測模組 480 之作業之時序圖。同樣，該實例顯示一分別依據記憶狀態「A」、「B」及「C」實施之 3 遍式感測：verifyA、verifyB 及 verifyC。該等定時及作業類似於圖 17(A)-17(J) 中時序圖所示之 3 遍式驗證作業。在針對特定記憶狀態之驗證情形中的主要區別在於，在每一驗證子作業開始時，彼等已知具有一當前受驗證之記憶狀

態的記憶胞之位元線被選擇進行預充電(其中 $INV=0$)(參見圖 18(I))，而其餘記憶胞之位元線則被下拉至接地(其中 $INV=1$)。因此，在子作業 verifyA 期間，僅選擇預充電及感測彼等被定為狀態「A」之記憶胞之位元線。同樣，對於 verifyB 及 verifyC，僅分別預充電及感測彼等被定為狀態「B」及「C」之記憶胞。此外，由於在每一驗證子作業期間選擇頁內具有不同記憶狀態之不同記憶胞，因而在每一選擇之前，頁內所有位元線之 INV 皆重設至零(圖 18(G))。

藉由縮短感測期間之預充電週期達成省電

根據本發明之又一態樣，在一感測作業期間，藉由先估式開始任何會延長功率消耗週期之作業來使功率消耗週期最小化。在較佳實施例中，在前一感測循環中先估式開始對記憶體陣列中未選字線預充電之作業，以使其不會延長對所選位元線預充電之當前週期。

在一讀取作業期間，記憶胞導通電流之導通將會泄放功率，當該電流反抗預充電作業時尤其如此。記憶胞係導通一如下時間週期：自對位元線預充電時開始，直至已量測到導通電流為止。由圖 12(H)可見，該週期由信號 BLS HIGH 來標記。

藉由尤其在會消耗功率之位元線預充電作業期間使頁中記憶胞導通之週期最小化，會節約功率。一個影響預充電持續時間之因素係需要位元線及字線二者上之所有電壓皆變穩定。隨著記憶體陣列變得更加高度積體化，字線電容

可能會增大至一使其預充電所用時間明顯長於位元線之程度。由於在傳統感測作業中，位元線預充電及字線預充電二者皆係在感測循環開始時啟動，因而為適應變慢的字線預充電，將需要簡單地延長會消耗功率的位元線預充電。本發明規定在當前感測循環之前開始字線預充電，以使其先開始而不會無謂地延長位元線預充電。此係藉由在前一相鄰循環中跳躍開始字線預充電來達成。在一較佳實施例中，係在前一相鄰感測循環中，在感測模組正與外部交換資料之週期期間開始字線預充電。

圖19顯示位元線及字線預充電之傳統定時。為方便起見，該感測僅涉及readA及readB，其中通常將二者視為兩個獨立之感測循環。吾人將看到，在每一循環中，使位元線或字線穩定之整個預充電週期係由二者中之較慢者決定。僅當該等電壓穩定後，方可正確地鎖存資料。在資料鎖存階段中，預充電將關斷，且在資料傳輸階段中不需要預充電。通常為方便起見，字線之預充電與位元線之預充電同時開始。若字線預充電之結束所用時間更長，則位元線預充電週期可能會無謂地延長，導致功率消耗增大。此外，字線預充電係在每一獨立感測循環中重複，在本實例中，獨立感測循環將存在於readA及readB兩個循環中。

圖20顯示一用於在感測作業中跳躍開始字線預充電之較佳方案。實質上，當字線預充電週期長於位元線預充電週期時，在一更早之感測循環中先佔式對字線預充電。在預充電作業中，所選位元線通常升高約0.5 V，未選字線通

常升高約 5.5 V，且所選字線通常升高約 1 V。由於未選字線須升高 5.5 V，且字線電容隨頁大小之增大而增大，因而未選字線升高 5.5 V 所需之時間將變長。在可進行感測結果之鎖存之前，所選字線上之 $V_T(i)$ 必須穩定，而因存在耦合效應，所選字線上 $V_T(i)$ 之穩定係以未選字線上之電壓合理穩定為基礎。方便地，可在前一感測循環之資料傳輸階段期間跳躍開始對未選字線預充電。藉由此種方式，可減小(若不能全部消除)因字線預充電週期更長所導致之某些延遲。

根據本發明之再一態樣，僅在開始一包含根據多個臨限電壓進行的多遍感測循環之感測作業時，實施未選字線預充電。

實施一多遍式感測作業之本方案僅需要在該作業開始時對未選字線預充電，且不在每一以往循環或子作業(例如 readA)之後加以重複。藉由此種方式，使位元線預充電週期保持最小化，從而省電。

在程式化循環期間藉由使禁止程式化之位元線之預充電最小化來省電

在程式化一 NAND 記憶體之情形中，對連接至該頁所選記憶胞之字線施加一程式化電壓脈衝。在該頁內，將彼等欲程式化之記憶胞之位元線電壓設定至 0 V(圖 14(E))，同時將其他擬不程式化之記憶胞之位元線電壓設定至 V_{dd} (圖 14(F))以禁止程式化。將位元線設定至 V_{dd} 會有效地關斷 NAND 鏈之汲極側之選擇電晶體並形成一浮動通道。在程

式化期間，高的字線電壓將使浮動通道處之電壓升高。此將有效地降低通道與電荷儲存單元之間的電位差，藉以阻止將電子自通道拉至電荷儲存單元來達成程式化。

圖 14(E)顯示一其記憶胞正被禁止程式化之位元線的充電及放電之定時。傳統上，係在程式化循環開始時將具有被禁止記憶胞之位元線充電至 V_{dd} ，並在如下降緣 502 所示程式化脈衝結束時將其放電至 0 V。將該位元線放電，以使其為程式化-驗證循環之驗證階段作好準備。對被禁止程式化之位元線進行交替充電及放電會消耗功率。

根據本發明之尚一態樣，在一具有由交替的程式化階段及驗證階段組成之循環的程式化作業中，一種程式化方法包括：在程式化階段開始時，將被禁止程式化之記憶胞之位元線充電至一預定電壓，而不對欲程式化之記憶胞之位元線充電；及在程式化階段結束時，對欲程式化之記憶胞之位元線放電，而不對被禁止程式化之記憶胞之位元線放電。

圖 21 係一用於並列地程式化一記憶胞群組之流程圖，其包含省電的程式化禁止技術。

步驟 600：選擇一定界臨限電壓，依據該定界臨限電壓可實施由交替之程式化階段及驗證階段構成之循環。

程式化階段

步驟 610：在程式化階段開始時，將被禁止程式化之記憶胞之位元線充電至一預定電壓，而不對欲程式化之記憶胞之位元線充電。

步驟 612：使用一程式化脈衝並列地程式化一記憶胞群組。

步驟 614：在程式化階段結束時，對欲程式化之記憶胞之位元線放電，而不對被禁止程式化之記憶胞之位元線放電。

驗證階段

步驟 620：並列地感測該記憶胞群組，以驗證是否每一記憶胞皆已程式化至超出一定界臨限電壓。

步驟 622：該群組中所有記憶胞皆已依據當前定界臨限電壓得到驗證？否則，進行至步驟 610。

步驟 630：已選擇所有定界臨限電壓？否則，進行至步驟 600。

步驟 640：結束。

在一實施例中，當歷經交替的程式化階段與驗證階段時，未放電位元線之至少一子集將保持其電壓，藉以消除在每一程式化階段中對彼等位元線進行的會消耗功率的充電及放電。該未放電位元線子集對應於已依據一當前之定界臨限電壓經過驗證之記憶胞。

舉例而言，在程式化一頁記憶胞時，資料將需要某些記憶胞被程式化至一大於一定界臨限電壓 D_A 之臨限電壓（「程式化群組 (Group PROGRAM)」記憶胞），而其他記憶胞將不被程式化（「鎖定群組 (Group LOCKOUT)」記憶胞），而具有一小於 D_A 之臨限電壓。開始時，鎖定群組將由被資料確定為不程式化之記憶胞組成。在第一程式化階

段中，程式化群組記憶胞之位元線將處於0 V，同時鎖定群組記憶胞之位元線將充電至Vdd以達成程式化禁止。在下一verifyA階段中，鎖定群組記憶胞之狀態係已知，因而無需加以感測。程式化群組記憶胞之位元線充電至至少0.5 V以供感測。感測結果將兩個子群組與程式化群組相區別。其中一個子群組（「未經驗證子群組 (Subgroup NOTVERIFIED)」）係彼等尚未程式化超過 D_A 之記憶胞，而另一子群組（「經驗證子群組 (Subgroup VERIFIED)」）係彼等業已程式化超過 D_A 之記憶胞。在下一遍程式化階段中，未經驗證子群組將變為程式化群組，同時經驗證子群組將添加至鎖定群組。

吾人期望在連續的各遍程式化及驗證階段中皆使鎖定群組之位元線電壓保持為高（例如Vdd），以使該等位元線因無需重複地經受充電及放電而消耗功率。然而，在驗證階段期間，具有小於定界臨限電壓之臨限值之未經驗證記憶胞必然將導通，從而對其位元線放電。彼等在相對前一定界臨限電壓加以驗證時被鎖定之記憶胞（例如對於第一驗證階段而言，其將係未程式化之記憶胞）同樣如此，乃因其係依據前一較低定界臨限電壓來「驗證」，因此依據當前的較高定界臨限電壓，其將導通。

在下一遍程式化階段中，程式化群組之位元線電壓將同樣設定至零，而鎖定群組之位元線電壓將設定至Vdd。如上文所解釋，鎖定群組中許多更為導通之記憶胞將已由在前一驗證階段中導通之記憶胞放電。因而該等記憶胞將須

再次充電至Vdd。彼等剛剛根據當前定界臨限電壓經過驗證之記憶胞開始時係處於其中其位元線電壓為低之程式化群組中。該等記憶胞將加入鎖定群組之行列中，從而使其位元線充電至Vdd。

在依據相同定界臨限電壓之下一驗證階段中，先前經過驗證之記憶胞以未在Vdd處放電之狀態進入該階段並將保持如此，此乃因按定義其相對於當前之定界臨限電壓係不導通。該等經驗證之記憶胞將在已基本處於Vdd情況下進入下一程式化階段，藉以節省對其充電之功率。

因此，根據當前定界臨限電壓在先前經過驗證之記憶胞將在鎖定群組中形成一省電子群組，該省電子群組不需要在每一程式化階段開始時進行會消耗功率之充電。隨著在開始時處於程式化群組中之記憶胞愈來愈多地變為經驗證之記憶胞，其將重新定位至該省電子群組，因而將愈來愈省電，直至在開始時處於程式化群組中之所有記憶胞皆已根據所給定之定界臨限電壓正確地得到程式化為止。

同樣，若程式化及驗證作業係根據一個以上定界臨限電壓，則相同之考量因素亦適用於如下情形：未自依據前一定界臨限電壓驗證之鎖定記憶胞達成省電，但在涉及多個循環時將因彼等依據一當前定界臨限電壓驗證之記憶胞而省電。舉例而言，本發明將獲益於一可包含三個程式化/VerifyA循環、六個程式化/verifyA/B循環、四個程式化/verifyA/B/C循環、六個程式化/verifyB/C循環及3個程式化/verifyC循環之程式化/驗證作業。

在程式化/verifyA循環中，被禁止程式化之記憶胞之位元線將在程式化階段中充電至Vdd，且在該階段結束時不放電。在verifyA階段期間，未程式化記憶胞之位元線將藉由導通之記憶胞放電。然而，與經驗證群組相關聯之位元線將不被放電。該等位元線將保持處於Vdd，因而無需在下一遍程式化階段中再充電。在程式化/verifyA/B循環中，同樣地，在verifyA/B階段期間，未程式化記憶胞及經「A」驗證之記憶胞之位元線將藉由導通之記憶胞放電，而經B驗證之記憶胞將不放電，因而無需在下一遍程式化階段中再充電。同樣地，在程式化/verifyA/B/C循環中，將係經「C」驗證之記憶胞省電。在程式化/verifyB/C循環中，將係經「C」驗證之記憶胞省電。在程式化/verifyC循環中，將係經「C」驗證之記憶胞省電。據估計，對於一隨機資料型樣而言，省電量約為25%。

若亦可自相對前一定界臨限電壓得到驗證之鎖定記憶胞達成省電，則更為合意。

在另一實施例中，當在交替的程式化階段與驗證階段之間循環時，所有未放電位元線皆將保持其電壓不變，藉以消除在每一程式化階段中對彼等位元線進行會消耗功率的充電及放電。

一般而言，在一驗證階段中，彼等臨限電壓小於當前定界臨限電壓之記憶胞(即彼等已根據較低的前一定界臨限電壓被鎖定而不再進一步程式化之記憶胞)將導通。此意味著所鎖定位元線將藉由記憶胞電流放電，因而將需要在

下一程式化階段開始時重新充電以達成程式化禁止。

本發明係藉由防止所鎖定位元線藉由其導通之記憶胞放電來達成。在每一記憶胞或NAND鏈與其相關聯位元線之間皆設置有一開關。該開關可因應其相關聯位元線上之電壓狀態而在位元線電壓基本為零電壓時將記憶胞或NAND鏈連接至其相關聯位元線，並在位元線基本為電源電壓時使記憶胞或NAND鏈自其相關聯位元線斷開。

圖22顯示記憶體至位元線開關之一實施例。一開關600設置於一NAND鏈50與其相關聯位元線36之間。開關600包含一n-通道電晶體602，其源極及汲極分別串聯連接於NAND鏈50與位元線36之間。n-通道電晶體602由其控制閘極處之信號來導通或關斷。該信號係由一電源電壓Vdd經由一p-通道電晶體604提供，p-通道電晶體604之源極及汲極串聯連接於n-通道電晶體602之控制閘極與電源電壓之間。p-通道電晶體604之控制閘極連接成用於感測位元線上之電壓。

在運作中，當位元線電壓為LOW(低)時，p-通道電晶體604導通。此使n-通道電晶體602因Vdd出現於其控制閘極上而導通。而此又使開關600將NAND鏈連接至位元線36。相反，當位元線電壓為HIGH(高，例如Vdd)時，p-通道電晶體604關斷，因而n-通道電晶體602亦關斷。由此，該開關使NAND鏈50自位元線36斷開。

因此，當使用該記憶體至位元線開關來運作時，本發明將使被禁止程式化之位元線能夠充電至Vdd且在程式化脈

衝結束時不放電。同時，該開關將防止任一導通之記憶胞對該等位元線放電。藉由此種方式，被禁止程式化之位元線可避免在程式化/驗證循環期間重複地充電及放電。

儘管上文係根據某些實施例來說明本發明之各種態樣，然而，應瞭解，本發明有權在隨附權利要求書之整個範疇內受到保護。

【圖式簡單說明】

圖1A-1E示意性顯示非揮發性記憶胞之不同實例；

圖2顯示一NOR記憶胞陣列之實例；

圖3顯示一NAND記憶胞陣列(例如圖1D所示NAND記憶胞陣列)之實例；

圖4針對在任一時刻浮動閘極可儲存之四種不同電荷量Q1-Q4顯示源極-汲極電流與控制閘極電壓之間的關係；

圖5示意性顯示一記憶體陣列之典型佈置，該記憶體陣列可由讀取/寫入電路經由列解碼器及行解碼器來存取；

圖6A示意性顯示一具有一排讀取/寫入電路之緊密記憶體裝置，其提供實施本發明之環境；

圖6B顯示圖6A所示緊密記憶體裝置之一較佳結構；

圖7A係一根據本發明之一較佳實施例之省電讀取作業之流程圖；

圖7B自導通電流比較之角度顯示圖7A所示省電讀取作業之流程圖；

圖8A顯示在每一記憶胞皆使用一傳統格雷碼儲存兩個資料位元時，4-狀態記憶體陣列之臨限電壓分佈；

圖 8B 顯示在一使用格雷碼的現有 2 遍式程式化方案中之下頁程式化；

圖 8C 顯示在一使用格雷碼的現有 2 遍式程式化方案中之上頁程式化；

圖 8D 顯示鑒別使用格雷碼編碼之 4-狀態記憶體中之下位元所需之讀取作業；

圖 8E 顯示鑒別使用格雷碼編碼之 4-狀態記憶體中之上位元所需之讀取作業；

圖 9A 顯示在每一記憶胞皆使用 LM 碼儲存兩個資料位元時 4-狀態記憶體陣列之臨限電壓分佈；

圖 9B 顯示在一使用 LM 碼之現有 2 遍式程式化方案中之下頁程式化；

圖 9C 顯示在一使用 LM 碼之現有 2 遍式程式化方案中之上頁程式化；

圖 9D 顯示鑒別使用 LM 碼編碼之 4-狀態記憶體之下位元所需之讀取作業；

圖 9E 顯示鑒別使用 LM 碼編碼之 4-狀態記憶體之上位元所需之讀取作業；

圖 10A 顯示在每一記憶胞皆使用 LM New 碼儲存兩個資料位元時 4-狀態記憶體陣列之臨限電壓分佈；

圖 10B 顯示在一使用 LM New 碼之現有 2 遍式程式化方案中之下頁程式化；

圖 10C 顯示在一使用 LM New 碼之現有 2 遍式程式化方案中之上頁程式化；

圖 10D 顯示鑒別使用 LM New 碼編碼之 4-狀態記憶體之下位元所需之讀取作業；

圖 10E 顯示鑒別使用 LM New 碼編碼之 4-狀態記憶體之上位元所需之讀取作業；

圖 11 示意性顯示一適於實施本發明的具有一感測放大器之較佳感測模組；

圖 12(A)-12(I) 係在並列施加至一 NAND 記憶胞(其係一記憶體頁之一部分)之 3 遍式讀取期間控制圖 11 所示感測模組之作業之時序圖；

圖 13 顯示一在一程式化階段與一程式化驗證階段之間交替循環的程式化作業；

圖 14(A)-14(F) 係圖 13 所示程式化作業中程式化階段之時序圖；

圖 15 係根據本發明之一較佳實施例，包含藉由忽略禁止程式化之位元而實施省電驗證的程式化作業之流程圖；

圖 16(A)-16(J) 係在圖 15 所示程式化作業之驗證階段期間，圖 11 所示感測模組之作業之時序圖；

圖 17 係根據本發明之一較佳實施例，包含藉由僅選擇具有相關記憶狀態之位元來實施省電驗證的程式化作業之流程圖；

圖 18(A)-18(J) 係在圖 17 所示程式化作業之驗證階段期間，圖 11 所示感測模組之作業之時序圖；

圖 19 顯示位元線及字線預充電之傳統定時；

圖 20 顯示一用於在感測作業中跳躍開始字線預充電之較

佳方案；

圖 21 顯示一用於對一記憶胞群組實施並列程式化之流程圖，其包含省電的程式化禁止技術；

圖 22 顯示記憶體至位元線開關之一實施例。

【主要元件符號說明】

10	記憶胞
12	分裂通道
14	源極擴散區
16	汲極擴散區
20	浮動閘極
20'	浮動閘極
20"	浮動閘極
30	控制閘極
30'	控制閘極
30"	控制閘極
34	位元線
36	位元線
40	選擇閘極
42	字線
50	NAND單元
54	源極端子
56	汲極端子
100	記憶體陣列
130	列解碼器

160	行解碼器
170	讀取/寫入電路
180	感測模組
231	資料I/O
300	二維記憶胞陣列
310	控制電路
312	狀態機
314	單片位址解碼器
316	功率控制模組
330	列解碼器
330A	列解碼器
330B	列解碼器
350	塊多工器
350A	塊多工器
350B	塊多工器
360	行解碼器
360A	行解碼器
360B	行解碼器
370	讀取/寫入電路
370A	讀取/寫入電路
370B	讀取/寫入電路
480	感測模組
481	感測接點
482	隔離電晶體

486	下拉電路
488	傳輸閘
498	頁控制器
499	讀出匯流排
502	下降緣
600	感測放大器
640	預充電/箱位電路
650	記憶胞電流鑒別器
660	鎖存器

五、中文發明摘要：

本發明揭示一種能夠以多個讀取/寫入電路並列地讀取及寫入大量記憶胞之非揮發性記憶體裝置，其具有在讀取、及程式化/驗證作業期間降低功率消耗之性能。一讀取或程式化驗證作業包括依據一或多個定界臨限電壓的一或多個感測循環，以用於確定一記憶狀態。在一態樣中，在確定出受到並列感測之群組中之選擇性記憶胞處於一與當前感測循環不相關之狀態時，關斷其導通電流。在另一態樣中，藉由先估式開始任何會延長功率消耗週期之作業，使該週期最小化。在一程式化/驗證作業中，在程式化階段中對擬不程式化之記憶胞之位元線充電。當一組該等位元線在每次經歷一程式化階段時不會預充電時，即會省電。

六、英文發明摘要：

十一、圖式：

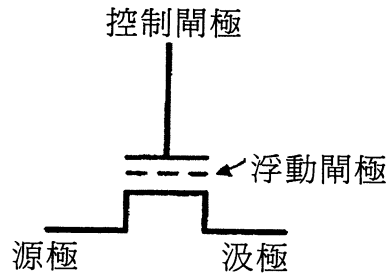


圖 1A (先前技術)

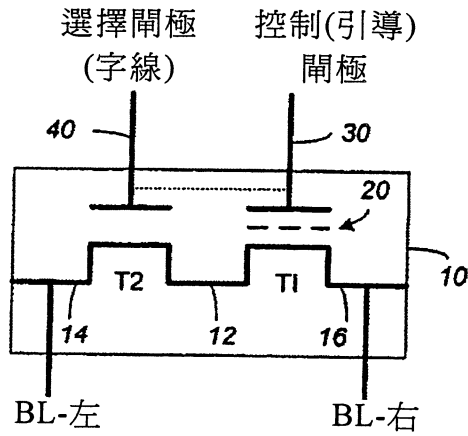


圖 1B (先前技術)



左控制 選擇閘極 右控制
 (引導)閘極 (字線) (引導)閘極

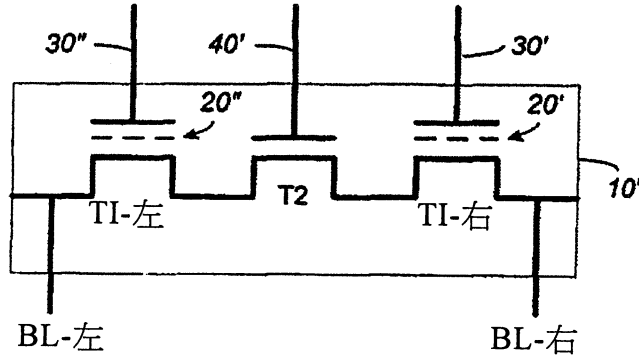


圖 1C (先前技術)

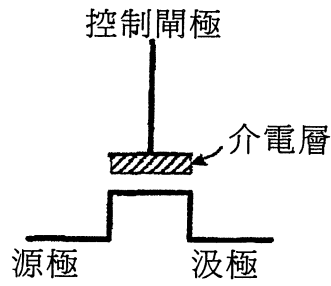


圖 1E (先前技術)

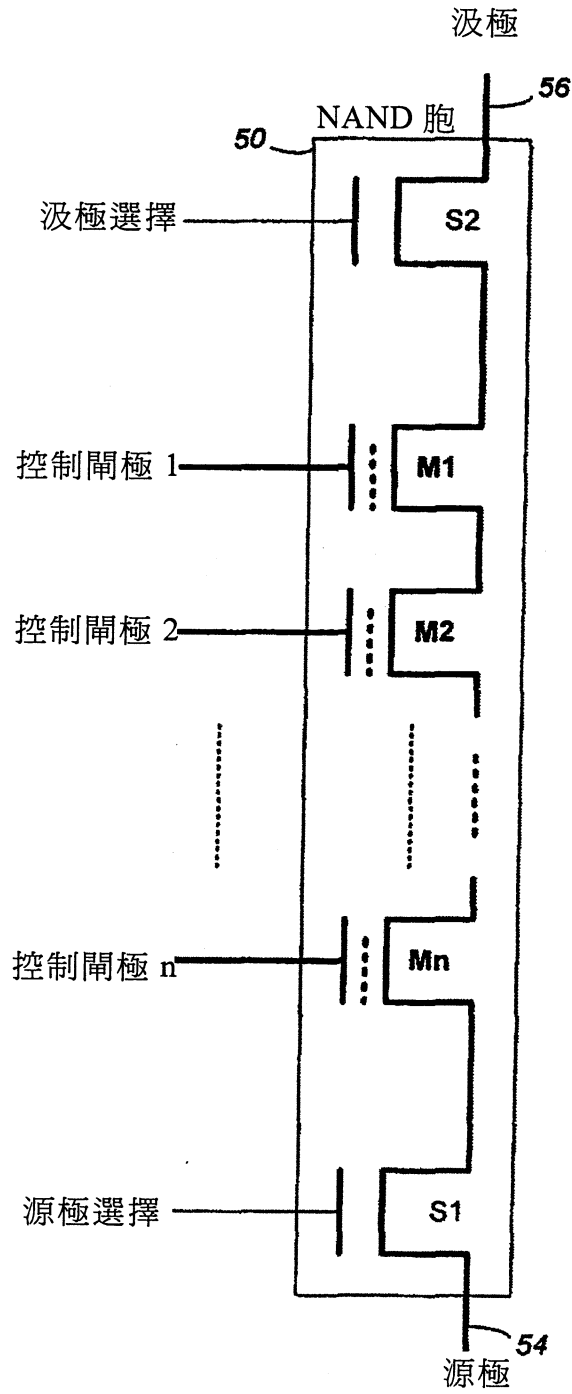


圖 1D (先前技術)

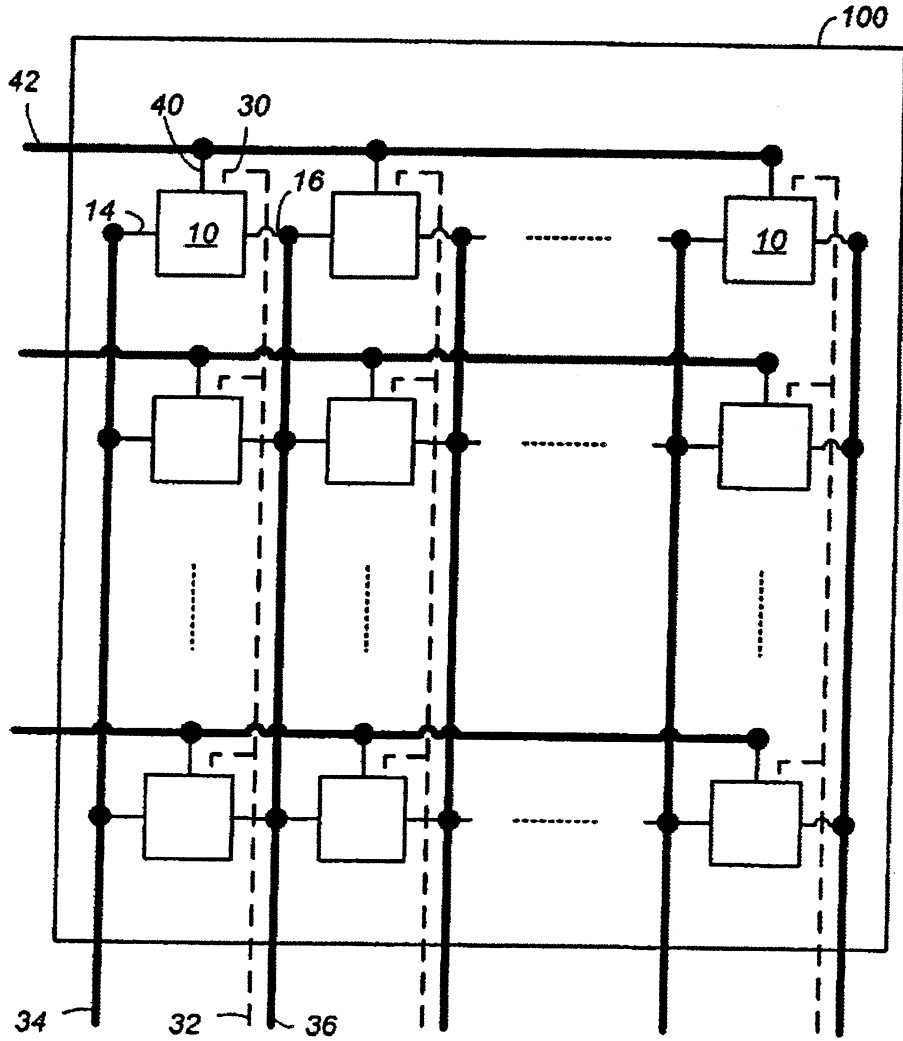


圖 2 (先前技術)

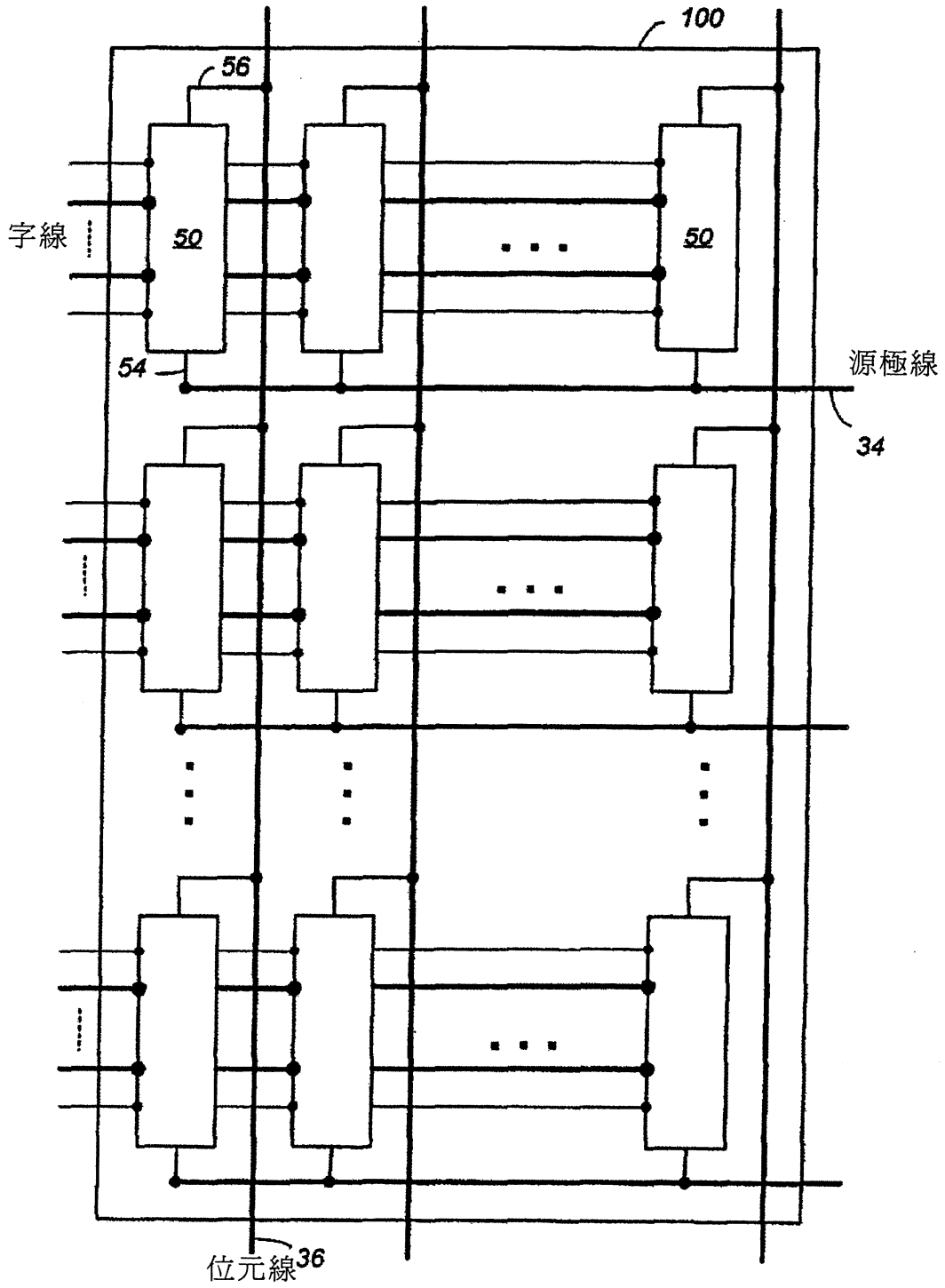


圖 3 (先前技術)

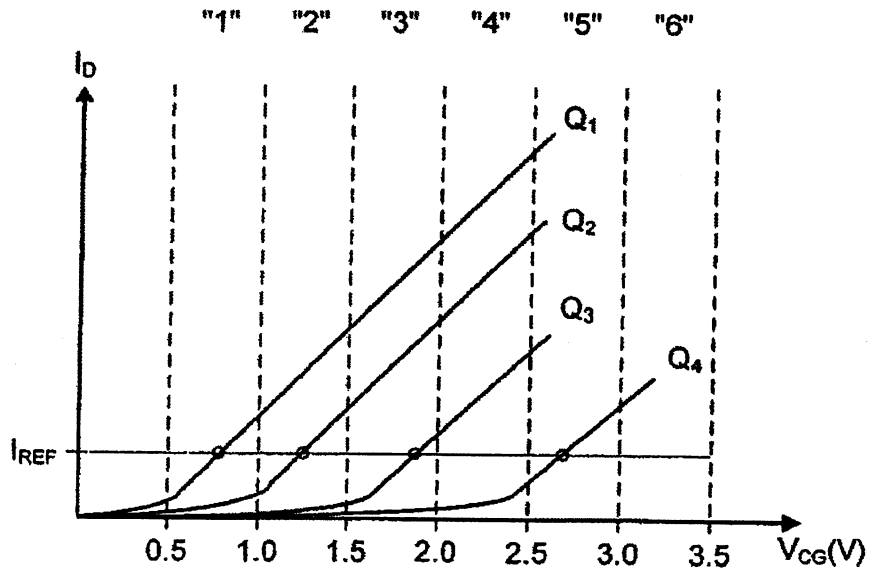


圖 4 (先前技術)

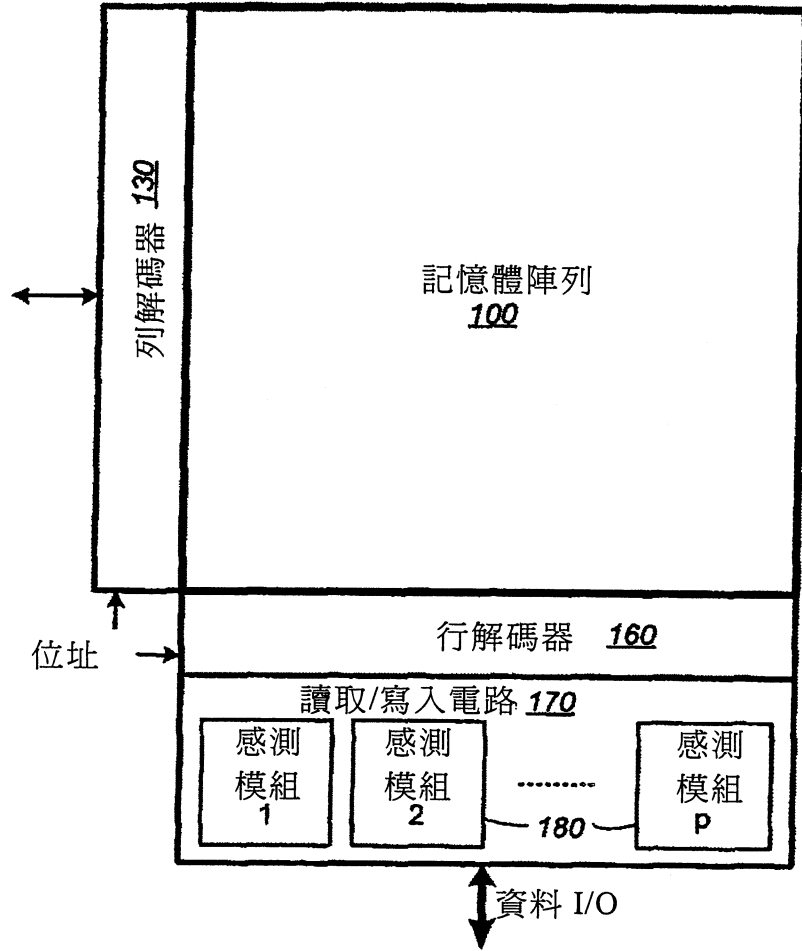


圖 5 (先前技術)

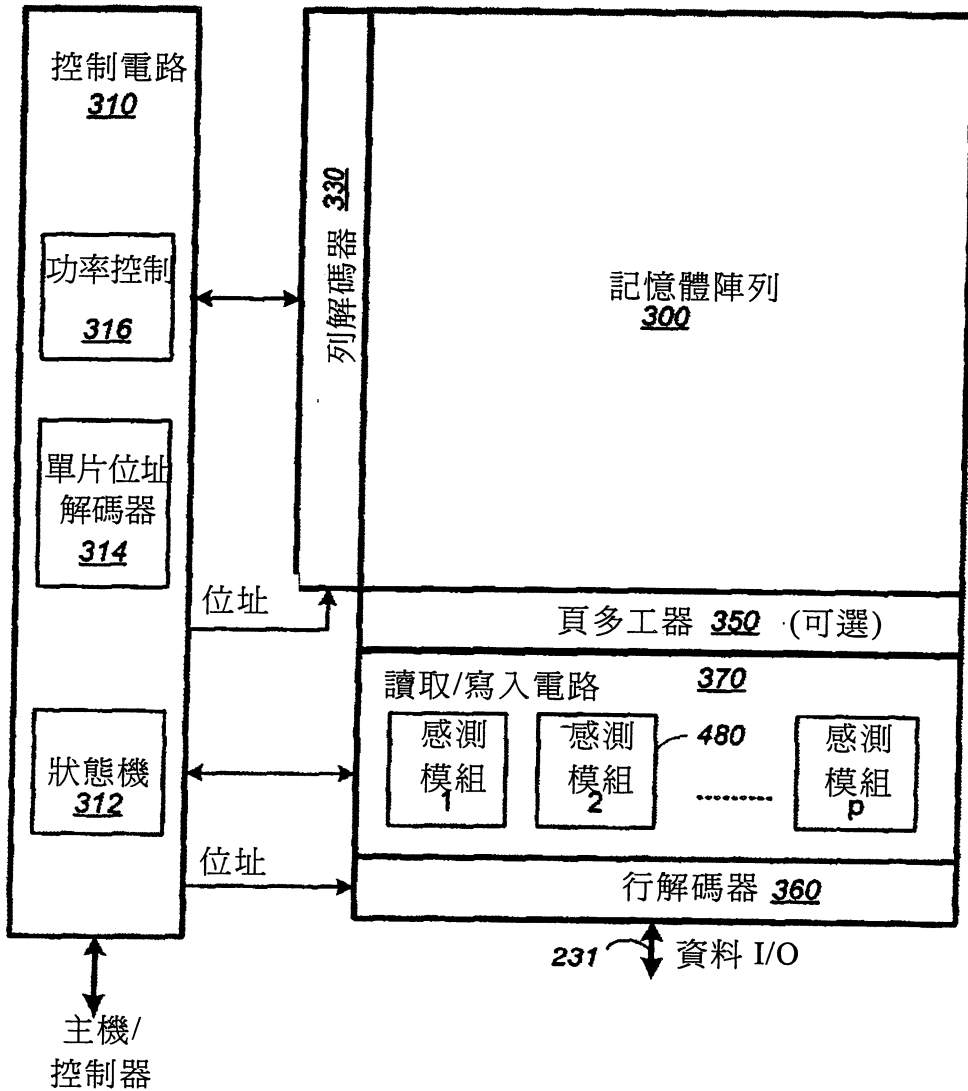


圖 6A



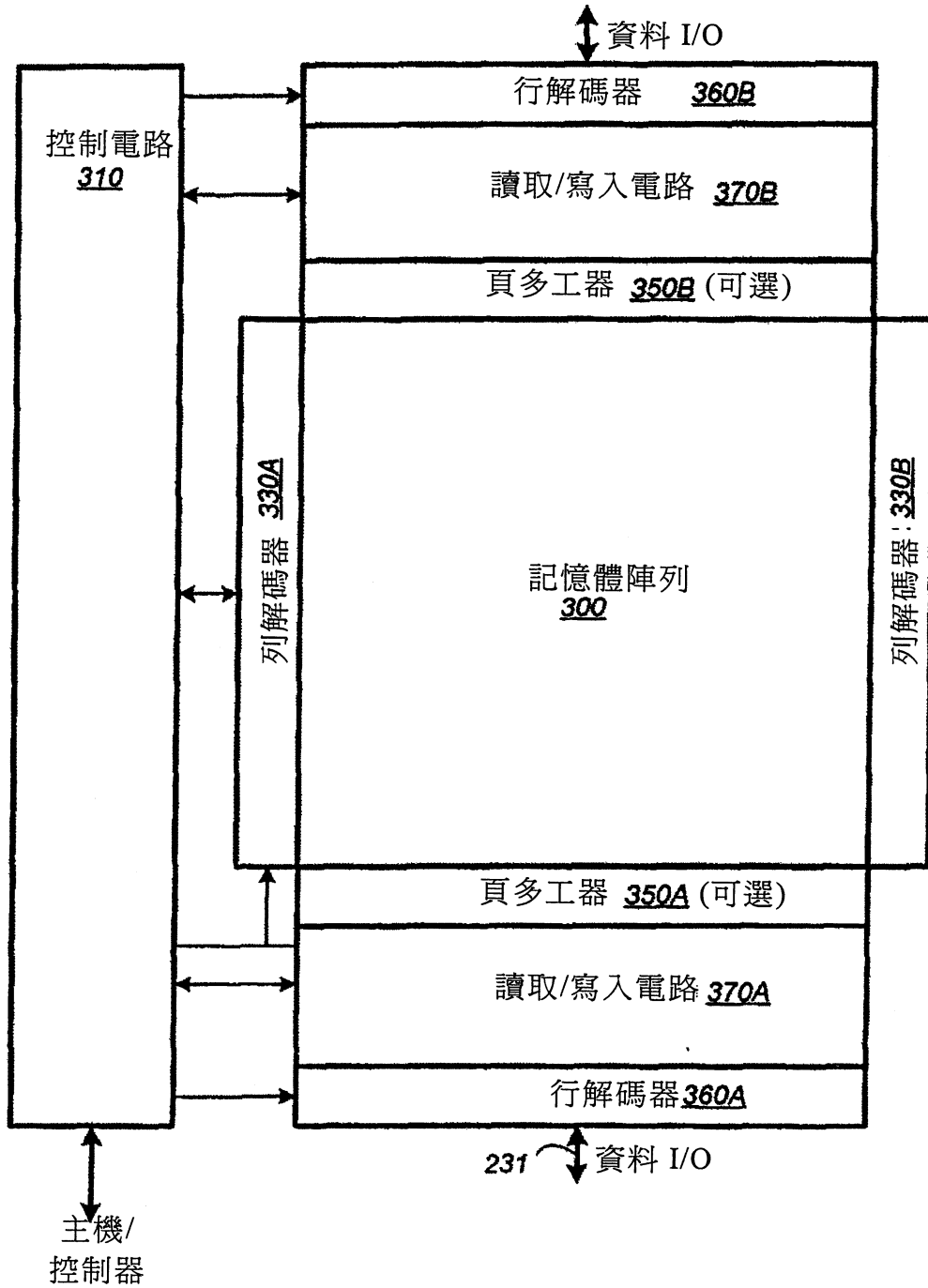


圖 6B

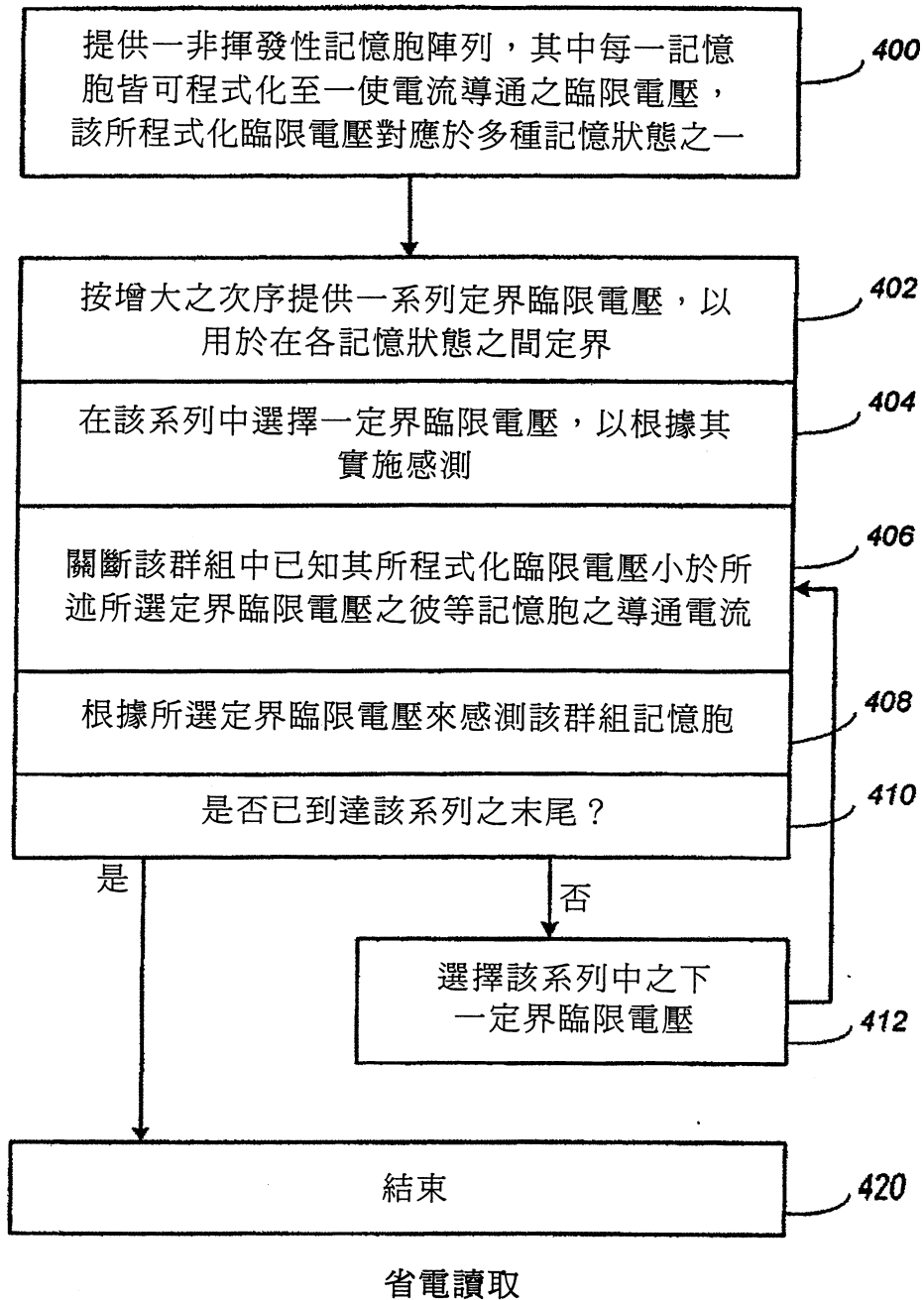
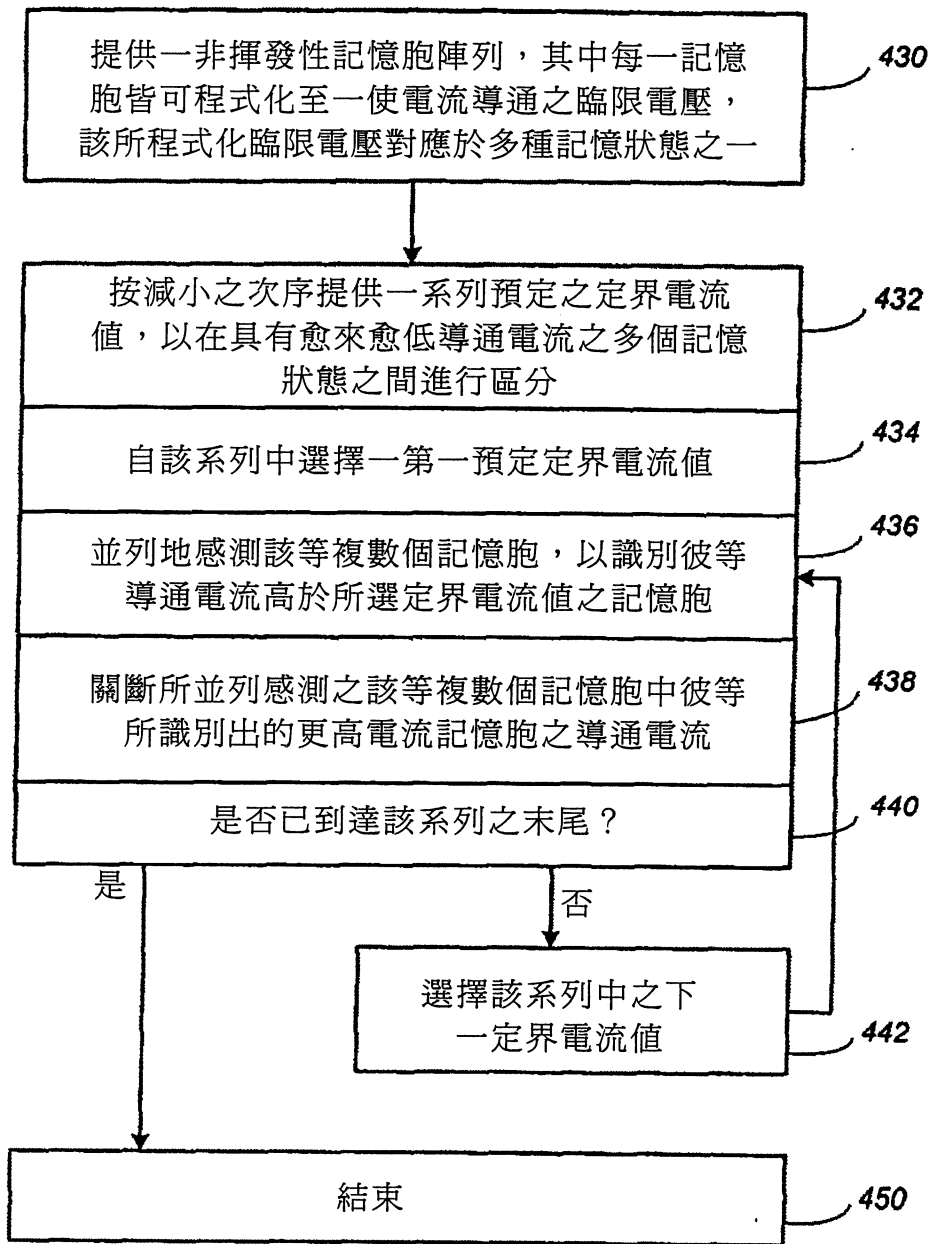
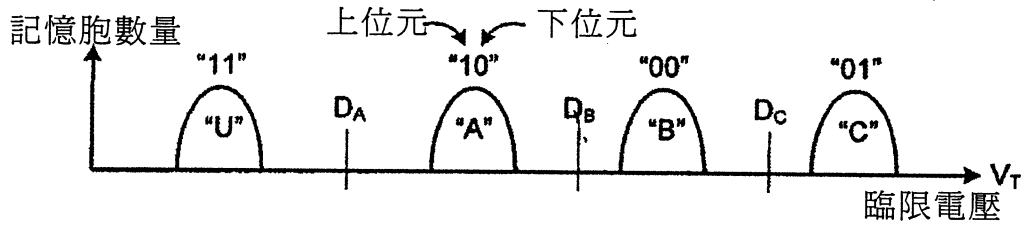


圖 7A



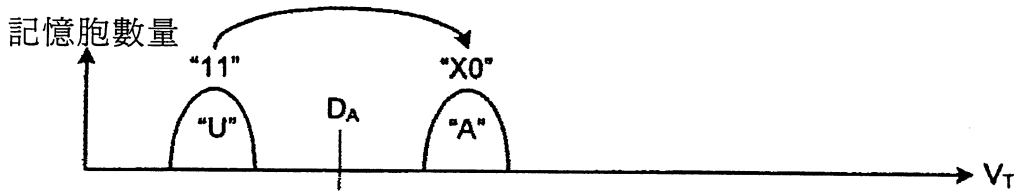
省電讀取（替代的導通電流比較角度）

圖 7B



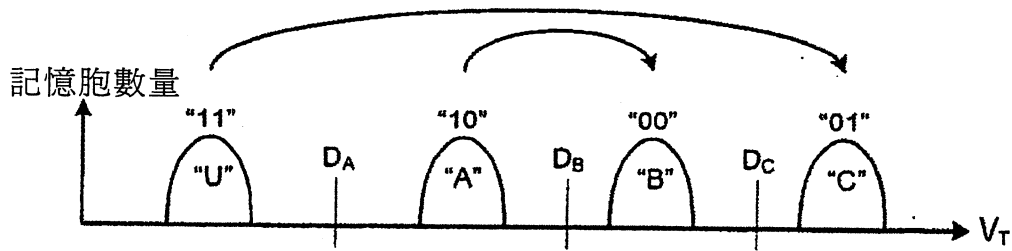
多狀態記憶體 (傳統格雷碼)

圖 8A



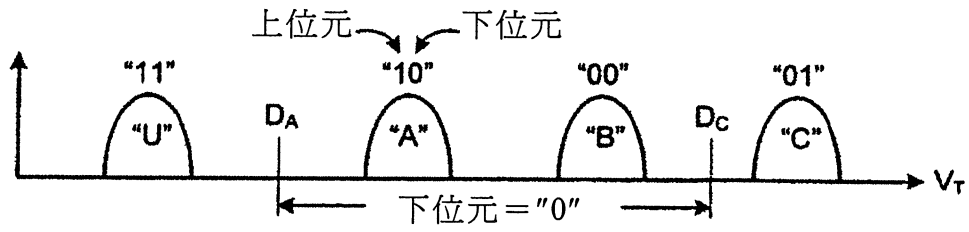
下頁程式化 (傳統格雷碼)

圖 8B



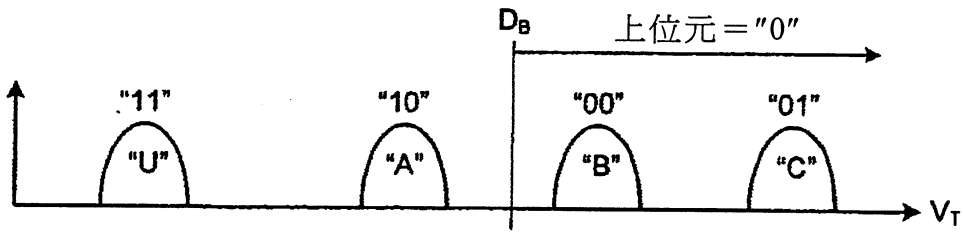
上頁程式化 (傳統格雷碼)

圖 8C



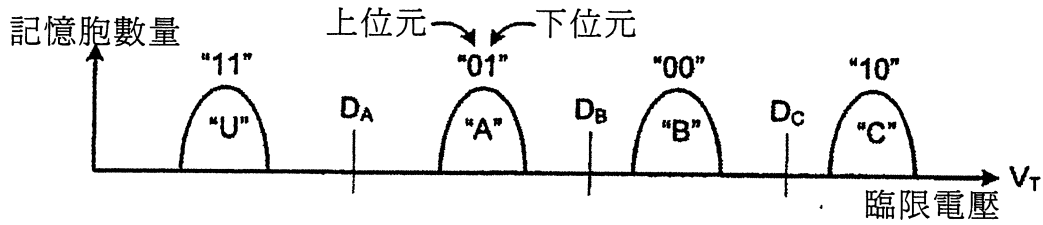
下頁讀取 (傳統格雷碼)

圖 8D



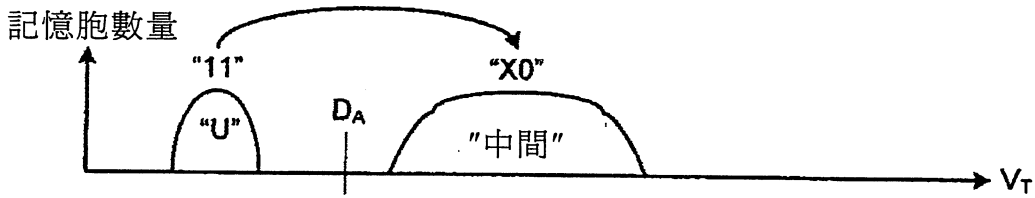
上頁讀取 (傳統格雷碼)

圖 8E



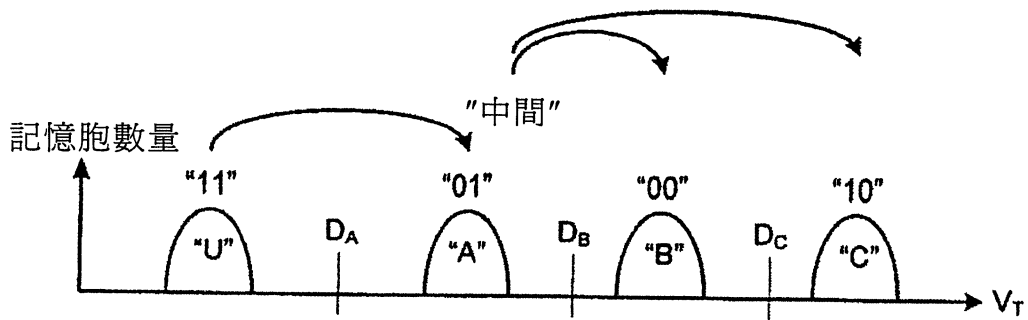
多狀態記憶體 (LM 格雷碼)

圖 9A



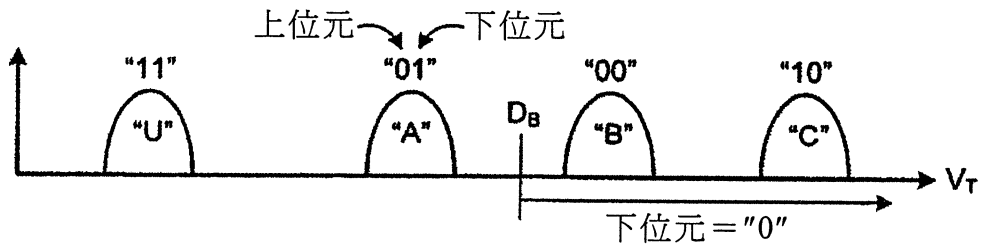
下頁程式化 (LM 格雷碼)

圖 9B



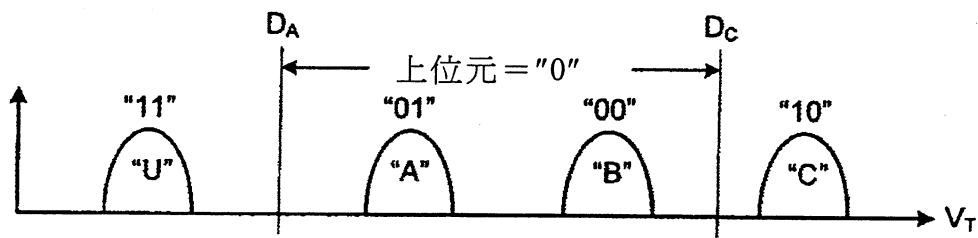
上頁格雷碼 (LM 格雷碼)

圖 9C



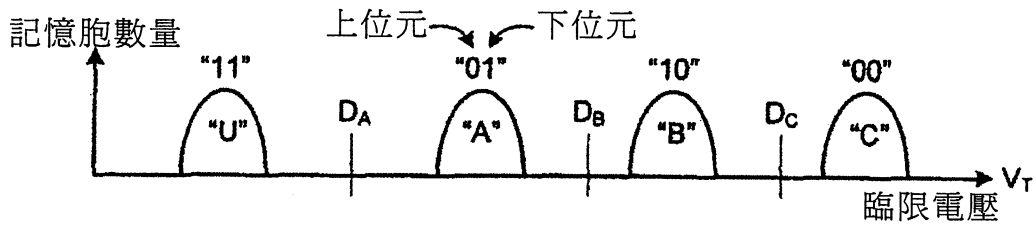
下頁讀取 (LM 格雷碼)

圖 9D



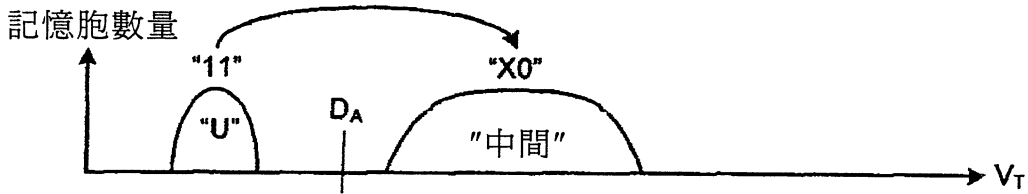
上頁讀取 (LM 格雷碼)

圖 9E



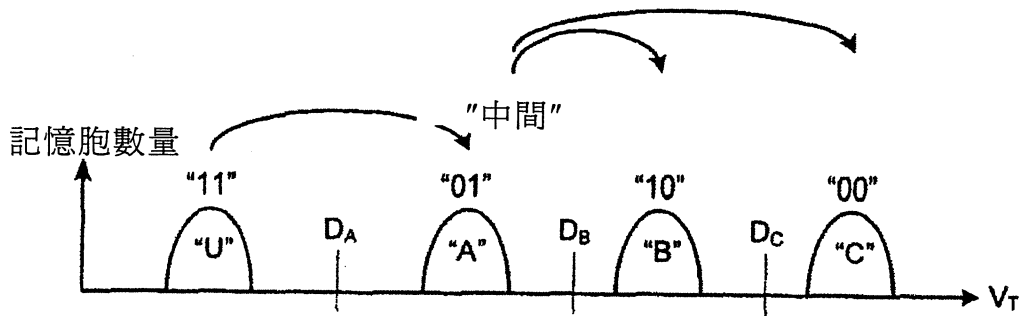
多狀態記憶體 (LM New 碼)

圖 10A



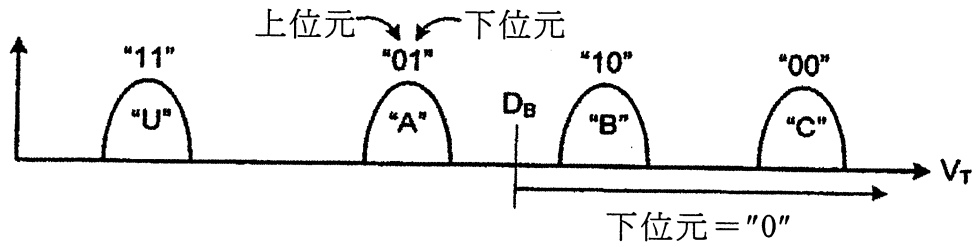
下頁程式化 (LM New 碼)

圖 10B



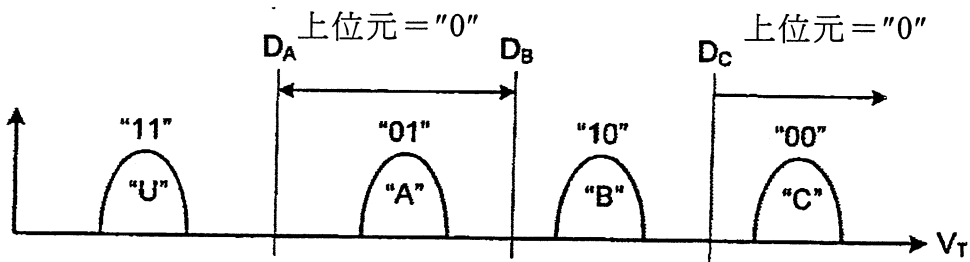
上頁程式化 (LM New 碼)

圖 10C



下頁讀取 (LM New 碼)

圖 10D



上頁讀取 (LM New 碼)

圖 10E

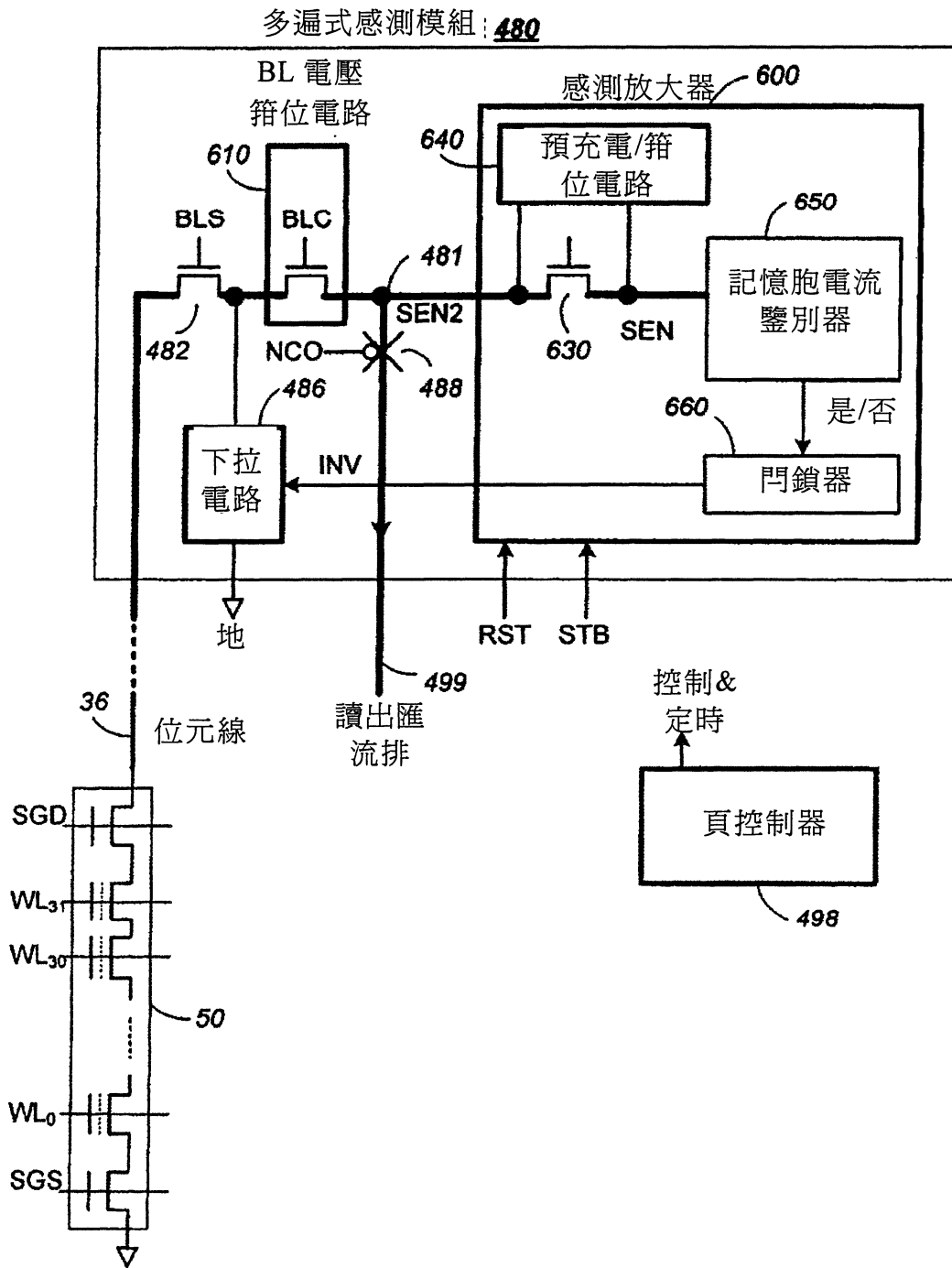
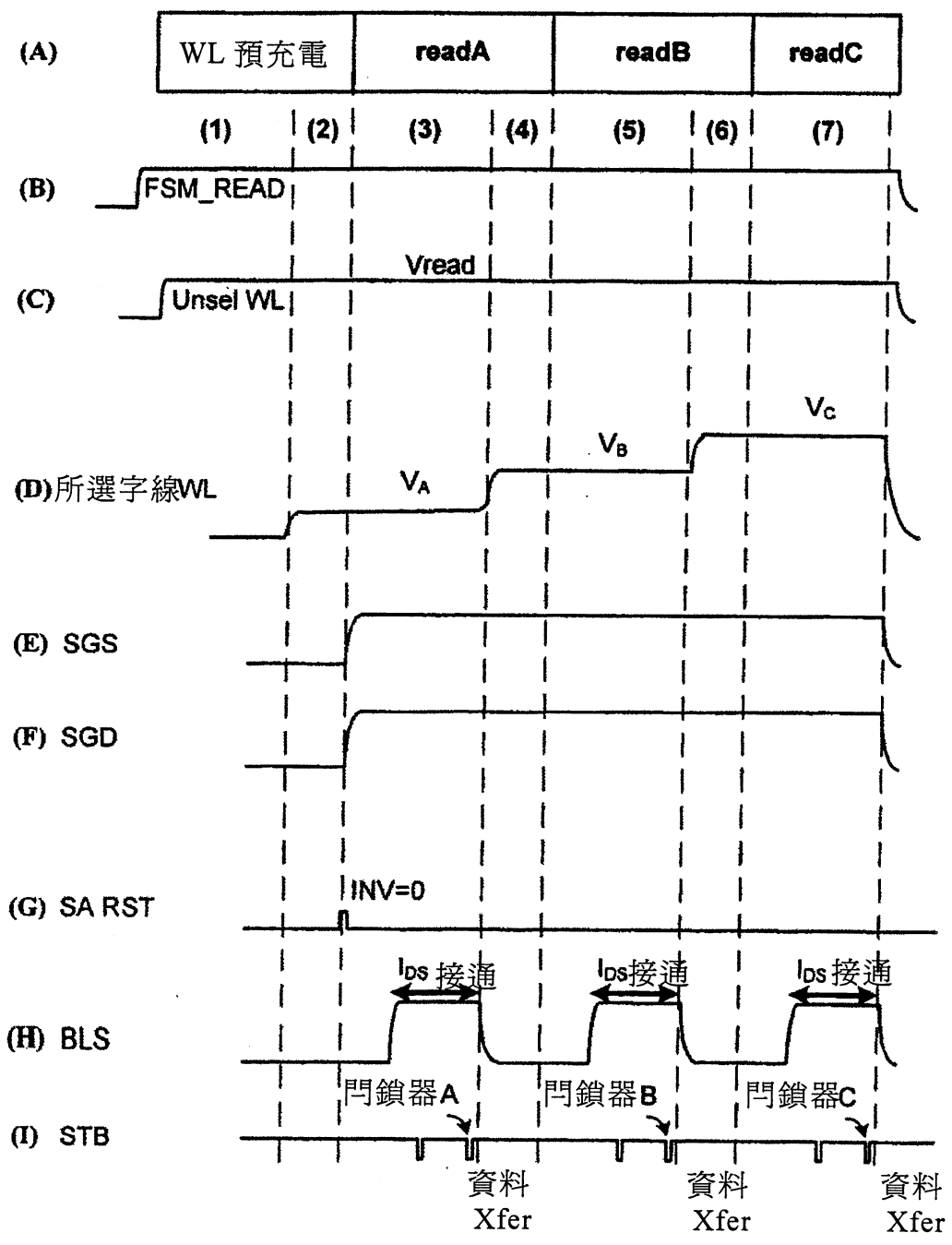


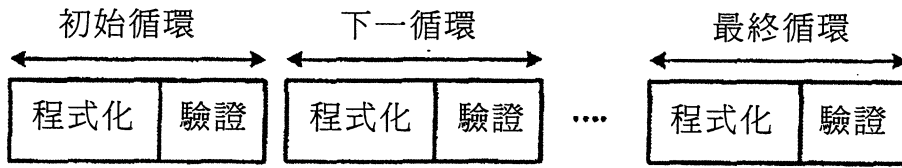
圖 11



使字線預充電之 A-B-C 讀取

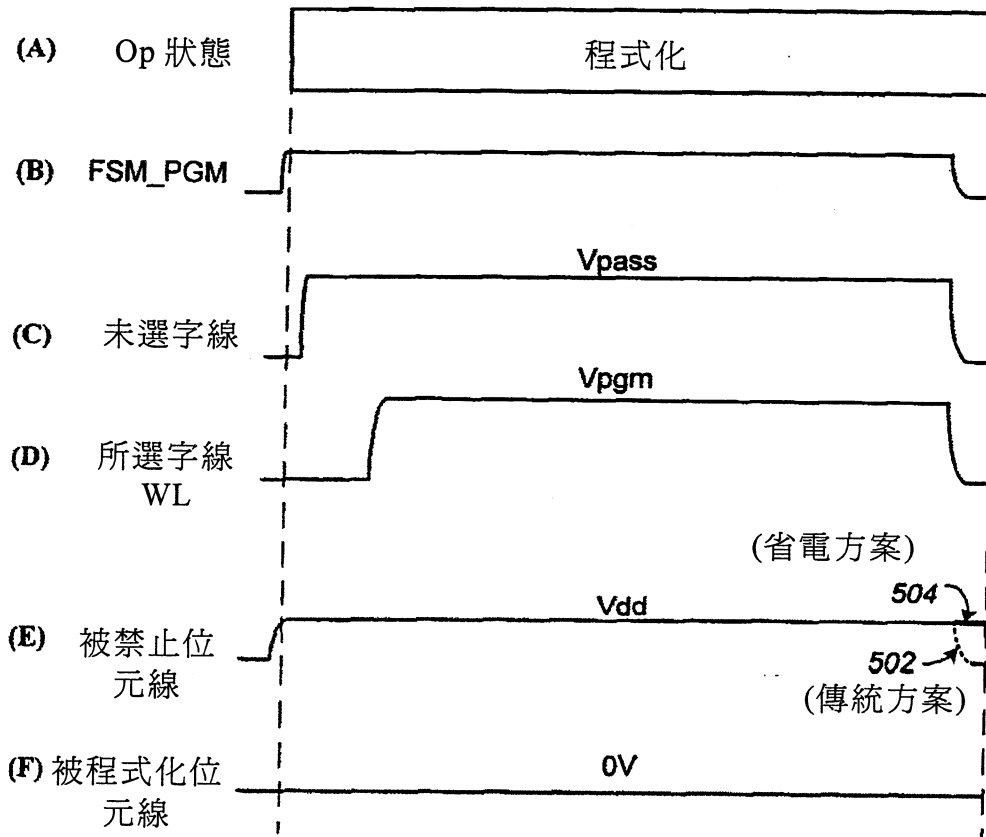
圖 12





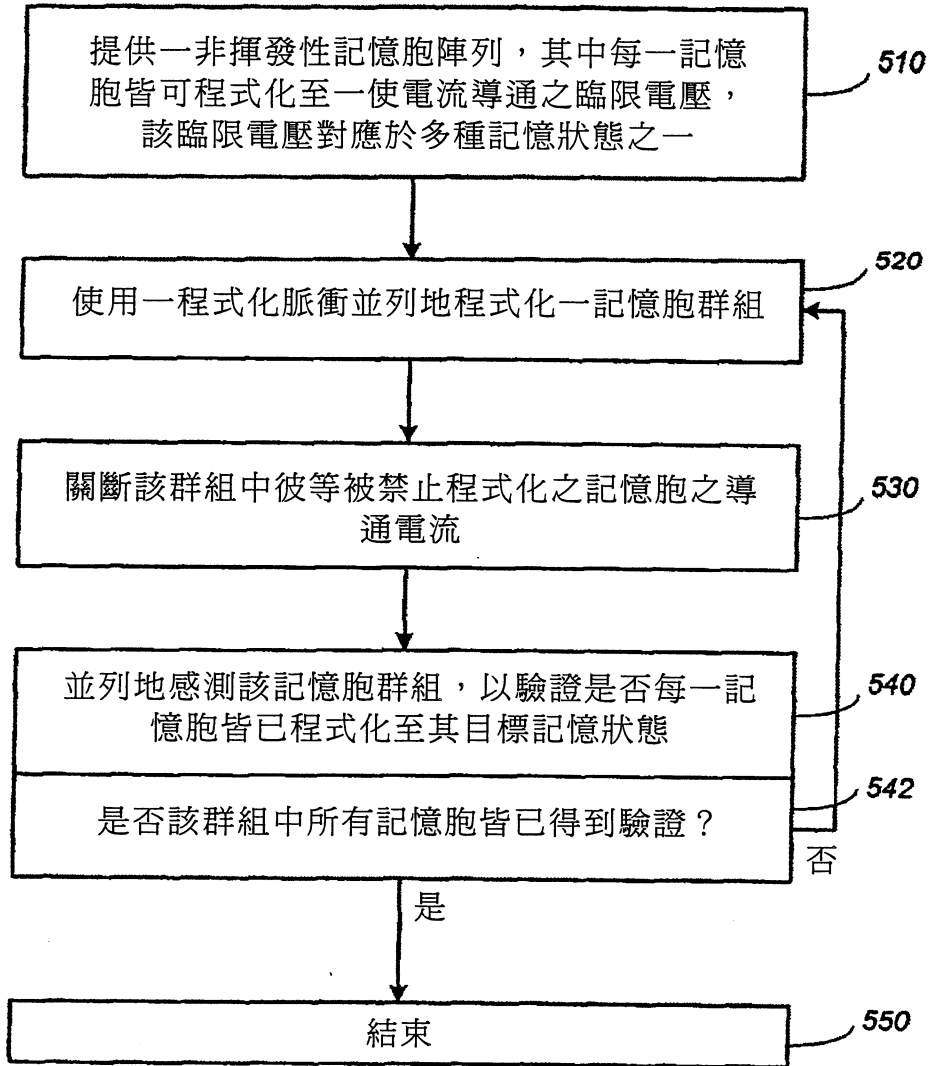
程式化-驗證循環

圖 13



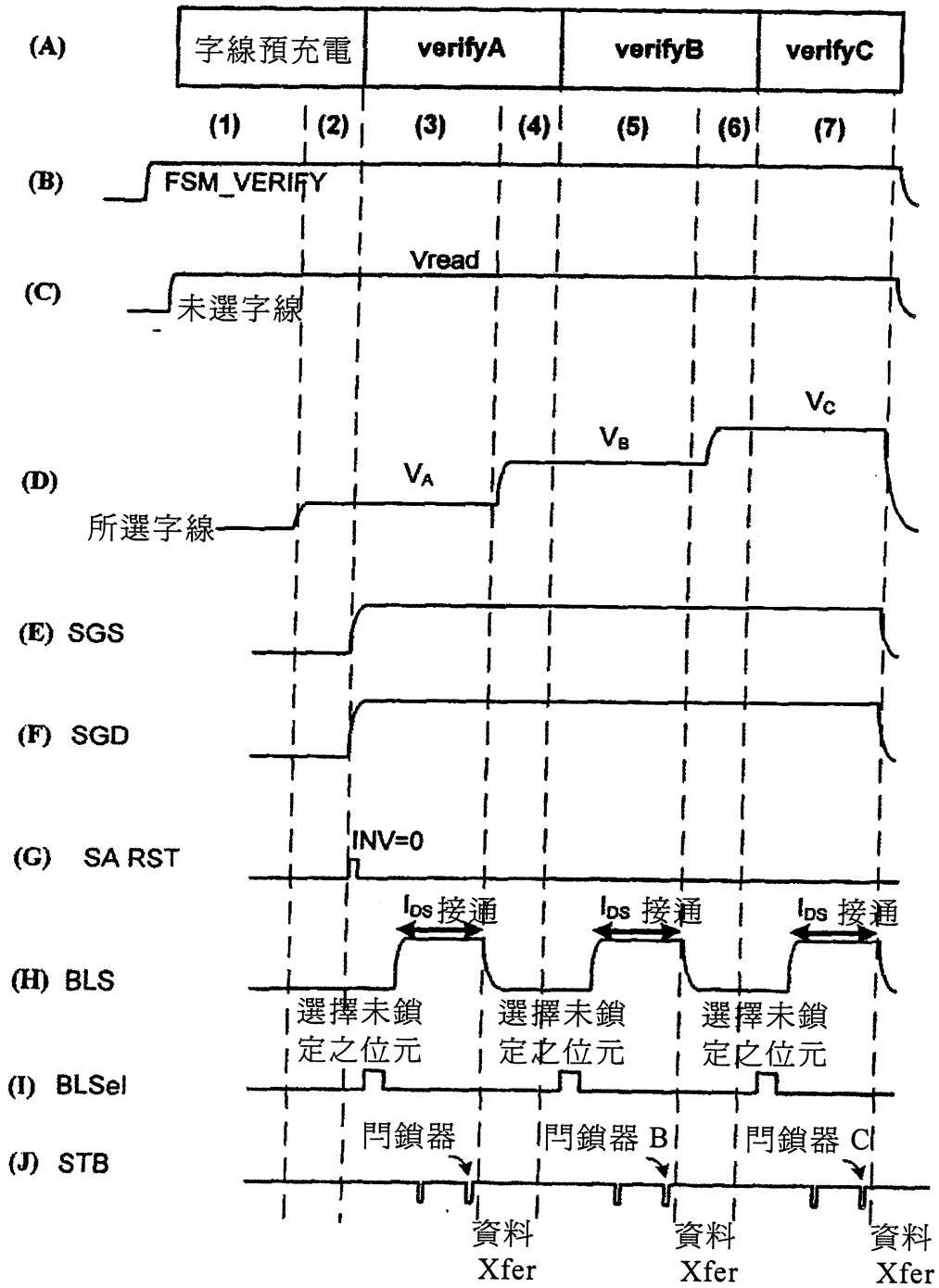
程式化循環定時

圖 14



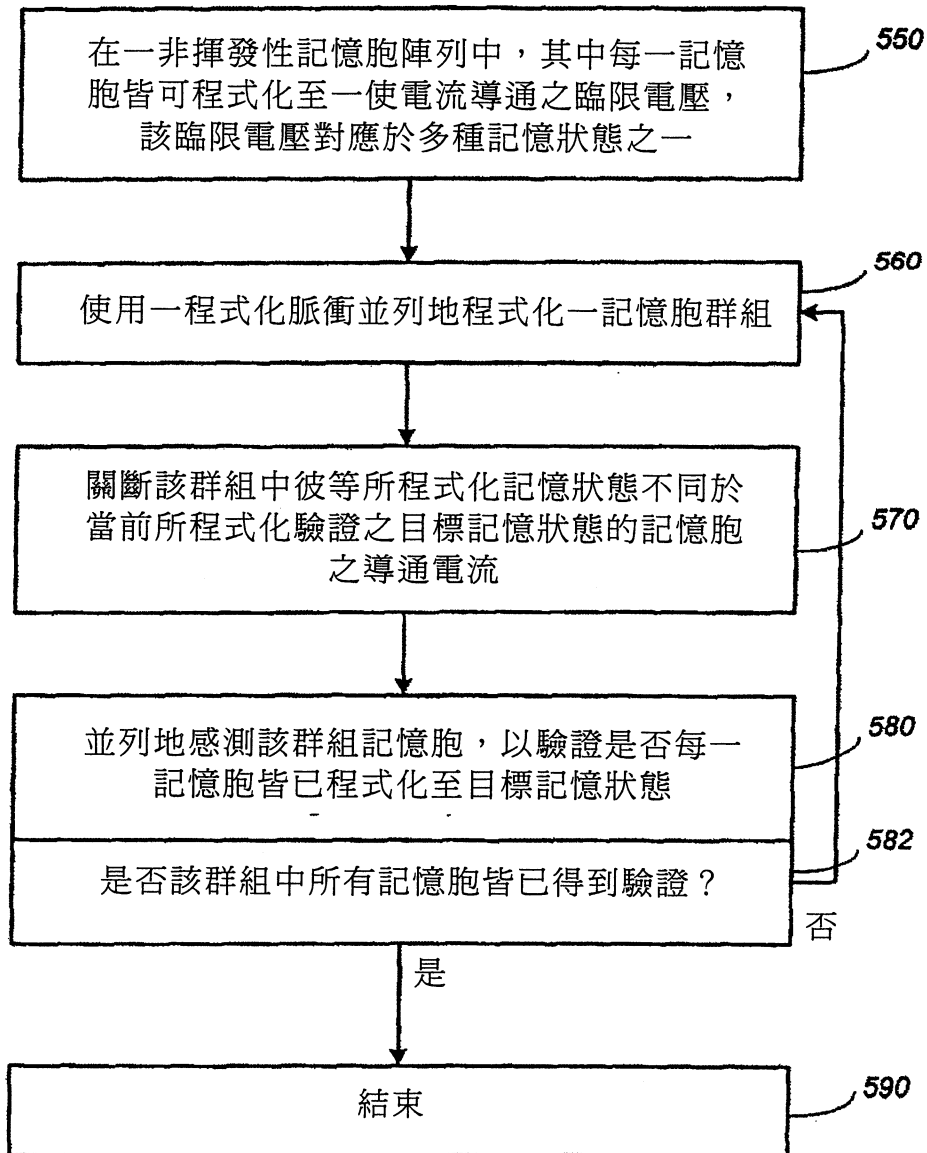
省電程式化驗證（選擇未鎖定之位元）

圖 15



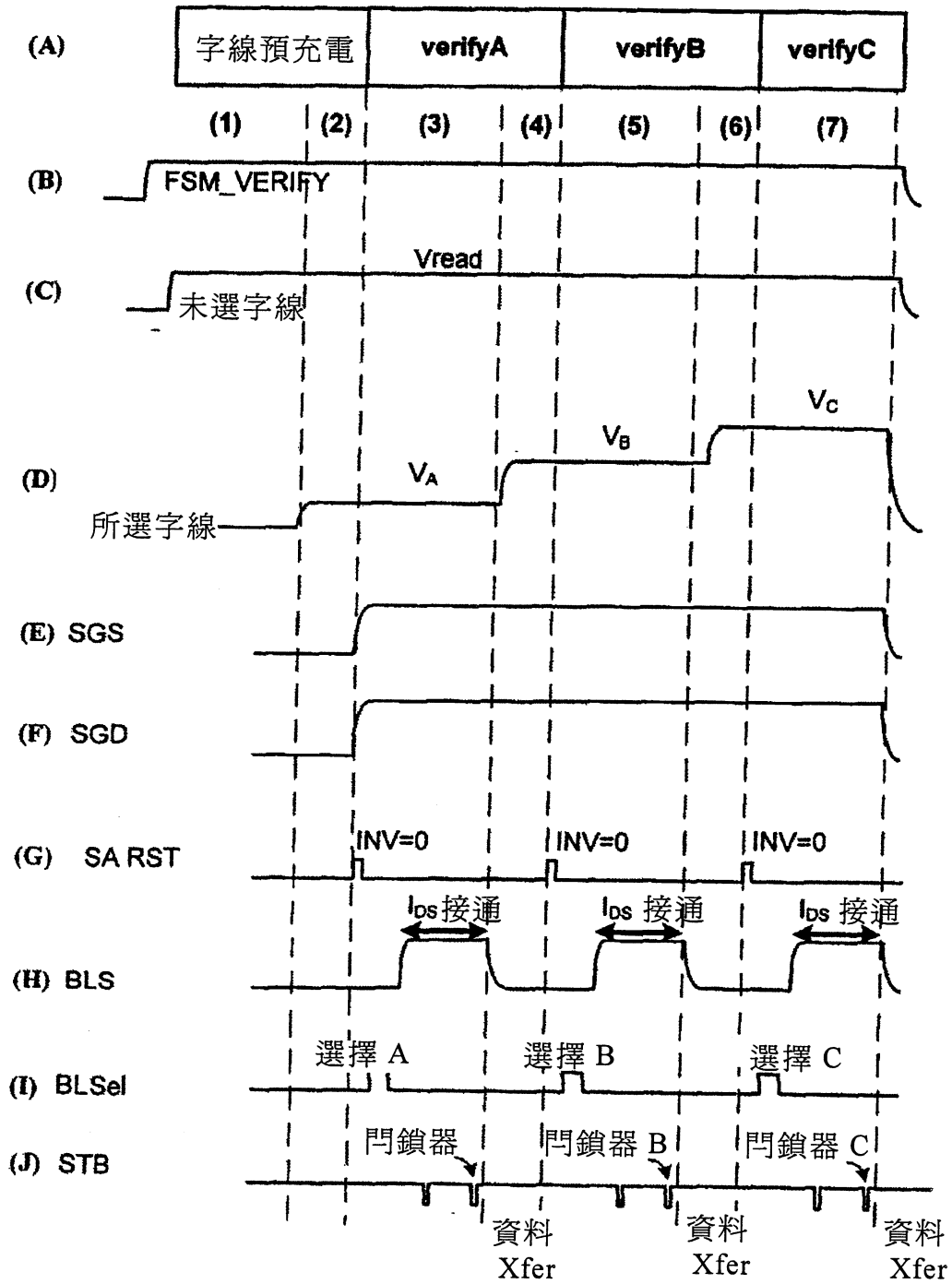
省電驗證 (選擇未鎖定之位元)

圖 16



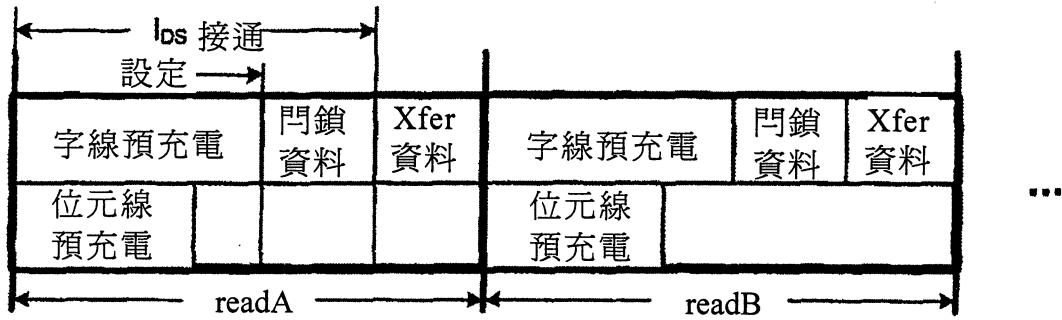
省電程式化驗證
(選擇具有相關記憶狀態之位元)

圖 17



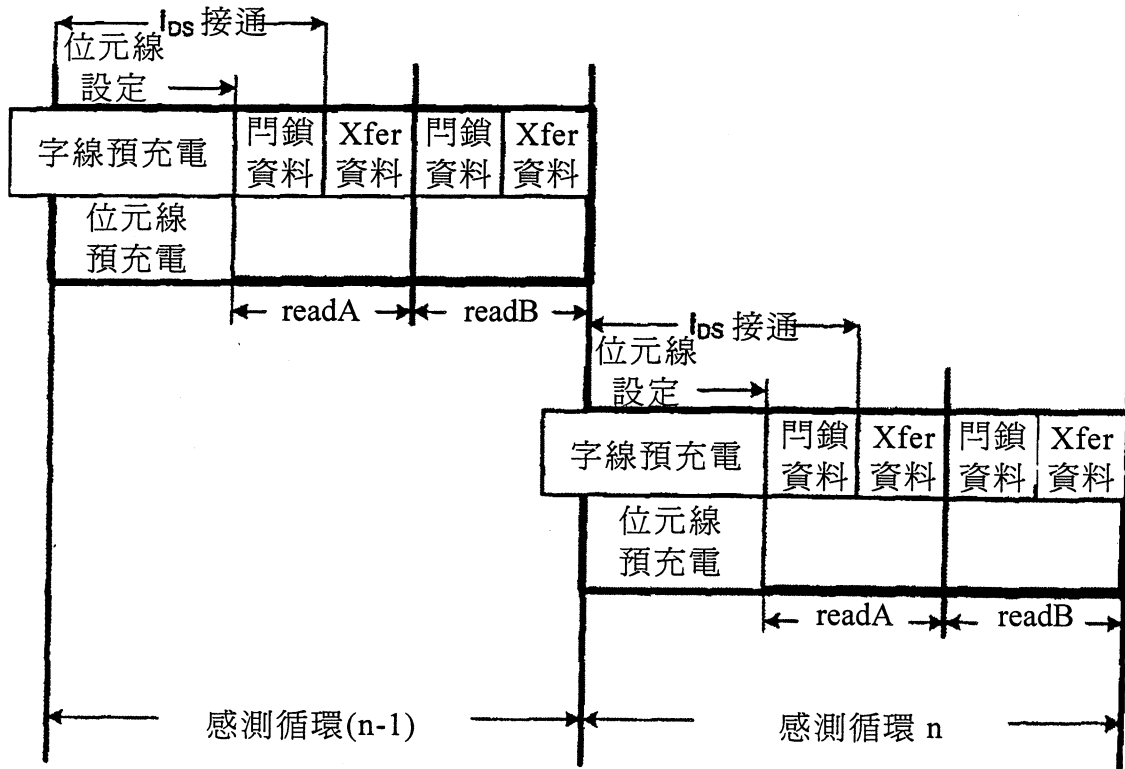
省電驗證
(選擇具有相關記憶狀態之位元)

圖 18



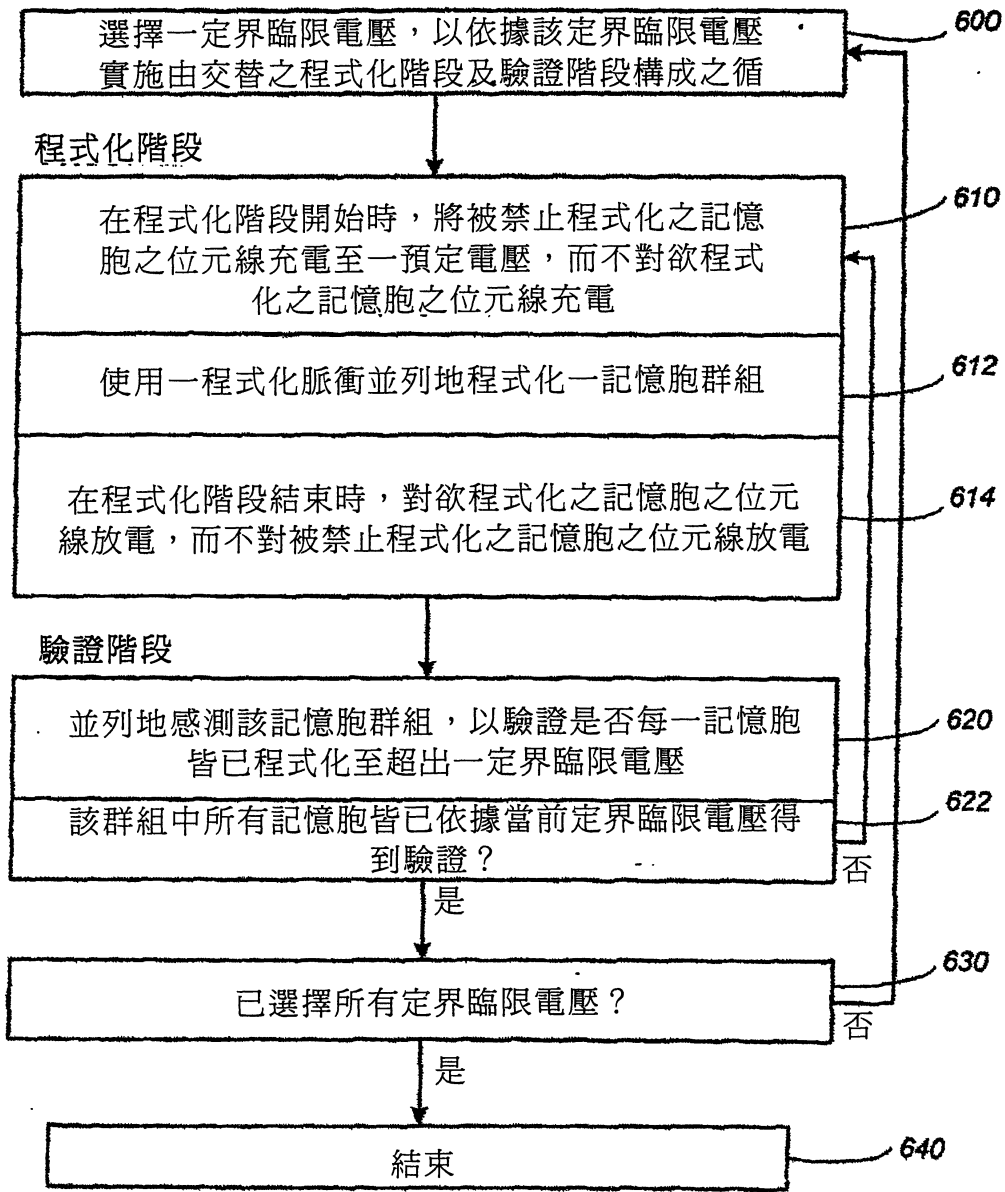
用於感測之傳統預充電定時

圖 19



用於感測之跳躍開始字線預充電定時

圖 20



省電程式化禁止
(使被禁止程式化之位元線之充電及放電最小化)

圖 21

BL = 0 : 通
BL = Vdd : 浮動

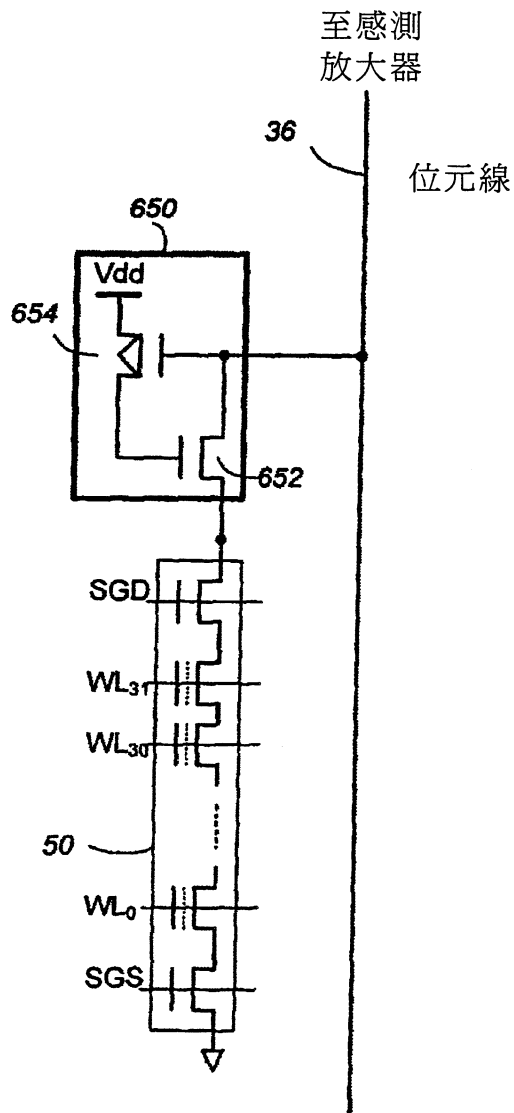


圖 22

七、指定代表圖：

(一)本案指定代表圖為：第 (7A) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種用於在一非揮發性記憶胞陣列中並列地感測該等記憶胞之一群組之方法，該非揮發性記憶胞陣列中每一記憶胞係可程式化至一對應於多個記憶狀態之一的使電流導通之臨限電壓，該方法包括：
 - (a)按遞增次序提供一系列定界臨限電壓，以用於在各記憶狀態之間定界；
 - (b)在該系列中選擇一定界臨限電壓，該感測將依據該定界臨限電壓實施；
 - (c)關斷該群組中彼等已知具有小於該所選定界臨限電壓之臨限電壓的記憶胞之該等導通電流；
 - (d)依據該所選定界臨限電壓感測該記憶胞群組；及
 - (e)藉由選擇該系列中下一定界臨限電壓來重複(b)至(d)，直至已到達該系列之末尾。
2. 如請求項1之方法，其中若不知曉該群組中該等記憶胞之該等臨限電壓中之任一臨限電壓，則不實施(c)。
3. 如請求項1之方法，其中一位元線耦合至該群組中之每一記憶胞，且藉由將彼等記憶胞之位元線接地來關斷其導通電流。
4. 如請求項1之方法，其中該感測係一用於讀取程式化至該記憶胞群組內之該等記憶狀態的讀取作業之一部分。
5. 如請求項1之方法，其中該感測係一用於驗證是否該等記憶胞中任一記憶胞已程式化至超出該所選定界電壓的程式化作業之一部分。

6. 如請求項1-5中任一項之方法，其中該系列包含至少一個定界臨限電壓。
7. 如請求項1-5中任一項之方法，其中該系列包含至少兩個定界臨限電壓。
8. 一種於一程式化作業後並列地驗證一記憶胞群組之方法，其包括：
 - (a)提供一系列定界臨限電壓，以用於在各記憶狀態之間定界；
 - (b)在該系列中選擇一定界臨限電壓，該感測將依據該定界臨限電壓實施；
 - (c)識別該群組中擬不程式化至一超出該所選定界臨限電壓之臨限電壓的該等記憶胞；
 - (d)關斷該等所識別出之記憶胞之該等導通電流；
 - (e)感測該群組之該等記憶胞，以驗證是否該等記憶胞中任一記憶胞已程式化至超出該定界臨限電壓；
 - (f)藉由選擇該系列中下一定界臨限電壓來重複(b)至(e)，直至已到達該系列之末尾。
9. 一種在一程式化作業後並列地驗證一記憶胞群組之方法，其包括：
 - (a)識別該群組中擬不程式化之該等記憶胞；
 - (b)關斷該等所識別出之記憶胞之該等導通電流；
 - (c)提供一系列定界臨限電壓以用於在各記憶狀態之間定界；
 - (d)在該系列中選擇一定界臨限電壓，該感測將依據該

定界臨限電壓實施；

(e)感測該群組之該等記憶胞，以驗證是否該等所識別出之記憶胞中任一記憶胞已程式化至超出該定界臨限電壓；及

(f)藉由選擇該系列中下一定界臨限電壓來重複(b)至(e)，直至已到達該系列之末尾。

10. 如請求項8-9中任一項之方法，其中該系列包含至少一個定界臨限電壓。

11. 如請求項8-9中任一項之方法，其中該系列包含至少兩個定界臨限電壓。

12. 一種在一非揮發性記憶胞陣列中並列地感測該等記憶胞之一群組之方法，該非揮發性記憶胞陣列中每一記憶胞係可由一組字線及位元線存取及係可程式化至一對應於多個記憶狀態之一的使電流導通之臨限電壓，該方法包括：

將該群組中該等記憶胞之該組字線預充電至一組預定字線電壓；

視每一記憶狀態而定，將該群組中該等記憶胞之該等位元線皆預充電至一預定位元線電壓，以使一導通電流在該等記憶胞之每一記憶胞中流動，至少在該組預定字線電壓及每一預定位元線電壓已穩定後，維持該正預充電之位元線達一持續時間；及

並列地感測該等記憶胞，以確定每一記憶胞之狀態；其中該預充電該組字線居先於該預充電每一位元線，以

使該持續時間最小化。

13. 如請求項12之方法，其中該等記憶胞中每一記憶胞皆儲存一個資料位元。
14. 如請求項12之方法，其中該等記憶胞中每一記憶胞皆儲存一個以上資料位元。
15. 一種於一非揮發性記憶胞陣列中具有多個交替之程式化階段及驗證階段之循環之程式化方法，該非揮發性記憶胞陣列中每一記憶胞係可由一位元線存取及係可程式化至一對應於多個記憶狀態之一的使電流導通之臨限電壓，該方法包括：

在該程式化階段開始時，將被禁止程式化之記憶胞之該等位元線充電至一預定電壓，而不對欲程式化之記憶胞之該等位元線充電；及

在該程式化階段結束時，對欲程式化之記憶胞之該等位元線放電，而不對該等被禁止程式化之記憶胞之該等位元線放電。

16. 如請求項15之方法，其中該等記憶胞中每一記憶胞皆儲存一個資料位元。
17. 如請求項15之方法，其中該等記憶胞中每一記憶胞皆儲存一個以上資料位元。
18. 一種非揮發性記憶體，其包括：

組織成一NAND鏈陣列之記憶胞，每一NAND鏈皆可經由一位元線存取；及

一耦合於該每一NAND鏈與該位元線之間的開關，該

開關可因應於該位元線上的一電壓狀態而在該位元線實質上處於零電壓時將該每一NAND鏈連接至該位元線、及在該位元線實質上處於一電源電壓時使該每一NAND鏈自該位元線斷開。

19. 如請求項18之非揮發性記憶體，其中該開關包括：

一具有一控制閘極之n-通道電晶體，該n-通道電晶體串聯連接於該每一NAND鏈與該位元線之間；及

一具有一控制閘極之p-通道電晶體，該p-通道電晶體串聯連接於一電源電壓與該n-通道電晶體之該控制閘極之間，該p-通道電晶體之該控制閘極連接至該位元線。

20. 如請求項18-19中任一項之非揮發性記憶體，其中該等記憶胞中每一記憶胞皆儲存一個資料位元。

21. 如請求項18-19中任一項之非揮發性記憶體，其中該等記憶胞中每一記憶胞皆儲存一個以上資料位元。