



(12) 发明专利

(10) 授权公告号 CN 102541506 B

(45) 授权公告日 2014. 02. 26

(21) 申请号 201010611387. 6

US 2009/0307740 A1, 2009. 12. 10,

(22) 申请日 2010. 12. 29

审查员 李娜

(73) 专利权人 深圳市恒扬科技有限公司

地址 518000 广东省深圳市南山区科技园北区朗山路嘉达大厦主楼 6 层

(72) 发明人 周毅华 董菊华 叶晶

(74) 专利代理机构 深圳中一专利商标事务所
44237

代理人 张全文

(51) Int. Cl.

G06F 5/10(2006. 01)

(56) 对比文件

CN 101040272 A, 2007. 09. 19,

CN 101038573 A, 2007. 09. 19,

CN 101021783 A, 2007. 08. 22,

CN 101692655 A, 2010. 04. 07,

US 7369491 B1, 2008. 05. 06,

CN 1855881 A, 2006. 11. 01,

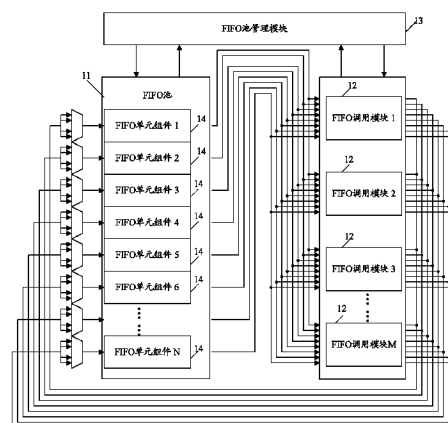
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种 FIFO 数据缓存器、芯片以及设备

(57) 摘要

本发明适用于存储器设计领域,提供了一种 FIFO 数据缓存器、芯片以及设备,所述 FIFO 数据缓存器包括 FIFO 池、FIFO 调用模块以及 FIFO 池管理模块。本发明通过在各个数据突点配置 FIFO 调用模块,使各个 FIFO 调用模块能够根据数据缓存的需要,共享 FIFO 单元,从而做到 FIFO 数据缓存器中,各 FIFO 单元的动态分配,提高了 FIFO 数据缓存器的利用率以及缓存效果。



1. 一种 FIFO 数据缓存器,其特征在于,所述 FIFO 数据缓存器包括:

由若干个 FIFO 单元组件构成的 FIFO 池,每个 FIFO 单元组件配置成相同的深度,分布在芯片的不同位置,所述 FIFO 池是一个逻辑上的集合,组成这个集合的 FIFO 单元组件彼此没有联系;

多个 FIFO 调用模块,配置于可能出现数据突发的位置,用于根据数据缓存需要,发出占用 FIFO 单元或者释放 FIFO 单元的申请;

FIFO 池管理模块,用于根据相应 FIFO 调用模块的申请,向该 FIFO 调用模块分配或者回收 FIFO 单元;

所述 FIFO 调用模块包括:

私有 FIFO 单元;

若干输入端多路选择器,用于从多个 FIFO 单元的输出以及所述 FIFO 调用模块的输入中,选择一路作为所述私有 FIFO 单元或者所述 FIFO 单元的输入;

输出端多路选择器,用于从多个 FIFO 单元的输出以及所述私有 FIFO 单元的输出中,选择一路作为所述 FIFO 调用模块的输出;

级联控制器,用于记录 FIFO 单元在所述 FIFO 调用模块中的级联拓扑,控制各个输入端多路选择器的输出,并根据数据缓存需要,向所述 FIFO 池管理模块申请调用空闲的 FIFO 单元或者释放使用完成的 FIFO 单元;

所述 FIFO 单元组件包括:

FIFO 单元,以及

多路选择器,用于从所述多个 FIFO 调用模块中选择一路输出作为所述 FIFO 单元的输入。

2. 如权利要求 1 所述的 FIFO 数据缓存器,其特征在于,所述级联控制器包括:

FIFO 单元占用申请电路,用于根据所述 FIFO 调用模块实时的使用需要,申请 FIFO 单元;

FIFO 单元卸载电路,用于根据所述 FIFO 调用模块实时的使用需要,卸载 FIFO 单元;

FIFO 级联表,用于记录 FIFO 单元在所述 FIFO 调用模块中的级联拓扑。

3. 如权利要求 1 所述的 FIFO 数据缓存器,其特征在于,所述 FIFO 池管理模块存有 FIFO 调用模块的优先级和 FIFO 调用模块的权限;

所述 FIFO 调用模块的优先级为两个以上 FIFO 调用模块同时申请占用 FIFO 单元时,所述 FIFO 池管理模块受理申请的顺序;

所述 FIFO 调用模块的权限为每个 FIFO 调用模块能够占用的 FIFO 单元的总量。

4. 一种包含如权利要求 1 至 3 任一项所述的 FIFO 数据缓存器的芯片。

5. 一种包含如权利要求 1 至 3 任一项所述的 FIFO 数据缓存器的设备。

一种 FIFO 数据缓存器、芯片以及设备

技术领域

[0001] 本发明属于存储器设计领域,尤其涉及一种 FIFO 数据缓存器、芯片以及设备。

背景技术

[0002] FIFO (First In First Out,一种先进先出的数据缓存器)广泛的应用于芯片设计的各个领域,比如数据缓存、跨越时钟域等。特别是在数字通信芯片中,需要大量的 FIFO 用于报文的缓存。一般而言,FIFO 的使用有如下特点:

[0003] 芯片内的 FIFO 资源非常有限。当芯片内有多处需要使用大容量缓存时,往往没有足够的 FIFO 可供使用。如果增加了 FIFO 资源,就意味着要相应地增加芯片成本。

[0004] FIFO 的使用需求呈动态变化。比如,在数字通信等领域,FIFO 多是用于应对数据的突发(如:报文的突发等)。在不存在突发时,仅需小容量的 FIFO 就能满足芯片的正常运转;但当突发出现时,则需要大容量的 FIFO 来缓存数据。

[0005] 而数据的突发往往是随机的,出现突发的位置很多情况下也是不相干的。如一个多接口数据交换芯片,每个接口出现突发是随机的,也是互不相干的。

[0006] 现有的 FIFO 使用方法,多是将 FIFO 固定为一个特定的深度,分配给一个特定的位置。在数字通信芯片中,这种 FIFO 使用方法存在以下两个弊端:

[0007] 1、由于 FIFO 总量有限,每个位置获得的 FIFO 容量也是有限的;同时,为了应对突发,每个位置的 FIFO 容量不能太小。这样,当不存在数据突发时,仅须很小的容量就能满足芯片运转,剩余的容量被闲置浪费;当存在数据突发时,这样的容量又不足以应对突发。

[0008] 2、由于各个 FIFO 使用位置出现突发的时刻是随机的,一个位置出现突发,另一个位置可能没出现突发。但 FIFO 容量是固定分配给各个位置的。于是就会导致这样一个现象:芯片内一个位置由于突发导致缓存溢出,而其余的位置则有大量的缓存处于闲置的状态。这种情形下,FIFO 的利用率以及缓存效果是极差的。

发明内容

[0009] 本发明实施例的目的在于提供一种 FIFO 数据缓存器,旨在解决现有 FIFO 数据缓存器中出现的缓存容量闲置浪费、FIFO 利用率低以及缓存效果差等问题。

[0010] 本发明实施例是这样实现的,一种 FIFO 数据缓存器,所述 FIFO 数据缓存器包括:

[0011] 由若干个 FIFO 单元组件构成的 FIFO 池,每个 FIFO 单元组件配置成相同的深度,分布在芯片的不同位置,所述 FIFO 池是一个逻辑上的集合,组成这个集合的 FIFO 单元组件彼此没有联系;

[0012] 多个 FIFO 调用模块,配置于可能出现数据突发的位置,用于根据数据缓存需要,发出占用 FIFO 单元或者释放 FIFO 单元的申请;

[0013] FIFO 池管理模块,用于根据相应 FIFO 调用模块的申请,向该 FIFO 调用模块分配或者回收 FIFO 单元;

[0014] 所述 FIFO 调用模块包括:

- [0015] 私有 FIFO 单元；
- [0016] 若干输入端多路选择器，用于从多个 FIFO 单元的输出以及所述 FIFO 调用模块的输入中，选择一路作为所述私有 FIFO 单元或者所述 FIFO 单元的输入；
- [0017] 输出端多路选择器，用于从多个 FIFO 单元的输出以及所述私有 FIFO 单元的输出中，选择一路作为所述 FIFO 调用模块的输出；
- [0018] 级联控制器，用于记录 FIFO 单元在所述 FIFO 调用模块中的级联拓扑，控制各个输入端多路选择器的输出，并根据数据缓存需要，向所述 FIFO 池管理模块申请调用空闲的 FIFO 单元或者释放使用完成的 FIFO 单元；
- [0019] 所述 FIFO 单元组件包括：
- [0020] FIFO 单元，以及
- [0021] 多路选择器，用于从所述多个 FIFO 调用模块中选择一路输出作为所述 FIFO 单元的输入。
- [0022] 本发明实施例的另一目的在于提供一种包含 FIFO 数据缓存器的芯片。
- [0023] 本发明实施例的另一目的在于提供一种包含 FIFO 数据缓存器的设备。
- [0024] 本发明实施例通过在各个数据突发点配置 FIFO 调用模块，使各个 FIFO 调用模块能够根据数据缓存的需要，共享 FIFO 单元，从而做到 FIFO 数据缓存器中，各 FIFO 单元的动态分配，提高了 FIFO 数据缓存器的利用率以及缓存效果。

附图说明

- [0025] 图 1 是本发明实施例提供的 FIFO 数据缓存器的工作原理图；
- [0026] 图 2 是本发明实施例提供的 FIFO 数据缓存器中 FIFO 单元组件的结构图；
- [0027] 图 3 是本发明实施例提供的 FIFO 数据缓存器中 FIFO 调用模块的结构图。

具体实施方式

[0028] 为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

[0029] 本发明实施例针对现有技术中存在的缓存容量闲置浪费、FIFO 利用率低以及缓存效果差等问题，在各个数据突发点配置 FIFO 调用模块，使各个 FIFO 调用模块能够根据数据缓存的需要，共享 FIFO 单元，从而做到 FIFO 数据缓存器中，各 FIFO 单元的动态分配，提高了 FIFO 数据缓存器的利用率以及缓存效果。

[0030] 本发明实施例是这样实现的：

[0031] 一种 FIFO 数据缓存器，包括：

[0032] 由若干个 FIFO 单元组件构成的 FIFO 池；

[0033] 多个 FIFO 调用模块，配置于可能出现数据突发的位置，用于根据数据缓存需要，发出占用 FIFO 单元或者释放 FIFO 单元的申请；

[0034] FIFO 池管理模块，用于根据相应 FIFO 调用模块的申请，向该 FIFO 调用模块分配或者回收 FIFO 单元。

[0035] 本发明实施例的另一目的在于提供一种包含 FIFO 数据缓存器的芯片。

[0036] 本发明实施例的另一目的在于提供一种包含 FIFO 数据缓存器的设备。

[0037] 在本发明实施例中,由于各个 FIFO 单元可以根据数据缓存的需要,动态地分配给配置于各个数据突发点的 FIFO 调用模块,使各个 FIFO 调用模块能够共享 FIFO 单元,所以提高了 FIFO 数据缓存器的利用率以及缓存效果。

[0038] 实施例一:

[0039] 图 1 示出了本发明实施例提供的 FIFO 数据缓存器的工作原理,为了便于说明只示出了与本发明实施例相关的部分。

[0040] FIFO 池 11 由多个 FIFO 单元组件 14 组成,其中, FIFO 单元组件 14 的结构如图 2 所示,包括用于缓存数据的 FIFO 单元 22,以及多路选择器 21,该多路选择器 21 用于从所述多个 FIFO 调用模块中选择一路输出作为所述 FIFO 单元的输入。

[0041] FIFO 调用模块 12 配置于可能出现数据突发的位置,根据数据缓存需要,向 FIFO 池管理模块 13 申请调用空闲的 FIFO 单元 22 或者释放使用完成的 FIFO 单元 22;

[0042] FIFO 池管理模块 13 根据 FIFO 调用模块 12 的申请,向 FIFO 调用模块 12 分配空闲的 FIFO 单元 22,或者回收 FIFO 调用模块 12 释放的 FIFO 单元 22。

[0043] 在实际工作中, FIFO 调用模块 12 有一个私有 FIFO 单元 31,在没有数据突发的情况下, FIFO 调用模块 12 本身就能满足数据缓存要求,当出现数据突发时, FIFO 调用模块 12 根据其缓存的状况,向 FIFO 池管理模块 13 申请占用 FIFO 池 11 中的 FIFO 单元 22。 FIFO 池管理模块 13 根据 FIFO 池 11 中 FIFO 单元 22 的使用情况,对 FIFO 调用模块 12 的申请做出回应,如果 FIFO 池 11 中尚有 FIFO 单元 22 可供调用的话, FIFO 管理模块 13 向 FIFO 调用模块 12 返回申请成功的信号,并向 FIFO 模块 12 提供可以调用的 FIFO 单元 22 的编号。在没有合适的 FIFO 单元 22 可供调用时, FIFO 池管理模块 13 向 FIFO 调用模块 12 返回申请失败的信号。

[0044] 当 FIFO 单元 22 使用完成后, FIFO 调用模块 12 向 FIFO 池管理模块 13 发出释放 FIFO 单元 22 的申请,而 FIFO 池管理模块 13 根据 FIFO 调用模块 12 的申请,将释放后的 FIFO 单元 22 回收。

[0045] 具体而言, FIFO 池 11 由若干完全独立的 FIFO 单元组件 14 组成,每个 FIFO 单元组件 14 配置成相同的深度,分布在芯片的不同位置。 FIFO 池 11 只是一个逻辑上的集合,组成这个集合的 FIFO 单元组件 14 彼此没有任何联系。

[0046] FIFO 单元 22 个数乘以深度,即为 FIFO 池 11 总缓存能力,即 $C=D*N$ 。其中,C 表示 FIFO 池 11 的总缓存容量,D 表示 FIFO 单元 22 的深度,N 表示 FIFO 单元 22 的个数。

[0047] 每个 FIFO 单元 22 的深度即为动态分配的粒度, FIFO 调用模块 12 以每个 FIFO 单元 22 作为最小的调度单位。 FIFO 单元 22 深度的选择要考虑以下因素:动态分配粒度、 FIFO 调用模块的复杂程度。动态分配粒度和 FIFO 调用模块的复杂程度成反比,粒度越小, FIFO 利用效率越高,但调用模块越复杂。因此,要根据芯片所能承受的调用模块的复杂程度选择最小的分配粒度。

[0048] 实施例二:

[0049] 图 3 示出了本发明实施例提供的 FIFO 数据缓存器中 FIFO 调用模块的结构,为了便于说明只示出了与本发明实施例相关的部分。

[0050] 私有 FIFO 单元 31 和 FIFO 池 11 中的 FIFO 单元 22 具有相同的深度。当没有数据

突发时,这个私有 FIFO 单元 31 就能满足缓存要求。

[0051] 在私有 FIFO 单元 31 的输入端连接有一个输入端多路选择器 32,同样,上一实施例所述的各多路选择器 21 的输入端均各自连接有一个输入端多路选择器 32,这些输入端多路选择器 32 用于从多个 FIFO 单元 22 中的输出以及 FIFO 调用模块 12 的输入中,选择一路作为私有 FIFO 单元 31 或者 FIFO 单元 22 的输入。每一个输入端多路选择器 32 的输入端与 N 个 FIFO 单元 22 的数据线(N 的个数为 FIFO 池 11 中 FIFO 单元 22 的个数)以及 1 个输入 FIFO 调用模块 12 的原始数据的数据线连接,用于确定具体以哪条数据线输入的数据作为私有 FIFO 单元 31 或者某一 FIFO 单元 22 的输入数据。

[0052] 与输入端多路选择器 32 相类似地,与私有 FIFO 单元 31 的输出端连接的输出端多路选择器 33,用于从多个 FIFO 单元 22 的输出以及私有 FIFO 单元 31 的输出中,选择一路作为 FIFO 调用模块 12 的输出。

[0053] 包括上述输入端多路选择器 32 输出端多路选择器 33 以及数据线的整个连接网络组成一个级联选择矩阵。

[0054] 级联控制器 34,用于记录 FIFO 单元 22 在 FIFO 调用模块 12 中的级联拓扑,控制输入输出多路选择器的输出,并根据实时使用需求,向 FIFO 池管理模块 13 申请 FIFO 单元 22 或者卸载 FIFO 单元 22。级联控制器 34 是整个 FIFO 调用模块 12 的控制核心。在级联控制器 34 中维护着一张 FIFO 级联表,级联表的最下面是该 FIFO 调用模块 12 的私有 FIFO 单元 31,然后往上依次存储着被占用的共享 FIFO 单元 22,按占用的先后时间排列。该级联表记录的是各个 FIFO 单元 22 在 FIFO 调用模块 12 中的级联拓扑。

[0055] 级联控制器中 34 包含一个 FIFO 单元 22 占用申请电路。当 FIFO 级联表中最上面的一个 FIFO 单元 22 (可以是共享 FIFO 单元 22 或者私有 FIFO 单元 31)中存储的内容已达容量的 2/3,占用申请电路自动的向 FIFO 池管理模块 13 申请一个 FIFO 单元 22。申请成功后,占用申请电路将获得的 FIFO 单元 22 加入到 FIFO 级联表,并根据新的级联表修改各个多路选择器的状态,从而获得新的 FIFO 单元 22 级联拓扑。当 FIFO 池管理模块 13 反馈申请失败信号时,占用申请电路清除占用请求信号,然后再次判断是否需要发起下一次 FIFO 单元 22 占用请求。

[0056] 级联控制器 34 中还包括一个 FIFO 单元 22 卸载电路。当级联拓扑中有一定数量或者比例的 FIFO 单元 22 空闲时,如 5/3 个 FIFO 单元 22 空闲时,级联控制器 34 卸载掉级联拓扑中的一个 FIFO 单元 22,并根据新的级联表修改各个多路选择器的状态。卸载后的 FIFO 单元 22,将通过 FIFO 池管理模块 13 回收到 FIFO 池 11。

[0057] FIFO 池管理模块 13 中, FIFO 单元 22 的维护信息记录在一张表中,其记录着各个 FIFO 单元 22 是否被占用,被占用则标记为 0,空闲则被标记为 1。被占用的 FIFO 单元 22 不能再分配,而空闲的 FIFO 单元 22 可以被分配。在 FIFO 池管理模块 13 中,保存着各个 FIFO 调用模块 12 的优先级和权限。优先级定义的是两个以上 FIFO 调用模块 12 同时申请占用 FIFO 单元 22 时,受理申请的顺序。权限定义的每个 FIFO 调用模块 12 能够占用的 FIFO 单元 22 的总量。

[0058] 当一个 FIFO 调用模块 12 提出 FIFO 单元 22 占用申请时,如果尚有 FIFO 单元 22 可供调用,返回一个申请成功信号给对应 FIFO 调用模块 12,同时给出对应 FIFO 单元 22 的编号;如果没有 FIFO 单元 22 可供使用,则反馈申请失败信号。

[0059] 当一个 FIFO 调用模块 12 提出 FIFO 单元 22 释放请求时, FIFO 池管理模块 13 处理释放请求信号,将释放后的 FIFO 单元 22 回收。

[0060] FIFO 单元 22 分配和回收独立进行,分配完一个 FIFO 单元 22 后,将该单元标记为 0;回收完一个 FIFO 单元 22 后,将该 FIFO 单元 22 标记为 1。分配一个 FIFO 单元 22 的同时,将对应的 FIFO 调用模块 12 的编号提供给 FIFO 单元 22,FIFO 单元 22 根据 FIFO 调用模块 12 的编号控制输入端多路选择器 32 的输出。

[0061] 此外,当一个 FIFO 调用模块 12 占用的 FIFO 单元 22 数到达它权限下的最大值,即使尚有可供分配的 FIFO 单元 22,也不再分配给该调用模块。

[0062] 在本发明实施例中,由于各个 FIFO 单元 22 可以根据数据缓存的需要,动态地分配给配置于各个数据突发点的 FIFO 调用模块,使各个 FIFO 调用模块能够共享 FIFO 单元 22,所以提高了 FIFO 数据缓存器的利用率以及缓存效果。

[0063] 实施例四:

[0064] 本发明实施例提供的 FIFO 数据缓存器可以用于 SWITCH 芯片等多种芯片中,该类型包含 FIFO 数据缓存器的芯片可以用于交换机、路由器等设备。

[0065] 在本发明实施例中,由于各个 FIFO 单元可以根据数据缓存的需要,动态地分配给配置于各个数据突发点的 FIFO 调用模块,使各个 FIFO 调用模块能够共享 FIFO 单元,所以提高了 FIFO 数据缓存器的利用率以及缓存效果。

[0066] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

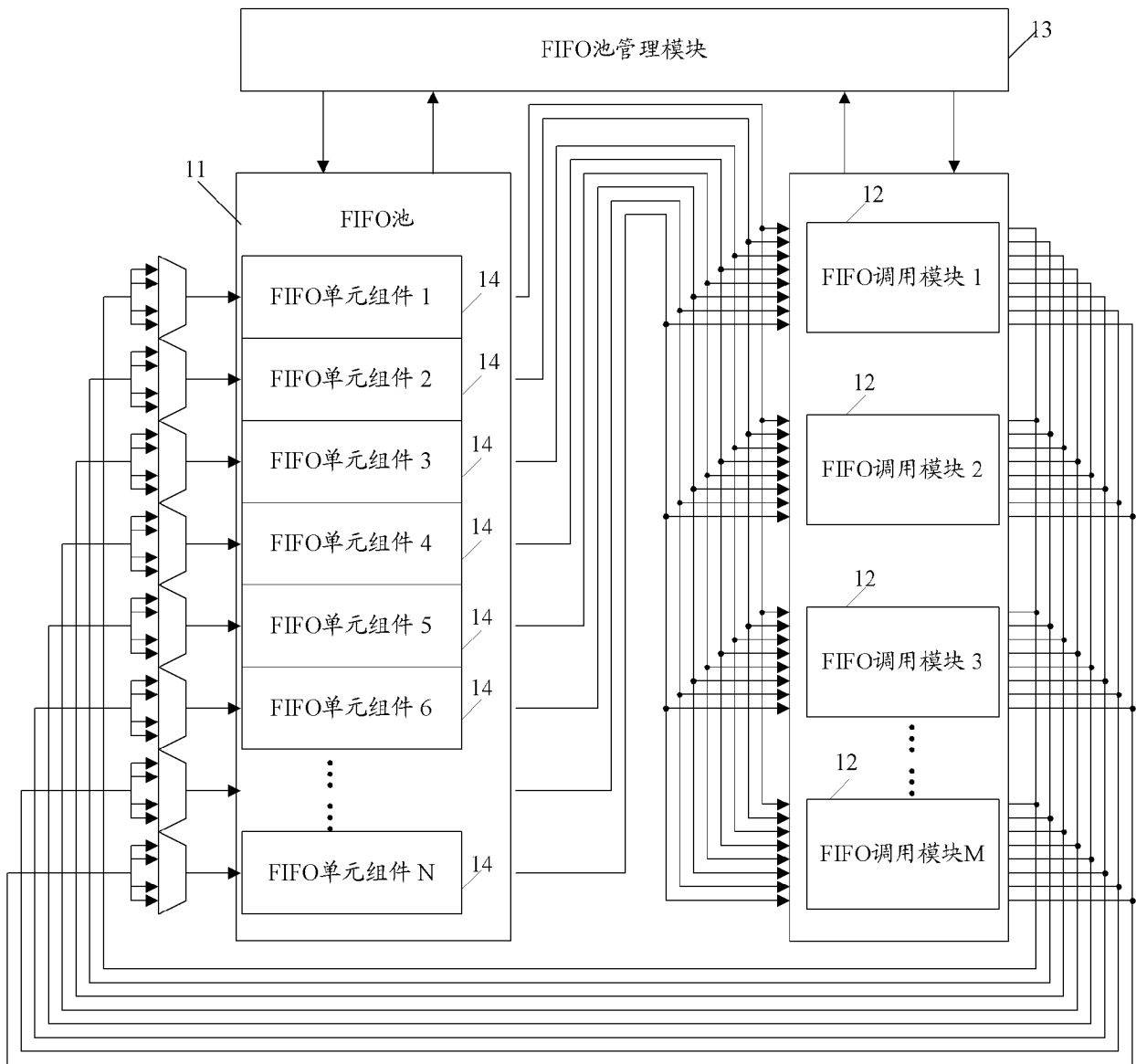


图 1

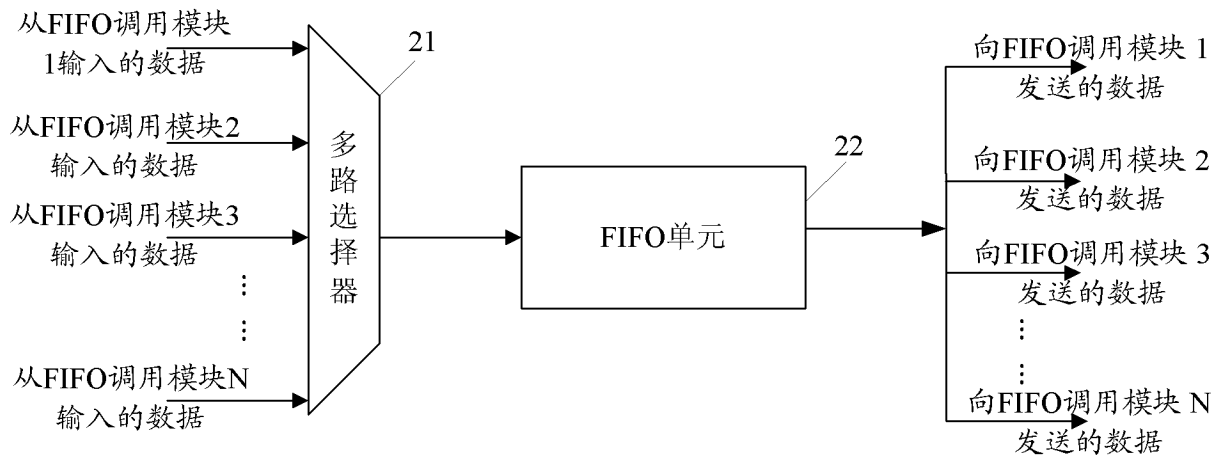


图 2

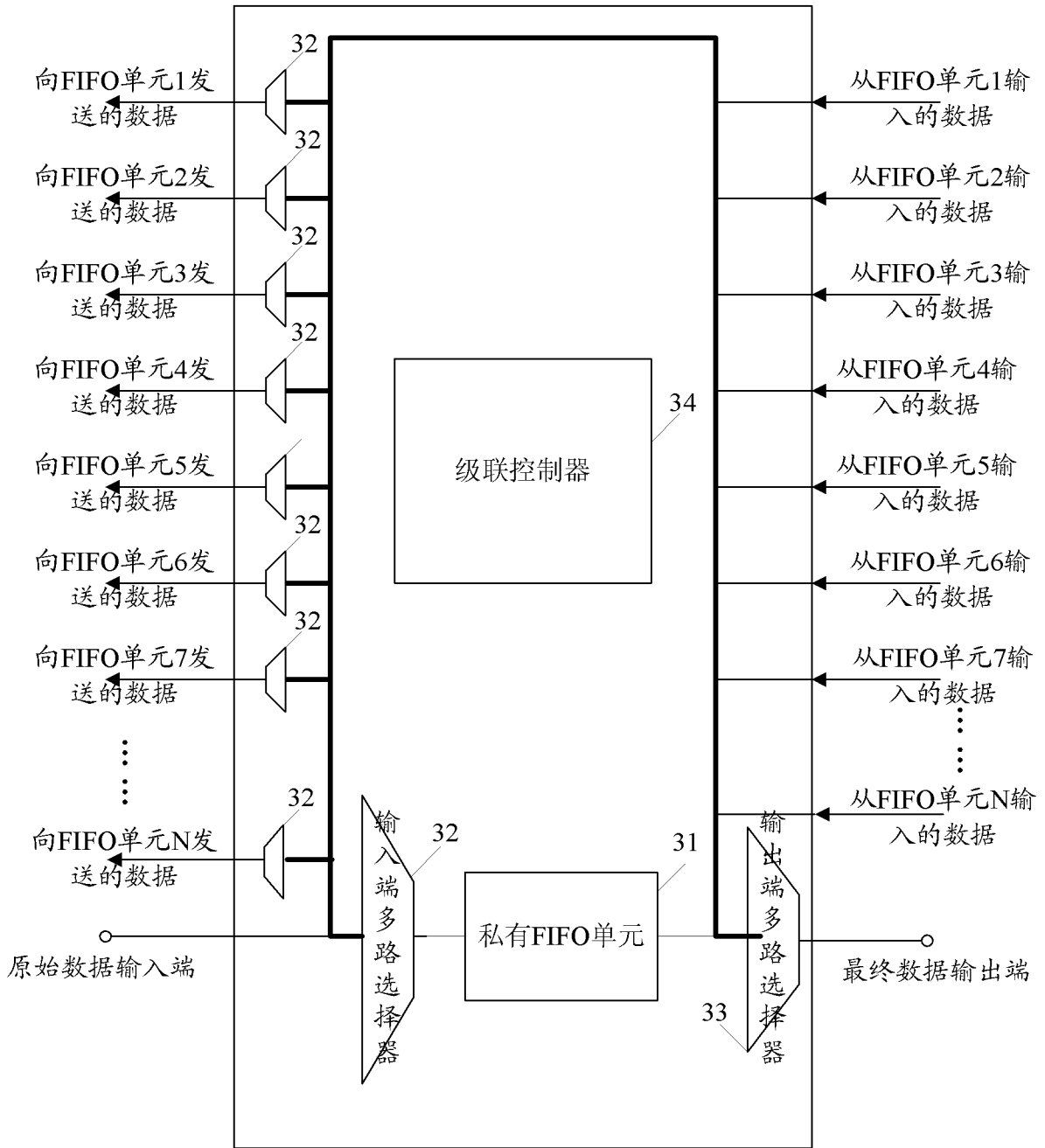


图 3