



(12) 发明专利申请

(10) 申请公布号 CN 101996674 A

(43) 申请公布日 2011.03.30

(21) 申请号 201010237093.1

(22) 申请日 2010.07.21

(30) 优先权数据

2009-190102 2009.08.19 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 渡边一央

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 孙志湧 穆德骏

(51) Int. Cl.

G11C 7/10(2006.01)

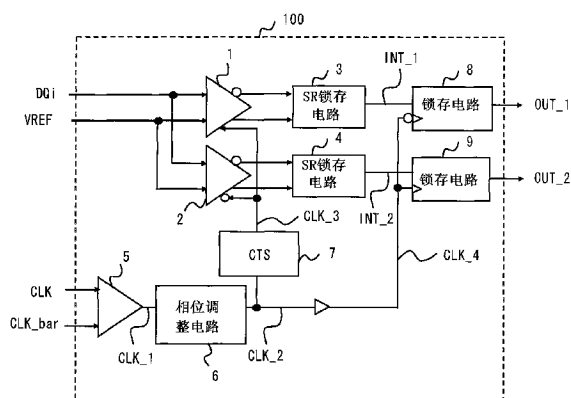
权利要求书 1 页 说明书 7 页 附图 11 页

(54) 发明名称

输入接口电路

(57) 摘要

本发明涉及一种输入接口电路。根据本发明的输入接口电路包括输入第一级电路，该输入第一级电路被连接至信号端子，其中该信号端子接收外部数据；和相位调整电路，该相位调整电路将外部输入时钟和锁存时序信号调整为同相，其中锁存时序信号被输出到包括在输入第一级电路中的锁存电路。相位调整电路响应于在时钟和从时钟复制的来自复制延迟电路的输出之间的比较结果调整经过时钟树电路并且被提供给锁存电路的锁存时序信号的延迟时间。



1. 一种输入接口电路,包括:

输入第一级电路,所述输入第一级电路被连接至信号端子,所述信号端子接收外部数据;和

相位调整电路,所述相位调整电路将外部输入时钟和锁存时序信号调整为同相,所述锁存时序信号被输出到包括在所述输入第一级电路中的锁存电路,

其中,所述相位调整电路响应于在所述时钟和从所述时钟复制的来自复制延迟电路的输出之间的比较结果调整经过时钟树电路并且被提供给所述锁存电路的锁存时序信号的延迟时间。

2. 根据权利要求1所述的输入接口电路,其中所述相位调整电路包括:

延迟调整电路,所述延迟调整电路调整所述时钟的延迟时间;

复制时钟树电路,所述复制时钟树电路接收具有由所述延迟调整电路调整的延迟时间的时钟,所述复制时钟树电路是所述时钟树电路的复制;

相位比较器,所述相位比较器比较来自所述复制时钟树电路的输出结果和所述时钟的相位;以及

延迟调整控制电路,所述延迟调整控制电路响应于所述相位比较器的比较结果调整所述延迟调整电路的延迟量。

3. 根据权利要求2所述的输入接口电路,其中所述延迟调整电路包括:

粗延迟调整电路,所述粗延迟调整电路粗调所述时钟的延迟时间;和

微延迟调整电路,所述微延迟调整电路微调所述时钟的延迟时间,

其中,所述粗延迟调整电路粗调所述时钟的延迟时间,并且然后,所述微延迟调整电路微调所述时钟的延迟时间。

4. 根据权利要求2所述的输入接口电路,其中

所述相位调整电路进一步包括多路复用器,所述多路复用器接收所述时钟和所述时钟的反转信号,并且将所选择的信号输出到所述延迟调整电路,并且

所述延迟调整控制电路响应于所述相位比较器的比较结果控制所述多路复用器。

5. 根据权利要求1所述的输入接口电路,其中所述输入第一级电路包括第一和第二锁存电路,其中

所述相位调整电路包括:

第一相位调整电路,所述第一相位调整电路响应于在所述时钟的上升边缘和从所述时钟复制的来自所述复制延迟电路的输出之间的比较结果调整所述锁存时序信号的延迟时间,所述锁存时序信号经过第一时钟树电路并且被提供给第一锁存电路;

第二相位调整电路,所述第二相位调整电路响应于在所述时钟的下降边缘和从所述时钟复制的来自所述复制延迟电路的输出之间的比较结果调整所述锁存时序信号的延迟时间,所述锁存时序信号经过第二时钟树电路并且被提供给第二锁存电路。

输入接口电路

[0001] 通过引用并入

[0002] 本申请基于并且要求 2009 年 8 月 19 日提交的日本专利申请 No. 2009-190102 的优先权,通过引用将其全部内容整体合并于此。

技术领域

[0003] 本发明涉及一种半导体存储器设备的接口技术,并且具体地涉及一种输入接口电路。

背景技术

[0004] 装置之间的数据通信的操作速度正随着高速接口技术的快速进步而增加。近年来,每个装置的输入和输出接口电路之间的数据通信的操作速度超过 1GHz。

[0005] 尤其在同步存储器和 CPU 之间的接口中,同步存储器被构造为接收从 CPU 输出的时钟信号和与时钟信号同步的数据信号,并且使用时钟信号的上升和下降边缘锁存数据信号。

[0006] 图 11 示出关于本发明的普通输入电路。图 11 中所示的输入接口电路 300 包括输入第一级电路 61 和 63、时钟树电路 (CTS) 64、时钟树复制电路 (CTS 复制) 62、以及锁存电路 65 和 66。图 11 示出使用锁存电路 2 和 3 锁存从 DQi 提供的数据的构造。注意,图 12 示出缓冲器作为输入第一级电路 61 和 63。

[0007] 图 13 示出输入接口电路 300 中的内部信号、外部提供的时钟信号、以及数据 (DQi 信号) 的波形。

[0008] DDR 接口接收具有相对于输入时钟 (CLK) 移位了 90 度的相位的数据 (DQi 信号)。此外,由于 DDR 接口的系统将使用一个 CLK 引脚 (pin) 的时钟锁存多个地址和数据输入,因此 CLK 必须被分配给每个地址和数据。

[0009] 通过分配 CLK,由 t6 指示的时钟延迟 (在经过图 11 中所示的 CTS64 时添加的延迟) 被添加到 CLK 线。因此,为了使用锁存电路 65 和 66 正常地锁存数据,必须还将与被添加到 CLK 线的延迟等量的延迟 (由 t7 指示的延迟) 添加到数据 (其是通过经过图 11 中所示的 CTS 复制 62 添加的延迟)。这是因为锁存电路 65 和 66 需要为 CLK 的上升和下降边缘确保足够的由 t8 指示的建立特性,以及由 t9 指示的保持特性。

[0010] 日本未经审查的专利申请公开 No. 2008-71018 公开了一种存储器接口电路,该存储器接口电路用于锁存同步存储器的数据信号。图 14 是示出在日本未经审查的专利申请公开 No. 2008-71018 中公开的存储器接口电路。

[0011] 在图 14 中,211 是 DDR SDRAM,212 是 DQS 信号,213a 和 213b 是数据信号,215 是输入缓冲器,216 是延迟电路,217 是数据锁存,221 是存储器接口电路,222 是读取时钟生成电路,223 是主状态机,257 是数据选通信号,253 是读取时钟,250 是振荡电路,260 是相位比较器,并且 262 是控制电路。

[0012] DDR SDRAM 211 与时钟同步并且输出 DQS 信号 212 和数据信号 213。存储器接口

电路 221 能够被连接至 DDR-SDRAM 211。延迟电路 216 延迟从振荡电路 250 输出的时钟,并且输出时钟作为读取时钟 253。相位比较器 260 测量接收到的数据选通信号 257 和读取时钟 253 之间的相位差。延迟电路 216 根据所测量的相位差调整读取时钟 253 的延迟时间。数据锁存 217 与读取时钟 253 同步以获得数据信号 213。然后在日本未经审查的专利申请公开 No. 2008-71018 中公开的存储器接口电路 221 能够甚至在传输条件恶化和不匹配的情况下执行稳定的并且高度可靠的数据信号锁存操作。

发明内容

[0013] 然而,在图 11 中所示的普通 DDR 输入接口中,在使用图 12 中所示的缓冲器放大数据信号 DQ_i 的电平之后,在 CTS 复制 62 中添加与当通过 CTS 64 时添加的延迟量相对应的延迟量,以通过锁存电路 65 和 66 锁存数据。因此,本发明人已经发现下述问题,即经过缓冲器和时钟延迟使锁存电路 65 和 66 所需要的有效的建立和保持特性恶化。即,在理想电路中,理想的是,在图 13 中“ $t_{10} = t_8$ ”并且“ $t_{11} = t_9$ ”。然而在实际电路中,由于晶体管的电源波动和变化,它们通常是“ $t_{10} > t_8$ ”并且“ $t_{11} > t_9$ ”。

[0014] 此外,延迟量的添加导致增加了恶化 t_8 和 t_9 的原因。这可能带来建立和保持特性的显著恶化。

[0015] 而且在日本未经审查的专利申请公开 No. 2008-71018 中公布的存储器接口电路 221 中,通过经过输入缓冲器 215 的数据信号线 213a,有效建立和保持特性被恶化。顺便说明,当使用内部振荡电路 250 时,独立于时钟输入信号 212 和内部振荡电路 250 生成抖动和占空比失真。这也导致建立和保持特性的恶化。

[0016] 本发明的示例性方面是输入接口电路,该输入接口电路包括输入第一级电路,该输入第一级电路被连接至信号端子,其中该信号端子接收外部数据;和相位调整电路,该相位调整电路将外部输入时钟和锁存时序信号调整为同相,其中锁存时序信号被输出到被包括在输入第一级电路中的锁存电路。相位调整电路响应于在时钟和从时钟复制的来自复制延迟电路的输出之间的比较结果,调整经过时钟树电路并且被提供给锁存电路的锁存时序信号的延迟时间。

[0017] 上面的输入接口电路能够抑制在延迟电路中产生的抖动和占空比失真,从而有利地确保锁存电路所需要的有效的建立和保持特性。

[0018] 本发明提供了一种能够有利地确保有效的建立和保持特性的输入接口电路。

附图说明

[0019] 结合附图,根据某些示例性实施例的以下描述,以上和其它示例性方面、优点和特征将更加明显,其中:

[0020] 图 1 是示出根据第一示例性实施例的输入接口电路的框图;

[0021] 图 2 是示出根据第一示例性实施例的输入第一级电路的框图;

[0022] 图 3 是示出根据第一示例性实施例的 SR 锁存电路的框图;

[0023] 图 4 是示出根据第一示例性实施例的相位调整电路的框图;

[0024] 图 5 是示出根据第一示例性实施例的粗延迟调整电路的框图;

[0025] 图 6 是示出根据第一示例性实施例的微延迟调整电路的框图;

- [0026] 图 7 是示出根据第一示例性实施例的相位比较器的框图；
- [0027] 图 8 是示出根据第一示例性实施例的信号的波形图；
- [0028] 图 9 是示出根据第一示例性实施例的延迟调整控制电路的延迟调整序列的流程图；
- [0029] 图 10 是示出根据第二示例性实施例的输入接口电路的框图；
- [0030] 图 11 是示出与本发明有关的普通输入接口电路的框图；
- [0031] 图 12 是示出与本发明有关的输入第一级电路的框图；
- [0032] 图 13 是示出与本发明有关的输入接口电路中的信号的波形图；以及
- [0033] 图 14 是示出根据现有技术的输入接口电路的框图。

具体实施方式

[0034] 在下文中参考附图详细地描述用于执行本发明的最佳方式。为了阐明解释，适当地简化并且省略下面的解释和附图。在附图中，通过相同的符号来表示具有相同的构造或者功能的组件并且省略其详细的说明。

[0035] [第一示例性实施例]

[0036] 图 1 是示出根据第一示例性实施例的输入接口电路的框图。输入接口电路 100 被连接至 DDR 存储器（未示出），并且接收与时钟（CLK）同步的数据信号和 DQi 信号。

[0037] 输入接口电路 100 包括输入第一级电路 1 和 2；SR 锁存电路 3 和 4；输入第一级电路 5；相位调整电路 6；时钟树电路（CTS）7；锁存电路 8，该锁存电路 8 在下降边缘锁存数据；以及锁存电路 9，该锁存电路 9 在上升边缘锁存数据。在图 1 中，锁存型输入第一级电路对应于输入第一级电路 1 和 2，和 SR 锁存电路 3 和 4。

[0038] 输入第一级 1 与 CLK_3 的上升边缘同步，将外部端子 DQi 的信号电平与外部 VREF 端子的进行比较，并且输出比较结果。输入第一级电路 1 在 CLK_3 的上升边缘放大 DQi 信号和 VREF 信号的信号电平（例如，DQi 信号的振幅电平的中间电势）之间的比较结果。在从 CLK_3 信号的上升边缘到下一个上升边缘的一个周期中通过 SR 锁存电路 3 锁存放大的信号电平。

[0039] 输入第一级 2 与 CLK_3 的下降边缘同步，将外部端子 DQi 的信号电平与外部 VREF 端子的进行比较，并且输出比较结果。输入第一级电路 2 在 CLK_3 的下降边缘放大 DQi 信号和 VREF 信号的信号电平的比较结果。在从 CLK_3 信号的下降边缘到下一个下降边缘的一个周期中通过 SR 锁存电路 4 锁存放大的信号电平。

[0040] SR 锁存电路 3 和 4 是分别锁存来自于输入第一级电路 1 和 2 的输出结果的 SR 型锁存电路。输入第一级电路 5 是接收 CLK 信号和 CLK 信号的反转信号（CLK_bar）的用于 CLK 的第一级电路。

[0041] 相位调整电路 6 将 CLK_3 的相位调整为与外部 CLK 端子的时钟同相。注意，CLK_3 被提供给输入第一级电路 1 和 2。时钟树电路（CTS）7 由将 CLK_3 分配给每个数据的时钟延迟元件组成。

[0042] 锁存电路 8 和 9 使用 CLK_4 内部地锁存数据。具体地，锁存电路 8 在 CLK_4 的下降边缘锁存来自于 SR 锁存电路 3 的输出结果（INT_1）。此外，锁存电路 9 在 CLK_4 的上升边缘锁存来自于 SR 锁存电路 4 的输出结果。

[0043] 图 2 示出输入第一级电路 1 和 2。如图 2 中所示,输入时钟信号 (CLK_3) 分别被提供给 Pch 晶体管 11、12、以及 15 的栅极。输入信号 IN 和输入信号 VREF 被提供给 Nch 晶体管 18 和 19 的栅极。此外, Pch 晶体管 11、12、13、以及 14 的源极端子被连接至电源端子 VDD。Nch 晶体管 20 的源极端子被连接至 GND。

[0044] 输出端子 OUT 被连接至 Pch 晶体管 12、14、以及 15 的漏极端子、Pch 晶体管 13 和 Nch 晶体管 17 的栅极、以及 Nch 晶体管 16 的漏极。输出端子 OUTB 被连接至 Pch 晶体管 11 和 13 的漏极端子、Pch 晶体管 15 的源极端子、Pch 晶体管 14 和 Nch 晶体管 16 的栅极、以及 Nch 晶体管 17 的漏极。

[0045] Nch 晶体管 16 的源极被连接至 Nch 晶体管 18 的漏极。Nch 晶体管 17 的源极被连接至 Nch 晶体管 19 的漏极。Nch 晶体管 20 的漏极被连接至 Nch 晶体管 18 和 19 的源极。

[0046] 图 3 示出 SR 锁存电路 3 和 4。如图 3 中所示,SR 锁存电路 3 和 4 分别接收来自于输入第一级电路 1 和 2 的输出结果 (OUT 和 OUTB) 作为 IN_1 和 IN_2。NAND_1 接收 IN_1 和 0_1, 并且输出是来自于 SR 锁存电路 3 和 4 的输出的 OUT。NAND_2 接收 IN_2 和 OUT, 并且输出 0_1。

[0047] 图 4 是示出相位调整电路 6 的详细构造的框图。相位调整电路 6 将 CLK_7 的相位调整为更加接近于 CLK_1 的相位。相位调整电路 6 包括反相器 31、多路复用器 32、延迟调整控制电路 33、粗延迟调整电路 34、微延迟调整电路 35、输入第一级电路 36、时钟树电路 (CTS 复制) 37、以及相位比较器 38。

[0048] 被提供给相位调整电路 6 的 CLK_1 被提供给反相器 31 和多路复用器 32。来自于反相器 31 的输出被提供给多路复用器 32。CLK_5 被提供给多路复用器 32。注意,CLK_5 是经过反相器 31 的反转的时钟。

[0049] 通过从延迟调整控制电路 33 提供的输出信号 M_0 控制多路复用器 32。即,多路复用器 32 根据信号 M_0 选择来自于反相器 31 的输出时钟 CLK_5 或者 CLK_1。

[0050] 来自于多路复用器 32 的输出信号 (CLK_6) 被提供给粗延迟调整电路 34。来自于粗延迟调整电路 34 的输出信号 (CLK_8) 被提供给微延迟调整电路 35。来自于微延迟调整电路 35 的输出信号 (CLK_2) 被提供给输入第一级电路 36, 并且还输出作为来自于相位调整电路 6 的输出信号。经过 CTS 复制 37 的输出信号 (CLK_7) 和 CLK_1 被提供给相位比较器 38。相位比较器 38 比较 CLK_7 和 CLK_1 的相位, 并且将比较结果信号 (OUT_5) 输出到延迟调整控制电路 33。

[0051] 输入第一级电路 36 是输入第一级电路 5 的复制电路。CTS 复制 37 是 CTS 7 的复制电路。由于在 CTS 复制 37 中添加了与 CTS 7 相同的时钟延迟, 所以 CTS 复制 37 由时钟信号复制元件组成。即,CLK_7 具有与 CLK_3 相同量的延迟。注意,通过经过输入第一级电路 36 和 CTS 复制 37 的 CLK_2 获得 CLK_7, 并且通过经过输入第一级电路 5 和 CTS 7 的外部 CLK 获得 CLK_3。

[0052] 延迟调整控制电路 33 响应于相位比较结果控制多路复用器 32, 以调整粗延迟调整电路 34 和微延迟调整电路 35 的延迟。因此延迟调整控制电路 33 输出 M_0、N_0[n:0]、以及 N_1[n:0] 作为控制信号。

[0053] 图 5 示出粗延迟调整电路 34。粗延迟调整电路 34 能够响应于从延迟调整控制电路 33 提供的输入信号 N_0[n:0] 的值调整用于 CLK_6 的 CLK_8 的延迟。在图 5 中所示的示

例中,晶体管的尺寸是相同的,并且通过增加将为高的 $N_0[n:0]$ 的数目,能够增加从 CLK_6 的相位的 CLK_8 的延迟量。在初始状态,通过只将 N_{00} 设置为高,指定最小的延迟值。然后,通过将 N_{01} 、 N_{02} 、 $\cdots$ 、以及 N_{0n} 顺序地设置为高,能够增加延迟量。

[0054] 图 6 示出微延迟调整电路 35。微延迟调整电路 35 能够响应于从延迟调整控制电路 33 提供的输入信号 $N_1[n:0]$ 的值调整从 CLK_8 的 CLK_2 的延迟。在图 6 中所示的示例中,晶体管的尺寸是相同的,并且通过增加将为低的 $N_0[n:0]$ 的数目,能够增加从 CLK_8 的相位的 CLK_2 的延迟量。在初始状态,通过将所有的 $N_1[n:0]$ 设置为高,指定最小的延迟值。然后,通过将 N_{11} 、 N_{12} 、 $\cdots$ 、以及 N_{1m} 顺序地设置为低,能够增加延迟量。

[0055] 图 7 示出相位比较器 38。相位比较器 38 将 CLK_1 的相位与已经经过延迟电路的 CLK_7 的相位进行比较。如果 CLK_7 的相位被从 CLK_1 的相位延迟了 180 度或者更多,则相位比较器 38 输出高作为 OUT_5 的输出。此外,如果相位延迟小于 180 度,则相位比较器 38 输出低作为 OUT_5 的输出。

[0056] 图 8 示出输入接口电路 100 中的 CLK、DQi、以及内部信号的波形。在当确保在规范中指定的建立时间(在图 4 中由 t_4 指示的时间)和保持时间(在图 4 中由 t_5 指示的时间)时的时序,用于输入时钟(CLK)的数据(DQi)被输入到 DDR 接口。因此,相位调整电路 6 需要通过相位调整电路 6 调整由 t_2 指示的延迟时间将 CLK_3 的相位调整为与 CLK 同相。注意,CLK_3 信号被提供给输入第一级电路 1 和 2。这时,当经过输入第一级电路 5 时添加由时间 t_1 指示的延迟时间,并且当经过 CTS_7 时添加由 t_3 指示的延迟时间。稍后描述相位调整电路 6 的相位调整操作的详细情况。

[0057] 在图 8 中,DQ0 是 DQi 的一个数据波形。在 DQ0 的波形中由粗线表示的部分表示 DQ0 中的有效数据。首先,输入第一级电路 1 在 CLK_3 的上升边缘输出是输入第一级电路 1 中的 DQ0 和 VREF 之间的比较结果信号的 IN_1 和 IN_2。SR 锁存电路 3 根据从输入第一级电路 1 提供的 IN_1 和 IN_2 将有效数据输出到锁存电路 8。SR 锁存电路 8 在 CLK_4 的下降边缘锁存有效数据。另一方面,输入第一级电路 2 在 CLK_3 的下降边缘输出是输入第一级电路 2 中的 DQ0 和 VREF 之间的比较结果信号的 IN_1 和 IN_2。SR 锁存电路 4 根据从输入第一级电路 2 提供的 IN_1 和 IN_2 将有效数据输出到锁存电路 9。SR 锁存电路 9 在 CLK_4 的上升边缘锁存有效数据。

[0058] 注意,假定,如果相位调整电路 6 处于初始状态中,则多路复用器 32 被构造为使 CLK_1 经过,并且粗延迟调整电路 34 和微延迟调整电路 35 被构造为输出最小延迟值。为此,在初始状态,如果相位调整电路 6 中的延迟是零(即,在 $t_2 = 0$ 的情况下),CLK_3 的相位被从 CLK_1 的相位延迟了 t_1+t_3 。

[0059] 接下来,参考图 9 解释根据本发明的第一示例性实施例的相位调整操作。图 9 示出延迟调整控制电路 33 的延迟调整的序列。

[0060] 在 SEQ1 中,当延迟调整控制电路 33 开始操作时,延迟调整控制电路 33 检查初始相位(S1)。在本示例中,假定,如果 CLK_7 的相位被从 CLK_1 的相位延迟了 180 度或者更多,则相位比较器 38 输出高。此外,如果相位延迟少于 180 度,则相位比较器 38 输出低。

[0061] 作为相位检查的结果,如果与 CLK_1 的相位相比,CLK_7 的相位被延迟了少于 180 度(在 S1 中是的情况下),则延迟调整控制电路 33 控制多路复用器 32 以输出 CLK_1 的反转信号(S2)(即, M_0 的值被控制为使多路复用器 32 选择来自于反相器 31 的输出(CLK_5))。

[0062] 通常,如果与 CLK₁ 的相位相比,CLK₇ 的相位被延迟了少于 180 度,则要求 180 度或者更多的延迟调整以使 CLK₇ 和 CLK₁ 之间的相位关系相等。因此,通过在 SEQ1 中评估和反转相位,在 SEQ2 的初始状态,相位比较器 38 始终输出高(与 CLK₁ 的相位相比,CLK₇ 的相位被延迟了 180 度或者更多)。

[0063] 接下来,在 SEQ2 中,从通过相位比较器 38 的输出结果检测 CLK₇ 的相位(S3)。作为相位检测的结果,如果与 CLK₁ 的相位相比,CLK₇ 的相位被延迟了 180 度或者更多(如果来自于相位比较器 38 的输出为高,即在 S3 中否),则粗延迟调整电路 34 的延迟值被增加直到来自于相位比较器 38 的输出变为低。例如,如果直到粗延迟调整电路 34 的第 n 晶体管的控制信号为高,则下一个晶体管地址(第 n+1 地址)的控制信号被设置为高。如上所述,在 SEQ2 的初始状态,来自于相位比较器 38 的输出为高。因此从此状态开始增加粗延迟调整电路 34 的延迟值,直到来自相位比较器 38 的输出变为低(S4)。

[0064] 然后,如果来自于相位比较器 38 的输出变为低,则粗延迟调整电路 34 的延迟值被设置为在来自相位比较器 38 的输出变为低之前的先前的延迟值(S5)。例如,当直到粗延迟调整电路 34 的第 n 晶体管的控制信号为高时,第 n 晶体管的控制信号被设置为低,从而直到先前的晶体管(第 n-1 晶体管)的地址的控制信号将为高。注意,同样在 SEQ3 的初始状态,来自相位比较器 38 的输出为高。

[0065] 接下来,在 SEQ3 中,从通过相位比较器 38 的输出结果检测 CLK₇ 的相位(S6)。作为相位检测的结果,如果与 CLK₁ 的相位相比,CLK₇ 的相位被延迟了 180 度或者更多(如果来自相位比较器 38 的输出为高,即在 S6 中否),则微延迟调整电路 35 的延迟值被增加直到来自相位比较器 38 的输出变为低(直到在 S6 中获得是)(S7)。例如,当直到微延迟调整电路 35 的第 n 晶体管的控制信号为低时,下一个晶体管(第 n+1 晶体管)的地址的控制信号被设置为低。

[0066] 然后,在来自相位比较器 38 的输出变为低时,微延迟调整电路 35 的延迟值被设置为在相位比较器 38 的输出变为低之前的先前的延迟值(S8)。例如,当直到微延迟调整电路 35 的第 n 晶体管的控制信号为低时,第 n 晶体管的控制信号被设置为高,从而直到先前的晶体管(第 n-1 晶体管)的地址的控制信号将为低。

[0067] 此外,在 SEQ4 中,相位比较器 38 在执行相位的不断的检测的同时校正相位(S9、10、以及 11)。在 SEQ4 中,微延迟调整电路 35 调整延迟从而 CLK₇ 的相位跟随 CLK₁ 的相位。

[0068] 如上所解释的,通过包括锁存型输入第一级电路作为输入接口,(即,通过包括 SR 锁存电路 3 和 4,和将被提供给 SR 锁存电路 3 和 4 的外部 CLK 和 CLK3 调整为同相的相位调整电路 6),能够忽略已经传统地产生抖动和占空比失真的第一级电路以及后面的电路中的延迟的影响。

[0069] 此外,在延迟调整控制电路 33 的初始状态中,如果与 CLK 输入端子的 CLK₁ 相比,经过第一级电路 36 的 CLK₇ 没有进行 180 度或者更多,则初始相位被反转。如果相位已经进行了 180 度或者更多,则相位不被反转但是 CLK₇ 经过输入第一级电路 36。因此,能够减少由相位调整电路 6 调整的延迟量。

[0070] 这抑制在延迟电路中生成的抖动和占空比失真,从而能够有利地确保锁存电路 8 和 9 所需要的有效建立和保持特性。

[0071] [第二示例性实施例]

[0072] 图 10 是示出根据第二示例性实施例的输入接口电路的框图。与图 1 中所示的输入接口电路 100 相比较,输入接口电路 200 包括用于下降 CLK 的相位调整电路(用于下降边缘的相位调整电路)46 和用于上升 CLK 的相位调整电路(用于上升边缘的相位调整电路)47,来替代相位调整电路 6。注意,输入第一级电路 41 和 42 的构造与图 1 中所示的输入第一级电路 1 和 2 的构造相同,SR 锁存电路 43 和 44 的构造与 SR 锁存电路 3 和 4 的相同,输入第一级电路 45 的构造与输入第一级电路 5 的构造相同,CTS 48 和 49 的构造与 CTS 7 的构造相同,并且锁存电路 50 和 51 的构造与锁存电路 8 和 9 的构造相同。因此,在这里省略了解释。

[0073] 在图 1 中所示的输入接口电路 100 中,相位比较器 38 为由相位比较器 38 比较的信号仅检测 CLK₁ 中的 CLK₇ 的上升边缘。为此,从相位调整电路 6 输出的 CLK₂ 的下降边缘不能够被正确地对准。因此,与 CLK₁ 的下降边缘的相位相比较,被提供给输入第一级电路 2 的 CLK₃ 的下降边缘的相位可以被移位。

[0074] 另一方面,图 10 中所示的输入接口电路 200 能够通过分别用于下降和上升边缘的延迟的相位调整电路 46 和 47 将被提供给输入第一级电路 41 和 42 的边缘(CLK₁₂ 和 CLK₁₃ 的边缘)对准到 CLK₉ 的相位。

[0075] 本领域的技术人员能够根据需要组合第一和第二示例性实施例。

[0076] 虽然已经按照若干示例性实施例描述了本发明,但是本领域的技术人员将理解本发明可以在权利要求的精神和范围内以各种修改进行实践,并且本发明并不限于上述的示例。

[0077] 此外,权利要求的范围不受到上述的示例性实施例的限制。

[0078] 此外,应当注意的是,申请人意在涵盖所有权利要求要素的等同形式,即使在后期的审查过程中对权利要求进行过修改亦是如此。

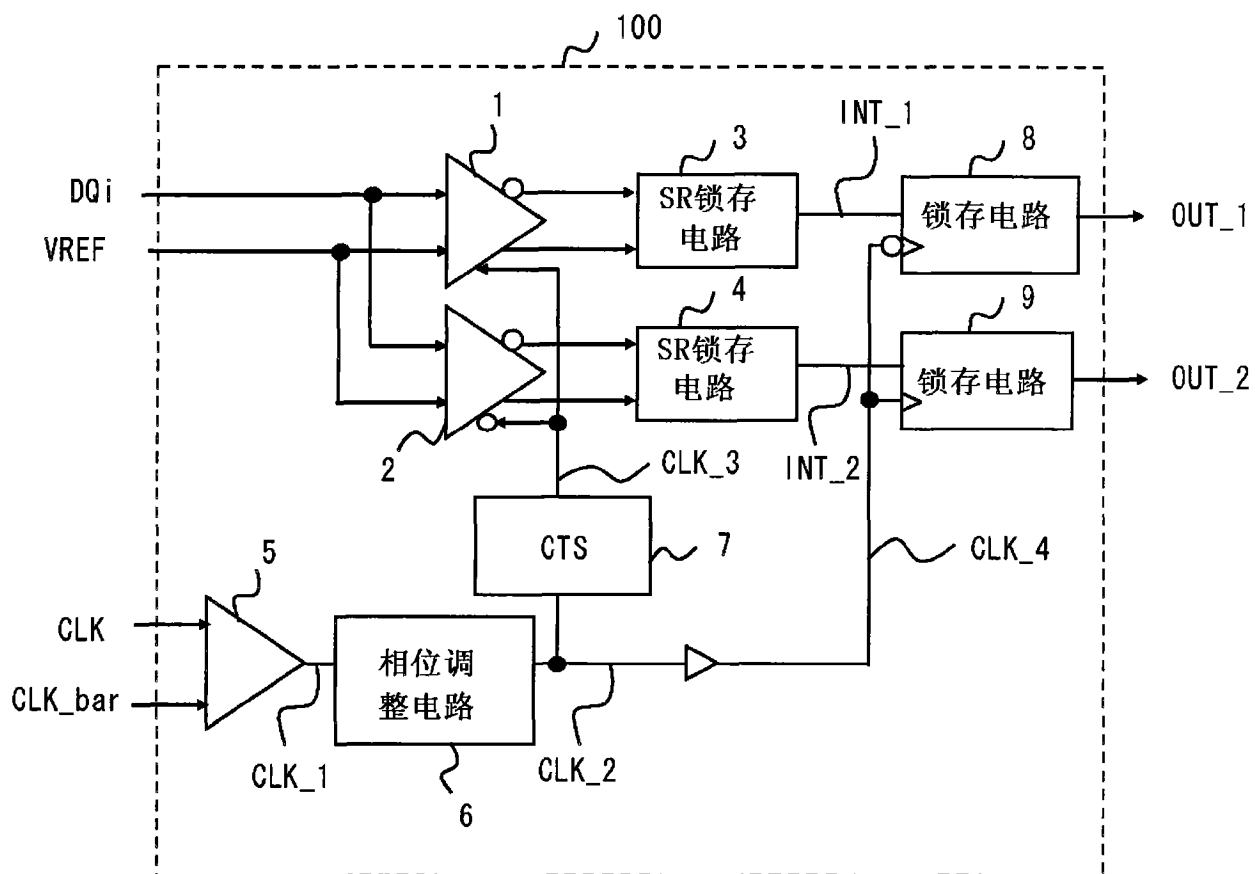


图 1

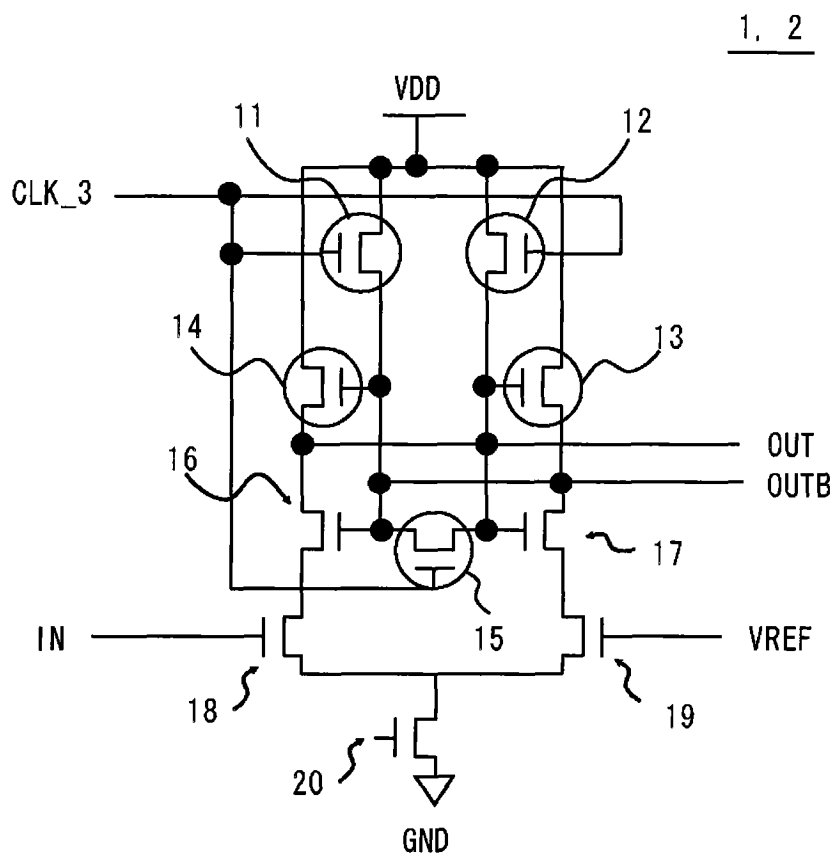


图 2

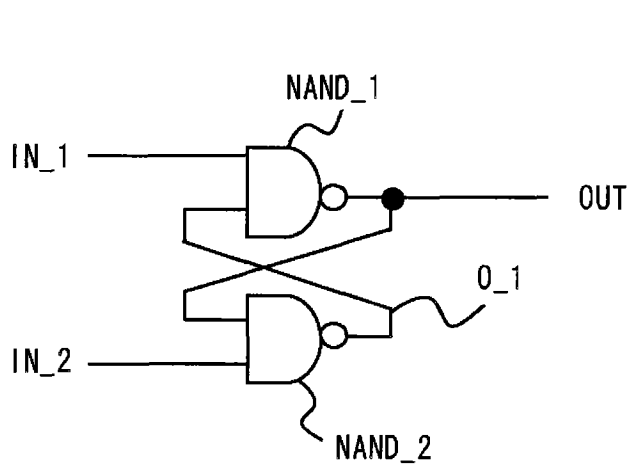


图 3

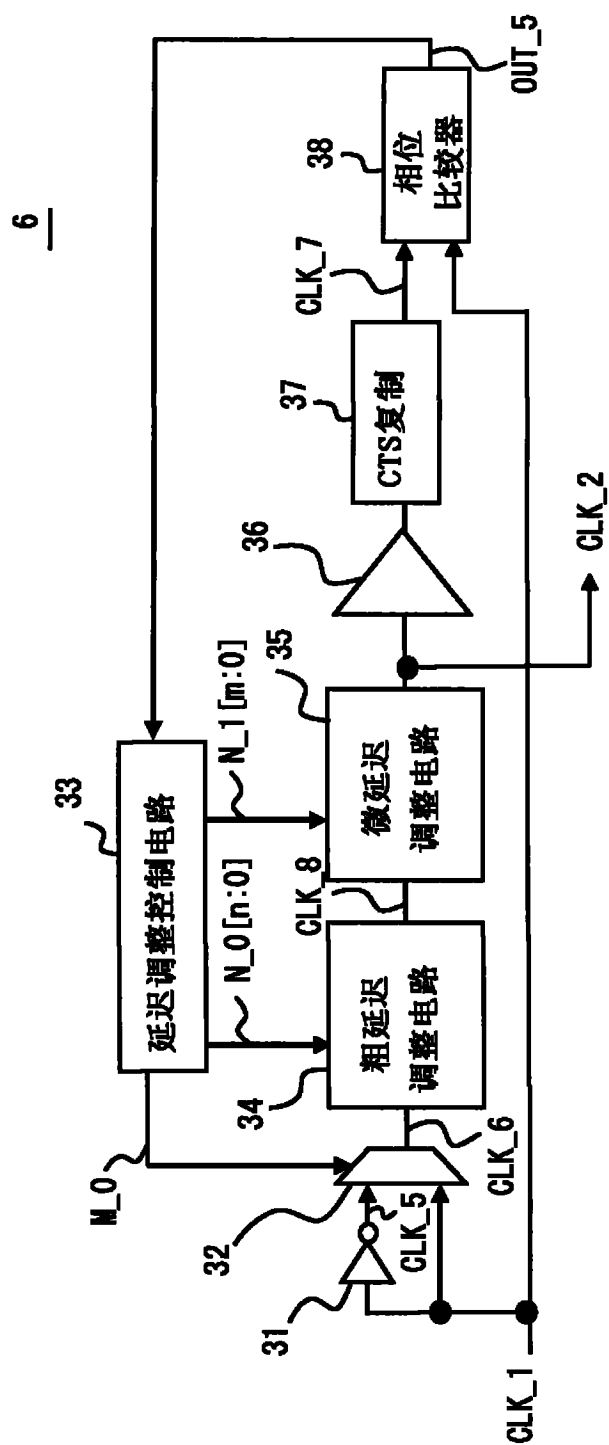


图 4

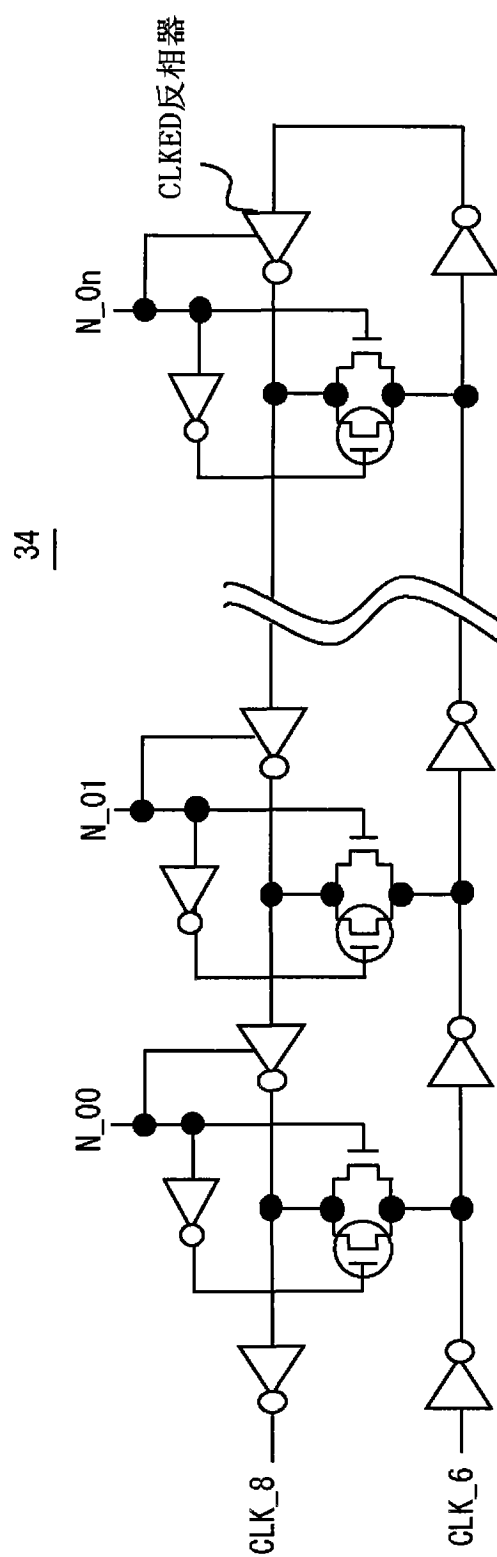


图 5

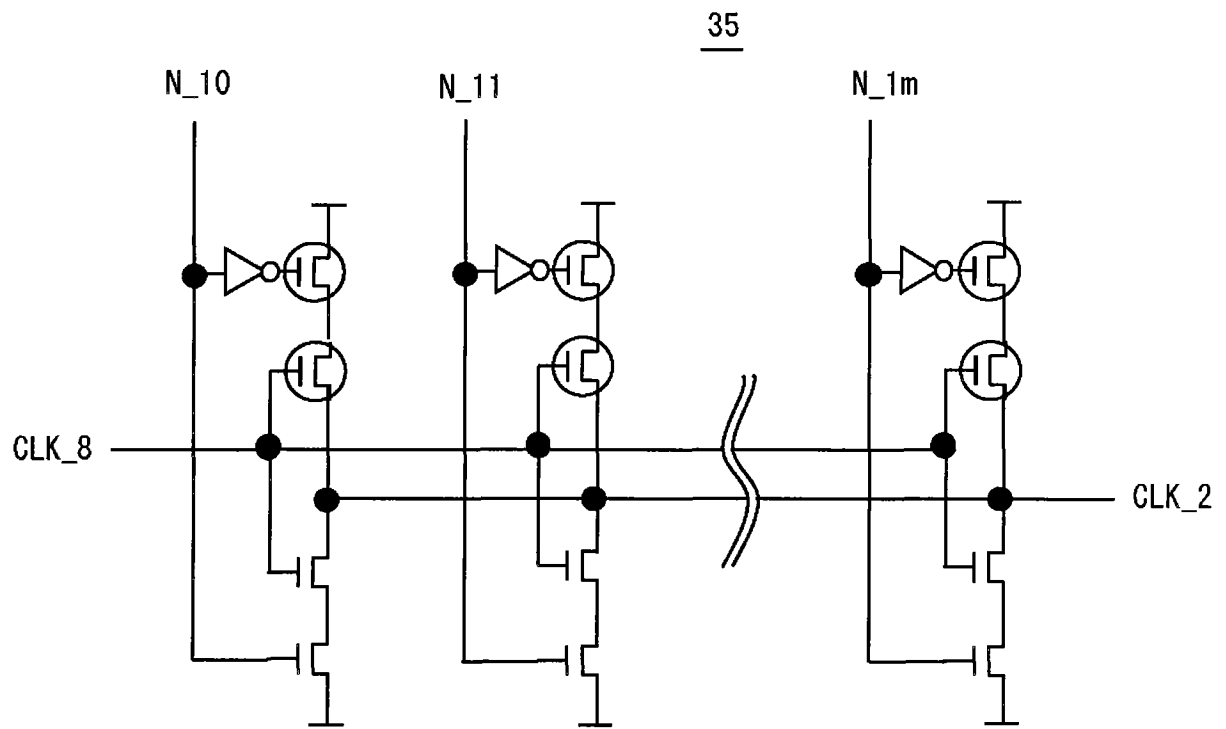


图 6

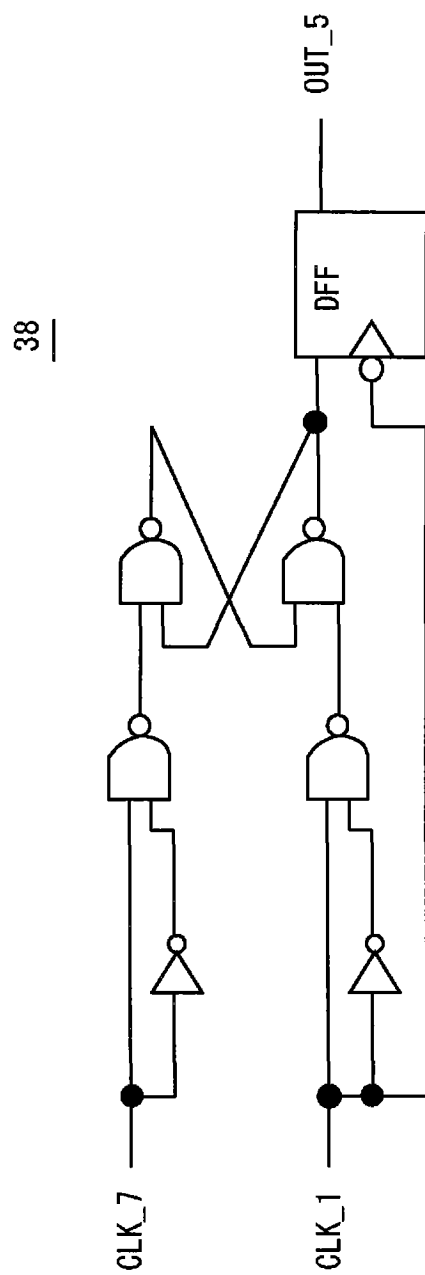


图 7

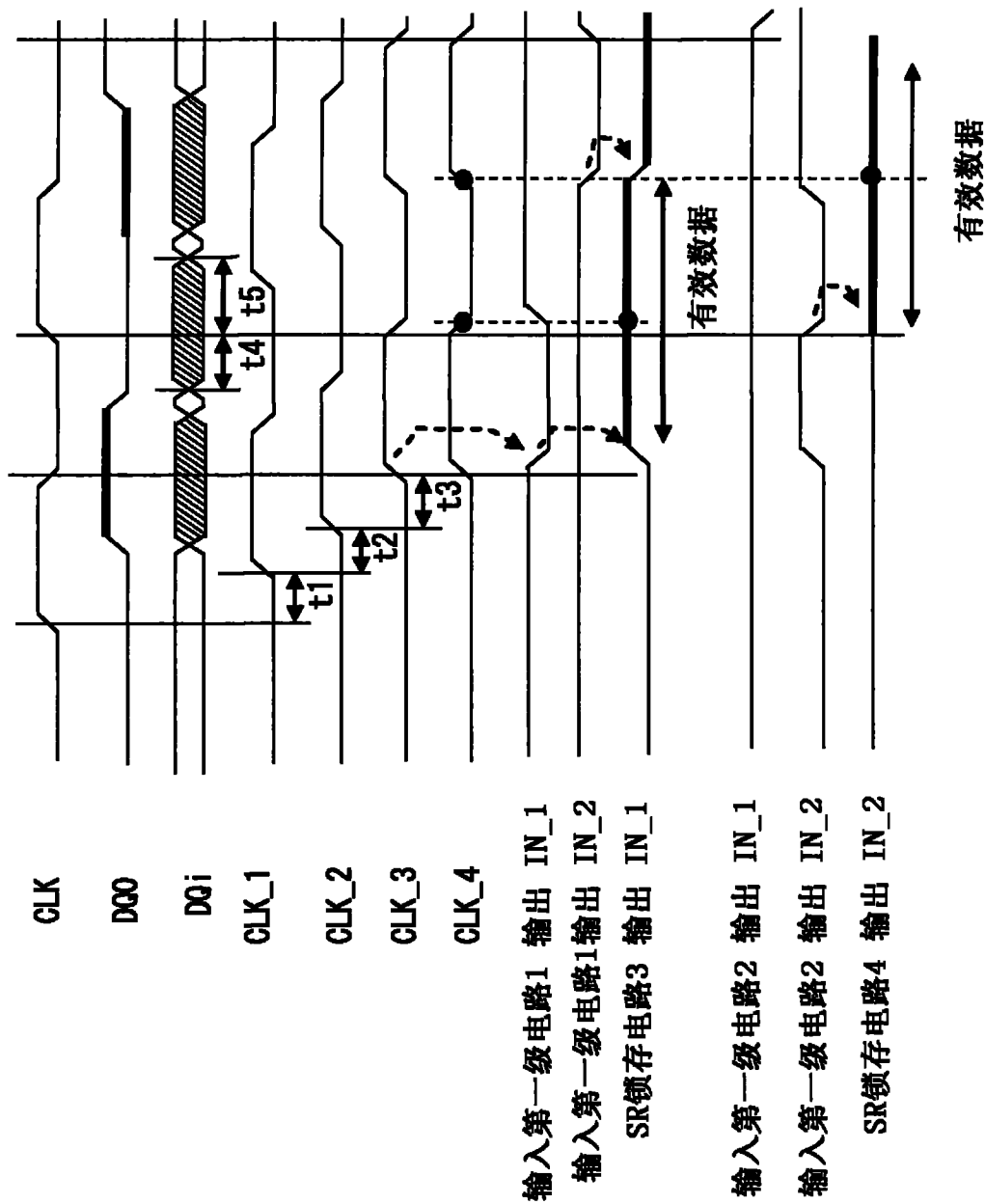


图 8

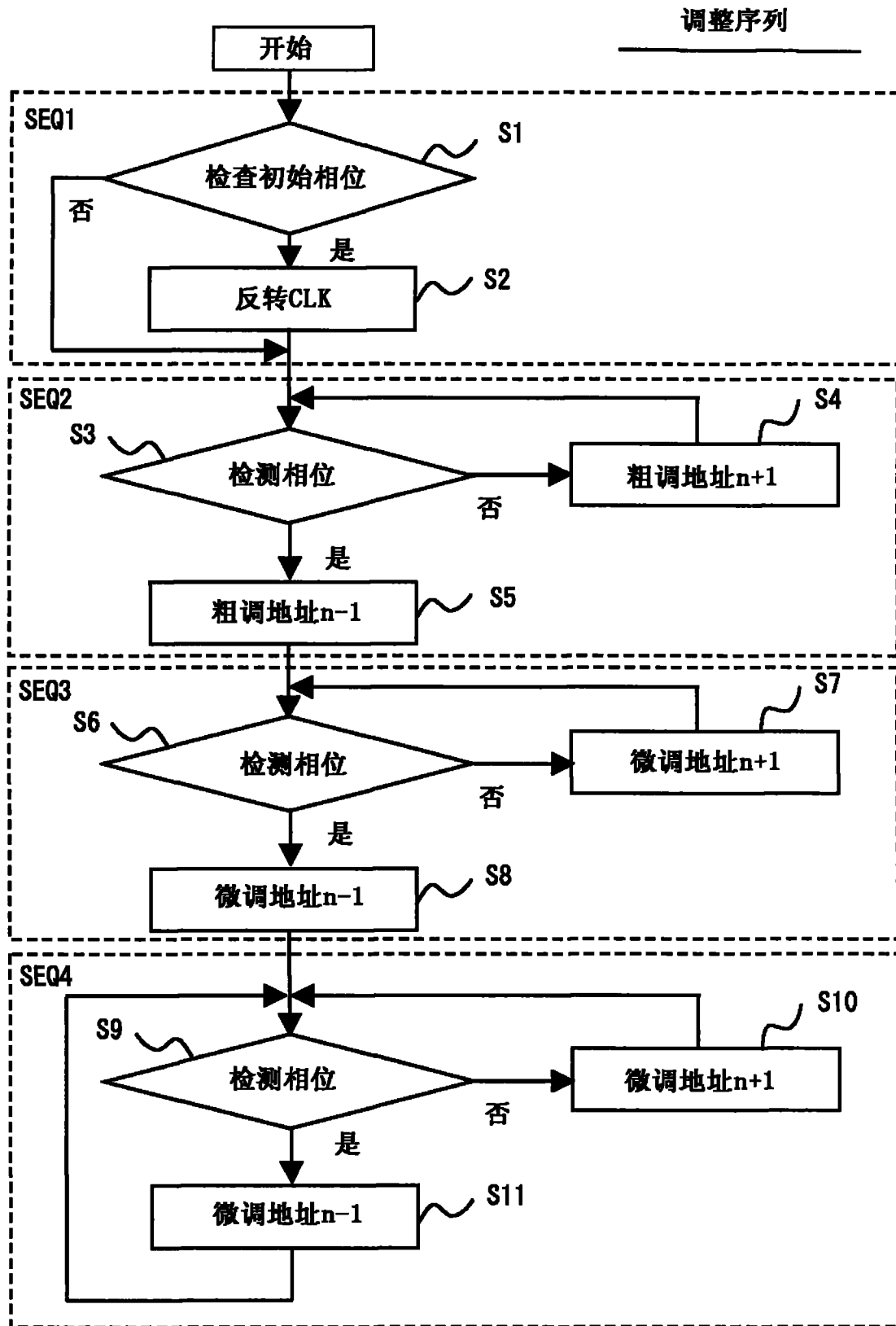


图 9

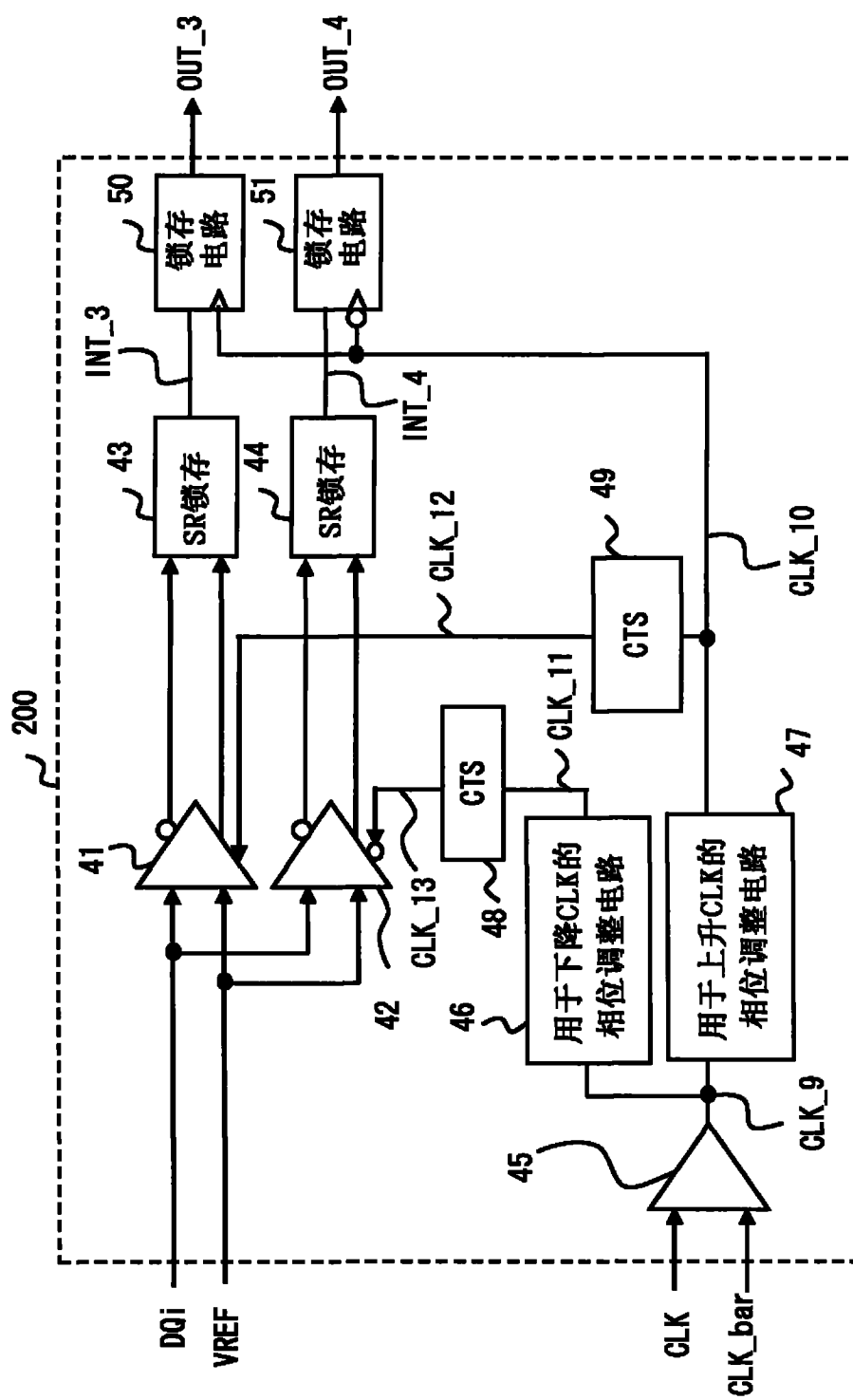


图 10

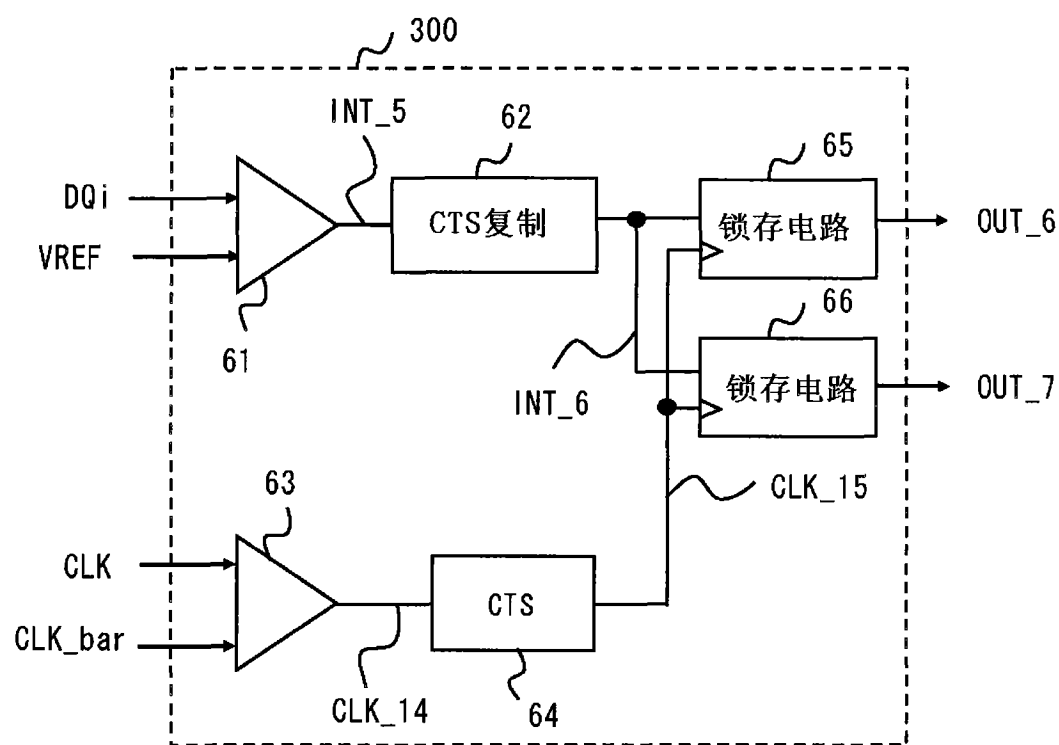


图 11

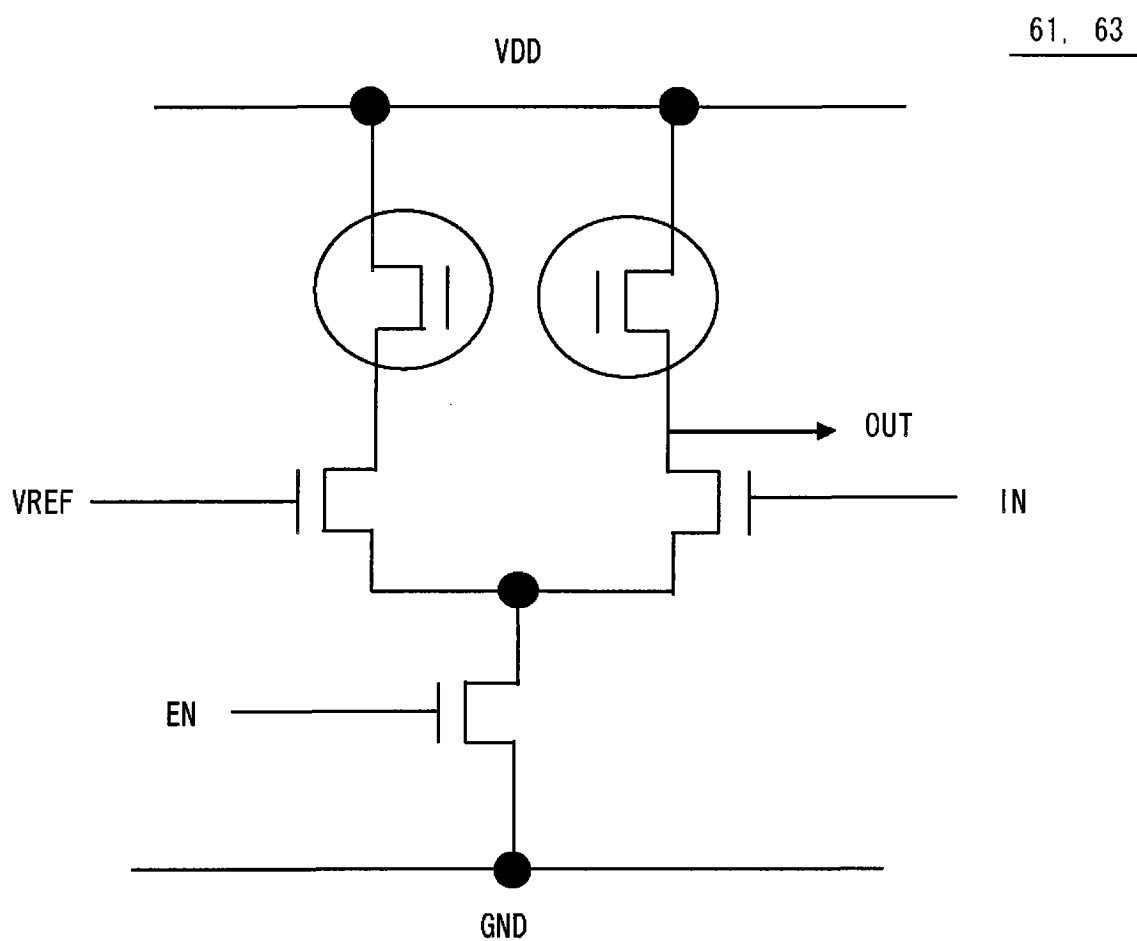


图 12

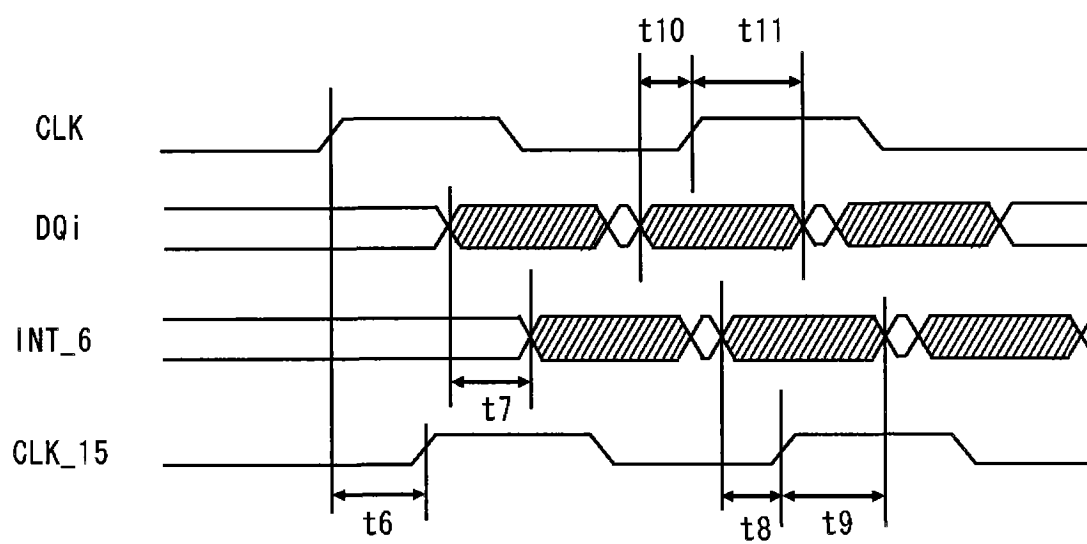
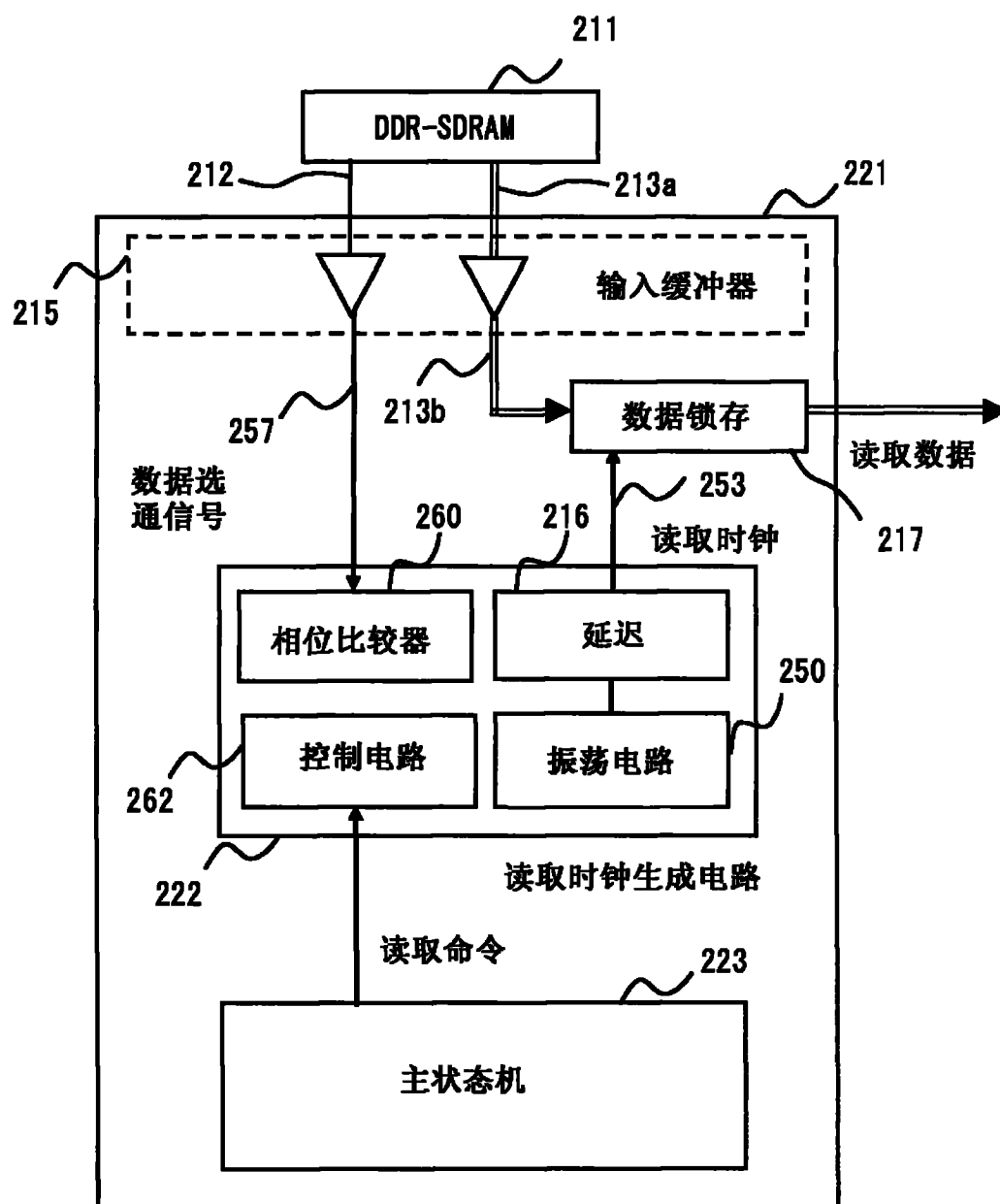


图 13



现有技术

图 14