



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0171335
(43) 공개일자 2024년12월09일

(51) 국제특허분류(Int. Cl.)

G06N 10/80 (2022.01) G06N 10/20 (2022.01)
G06N 10/60 (2022.01) G06N 10/70 (2022.01)
B82Y 10/00 (2017.01)

(52) CPC특허분류

G06N 10/80 (2022.01)
G06N 10/20 (2022.01)

(21) 출원번호 10-2023-0069084

(22) 출원일자 2023년05월30일

심사청구일자 2023년05월30일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

최인찬

서울특별시 성북구 안암로 73-15, 공학관 521호(안암동5가)

김하늘

서울특별시 종로구 자하문로 238, 6층(부암동)

(뒷면에 계속)

(74) 대리인

송인호, 윤형근, 최관락

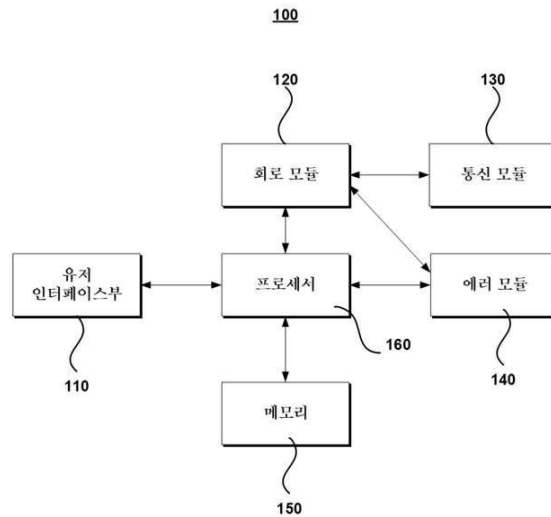
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템 및 그 방법

(57) 요약

이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템 및 그 방법이 개시된다. 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템은, 회로 정보를 입력 받는 유저 인터페이스부-상기 회로 정보는 큐비트별 초기 상태 정보와 복수의 게이트 정보를 포함함; 및 상기 회로 정보에 기초하여 양자 회로를 구성하며, 상기 구성된 양자 회로에 대한 회로 연산을 수행하되, 상기 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행하는 회로 모듈을 포함한다.

대표도 - 도1



(52) CPC특허분류

G06N 10/60 (2022.01)

G06N 10/70 (2022.08)

B82Y 10/00 (2013.01)

(72) 발명자

정태수

서울특별시 성북구 보문로29다길 31, 110동 802호
(삼선동2가, 삼선푸르지오)

최현석

서울특별시 성북구 고려대로7길 16-3, 302호(안암
동2가)

강성호

경기도 군포시 곡란로74번길 16-7, 302호(산본동,
거성빌라)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711166183
과제번호	2020R1A4A3079864
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	양자 기계학습 시뮬레이터
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2022.03.01 ~ 2023.06.30

명세서

청구범위

청구항 1

회로 정보를 입력받는 유저 인터페이스부-상기 회로 정보는 큐비트별 초기 상태 정보와 복수의 게이트 정보를 포함함; 및

상기 회로 정보에 기초하여 양자 회로를 구성하며, 상기 구성된 양자 회로에 대한 회로 연산을 수행하되, 상기 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행하는 회로 모듈을 포함하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 2

제1 항에 있어서,

상기 회로 모듈은,

상기 각 게이트 연산에 의해 상태가 변화하는 큐비트들만으로 부분 상태 벡터를 구성하고, 상기 부분 상태 벡터 내 원소 재배열을 통해 상기 부분 상태 벡터를 상태 행렬로 변환한 후 상기 변환된 상태 행렬과 게이트 행렬을 곱셈하여 각 게이트 연산을 수행하는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 3

제1 항에 있어서,

양자 컴퓨터를 모사한 양자 에러를 발생하는 에러 모듈을 더 포함하되,

상기 에러 모듈은,

에러 확률 분포 및 기준 에러율에 기초하여 큐비트 에러, 게이트 에러 및 관측 에러 중 적어도 하나를 발생시키되,

상기 게이트 에러에 의해 게이트별 상태의 이동 크기가 조절되고,

상기 관측 에러에 의해 큐비트의 위상이 조절되는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 4

제3 항에 있어서,

상기 에러 모듈은

상기 에러 확률 분포 및 기준 에러율에 기초하여 각 게이트가 회전해야 하는 각도보다 입력되는 에러만큼 더 회전하도록 상기 게이트 에러를 발생시키고,

상기 에러 확률 분포 및 기준 에러율에 기초하여 원래 상태에서 θ 에러를 더한 후 블로흐 구면 상에서 원래 양자 상태 벡터를 기준으로 에러가 더해진 상태를 임의의 각도만큼 회전시켜 관측 에러를 발생시키는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 5

제1 항에 있어서,

상기 유저 인터페이스부는,

상기 양자 회로의 게이트 구성에 대한 회로도들 출력 창 영역을 통해 출력하되, 상기 양자 회로의 게이트 구성에 대한 회로도 및 시뮬레이션을 통한 양자 상태와 큐비트별 관측 결과 정보를 상기 출력 창 영역을 통해 출력하는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 6

제1 항에 있어서,

상기 회로 모듈은,

복수의 게이트 오브젝트를 가지며, 상기 복수의 게이트 오브젝트 중 적어도 일부를 이용하여 상기 회로 정보에 따른 양자 회로를 구성하는 게이트 모듈; 및

상기 구성된 양자 회로에 대한 게이트 연산을 수행하되, 상기 구성된 양자 회로에서 큐비트만으로 부분 상태 벡터를 구성하여 게이트 연산을 수행하는 연산 모듈을 포함하는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 7

제1 항에 있어서,

상기 유저 인터페이스부는,

테이블 형태의 입력 창 영역을 제공하며, 각 테이블에 상기 회로 정보를 각각 입력 받는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템.

청구항 8

회로 정보를 입력 받는 단계- 상기 회로 정보는 큐비트별 초기 상태 정보와 복수의 게이트 정보를 포함함;

상기 회로 정보에 기초하여 양자 회로를 구성하는 단계;

상기 구성된 양자 회로에 대한 회로 연산을 수행하되, 상기 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행하는 단계; 및

상기 양자 회로의 게이트 구성에 대한 회로도 및 시뮬레이션을 통한 양자 상태와 큐비트별 관측 결과 정보를 상기 출력 창 영역을 통해 출력하는 단계를 포함하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 방법.

청구항 9

제8 항에 있어서,

상기 회로 연산을 수행하는 단계는,

각 게이트 연산에 의해 상태가 변화하는 큐비트들만으로 부분 상태 벡터를 구성하고, 상기 부분 상태 벡터내 원소 재배열을 통해 상기 부분 상태 벡터를 상태 행렬로 변환한 후 상기 변환된 상태 행렬과 게이트 행렬을 곱셈하여 각 게이트 연산을 수행하는 것을 특징으로 하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 방법.

발명의 설명

기술 분야

[0001] 본 발명은 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템 및 그 방법에 관한 것이다.

배경 기술

- [0003] 양자 컴퓨터의 활용은 산업 공학에서 직면한 다양한 문제를 해결함에 있어 기존의 연산 시간 한계를 극복할 수 있는 장점이 있다. 그러나, 양자 컴퓨터를 활용하기 위해서는 양자 알고리즘 개발이 선행되어야 한다.
- [0004] 현재, 양자 컴퓨터의 하드웨어 개발은 발전 중으로 운용 가능한 큐비트 수가 제한적이며, 사용하는데 많은 비용이 필요하다. 양자 컴퓨터를 활용한 알고리즘 개발은 기술 및 경제적 측면에서 제약이 있어, 알고리즘 개발을 위한 비용 효율적인 도구가 필요하다.
- [0005] 종래의 양자 회로 연산 시뮬레이터들은 크게 웹 베이스 또는 특정 프로그래밍 언어의 패키지로 제공되고 있다. 웹 베이스 시뮬레이터 Quirk : Quantum Circuit Simulator는 양자 컴퓨팅의 입문을 돕기 위한 양자 회로 시뮬레이터이다. 그래픽 유저 인터페이스로 게이트 및 일부 회로 구성 요소들을 드래그 앤 드롭 방식으로 편집할 수 있도록 설계되었다. 연산 가능한 최대 큐비트 수는 16개이며, 게이트의 파라미터에 따른 개별 상태 및 큐비트에 대한 확률 진폭의 변화를 애니메이션 형태로 제공한다. 이러한 웹 베이스 시뮬레이터는 인터페이스에 대한 학습이 용이하지만 가용 가능한 큐비트 수가 극히 일부이며 고등 연산을 처리하기 버겁다는 단점을 가진다.
- [0006] Python 언어 기반 패키지 형태로 제공되는 IBM사의 Qiskit은 IBM사의 클라우드 양자 시스템에서의 회로 연산과 동일한 이진 컴퓨터 상에서의 양자 회로 연산 시뮬레이션 프레임 워크이다. 다양한 형태의 연산 방식을 지원하고 있으며, 기계 학습 방법론에의 적용을 지원할 수 있도록 설계되었다.
- [0007] 프로그래밍 언어 기반 패키지로 제공되는 형태의 시뮬레이터들은 반대로 가용 가능한 큐비트 수에 대한 제약이 웹 베이스 시뮬레이터보다 적으며 고등 연산의 처리가 가능하도록 한다. 또한 이식성 및 활용성 측면에서 월등한 강점을 가지고 있다. 하지만 배포한 패키지의 기반이 되는 언어 및 패키지 자체에 대한 학습 용이성이 좋지 않다는 단점을 지닌다.
- [0008] 또한, 종래의 이진 컴퓨터에서의 양자 회로 연산 알고리즘은 큐비트 수에 따라 상태 벡터 및 게이트 행렬의 차원이 증가하여 계산 복잡도가 기하급수적으로 증가한다는 문제점을 갖고 있다.

발명의 내용

해결하려는 과제

- [0010] 본 발명은 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템을 제공하기 위한 것이다.
- [0011] 또한, 본 발명은 친숙한 테이블 기반 GUI로 입력 및 출력물 관리가 가능하고, 모듈 단위의 회로 관리를 통해 회로의 추가 및 수정이 용이한 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템을 제공하기 위한 것이다.
- [0012] 또한, 본 발명은 양자 회로 연산에 필수적인 요소들만으로 GUI를 구축하여 시인성과 가독성이 좋으며, 게이트 연산에 참여하는 큐비트들만으로 상태 벡터를 구성하여 상태 벡터 크기를 감소시킬 수 있는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템을 제공하기 위한 것이다.
- [0013] 또한, 본 발명은 게이트 행렬 및 상태 벡터의 크기 감소를 통하여 연산 시간 측면에서의 성능이 우수하여 양자 회로를 구성하는 게이트의 개수 축소 등 회로 개선을 위한 테스트베드로써 활용 가능하며, 메모리 사용 성능 또한 우수한 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템을 제공하기 위한 것이다.

과제의 해결 수단

- [0015] 본 발명의 일 측면에 따르면, 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템이 제공된다.

[0016] 본 발명의 일 실시예에 따르면, 회로 정보를 입력받는 유저 인터페이스부-큐비트별 초기 상태 정보와 복수의 게이트 정보를 포함함; 및 상기 회로 정보에 기초하여 양자 회로를 구성하며, 상기 구성된 양자 회로에 대한 회로 연산을 수행하되, 상기 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행하는 회로 모듈을 포함하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템이 제공될 수 있다.

[0017] 상기 회로 모듈은, 상기 각 게이트 연산에 의해 상태가 변화하는 큐비트들만으로 부분 상태 벡터를 구성하고, 상기 부분 상태 벡터내 원소 재배열을 통해 상기 부분 상태 벡터를 상태 행렬로 변환한 후 상기 변환된 상태 행렬과 게이트 행렬을 곱셈하여 각 게이트 연산을 수행할 수 있다.

[0018] 양자 컴퓨터를 모사한 양자 에러를 발생하는 에러 모듈을 더 포함하되, 상기 에러 모듈은, 에러 확률 분포 및 기준 에러율에 기초하여 큐비트 에러, 게이트 에러 및 관측 에러 중 적어도 하나를 발생시키되, 상기 게이트 에러에 의해 게이트별 상태의 이동 크기가 조절되고, 상기 관측 에러에 의해 큐비트의 위상이 조절될 수 있다.

[0019] 상기 에러 모듈은 상기 에러 확률 분포 및 기준 에러율에 기초하여 각 게이트가 회전해야 하는 각도보다 입력되는 에러만큼 더 회전하도록 상기 게이트 에러를 발생시키고, 상기 에러 확률 분포 및 기준 에러율에 기초하여

원래 상태에서 θ 에러를 더한 후 블로흐 구면 상에서 원래 양자 상태 벡터를 기준으로 에러가 더해진 상태를 임의의 각도만큼 회전시켜 관측 에러를 발생시킬 수 있다.

[0020] 상기 유저 인터페이스부는, 상기 양자 회로의 게이트 구성에 대한 회로도출력 창 영역을 통해 출력하되, 상기 양자 회로의 게이트 구성에 대한 회로도 및 시뮬레이션을 통한 양자 상태와 큐비트별 관측 결과 정보를 상기 출력 창 영역을 통해 출력할 수 있다.

[0021] 상기 회로 모듈은, 복수의 게이트 오브젝트를 가지며, 상기 복수의 게이트 오브젝트 중 적어도 일부를 이용하여 상기 회로 정보에 따른 양자 회로를 구성하는 게이트 모듈; 및 상기 구성된 양자 회로에 대한 게이트 연산을 수행하되, 상기 구성된 양자 회로에서 큐비트만으로 부분 상태 벡터를 구성하여 게이트 연산을 수행하는 연산 모듈을 포함할 수 있다.

[0022] 상기 유저 인터페이스부는, 테이블 형태의 입력 창 영역을 제공하며, 각 테이블에 상기 회로 정보를 각각 입력받을 수 있다.

[0024] 본 발명의 다른 측면에 따르면, 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 방법이 제공된다.

[0025] 본 발명의 일 실시예에 따르면, 회로 정보를 입력 받는 단계-큐비트별 초기 상태 정보와 복수의 게이트 정보를 포함함; 상기 회로 정보에 기초하여 양자 회로를 구성하는 단계; 상기 구성된 양자 회로에 대한 회로 연산을 수행하되, 상기 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행하는 단계; 및 상기 양자 회로의 게이트 구성에 대한 회로도 및 시뮬레이션을 통한 양자 상태 및 큐비트별 관측 결과 정보를 상기 출력 창 영역을 통해 출력하는 단계를 포함하는 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 방법이 제공될 수 있다.

[0026] 상기 회로 연산을 수행하는 단계는, 각 게이트 연산에 의해 상태가 변화하는 큐비트들만으로 부분 상태 벡터를 구성하고, 상기 부분 상태 벡터내 원소 재배열을 통해 상기 부분 상태 벡터를 상태 행렬로 변환한 후 상기 변환된 상태 행렬과 게이트 행렬을 곱셈하여 각 게이트 연산을 수행할 수 있다.

발명의 효과

[0028] 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템을 제공함으로써, 친숙한 테이블 기반 GUI로 입력 및 출력물 관리가 가능하고, 모듈 단위의 회로 관리를 통해 회로의 추가 및 수정이 용이한 이점이 있다.

[0029] 또한, 본 발명은 양자 회로 연산에 필수적인 요소들만으로 GUI를 구축하여 시인성과 가독성이 좋으며, 게이트

연산에 참여하는 큐비트들만으로 상태 벡터를 구성하여 상태 벡터 크기를 감소시킬 수 있는 이점도 있다.

[0030] 또한, 본 발명은 게이트 행렬 및 상태 벡터의 크기 감소를 통하여 연산 시간 측면에서의 성능이 우수하여 양자 회로를 구성하는 게이트의 개수 축소 등 회로 개선을 위한 테스트베드로써 활용 가능하며, 메모리 사용 성능 또한 우수한 효과도 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템의 구성을 개략적으로 도시한 블록도.

도 2 내지 도 6은 본 발명의 일 실시예에 따른 유저 인터페이스부의 입 출력 창 영역을 통해 입력 또는 출력되는 정보를 설명하기 위해 도시한 도면.

도 7은 본 발명의 일 실시예에 따른 부분 상태 벡터 생성을 설명하기 위해 도시한 도면.

도 8은 본 발명의 일 실시예에 따른 회로 연산 알고리즘 모식도를 도시한 도면.

도 9는 내지 도 11은 본 발명의 일 실시예에 따른 블로흐 구면상 표현되는 양자 에러를 설명하기 위해 도시한 도면.

도 12는 본 발명의 일 실시예에 따른 각 모듈 구조를 도시한 도면.

도 13은 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 방법을 나타낸 순서도.

발명을 실시하기 위한 구체적인 내용

[0033] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.

[0034] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0036] 도 1은 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템의 구성을 개략적으로 도시한 블록도이고, 도 2 내지 도 6은 본 발명의 일 실시예에 따른 유저 인터페이스부의 입 출력 창 영역을 통해 입력 또는 출력되는 정보를 설명하기 위해 도시한 도면이고, 도 7은 본 발명의 일 실시예에 따른 부분 상태 벡터 생성을 설명하기 위해 도시한 도면이고, 도 8은 본 발명의 일 실시예에 따른 회로 연산 알고리즘 모식도를 도시한 도면이고, 도 9는 내지 도 11은 본 발명의 일 실시예에 따른 블로흐 구면상 표현되는 양자 에러를 설명하기 위해 도시한 도면이고, 도 12는 본 발명의 일 실시예에 따른 각 모듈 구조를 도시한 도면이다.

[0037] 도 1을 참조하면, 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 시스템(100)은 유저 인터페이스부(110), 회로 모듈(120), 통신 모듈(130), 에러 모듈(140), 메모리(150) 및 프로세서(160)를 포함하여 구성된다. 유저 인터페이스부(110), 회로 모듈(120), 에러 모듈(140) 각각의 세부 구조는 도 12에 도시된 바와 같다.

[0038] 유저 인터페이스부(110)는 회로 정보를 입력 받고, 시뮬레이션 결과를 출력하기 위한 수단이다.

[0039] 예를 들어, 유저 인터페이스부(110)는 입출력 창 영역과 복수의 기능을 제공하는 네비게이션 바 영역으로 구성될 수 있다.

[0040] 도 2는 입력 창 영역이 출력된 일 예가 도시되어 있다. 도 2를 참조하여 유저 인터페이스부(110)에 대해 간략하게 설명하기로 한다.

[0041] 입력 창 영역은 테이블 형태로 제공된다. 테이블 형태로 제공되는 각각의 셀에 회로 정보를 입력 받을 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 입력 창 영역은 큐비트별 초기 상태를 드롭다운 형태로 설정 가능하도록

지원하며, 우측부에는 회로 내 게이트 및 모듈 입력 창으로 정의된 게이트, 모듈과 필요 정보들을 입력 받을 수 있다.

- [0042] 네비게이션 바 영역은 도 입력 창 영역의 상단에 위치되며, File UI 영역, 모듈 UI 영역, 시뮬레이터 UI 영역, 에러 UI 영역, 인터랙티브 UI 영역이 위치될 수 있다. 해당 각 UI 영역의 배치 순서는 달라질 수도 있음은 당연하다.
- [0043] File UI 영역은 프로그램 파일 저장 및 불러오기 UI를 제공한다.
- [0044] 모듈 UI 영역은 회로 모듈 관리 기능을 제공하며, 시뮬레이터 UI 영역은 측정할 큐비트 인덱스, 실험 횟수, 연산 오류율 등을 입력 받아 회로 연산을 시뮬레이션하는 기능을 제공한다.
- [0045] 인터랙티브 UI 영역은 시각화 도구 및 회로 구성 요소 관리 도구 UI들이 포함될 수 있다.
- [0046] 시각화 도구에서 회로가 선택되면, 회로도가 출력 창 영역에 표시될 수 있다. 도 3에는 출력 창 영역을 통해 회로도가 출력된 일 예가 도시되어 있다.
- [0047] 구성된 양자 회로에 대한 회로 연산 이후, 결과는 회로도 및 실험 결과 정보 각각의 파일로 생성될 수 있다. 해당 결과 파일은 각각 출력 창 영역을 통해 제공될 수도 있다. 도 4 내지 도 6에는 실험 결과 정보가 출력된 일 예가 도시되어 있다. 즉, 실험 결과 정보는 도 4 내지 도 6에 도시된 바와 같이, 큐비트별 관측 정보, 양자 상태별 관측 정보, 실험에 대한 파라미터 정보로 제공될 수 있다. 상태 정보는 각 상태, 상태별 관측 횟수, 관측 확률을 포함하며, 상태 수는 큐비트 수가 증가할수록 지수배로 증가하기 때문에 제한된 출력 창 내에서 원하는 상태들의 결과를 관찰하기 힘들다. 따라서, 유저 인터페이스부(110)는 필터링 기능을 통해 별도의 큐비트 인덱스 열을 제공하고, 큐비트의 관측 가능한 상태 0, 1로 개별 큐비트들의 값을 필터링하여 출력할 수 있다.
- [0048] 회로 모듈(120)은 회로 정보에 기초하여 양자 회로를 구성하며, 상기 구성된 양자 회로에 대한 회로 연산을 수행하되, 상기 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행하기 위한 수단이다.
- [0049] 이러한, 회로 모듈(120)은 게이트 모듈과 연산 모듈을 구비한다.
- [0050] 각각에 대해 설명하기로 한다.
- [0051] 게이트 모듈은 복수의 게이트 오브젝트를 가지며, 이들 게이트 오브젝트 중 적어도 일부를 기초로 회로 정보에 따른 양자 회로를 구성할 수 있다.
- [0052] 게이트 모듈은 단일 게이트 오브젝트와 멀티 큐비트 게이트 오브젝트를 포함할 수 있다. 단일 게이트 오브젝트는 X, Y, Z, H, S, T 등의 게이트 오브젝트를 포함할 수 있다. 또한, 멀티 큐비트 게이트 오브젝트는 CNOT, SWAP, Toffoli 게이트 오브젝트를 포함할 수 있다.
- [0053] 또한, 게이트 모듈은 게이트의 사용자 정의 생성을 지원할 수도 있으며, 모든 게이트에 대하여 컨트롤 큐비트 수에 제약을 가지지 않는 컨트롤 게이트를 지원할 수 있다.
- [0054] 연산 모듈은 자체 회로 연산 알고리즘을 가지며, 게이트 또는 회로 모듈 단위의 회로 구성, 회로에 대한 관측 및 실험 기능을 가진다.
- [0055] 연산 모듈은 파이썬의 딥러닝 목적의 연산 패키지 PyTorch를 기반으로 구현되었으며, 연산 시간 및 연산시의 최대 요구 메모리량을 측정하기 위한 리소스 프로파일러를 포함한다.
- [0056] 연산 모듈은 회로 정보에 기초하여 구성된 양자 회로에서 게이트 연산에 의해 상태가 큐비트들을 식별하여 부분 상태 벡터를 생성하고, 상태 벡터를 연산에 참여하는 큐비트 인덱스들의 규칙성에 의거하여 행렬 형태로 조정된 상태 인덱스 행렬을 생성한 후 게이트 원형 행렬과 상태 인덱스 행렬의 곱 연산을 통해 양자 상태 행렬을 양자 상태 벡터로 재조정하여 게이트 연산을 수행할 수 있다.
- [0057] 이에 대해 보다 상세히 설명하기로 한다.
- [0058] 연산 모듈은 회로 정보에 기초하여 구성된 양자 회로 연산시, 큐비트별 상태 벡터 및 얽힘 관계(큐비트 사이의 상관 관계)를 초기화한다.
- [0059] 이어, 연산 모듈은 구성된 양자 회로에서 게이트 연산에 의해 상태가 변화할 수 있는 큐비트를 식별한 후 부분 상태 벡터를 생성한다.

$$X = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$$

[0060] 도 7을 참조하여 설명하기로 한다. 예를 들어, 게이트 원형 행렬이 와 같다고 가정하기

로 하며, 타겟 큐비트가 q_1 이고, 컨트롤 큐비트가 q_3 인 경우, 도 7에 도시된 바와 같이 게이트 연산에 의해 상태가 변화할 수 있는 큐비트를 식별한 후 부분 상태 벡터를 생성할 수 있다. 부분 상태 벡터는 연산에 참여하는 큐비트들의 부분 상태 텐서 곱으로 나타낼 수 있다.

[0061] 이어, 연산 모듈은 상태 벡터를 연산에 참여하는 큐비트 인덱스들의 규칙성에 의거하여 행렬 형태로 조정된 상태 인덱스 행렬을 생성한다. 부분 상태 벡터에 의한 연산에서 큐비트들의 순서상의 변화가 존재한다. 따라서, 부분 상태 벡터는 큐비트들의 순서에 따라 상태 벡터의 값이 달라진다.

[0062] 예를 들어, 게이트 행렬과 상태 벡터가

$$\begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} \alpha_0 \\ \alpha_1 \\ \alpha_2 \\ \alpha_3 \\ \alpha_4 \\ \alpha_5 \\ \alpha_6 \\ \alpha_7 \end{bmatrix} \rightarrow \begin{bmatrix} \alpha'_0 \\ \alpha'_1 \\ \alpha'_2 \\ \alpha'_3 \\ \alpha'_4 \\ \alpha'_5 \\ \alpha'_6 \\ \alpha'_7 \end{bmatrix}$$

[X 게이트] [상태 벡터] [새로운 상태 벡터]

[0063] 와 같다고 가정하기로 한다.

[0064] 이와 같은 경우, 상태 인덱스 행렬은

$$\begin{bmatrix} 0 \\ 2^1 \end{bmatrix} \begin{bmatrix} 1 & 1 \end{bmatrix} + \begin{bmatrix} 1 \\ 1 \end{bmatrix} \begin{bmatrix} 0 & 2^2 \end{bmatrix} + 2^0 \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix} = \begin{bmatrix} 0+0+2^0 & 0+2^2+2^0 \\ 2^1+0+2^0 & 2^1+2^2+2^0 \end{bmatrix} = \begin{bmatrix} 1 & 5 \\ 3 & 7 \end{bmatrix}$$

[base vector] [interval vector] [control sum]

[0065] 와 같이 생성될 수 있다.

[0066] 즉, 연산 모듈은 하기 수학적 식 1과 같이 상태 인덱스 행렬을 생성할 수 있다.

[0067] [수학적 식 1]

$$(base\ vector) \mathbb{1}_{2^r \times 1}^t + \mathbb{1}_{2^t \times 1} (interval\ vector)^t + (control\ sum) \mathbb{1}_{2^t \times 2^r}$$

[0068]

[0069] 여기서, base vector는 타겟 큐비트를 제외한 큐비트들이 모두 $|0\rangle$ 일 때, 가능한 모든 타겟 큐비트들의 상태 인덱스로 구성된다.

[0070] 예를 들어, base vector는 수학적 식 2와 같이 나타낼 수 있다.

[0071] [수학적 식 2]

$$base\ vector = \bigoplus \begin{bmatrix} 0 \\ 2^{seq_i^t} \end{bmatrix}$$

[0072]

예를 들어, $seq^t: (2, 4)$ 경우

$$base\ vector = \begin{bmatrix} 0 \\ 2^2 \end{bmatrix} \oplus \begin{bmatrix} 0 \\ 2^4 \end{bmatrix} = \begin{bmatrix} 0^0 + 0^1 \\ 0^1 + 2^4 \\ 2^2 + 0^1 \\ 2^2 + 2^4 \end{bmatrix} = \begin{bmatrix} 0 \\ 2^4 \\ 2^2 \\ 2^2 + 2^4 \end{bmatrix} \text{이다.}$$

Interval vector는 잔여 큐비트를 제외한 모든 큐비트들이 $|0\rangle$ 인 상태들의 인덱스로 구성되며, 이를 수학적
으로 나타내면 수학적 3과 같이 나타낼 수 있다.

[수학적 3]

$$interval\ vector = \bigoplus \begin{bmatrix} 0 \\ 2^{seq_i^r} \end{bmatrix}$$

여기서, $seq^r(0, 3)$ 이면,

$$interval\ vector = \begin{bmatrix} 0 \\ 2^0 \end{bmatrix} \oplus \begin{bmatrix} 0 \\ 2^3 \end{bmatrix} = \begin{bmatrix} 0^1 + 0^1 \\ 0^1 + 2^3 \\ 2^0 + 0^1 \\ 2^0 + 2^3 \end{bmatrix} = \begin{bmatrix} 0 \\ 2^3 \\ 2^0 \\ 2^0 + 2^3 \end{bmatrix}$$

이다.

또한, control sum은 컨트롤 큐비트를 제외한 모든 큐비트들이 $|0\rangle$ 인 상태들의 인덱스로 수학적 4와 같이 나
타낼 수 있다.

[수학적 4]

$$control\ sum = \sum_{i \in seq^c} 2^i$$

예를 들어, $seq^c: (1)$ 이면, $control\ sum = 2^1$ 와 같다.

이어, 연산 모듈은 게이트 원형 행렬과 상태 인덱스 행렬의 곱 연산을 통해 양자 상태 행렬을 양자 상태 벡터로
재조정할 수 있다. 도 8에는 이에 대한 모식도가 도시되어 있다.

통신 모듈(130)은 마이크로소프트에서 정의한 COM 오브젝트와 회로 모듈(120)을 연동하기 위한 수단이다. 파이
썬 언어로 개발되었으며, 이벤트 기반 상호작용을 정의하고 있다. 따라서, 테이블 형태로 입력 창 영역을 통해
입력되는 입력 데이터를 전처리하여 회로 오브젝트로 관리하고, 백엔드에서 수행한 연산 결과를 가공하여 COM

오브젝트에 전달할 수 있다.

[0089] 통신 모듈(130)은 유저 인터페이스부(110)에서 발생한 이벤트를 처리하는 이벤트 모듈과 파이썬 오브젝트 및 COM 오브젝트를 가공 처리하는 컨버터 모듈을 포함할 수 있다.

[0090] 에러 모듈(140)은 양자 컴퓨터를 모사한 양자 에러를 발생하기 위한 수단이다.

[0091] 에러 모듈(140)은 양자 컴퓨팅 과정에서 발생하는 큐비트 에러, 게이트 에러 및 관측 에러를 각각 발생시킬 수 있다. 양자 상태는 블로흐 구면 상에서 한 점으로 표현되며, 양자 게이트는 블로흐 구면 상에서 한 축을 기준으로 회전하는 작용으로 해석될 수 있다. 따라서, 이러한 해석을 토대로 큐비트 에러, 게이트 에러 및 관측 에러 중 적어도 하나를 발생시킬 수 있다(도 9 내지 도 11 참조).

[0092] 큐비트 에러는 양자 회로가 적용되기 전 큐비트 자체가 가지는 에러로, 0 상태로 준비된 큐비트가 실제로 0 상태와 상이할 때 발생하는 에러이다(도 9 참조). 에러가 발생한 양자 상태는 블로흐 구면상의 0 상태와 특정 각도만큼 차이가 나는 임의의 상태로 결정될 수 있다. 이러한 큐비트 에러를 줄이기 위한 초기화 연산이 지원될 수 있다.

[0093] 게이트 에러는 양자 회로의 게이트가 가지는 에러로, 게이트가 이론상 회전해야 하는 각도와 실제로는 다른 각도만큼 회전할 때 발생하는 에러이다(도 10 참조). 본 발명의 일 실시예에서는 양자 회로를 구성할 때 자주 쓰

이는 클리포드 게이트(Clifford gate) 집합의 게이트인 X , Y , Z , H , S , $S^\dagger$ 게이트 및 범용 양자 게이트(Universal Quantum Gate) 집합을 구성하기 위해 필요한 T , $T^\dagger$ 게이트에 대해 에러가 발생한 게이트를 구현하였다. X , Y , Z 는 각각 블로흐 구면의 x , y , z 축을 기준으로 180도 회전하는 게이트, H 게이트는 x 축과 z 축 사이에서 45도를 이루는 $x+z$ 축을 기준으로 180도 회전하는 게이트, S , $S^\dagger$, T , $T^\dagger$ 게이트는 각각 z 축을 기준으로 90도, -90도, 45도, -45도 회전하는 게이트이므로 에러를 입력하면 회전해야 하는 각도보다 에러만큼 더 회전하는 게이트로 게이트 에러를 발생시킬 수 있다.

[0094] 관측 에러는 양자 회로가 끝난 후 관측을 진행할 때 이론상 상태와 달라 발생하는 에러이다(도 11 참조). 단일 큐비트 상태에 대해 관측 에러가 발생하는 경우 관측된 상태는 블로흐 구면 상에서 원래 상태와 에러만큼 떨어

진 점들 중 하나이다. 이를 구현하기 위해 우선 원래 상태에서 θ 에러를 더한 후, 블로흐 구면 상에서 원래 양자 상태 벡터를 기준으로 변한 상태를 임의의 각도만큼 회전한 상태를 관측 에러를 발생시킬 수 있다.

[0095] 사용자가 에러의 발생 확률 및 에러의 크기의 평균과 표준 편차를 입력하면 확률 분포에 따라 에러 모듈에 의해 에러가 자동으로 발생될 수 있으며, 관측 에러의 경우 사용자의 입력과 별개로 양자 회로의 게이트의 순서와 조합이 확률 분포에 영향을 주도도록 구현되었다.

[0096] 메모리(150)는 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션을 수행하기 위한 다양한 명령어들을 저장한다.

[0097] 프로세서(160)는 본 발명의 일 실시예에 따른 양자 회로 시뮬레이션 시스템(100)의 각각의 구성 요소들(예를 들어, 유저 인터페이스부(110), 회로 모듈(120), 통신 모듈(130), 에러 모듈(140), 메모리(150) 등)을 제어하기 위한 수단이다.

[0099] 도 13은 본 발명의 일 실시예에 따른 이진 컴퓨터 상에서의 양자 회로 시뮬레이션 방법을 나타낸 순서도이다.

[0100] 단계 1310에서 양자 회로 시뮬레이션 시스템(100)은 회로 정보를 입력 받는다. 여기서, 회로 정보는 큐비트별 초기 상태 정보와 복수의 게이트 정보를 포함할 수 있다.

[0101] 단계 1315에서 양자 회로 시뮬레이션 시스템(100)은 회로 정보에 기초하여 양자 회로를 구성한다.

[0102] 단계 1320에서 양자 회로 시뮬레이션 시스템(100)은 구성된 양자 회로에 대한 회로 연산을 수행하되, 구성된 양자 회로의 각 게이트 연산을 수행함에 있어 게이트 행렬을 큐비트 수 및 컨트롤 큐비트 정보에 따른 확장 없이 게이트 행렬 원형으로 회로 연산을 수행한다. 예를 들어, 각 게이트 연산에 의해 상태가 변화하는 큐비트들만으

로 부분 상태 벡터를 구성하고, 상기 부분 상태 벡터내 원소 재배열을 통해 상기 부분 상태 벡터를 상태 행렬로 변환한 후 상기 변환된 상태 행렬과 게이트 행렬을 곱셈하여 각 게이트 연산을 수행할 수 있다.

[0103] 또한, 양자 회로 시뮬레이션 시스템(100)은 양자 컴퓨터를 모사한 양자 에러를 사용자의 에러 반영 여부에 따라 발생시킬 수 있으며, 양자 에러는 에러 확률 분포 및 기준 에러율에 기초하여 큐비트 에러, 게이트 에러 및 관측 에러 중 적어도 하나로 발생될 수 있다.

[0104] 이에 대한 상세 구성은 도 1 내지 도 12를 참조하여 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다.

[0105] 단계 1325에서 양자 회로 시뮬레이션 시스템(100)은 양자 회로의 게이트 구성에 대한 회로도 및 시뮬레이션을 통한 양자 상태 및 큐비트별 관측 결과 정보를 상기 출력 창 영역을 통해 출력한다.

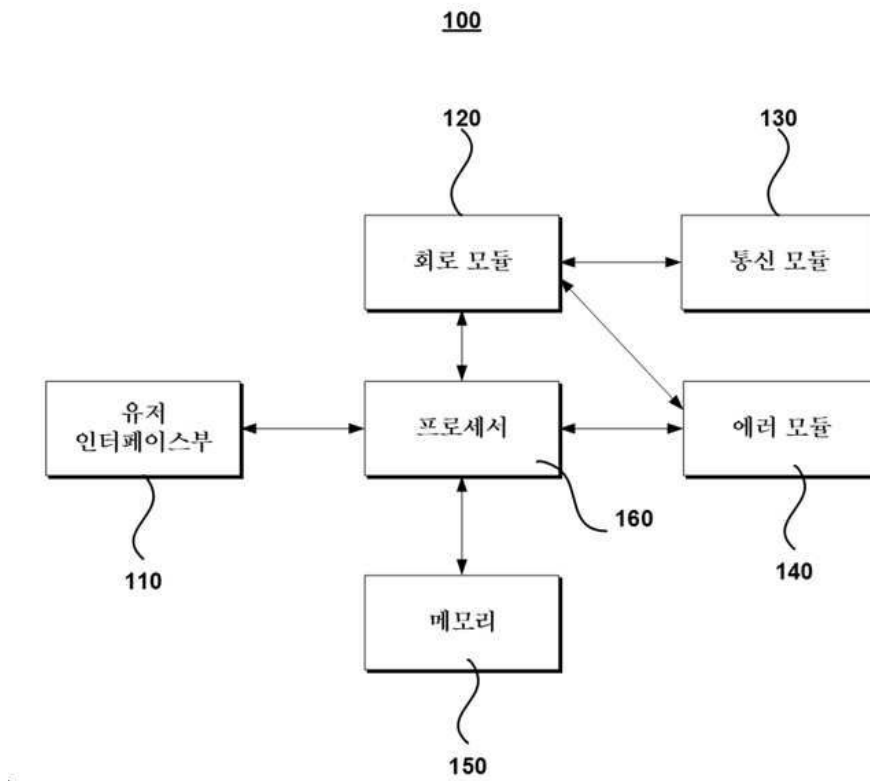
[0107] 본 발명의 실시 예에 따른 장치 및 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 컴퓨터 판독 가능 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 분야 통상의 기술자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media) 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드 뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0108] 상술한 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0109] 이제까지 본 발명에 대하여 그 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

도면1



도면2

도면2는 시스템 100의 동작을 시뮬레이션하기 위한 소프트웨어 인터페이스의 스크린샷이다. 상단에는 실행, 중지, 초기화, 설정, 데이터, 실행, 보기, 작동, 저장, 종료, 도움말 등의 메뉴가 표시되어 있다. 중앙에는 실행, 중지, 초기화, 설정, 데이터, 실행, 보기, 작동, 저장, 종료, 도움말 등의 메뉴가 표시되어 있다. 하단에는 실행, 중지, 초기화, 설정, 데이터, 실행, 보기, 작동, 저장, 종료, 도움말 등의 메뉴가 표시되어 있다.

Queue Index	Initial State	Register Index	Type	Name	Target Queue	Control Queue	Params	Action
0	0	0	DATA	H	0			WRITE
1	0	1	DATA	H	1			WRITE
2	0	2	DATA	H	2			WRITE
3	0	3	DATA	H	3			WRITE
4	0	4	DATA	H	4			WRITE
5	0	5	DATA	X	5			WRITE
6	0	6	DATA	X	6			WRITE
7	0	7	DATA	X	7			WRITE
8	0	8	DATA	X	8			WRITE
9	0	9	DATA	X	9			WRITE
10	0	10	DATA	X	10			WRITE
11	0	11	DATA	X	11			WRITE
12	0	12	DATA	X	12			WRITE
13	0	13	DATA	X	13			WRITE
14	0	14	DATA	X	14			WRITE
15	0	15	DATA	X	15			WRITE
16	0	16	DATA	X	16			WRITE
17	0	17	DATA	X	17			WRITE
18	0	18	DATA	X	18			WRITE
19	0	19	DATA	X	19			WRITE
20	0	20	DATA	X	20			WRITE
21	0	21	DATA	X	21			WRITE
22	0	22	DATA	X	22			WRITE
23	0	23	DATA	X	23			WRITE
24	0	24	DATA	X	24			WRITE
25	0	25	DATA	X	25			WRITE
26	0	26	DATA	X	26			WRITE
27	0	27	DATA	X	27			WRITE
28	0	28	DATA	X	28			WRITE
29	0	29	DATA	X	29			WRITE
30	0	30	DATA	X	30			WRITE
31	0	31	DATA	X	31			WRITE
32	0	32	DATA	X	32			WRITE
33	0	33	DATA	X	33			WRITE
34	0	34	DATA	X	34			WRITE
35	0	35	DATA	X	35			WRITE
36	0	36	DATA	X	36			WRITE
37	0	37	DATA	X	37			WRITE
38	0	38	DATA	X	38			WRITE
39	0	39	DATA	X	39			WRITE

도면6

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U		
1	circuit name	grover10																					
2	measure	0.1	2	3	4	5	6	7	8	9													
3	shots	1024																					
4	error rate	0																					
5																							
6	number of qubits	10																					
7	circuit depth	57																					
8																							
9	running time(sec)	0.01																					
10	memory usage(B)	0																					
11																							
12																							
13																							
14																							
15																							
16																							
17																							
18																							
19																							
20																							
21																							
22																							
23																							
24																							
25																							
26																							
27																							
28																							
29																							
30																							
31																							
32																							
33																							

도면7

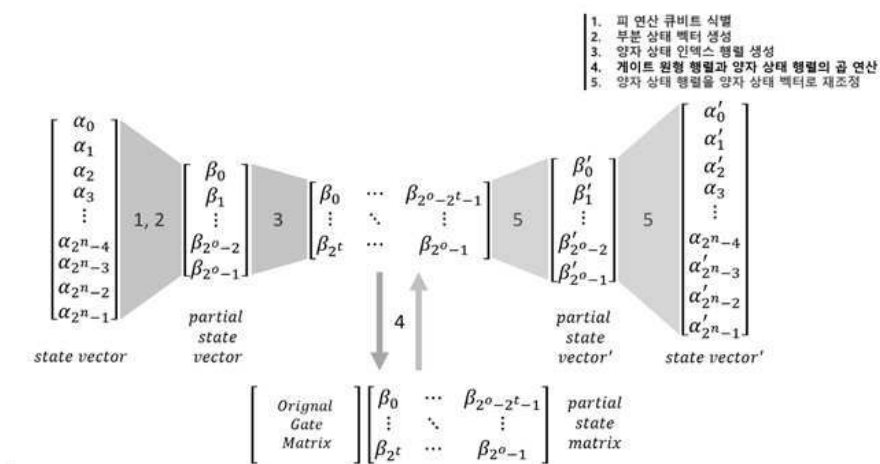
큐비트	얹힘 관계	부분 상태 벡터
q_0	(q_0, q_2)	$[1/\sqrt{2} \ 0 \ 0 \ 1/\sqrt{2}]^t$
q_1	(q_1)	$[1/\sqrt{2} \ 1/\sqrt{2}]^t$
q_2	(q_0, q_2)	$[1/\sqrt{2} \ 0 \ 0 \ 1/\sqrt{2}]^t$
q_3	(q_3)	$[1 \ 0]^t$

➡

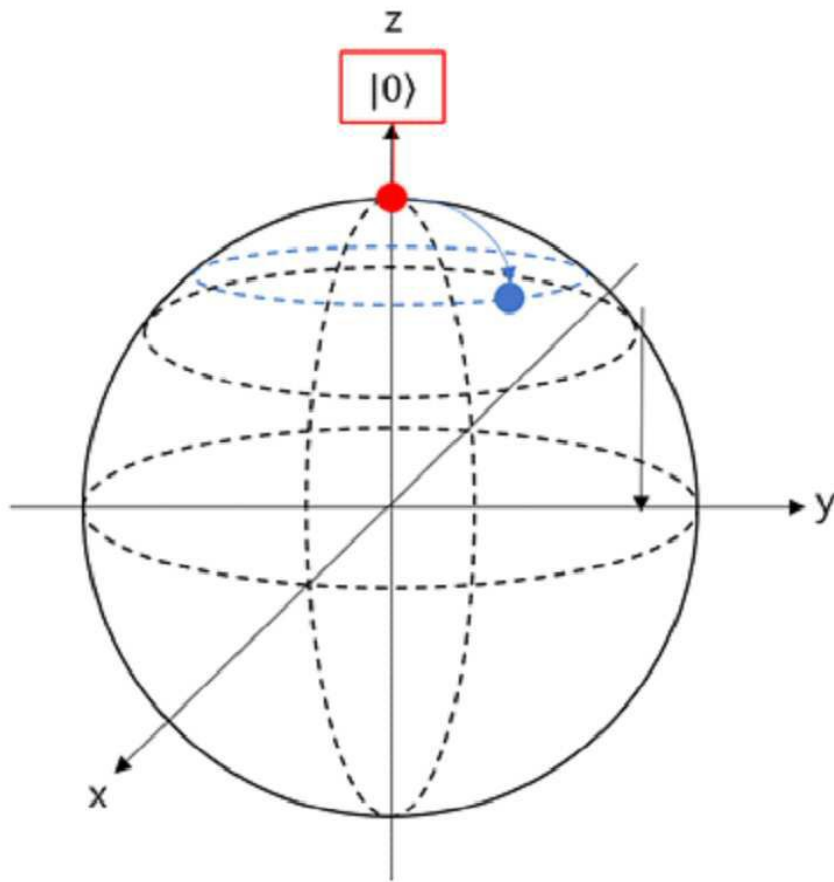
큐비트	얹힘 관계	부분 상태 벡터
q_0	(q_0, q_2)	$[1/\sqrt{2} \ 0 \ 0 \ 1/\sqrt{2}]^t$
q_1	(q_1, q_3)	$[1/\sqrt{2} \ 1/\sqrt{2}]^t \otimes [1 \ 0]^t$
q_2	(q_0, q_2)	$[1/\sqrt{2} \ 0 \ 0 \ 1/\sqrt{2}]^t$
q_3	(q_1, q_3)	$[1/\sqrt{2} \ 1/\sqrt{2}]^t \otimes [1 \ 0]^t$

[기존 상태 벡터]
[신규 상태 벡터]

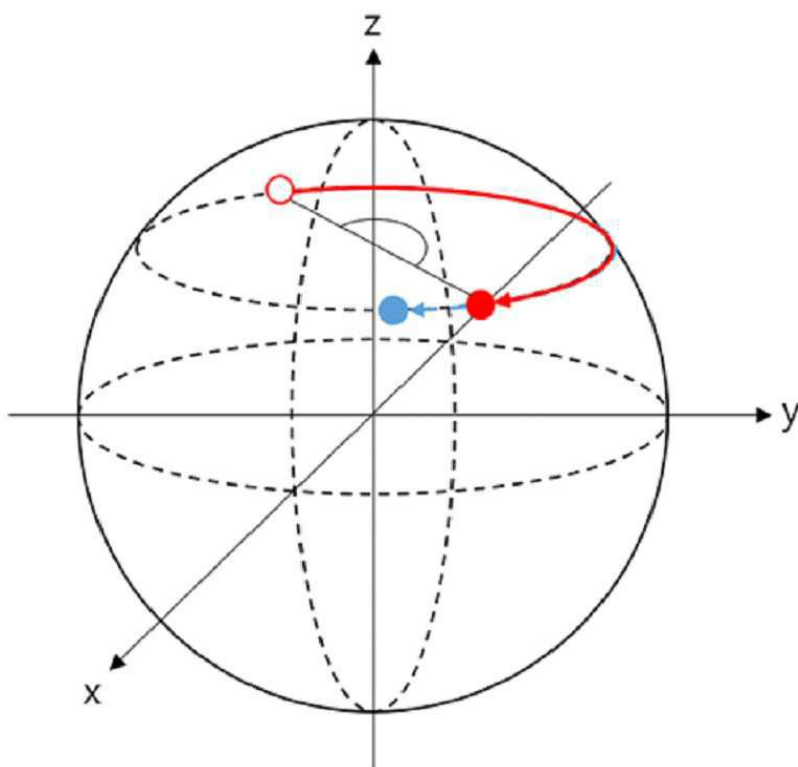
도면8



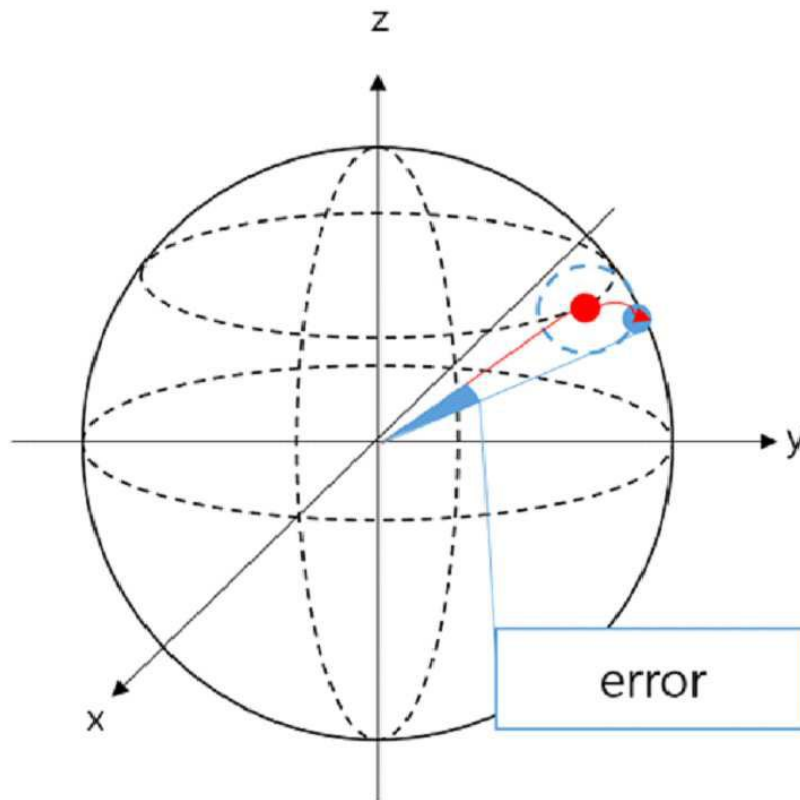
도면9



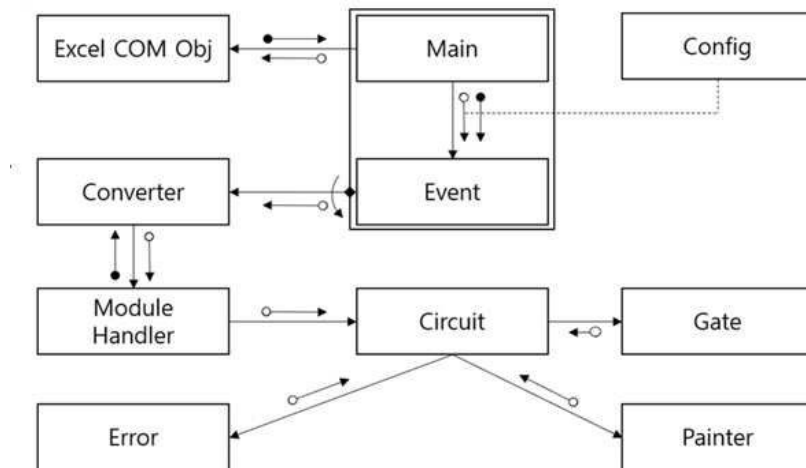
도면10



도면11



도면12



도면13

