

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4753826号
(P4753826)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月3日 (2011. 6. 3)

(51) Int. Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

V

請求項の数 5 (全 10 頁)

(21) 出願番号 特願2006-264025 (P2006-264025)
 (22) 出願日 平成18年9月28日 (2006. 9. 28)
 (65) 公開番号 特開2008-86133 (P2008-86133A)
 (43) 公開日 平成20年4月10日 (2008. 4. 10)
 審査請求日 平成20年12月3日 (2008. 12. 3)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100100000
 弁理士 原田 洋平
 (74) 代理人 100068087
 弁理士 森本 義弘
 (72) 発明者 森田 順一
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 (72) 発明者 石井 卓也
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 多出力電源装置

(57) 【特許請求の範囲】

【請求項 1】

入力電源から供給の入力電圧を昇圧して第1の出力電圧を出力する第1の電源回路と、
 前記入力電源に接続した主スイッチ回路を介した前記入力電圧から第2の出力電圧を出力
 する第2の電源回路とを備え、

前記第2の電源回路の主スイッチ回路は、制御端子を低電位側に引かれることでオン状
 態となる第1のスイッチ素子と、制御端子を高電位側に引かれることでオン状態となる第
 2のスイッチ素子との並列構成を有し、前記第2のスイッチ素子の制御端子への印加電圧
 源を前記第1の電源回路の第1の出力電圧とすることを特徴とする多出力電源装置。

【請求項 2】

前記第2の電源回路は、前記入力電圧を降圧して前記第2の出力電圧を出力する降圧コ
 ンバータであることを特徴とする請求項1記載の多出力電源装置。

【請求項 3】

前記第2の電源回路は、前記入力電圧を反転して前記第2の出力電圧を出力する反転コ
 ンバータであることを特徴とする請求項1記載の多出力電源装置。

【請求項 4】

前記主スイッチ回路を並列構成する前記第1のスイッチ素子はPMOSトランジスタで
 あり、前記第2のスイッチ素子はNMOSトランジスタであることを特徴とする請求項1
 ~3のいずれか1項に記載の多出力電源装置。

【請求項 5】

10

20

前記第 1 のスイッチ素子の最大入力電圧時におけるオン抵抗と、前記第 2 のスイッチ素子の最小入力電圧時におけるオン抵抗が、ほぼ等しくなるように前記第 1 , 第 2 のスイッチ素子のトランジスタサイズを設定したことを特徴とする請求項 4 記載の多出力電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、昇圧電源回路と、降圧電源回路または反転電源回路を含む多出力電源装置に関するものである。

【背景技術】

10

【0002】

近年、携帯機器として用いられる電子機器はバッテリーを電力源とし、このバッテリー電圧を機器内における各種電子回路への所望の電源電圧に変換するため、複数の電源回路からなる多出力電源装置が搭載されている。このバッテリー電圧は機器の動作時間を稼ぐため、より低電圧まで使用される傾向があり、例えば単三乾電池 2 セルの場合、初期入力電圧 3 . 4 V に対して下限入力電圧は 1 . 5 ~ 1 . 8 V といった入力仕様になる。一方、要望される電源電圧は多種多様であり、例えばデジタルスチルカメラの場合、レンズ駆動用の 5 V や DSP (Digital Signal Processor) 用の 1 . 2 V がある。電源装置において、5 V を生成するためには昇圧電源回路が、1 . 2 V を生成するためには降圧電源回路が必要になる。

20

【0003】

図 5 に従来の昇圧電源回路と降圧電源回路からなる多出力電源装置の回路構成を示す。図 5 に示すように、昇圧電源回路 10 は、入力電圧 V_i を供給する入力電源 1 に接続されたインダクタ 11、インダクタ 11 の他端に接続された NMOS トランジスタからなる主スイッチ 12、主スイッチ 12 の電圧を整流平滑するダイオード 13 と出力コンデンサ 14 から構成される。

【0004】

主スイッチ 12 のスイッチング動作によってインダクタ 11 へのエネルギーの蓄積と放出が繰り返され、主スイッチ 12 のオフ時においてインダクタ 11 からダイオード 13 を介して出力コンデンサ 14 を充電する電流が流れる。主スイッチ 12 の 1 スwitching 周期に占めるオン時間の割合をデューティ比 δ_1 とし、ダイオード 13 の順方向電圧降下等を無視すると、昇圧電源回路 10 の第 1 の出力電圧 V_{o1} は、(数 1)

30

【0005】

【数 1】

$$V_{o1} = \frac{V_i}{(1 - \delta_1)}$$

で表される。

【0006】

図 5 において、降圧電源回路 60 は、入力電圧 V_i を供給する入力電源 1 に接続された PMOS トランジスタからなる主スイッチ 61、主スイッチ 61 の他端に接続されたダイオード 22、主スイッチ 61 とダイオード 22 の接続点電圧を平滑するインダクタ 23 と出力コンデンサ 24 から構成される。

40

【0007】

主スイッチ 61 のスイッチング動作によってインダクタ 23 へのエネルギーの蓄積と放出が繰り返され、インダクタ 23 を介して出力コンデンサ 24 を充電する電流が流れる。主スイッチ 61 の 1 スwitching 周期に占めるオン時間の割合をデューティ比 δ_2 とし、ダイオード 22 の順方向電圧降下等を無視すると、降圧電源回路 60 の第 2 の出力電圧 V_{o2} は、(数 2)

【0008】

50

【数 2】

$$V_{o2} = V_i \times \delta^2$$

で表される。

【0009】

一般にNMOSトランジスタに比べてPMOSトランジスタは、同じ形状であればオン電圧が高くなるなど特性が悪化する。このため入力電圧 V_i が上述のように1.5～1.8Vと低くなると、降圧電源回路60では主スイッチ61のオン電圧が高くなり、出力供給不足が発生する。そこで、降圧電源回路60の主スイッチ61をNMOSトランジスタで構成する場合がある。

10

【0010】

図6は、特許文献1に開示されている降圧電源回路の回路構成図である。図6に示すように、降圧電源回路70は、入力電圧 V_i を供給する入力電源1に接続されたNMOSトランジスタからなる主スイッチ71、ダイオード22、インダクタ23と出力コンデンサ24からなり、さらに入力電源1に並列に直列接続された昇圧インダクタ72とNMOSトランジスタからなる昇圧スイッチ73と、昇圧インダクタ72と昇圧スイッチ73の接続点電圧を整流するダイオード74と、ダイオード74のカソードとダイオード22のカソードの間に接続されたゲート電源コンデンサ75と、入力電源1からゲート電源コンデンサ75に接続されたダイオード76と、主スイッチ71と昇圧スイッチ73をオンオフする制御部77とから構成される。

20

【0011】

制御部77は、入力電圧 V_i が所定値より低い時、または主スイッチ71がデューティ比100%でオン状態にある時、昇圧スイッチ73をスイッチングする。このことにより、昇圧スイッチ73のオフ時に昇圧インダクタ72はダイオード74を介してゲート電源コンデンサ75を充電し、主スイッチ71をオンできるゲート用電源を得る。昇圧インダクタ72、昇圧スイッチ73とダイオード74は、ゲート用電源を得るための昇圧コンバータを構成している。

【0012】

次に、入力電圧 V_i が所定値を上回り、かつ主スイッチ71がスイッチングしている時、制御部77は昇圧スイッチ73の駆動を停止する。このことにより、主スイッチ71がオフ時にダイオード76の導通によって、ゲート電源コンデンサ75はダイオード76を介して入力電圧 V_i により充電され、主スイッチ71をオンできるゲート用電源を得る。このようなダイオード76とゲート電源コンデンサ75の構成をブートストラップ回路という。以上のように、主スイッチ71にNMOSトランジスタを用いた降圧電源回路70のゲート用電源電圧が、昇圧コンバータやブートストラップ回路により確保される。

30

【特許文献1】特開平7-222439号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

前述したような、単に昇圧電源回路と降圧電源回路からなる従来の多出力電源装置では、降圧電源回路の主スイッチにPMOSトランジスタが用いられていると、入力電圧が低い場合、降圧電源回路では主スイッチのオン電圧が高くなり、出力供給不足が発生するという問題がある。これの対策として図6に示したように、降圧電源回路の主スイッチにNMOSトランジスタを用いて、NMOSトランジスタを駆動するためのゲート用電源を昇圧コンバータやブートストラップで生成する方法がある。しかしながら、ブートストラップ回路で生成されるゲート用電源は入力電圧であるため、降圧電源回路の主スイッチのゲートには入力電圧の2倍の電圧が印加されることになり、高入力時に耐圧を越える危険性があるという問題がある。

40

【0014】

本発明は、前記従来技術の問題を解決することに指向するものであり、低入力から高入

50

力までの広範な入力範囲で降圧電源回路等の主スイッチのオン電圧を低減した高効率な多出力電源装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

前記の目的を達成するために、本発明に係る請求項1に記載した発明は、入力電源から供給の入力電圧を昇圧して第1の出力電圧を出力する第1の電源回路と、入力電源に接続した主スイッチ回路を介した入力電圧から第2の出力電圧を出力する第2の電源回路とを備え、第2の電源回路の主スイッチ回路は、制御端子を低電位側に引かれることでオン状態となる第1のスイッチ素子と、制御端子を高電位側に引かれることでオン状態となる第2のスイッチ素子との並列構成を有し、第2のスイッチ素子の制御端子への印加電圧源を第1の電源回路の第1の出力電圧とすることによって、入力電圧が高入力時には第1のスイッチ素子がオン電圧を低減し、低入力時には第2のスイッチ素子がオン電圧を低減するので、全入力電圧範囲で高効率に第2の電源回路を動作できる。

10

【0016】

また、請求項2, 3に記載した発明は、請求項1の多出力電源装置であって、第2の電源回路は、入力電圧を降圧して第2の出力電圧を出力する降圧コンバータであること、または、第2の電源回路は、入力電圧を反転して第2の出力電圧を出力する反転コンバータであることを特徴とする。

【0017】

また、請求項4, 5に記載した発明は、請求項1～3の多出力電源装置であって、主スイッチ回路を並列構成する第1のスイッチ素子はPMOSトランジスタであり、第2のスイッチ素子はNMOSトランジスタであること、さらに、第1のスイッチ素子の最大入力電圧時におけるオン抵抗と、第2のスイッチ素子の最小入力電圧時におけるオン抵抗が、ほぼ等しくなるように第1, 第2のスイッチ素子のトランジスタサイズを設定したことによって、第1, 第2のスイッチ素子の並列オン抵抗の入力電圧による変動を抑制することができる。

20

【発明の効果】

【0018】

本発明によれば、昇圧電源回路を含む多出力電源装置において、広範な入力電圧範囲で高効率な動作をする降圧電源回路や反転電源回路を構成できるという効果を奏する。

30

【発明を実施するための最良の形態】

【0019】

以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0020】

(実施形態1)

図1は本発明の実施形態1に係る多出力電源装置を示す回路構成図である。ここで、前記従来例を示す図5において説明した構成部材に対応し同等の機能を有するものには同一の符号を付して示す。

【0021】

図1に示すように、1はバッテリーなどの入力電源であり、入力電圧 V_i を供給する。10は第1の電源回路である昇圧電源回路であり、入力電圧 V_i を昇圧して第1の出力電圧 V_{o1} を出力する。昇圧電源回路10は、入力電圧 V_i を供給する入力電源1に接続されたインダクタ11、インダクタ11の他端に接続されたNMOSトランジスタからなる主スイッチ12、主スイッチ12の電圧を整流平滑するダイオード13と出力コンデンサ14、第1の出力電圧 V_{o1} を目標値に制御するように主スイッチ12をオンオフ制御する第1の制御回路15から構成される。

40

【0022】

主スイッチ12のスイッチング動作によってインダクタ11へのエネルギーの蓄積と放出が繰り返され、主スイッチ12のオフ時においてインダクタ11からダイオード13を介して出力コンデンサ14を充電する電流が流れる。主スイッチ12の1スイッチング周

50

期に占めるオン時間の割合をデューティ比 $\delta 1$ とし、ダイオード13の順方向電圧降下等
を無視すると、昇圧電源回路10の出力電圧 V_{o1} は、(数3)

【0023】

【数3】

$$V_{o1} = \frac{V_i}{(1 - \delta 1)}$$

で表される。第1の制御回路15は、第1の出力電圧 V_{o1} を目標値に制御するようにデ
ューティ比 $\delta 1$ を調整する。

【0024】

10

また、図1において、20は第2の電源回路である降圧電源回路であり、入力電圧 V_i
を降圧して第2の出力電圧 V_{o2} を出力する。降圧電源回路20は、入力電源1に
入力端が接続された主スイッチ回路21、主スイッチ回路21の出力端に接続され
たダイオード22、主スイッチ回路21の出力端とダイオード22の接続点電圧を
平滑するインダクタ23と出力コンデンサ24、第2の出力電圧 V_{o2} を目標値に
制御するように主スイッチ回路21をオンオフ制御する第2の制御回路25から
構成される。

【0025】

ここで、主スイッチ回路21は、PMOSトランジスタである第1のスイッチ素子26
とNMOSトランジスタである第2のスイッチ素子27との並列構成を有し、第2
の制御回路25が出力する駆動信号に従って第1のスイッチ素子26をオンオフ
する第1の駆動回路28と、インバータ29を介した駆動信号の反転信号に従
って第2のスイッチ素子27をオンオフする第2の駆動回路30から構成される。
第1の駆動回路28は入力電圧 V_i を電源とし、第2の駆動回路30は第1の出力
電圧 V_{o1} を電源とする。すなわち、第2のスイッチ素子27のゲート用電源
として第1の出力電圧 V_{o1} を供給する。

20

【0026】

図2は第1の駆動回路28と第2の駆動回路30の構成を示した主スイッチ回路21
の回路構成図である。第1の駆動回路28は、第2の制御回路25の出力が「H」
レベルであると、PMOSトランジスタ31がオフ、NMOSトランジスタ32が
オンして第1のスイッチ素子26をオンし、第2の制御回路25の出力が「L」
レベルであると、PMOSトランジスタ31がオン、NMOSトランジスタ32が
オフして第1のスイッチ素子26をオフする。

30

【0027】

また、第2の駆動回路30は、第2の制御回路25の出力が「H」レベルである
と、インバータ29を介して「L」レベルを入力され、PMOSトランジスタ33
がオン、NMOSトランジスタ34がオフして第2のスイッチ素子27をオンし、
第2の制御回路25の出力が「L」レベルであると、インバータ29を介して
「H」レベルを入力され、PMOSトランジスタ33がオフ、NMOSトランジ
スタ34がオンして第2のスイッチ素子27をオフする。

【0028】

以上のように構成された本実施形態1に係る多出力電源装置の第2の電源
回路(降圧電源回路20)の動作を以下に説明する。

40

【0029】

第2の電源回路である降圧電源回路20の基本的な動作は従来例で説明した
通りである。すなわち、主スイッチ回路21の入出力端が開閉するスイッチ
ング動作によってインダクタ23へのエネルギーの蓄積と放出が繰り返され、
主スイッチ回路21のオフ期間中にインダクタ23を介して出力コンデンサ24
を充電する電流が流れる。主スイッチ回路21の1スイッチング周期に占め
るオン時間の割合をデューティ比 $\delta 2$ とし、ダイオード22の順方向電圧
降下等は無視すると、降圧電源回路20の第2の出力電圧 V_{o2} は、(数4)

【0030】

50

【数 4】

$$V_{o2} = V_i \times \delta^2$$

で表される。

【0031】

まず、入力電圧 V_i が低い時、PMOSトランジスタである第1のスイッチ素子26のオン抵抗は、ゲート電圧が不足するため大きくなる。しかし、NMOSトランジスタである第2のスイッチ素子27は、オン時において、第1の出力電圧 V_{o1} からゲート電圧を供給され、そのゲート - ソース間電圧には、第1の出力電圧 V_{o1} と入力電圧 V_i との差電圧 ($V_{o1} - V_i$) が印加される。このため入力電圧 V_i が低いほど高いゲート - ソース間電圧が得られて小さなオン抵抗となり、主スイッチ回路21は低いオン電圧でスイッチング動作することができる。

10

【0032】

次に、入力電圧 V_i が高い時、NMOSトランジスタである第2のスイッチ素子27は、ゲート - ソース間電圧 ($V_{o1} - V_i$) が低くなるのでオン抵抗が大きくなる。しかし、PMOSトランジスタである第1のスイッチ素子26のオン抵抗は、そのソース - ゲート間電圧に入力電圧 V_i が印加されるため小さくなり、主スイッチ回路21は低いオン電圧でスイッチング動作することができる。

【0033】

以上のように本実施形態1の多出力電源装置の第2の電源回路である降圧電源回路20は、入力電圧 V_i の高低にかかわらず、主スイッチ回路21が低いオン電圧でスイッチング動作することができる。しかも主スイッチ回路21を構成する第2のスイッチ素子27へのゲート用電源電圧は、第1の電源回路である昇圧電源回路10によって安定化制御された第1の出力電圧 V_{o1} であり、耐圧を越える危険性はない。

20

【0034】

なお、図3に第1のスイッチ素子26のオン抵抗 R_{on26} と、第2のスイッチ素子27のオン抵抗 R_{on27} と、オン抵抗 R_{on26} とオン抵抗 R_{on27} の並列抵抗 ($R_{on26} // R_{on27}$) が入力電圧 V_i によって変化する様子を示す。PMOSトランジスタである第1のスイッチ素子26のオン抵抗は、ソース - ゲート間電圧が入力電圧 V_i であるので、入力電圧 V_i が低いほどオン抵抗は大きくなる。一方、NMOSトランジスタである第2のスイッチ素子27は、ゲート - ソース間電圧が第1の出力電圧 V_{o1} と入力電圧 V_i との差電圧 ($V_{o1} - V_i$) であるので、入力電圧 V_i が高いほどオン抵抗は大きくなる。この両者の並列抵抗が主スイッチ回路21のオン抵抗となる。主スイッチ回路21のオン抵抗が入力電圧 V_i による変動の少ない安定な抵抗値を示すには、入力電圧 V_i の最小時における第2のスイッチ素子27のオン抵抗 R_{on27} と、入力電圧 V_i の最大時における第1のスイッチ素子26のオン抵抗 R_{on26} が、ほぼ等しくなるように各スイッチのトランジスタサイズを設定すればよい。

30

【0035】

(実施形態2)

図4は本発明の実施形態2に係る多出力電源装置の回路構成図であり、前述の実施形態1における降圧電源回路20として構成した第2の電源回路を第3の電源回路(反転電源回路40)で構成したものである。図4に示すように、第3の電源回路の反転電源回路40は、入力電圧 V_i を反転昇降圧して第3の出力電圧 V_{o3} を出力する。

40

【0036】

反転電源回路40は、入力電源1に入力端が接続された主スイッチ回路41、主スイッチ回路41の出力端に接続されたインダクタ42、主スイッチ回路41の出力端とインダクタ42の接続点にカソードが接続されたダイオード43、ダイオード43のアノードに接続されて平滑する出力コンデンサ44、第3の出力電圧 V_{o3} を目標値に制御するように主スイッチ回路41をオンオフ制御する第3の制御回路45から構成される。

【0037】

50

ここで、主スイッチ回路４１は、PMOSトランジスタである第１のスイッチ素子４６とNMOSトランジスタである第２のスイッチ素子４７との並列構成を有し、第３の制御回路４５が出力する駆動信号に従って第１のスイッチ素子４６をオンオフする第１の駆動回路４８と、インバータ４９を介して駆動信号の反転信号に従って第２のスイッチ素子４７をオンオフする第２の駆動回路５０から構成される。第１の駆動回路４８は入力電圧 V_i を電源とし、第２の駆動回路５０は第１の出力電圧 V_{o1} を電源とする。すなわち、第２のスイッチ素子４７のゲート用電源として第１の出力電圧 V_{o1} を供給する。

【００３８】

主スイッチ回路４１の入出力端が開閉するスイッチング動作によってインダクタ４２へのエネルギーの蓄積と放出が繰り返され、主スイッチ回路４１のオフ期間中にインダクタ４２を介して出力コンデンサ４４を充電する電流が流れる。主スイッチ回路４１の１スイッチング周期に占めるオン時間の割合をデューティ比 δ_3 とし、ダイオード４３の順方向電圧降下等を無視すると、反転電源回路４０の第３の出力電圧 V_{o3} は、（数５）

【００３９】

【数５】

$$V_{o3} = -\frac{V_i \times \delta_3}{(1 - \delta_3)}$$

で表される。

【００４０】

主スイッチ回路４１の構成は前述の実施形態１の主スイッチ回路２１の構成と同様であり、その動作も同様である。すなわち、入力電圧 V_i が低い時、第１のスイッチ素子４６のオン抵抗は大きくなるが、NMOSトランジスタである第２のスイッチ素子４７は、そのゲート－ソース間電圧に第１の出力電圧 V_{o1} と入力電圧 V_i との差電圧（ $V_{o1} - V_i$ ）が印加されるので、入力電圧 V_i が低いほど小さなオン抵抗となる。

【００４１】

次に、入力電圧 V_i が高い時、第２のスイッチ素子４７はオン抵抗が大きくなるが、PMOSトランジスタである第１のスイッチ素子４６のオン抵抗は小さくなる。結果、主スイッチ回路４１は入力電圧 V_i の高低にかかわらず、低いオン電圧でスイッチング動作することができる。しかも主スイッチ回路４１を構成する第２のスイッチ素子４７へのゲート用電源電圧は、第１の電源回路である昇圧電源回路１０によって安定化制御された第１の出力電圧 V_{o1} であり、耐圧を越える危険性はない。

【産業上の利用可能性】

【００４２】

本発明に係る多出力電源装置は、昇圧電源回路を含む多出力電源装置において、広範な入力電圧範囲で高効率な動作をする降圧電源回路や反転電源回路を構成でき、多出力電源として有用である。

【図面の簡単な説明】

【００４３】

【図１】本発明の実施形態１における多出力電源装置を示す回路構成図

【図２】本実施形態１における主スイッチ回路を示す回路構成図

【図３】本実施形態１における第１，第２のスイッチ素子の各オン抵抗と、このオン抵抗の並列抵抗が入力電圧 V_i により変化する様子を示す図

【図４】本発明の実施形態２における多出力電源装置を示す回路構成図

【図５】従来の昇圧電源回路と降圧電源回路からなる多出力電源装置を示す回路構成図

【図６】従来の降圧電源回路を示す回路構成図

【符号の説明】

【００４４】

１ 入力電源

１０ 昇圧電源回路

10

20

30

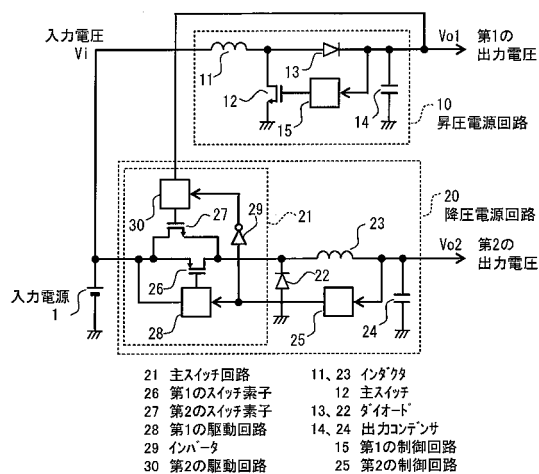
40

50

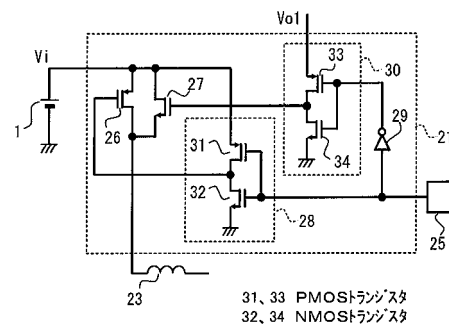
- 1 1 , 2 3 , 4 2 インダクタ
 1 2 , 6 1 , 7 1 主スイッチ
 1 3 , 2 2 , 4 3 , 7 4 , 7 6 ダイオード
 1 4 , 2 4 , 4 4 出力コンデンサ
 1 5 第 1 の制御回路
 2 1 主スイッチ回路
 2 5 第 2 の制御回路
 2 6 , 4 6 第 1 のスイッチ素子
 2 7 , 4 7 第 2 のスイッチ素子
 2 8 , 4 8 第 1 の駆動回路
 2 9 , 4 9 インバータ
 3 0 , 5 0 第 2 の駆動回路
 4 5 第 3 の制御回路
 6 0 , 7 0 降圧電源回路
 7 2 昇圧インダクタ
 7 3 昇圧スイッチ
 7 5 ゲート電源コンデンサ
 7 7 制御部

10

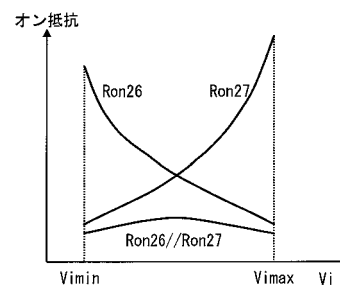
【図 1】



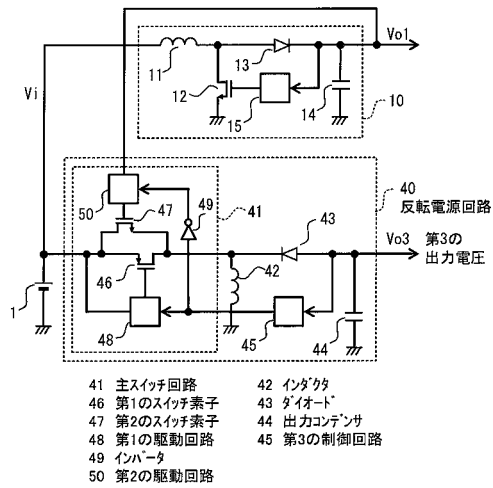
【図 2】



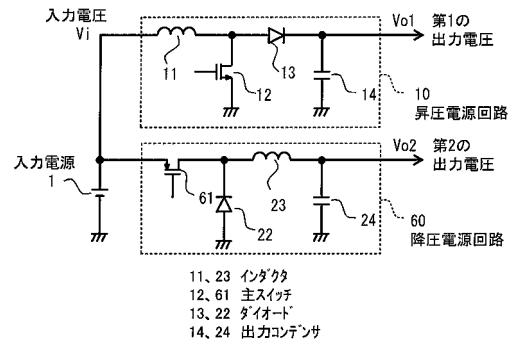
【図 3】



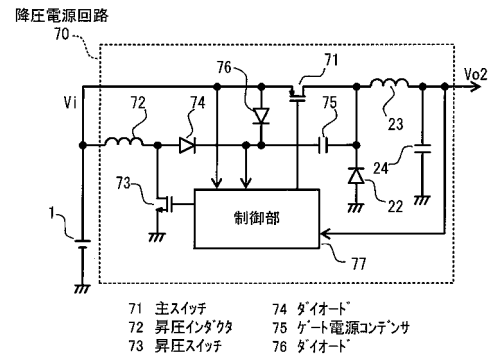
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 元森 幹夫

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 牧 初

(56)参考文献 特開平 4 - 7 6 4 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 3 / 0 0 - 3 / 4 4