



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0114942
(43) 공개일자 2010년10월26일

(51) Int. Cl.

G06F 13/00 (2006.01) H03K 19/173 (2006.01)

(21) 출원번호 10-2010-7021718(분할)

(22) 출원일자(국제출원일자) 2003년05월12일

심사청구일자 없음

(62) 원출원 특허 10-2004-7018347

원출원일자(국제출원일자) 2003년05월12일

심사청구일자 2008년05월07일

(85) 번역문제출일자 2010년09월29일

(86) 국제출원번호 PCT/US2003/014847

(87) 국제공개번호 WO 2003/096537

국제공개일자 2003년11월20일

(30) 우선권주장

60/379,999 2002년05월13일 미국(US)

(71) 출원인

페어차일드 세미컨덕터 코포레이션

미국 메인 04106 사우스 포틀랜드 러닝 힐 로드 82

(72) 발명자

포올러, 마이클, 엘.

미국 04072 메인주 사코 비너스 로드 29

(74) 대리인

주성민, 백만기, 이중희

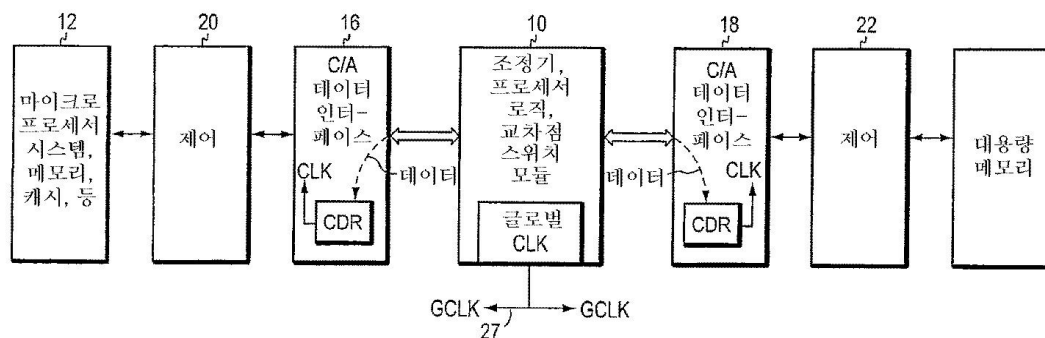
전체 청구항 수 : 총 1 항

(54) 직렬화기 및 비직렬화기 기능을 갖는 교차점 스위치

(57) 요약

3개 이상의 포트를 갖는 프로그램가능 스위치(10)에서, 각 포트는 제어 및 어드레싱을 공유하는 선들로부터 분리된 데이터 선을 포함한다. 프로그램가능 스위치(10)는, 제어 및 어드레스 신호를 수용하고 비직렬화하는 내부 로직 제어(20, 22) 및 전자 모듈(12, 14)을 포함한다. 로직 제어(20, 22)는 데이터 인 신호를 하나 이상의 출력 데이터 선으로 보낸다. 데이터, 및 제어 및 어드레스 선들이 분리되기 때문에, 데이터와 동시에 제어가 행해져서, 데이터를 적절히 보낼 수 있다. 송신부는, 데이터 일관성 및 적절한 타이밍을 보장하기 위해서 이러한 동작들을 동기화해야만 한다. 임의의 입력으로부터 임의의 또는 전체의 출력들로의 데이터 신호 경로는 일반적으로 단일의 로직 게이트 또는 온 트랜지스터 스위치 지연만을 갖도록 설계된다.

대표도



특허청구의 범위

청구항 1

프로그램가능 스위치.

명세서

기술분야

[0001] 본 발명은 스위치의 제어에 관한 것으로서, 보다 구체적으로 다중 포트 교차점 스위치의 제어에 관한 것이다.

배경기술

[0002] 다중 포트 스위치 또는 교차점 스위치는 현대 통신 시스템에서 그 수가 증가하고 있으며, 이는 인터넷에서 급격히 증가하는 전화, 데이터, 오디오, 및 비디오 네트워크에서 및 빌딩, 연구실, 및 사무실에서의 더 작은 네트워크에서의 전기적 및 광학적 장치를 포함한다.

[0003] 더 빠르고, 보다 유동적이며, 적응성이 좋고 스케일 조정가능한 스위치에 대한 요구는 발전되는 기술에서의 표준이다.

[0004] 교차점 스위치와 관련된 다양한 특허가 있으며, 이 중 하나는 1999년 11월 9일 발행된 Hauser 등의 미국 특허 번호 제5,983,260호이고, 이 특허는 본 명세서에서 참조로서 통합된다. 이 특허는 셀 프로세싱, 즉, 원(raw) 데이터 또는 포괄(generic) 데이터에 대해서가 아닌, 패킷 또는 포맷화된 프레임에 대해 설계된 시스템 레벨 스위치를 개시한다. 이 특허는 일반적인 어드레싱 및 제어 기술을 개시하지 않고, 따라서 다음에 기술되는 공지된 구성에 따른다. 이 특허는 본 분야에서 대표적인 특허이다.

[0005] 교차점 스위치의 제어의 공지된 방법은 일반적으로 2개의 카테고리로 분류된다. 첫째는, 도 1에 도시된 바와 같이, 스위치의 제어 및 어드레싱을 갖는 복합 데이터이다. 도 2는 제어, 어드레싱 및 데이터 사이의 시간 공유를 도시한다. 즉, 예를 들어, 4개 포트 스위치가 있다면, 각 포트는 데이터에 의해 수행되는 어드레스 및 제어를 전달할 단일선 또는 선 세트를 가질 것이다. 이 시스템에서는, 어드레스 및 제어가 수신되어 비직렬화되고, 해석된다. 그 다음 데이터는 지정된 출력 포트에 스위칭되고, 이 데이터는 제어 및 어드레스 정보에 따라 보내진다. 이러한 시스템에서는, 어드레스 및 제어가 데이터로부터 구별되도록 하는 공지된 프로토콜, 및 데이터가 종료되었을 때를 결정하는 일부 수단이 있어야만 한다. 이러한 패킷화 및 포맷화 기술 또는 프로토콜은, 예를 들어 이더넷, TCP/IP, FTP, 및 본 분야에서 공지된 다른 많은 수단들을 사용하여 본 분야에서 공지되어 있다.

[0006] 상술한 첫번째 제어 유형의 제한점은, 어드레스 및 제어 정보를 비직렬화하여, 비직렬화기/재직렬화기 경로를 통해 데이터를 나오게 할 필요성에 의해 야기되는 레이턴시이다. 예를 들어, 2개의 채널이 서로 다른 클럭율로 실행된다면, 데이터는 비직렬화되어야만 하고, 그 다음 서로 다른 클럭율로 직렬화된다. 이러한 동작은 소위 레이턴시라는 고유한 지연을 포함한다.

[0007] 이러한 형태의 스위칭의 다른 결점들은 병목(bottleneck) 및/또는 기억 장치 요구를 포함한다. 예를 들어, 패킷화된 교차점 스위치는, 현재 송신되는 패킷이 프로세스되어야만 하고, 출력 포트가 사용가능한지 아닌지를 결정해야만 한다는 제한점을 갖는다. 출력 포트가 사용가능하지 않은 경우에, 패킷은 송신될 수 없고, 완전한 경로는 출력 경로의 오프닝을 대기해야만 하고, 패킷은 저장되어야만 한다.

[0008] 또 다른 공지된 스위치 제어 구성은 교차점 스위치의 프로그래밍 입력 경로를 사용하여, 모든 포트들을 프로그래밍하는 것을 포함한다. 이는 모든 포트를 셋업되게 하여 데이터가 보내는 대로 가도록 한다. 도 3은 이러한 구성을 나타낸다.

[0009] 이러한 제어 구성의 두번째 유형의 제한점은, 교차점 스위치를 통해 데이터를 송신하거나 수신하려고 하는 다수의 I/O 보드 중의 하나로부터 접속을 분리할 필요가 있다는 것이다. 이러한 유형의 시스템은 보통 공유된 백플레인(backplane) 버스를 요구하고, 이들은 교차점 스위치를 어드레스하고 셋업할 수 있다. 이 단일의 프로그래밍 입력 경로에는 또한 병목이 나타날 수 있고, 이는 교차점 스위치가 하나의 구성에 대해 프로그래밍되고, 그 다음에 다른 구성에 대해 재프로그래밍되는 속도를 제한한다. 비교적으로, 제1 유형의 제어는 추가의 입력을 요구

하지 않고 데이터를 전송하는 동일한 입/출력 선을 통해 이루어진다.

발명의 내용

해결하려는 과제

[0010] 스위치 셋업 및 데이터 처리 레이턴시를 개선해야 하는 필요성이 존재한다.

과제의 해결 수단

[0011] 상술한 배경 설명의 측면에서, 본 발명은 "교차점 타입 스위치"의 각 포트에 대해 데이터로부터 개별적으로 제어/어드레스를 양방향으로 서로 교환하는 것을 제공한다. 본 명세서에서는 이렇게 각 포트에 대해 제어 및 어드레싱으로부터 데이터를 분리한 후의 구조를 "팩터된 구조(factored architecture)"라고 한다. 분리 데이터 및 제어/어드레싱 선은 모든 포트들 사이의 정보 교환을 제공하고, 다음의 장점을 가져온다.

발명의 효과

[0012] 다중 데이터 전송 요구는 오픈 출력 포트에 상응하는 요구를 검색하는 것과 동시에 평가될 수 있다.

[0013] 데이터 선들은 분리되기 때문에, 제어/어드레스에 사용되는 데이터 선상의 대역폭은 없다.

[0014] 데이터 전송 요구는 전송될 이전 요구로부터 데이터와 함께 평가될 수 있기 때문에 셋업 레이턴시는 없다.

[0015] 즉, 데이터가 전송되는 동안에, 후속하는 전송에 대한 셋업 정보가 송신될 수 있고, 이전 데이터 전송이 완료될 때 새로운 셋업이 즉시 이루어지도록 대기한다.

[0016] 데이터 전송 레이턴시는, 스위칭과 관련된 제어 및 어드레스 정보가 스위치에서 프로세스되기 때문에 최소화될 수 있다. 따라서, 데이터는 출력 포트 또는 포트들로 바로 보내질 수 있고, 비직렬화 또는 래칭(latching)을 통하지 않을 수 있어, 프로세싱 지연이 없다. 바람직한 실시예에서, 클럭 속도가 2 megahz 이상인 고속 클럭일 때, 래칭은 데이터 인(data in)과 데이터 아웃(data out) 선들 사이에서 사용될 수 있다. 그러나, 이러한 경우에서도 보통 10 내지 20의 약간의 클럭 주기 동안만 지연해야 할 필요가 있을 것이다.

[0017] 양호한 실시예에서, 전송 지연을 약간의 비트 타임보다 더 작게 줄이기 위해서 글로벌 클럭이 구현될 수 있다. 이러한 글로벌 클럭을 사용하는 구조에서 요구되는 유일한 조정은, 물리적 시스템의 직렬화기에서의 전송 클럭과 비직렬화기에서의 수신 클럭 사이의 위상 지연을 하여하여 교차점 스위치를 통해 데이터를 송신하고 수신하는 것이다. 클럭 경계는 교차되지 않는다. 이러한 양호한 실시예에서, 새로운 교차점 스위치는 입력 데이터 비트를 출력 포트에 클럭킹없이 바로 보낸다.

[0018] 스위치된 시스템 전체에서 최적의 성능이 최소의 셋업 및 데이터 레이턴시를 허용한다.

[0019] 각 포트에 대한 분리 데이터 및 제어/어드레스 선들의 조합은, ((다른 마이크로프로세서와 같은) 다른 시스템 소자의 주의를 끄는) 도어벨링(doorbelling), 메시지 전달, 판독 요구, 멀티캐스트/브로드캐스트 동작들(다양한 시스템에서의 일반적인 동작들, 예로서 서버들일 수 있음)의 최적화를 가능하게 한다. 일반적인 (고속의) 데이터 전송 요구와는 매우 다른, 이러한 통상적이지 않은 통신 타입의 커맨드는 최소한의 대역폭을 소비하는 채널, 즉, 제어/어드레스 채널로 할당될 수 있다. 예를 들어, 이러한 커맨드는 제어/어드레싱 선을 통해 프로그램되고, 지정된 액션 또는 액션들을 수행하도록 스위치에서 디코딩될 수 있다.

[0020] 본 발명의 또 다른 장점은, 제어 및 어드레스 선들에 따라 라우트되는 패킷화된 데이터가 종종, 새로운 교차점 스위치에 대해 보이지 않는 내장된 프로토콜을 포함할 수 있을 것이다. 따라서, TCP/IP, FTP, 이더넷 및 임의의 다른 유형의 더 높은 인터넷 프레이밍 정보들은 정확히 데이터를 따라서 전달될 것이다. 유사하게, 제어 또는 어드레스가 말단 사용자에게서 요구되면, 새로운 교차점 스위치로부터 구별되는 바와 같이, 이들은 데이터 또는 제어 선들을 통해 송신되고, 말단 사용자에게서 디코딩될 수 있다.

[0021] 본 발명은, 데이터와 병렬로 송신되는 제어 및 어드레싱 및 데이터와 동시에 송신될 수 있는 다중 요구에 대해 제공되고, 데이터는 최대 데이터 처리량에 대해 효과적으로 "파이프라인(pipeline)"된다. 본 명세서에서, "파이프라인"은 뒤이어서 연속적으로 송신되는 데이터를 나타낸다. 또한, 멀티캐스트 및 브로드캐스트는 바로 이루어지고, 새로운 교차점 스위치를 통한 입/출력 채널은 서로에 대해 고정되거나 잠겨져서, 예를 들어, 레이턴

시를 다시 훨씬 더 줄이는 동안, 우선순위 전송들을 처리한다.

[0022] 본 발명의 또 다른 장점은 진행중인 내부 교차점 스위치의 내부 접속을 변경할 수 있다는 것이다. 즉, 제어 및 어드레스 선들은 데이터와 동시에 변경될 수 있다. 이러한 경우에, 제어/어드레싱 및 데이터 워드의 동기화는 데이터의 일관성을 유지하는 송신 시스템에 의해 처리될 수 있다.

[0023] 양호한 실시예에서는 적어도 3개의 포트가 존재할 수 있지만, 다른 양호한 실시예에서는 백플레인 및 하드웨어 (핀 아웃)가 수용할 수 있는 만큼 많은 포트가 존재할 수 있다. 100개 또는 그 이상의 포트가 본 발명에서 구현될 수 있다.

[0024] 다음의 예시적 실시예들이 양호한 실시예, 도면, 및 사용법으로 구성된 것을 참조하여 기술되지만, 본 발명이 이러한 실시예들 및 사용법으로 한정되지 않는다는 점은 본 기술분야의 당업자들에 의해 이해될 것이다. 오히려, 본 발명은 광범위한 것으로, 앞으로 첨부될 청구항에 의해서만 정의되어야 한다.

도면의 간단한 설명

[0025] 다음에 기술되는 본 발명은 첨부 도면을 참조한다.

도 1은 종래의 교차점 스위치의 블록도.

도 2는 제어 및 데이터의 종래의 포맷의 패킷도.

도 3은 모든 4개의 스위치의 어드레스 및 제어에 대한 단일의 입력을 도시하는 종래의 4개 포트의 교차점 스위치의 블록도.

도 4는 본 발명의 새로운 교차점 스위치 모듈의 실시예를 도시하는 도면.

도 5는 제어 및 어드레스 선들과 분리 데이터 선들의 포맷을 도시하는 도면.

도 6은 본 발명의 새로운 교차점 스위치 모듈과 결합된 다중-소자 시스템의 블록도.

도 7은 다수의 다른 시스템 기능들과 상호접속된 새로운 교차점 스위치 모듈의 블록도.

도 8은 단일 데이터 신호의 경로를 나타내는 개략도.

도 9는 새로운 스위치 모듈내의 로직을 도시하는 개략적 회로도.

도 10은 제어 및 어드레스(C/A) 선들을 통해 교환되는 정보 유형의 예를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 도 4는 4개의 입/출력 포트를 갖는 교차점 스위치 모듈(10)을 도시한다. 예를 들어, 포트 B에서는 데이터 및 유틸리티를 처리하는 입력 신호선과, 제어 및 어드레싱을 처리하는 분리 입력 선이 도시된다. 도 4에 도시된 바와 같이, 단일의 포트에 대한 접속은 C/A 및 데이터 입출력 접속을 포함한다. 본 명세서에서, IDLES는 일 실시예에서, 필러(filler) 또는 타이밍 신호가 교차점 스위치 모듈내에서 클럭킹을 유지만 하도록 송신되는 것과 같이, 송신될 데이터가 준비되지 않을 때 정의된다. 이 실시예에서, 클럭킹은 데이터(IDLES 포함)의 연속적 스트림으로부터 얻어져서, 분리 클럭 선이 제공되지 않는다. 교차점 스위치는 IDLES 또는 데이터 에지(edge) 전환으로부터 클럭을 발생시킨다. 일 실시예에서, 내용과는 무관한 데이터, 또는 IDLES는 다음에서 기술되는 것과 같이 적절한 클럭킹을 보장할 에지 전환을 항상 제공한다. 이러한 기술은 본 분야에서 잘 공지되어 있다. 예를 들어, 위상 동기 루프는 주어진 데이터 선에서 진입하는 데이터에 기초한 클럭으로 고정될 수 있고, 주어진 데이터는 실제 데이터 또는 IDLE 신호의 스테디 스트림(steady stream)을 전달한다.

[0027] 도 4에서, 제어 및 어드레스(C/A), 및 데이터의 입출력은 단일 선으로 도시되지만, 서로 다른 쌍들 또는 다른 유사한 물리적 배선이 정보 비트를 연속으로 전송하는데 사용될 수 있다. 본 명세서에서 "교차점 스위치 모듈"이라는 구문은, 도 9와 관련하여 도시되고 기술되는 조정기 제어 로직, 프로세서를 추가하여, 실제 인/아웃 접속을 수행하는 하나 이상의 물리적 스위치 어레이(교차점 스위치)를 포함하는 "모듈"을 사용하는 것으로 "교차점 스위치"와 구별된다.

[0028] 본 발명의 또 다른 실시예에서, 제어 및 어드레스 선들은, 제어 및 어드레스 정보가 직렬로 수신되는 1개의 선을 포함한다. 그러나, 다른 실시예에서는, 적어도 일부 정보가 병렬 방식으로 전송되고, 일부는 직렬 방식으로 전송되는 여러개의 병렬 선들이 사용될 수 있다. 달성해야 하는 프로토콜들은 본 분야에서 잘 공지되어 있다.

분리 클럭 선 및 분리 부가 제어 선은 일부 양호한 실시예에서 포함될 수 있고, 다른 자기 클럭킹 시스템에서는 송신될 IDLES가 없는 것으로 나타날 수 있다.

[0029] 도 5는 정보를 교차점 스위치 모듈로 전달하고, 교차점 스위치 모듈로부터 전달되는 정보의 대표적 포맷 도표를 도시한다. 도 6은, 본 발명의 일 실시예를 통해 대량 메모리(14)와 통신하는 마이크로프로세서 시스템(12)의 예를 도시한다. C/A 및 데이터 선들은, 정보를 서로에게 송신하고 서로로부터 수신하는 모듈 또는 시스템(12 및 14)에서 시작되고 종료된다. 포트 B 및 포트 C내의 C/A 선들은, 교차점 스위치 모듈이 2개의 시스템들(12 및 14) 사이의 접속을 조정하도록 한다. 실제의 데이터 스트림은, 예를 들어, 로컬 대용량 메모리 어드레스가 데이터 워드에 포함될 수 있는 포매팅, 또는 데이터 워드에 있을 수 있는 인터넷 통신에서 일반적인 "5 또는 7 층" 포매팅을 이해하는 교차점 스위치 없이 이러한 말단 시스템의 특정 및 제한과 관련해서 포맷된다. 예를 들어, 데이터 경로상의 데이터는 프레임의 개시, 프레임 또는 패킷의 종료, 및 예를 들어, "데이터"로서 교차점 스위치에 송신되는 어드레스 및 제어 신호가 내장된 이더넷 패킷과 같은 특정 말단 시스템에 따른 에러 검사를 포함할 수 있다.

[0030] 도 6에 도시된 바와 같이, 각 포트는, C/A 및 데이터 신호를 송신하고 수신하기 위한 스위치 모듈의 요구, 요구된 직렬화 및 비직렬화, 버퍼링 및 클럭킹에 응하는 인터페이스(16 및 18)에 접속된다. 마이크로프로세서 및 대용량 메모리(14)를 포함하는 물리적 시스템, 이 경우에는 시스템(12)에 대한 로직 접속을 완료하는 제어 로직(20 및 22)이 필요하다. 이러한 두 시스템들 사이의 일반적인 정보 교환은 일부 저장된 정보에 대해 대용량 메모리를 요구하는 마이크로프로세서(12)를 포함할 수 있다. 마이크로프로세서는 포트 D의 C/A 선을 통해 교차점 스위치 모듈내의 (일반적으로 마이크로프로세서 기반의) 조정기(19)를 지시하여, 포트 D의 데이터 선을 대용량 메모리와 접속된 포트 B의 출력 데이터 선으로 보낸다. 포트 D 및 B의 데이터 신호는 대용량 메모리에 의해 수신되고, 이를 일부 어드레스된 블록의 시스템(12) 정보로 돌려 보내도록 한다. 관독 요구는 포트 B의 C/A 선을 통해 대용량 메모리로 보내질 것이지만, 로컬 대용량 메모리(14) 어드레스는, 이 경우에, 포트 B의 데이터 워드에 포함될 것이다. 다른 조직들은 다른 시스템에서 유용하게 사용될 수 있다.

[0031] 도 6은 공지된 전자 백플레인 상호접속 어셈블리에서 나타날 수 있는 상호접속을 도시한다. 백플레인, 백플레인에서 사용가능한 직렬 형식 및 병렬 형식으로 정보를 전달하는 입력, 출력, 제어 및 어드레스 접속들을 정의하는 복수의 전자 시스템에 접속될 수 있다. 프로그램가능한 스위치는 다수의 데이터, 제어, 및 어드레스 접속들의 입력 및 출력 둘 다에 접속되고, 임의의 또는 전체의 전자 시스템을 서로 상호접속하도록 구성될 수 있다. 백플레인, 오피레이팅, 캐시 및 대용량 기억 장치를 포함하는 마이크로프로세서 메모리, 프로세서, 디스플레이, 제어 패널, 프린터, 스캐너, 계측 전자기기, 및 통신 시스템을 포함하는 컴퓨터 시스템에 접속될 수 있다.

[0032] 본 실시예에서, 글로벌 클럭(21)은 스위치 모듈에서 생성되고, 마이크로프로세서 시스템 및 대용량 메모리(14)에 공급된다(23). 이러한 양호한 실시예에서, 글로벌 클럭은 데이터 선을 통해 클럭 및 데이터 복구(CDR; clock and data recovery) 회로(25)로 보내지고, 여기에서 로컬 클럭은 로컬 모듈에 의해 사용되도록 복구된다. 또 다른 실시예에서, 글로벌 클럭은 분리 핀(27)을 통해 다른 모듈로 보내진다. CDR 회로는 클럭을 동기화하기 위해서 보통 위상 동기 루프(PLL)를 포함한다.

[0033] 도 7은 다수의 서로 다른 시스템을 일대일 상호접속하는 다중포트의 교차점 스위치 모듈을 도시한다. 대형 시스템의 백플레인에서 말하는 이러한 상호접속의 수는, 사용가능한 공간 및 핀 아웃에 의해 제한된다. 교차점 스위치 모듈에 의해 상호접속되는 시스템들 중의 하나는 또 다른 새로운 교차점 스위치 모듈임을 주목한다.

[0034] 도 8은 본 발명의 장점을 간략하게 도시한다. 본 명세서에서 데이터 인 라인(30)은 다음에서 기술되는 바와 같이 수신되어, 상응하는 인에이블(EN1, 등) 신호가 참일때, MOSFET(트랜지스터)(34)를 통해 직접 밖으로 송신된다. 데이터 인 신호에서 데이터 아웃 신호로의 이행은 래치를 포함하지 않고, 이들의 사용시에 수반되는 선입선출 및 재클럭킹 지연이 없다. 따라서, 본 실시예에서는, 셋업 또는 로직 결정으로 인한 대량의 지연이 없다. CDR(35), 클럭/데이터 복구 로직(33)은 데이터 인 또는 IDLE 신호를 수신하고, 교차점 스위치 전자기기에 의한 사용을 위해 클럭 신호를 복구한다는 것을 주지해야 한다. 이 경우에, 데이터 인 신호의 소스는 항상 IDLE 신호를 보내도록 지시되어, 내부 교차점 스위치 클럭을 유지하게 된다. 모든 입력 데이터 신호를 수신하고 이로부터 클럭을 발생시키는 "OR"형의 로직이 있을 수 있다. 이 태스크를 수행하는 이러한 전자기기는 본 분야에서 잘 공지되어 있다.

[0035] 2 megaHz 이상의 클럭 속도가 사용될 때, CDR은 PLL에 추가로, 래치된 지연의 일부 단계를 더 포함하여, 데이터가 적절하게 동기화되는 것을 보장한다. 이러한 설계는 본 분야에서 잘 공지되어 있다. 양호한 일

실시예에서, 지연은 20 정도까지의 소수의 클럭 주기로부터 생길 수 있다.

- [0036] 도 9는 본 발명의 교차점 스위치 모듈의 양호한 실시예의 내부 전자기기를 도시한다. 제어 로직(42)을 통해 스위칭 기능을 제어하도록 프로그램된 제어 마이크로프로세서(40)가 존재한다. 제어 로직(42)은 다음 설명에서 지적하는 바와 같이, 블록도의 모든 다른 블록과 접속된다. 또한, 필요한 주변형 기능들은 하드웨어 및 소프트웨어 둘 다를 포함한다. 예시된 마이크로프로세서 및 다른 전자기기에 제공되는 것과 같은 파워, 로컬 메모리, 래치, 인터럽트, 소프트웨어 트랩, 클럭 과 같은 것은 도시되지 않는다. 블록도는 "n" 포트에 대해서 C/A 및 DATA 입력 및 출력을 포함한다. 모든 "n" 포트에 대한 동작은 동일하고(그러나, 유동적임), 따라서 한 포트에 대해서만 논의될 것이다. 포트(1)에 대해서, C/A 입력 신호(44)는, 직렬 비트 흐름을 마이크로프로세서에 의해 관독될 수 있는 병렬 워드(48)로 변환하는 비직렬화기에 접속된다. 이 정보는 마이크로프로세서가 예를 들어, 물리적 교차점 스위치(52)의 트랜지스터(53)를 통해 데이터 DATA(1)를 보내도록 지시하여, DATA 아웃 포트 K(D(k)OUT)(55)로 출력되도록 한다. 교차점 스위치(52) 매트릭스의 내부 구성에 따르면, 모든 DATA IN 라인들, 예를 들어, D(1)은, 각 DATA IN 입력이 임의의 포트의 DATA OUT 라인들 중 임의의 하나 또는 그룹들로 보내지도록 하는 물리적 스위치의 매트릭스에 접속된다.
- [0037] C/A 출력 라인(60)은, 병렬의 마이크로프로세서가 각 출력 포트에 대해 병렬에서 직렬로 변환하는 컨버터(60)를 로드하는 경우, 교차점 스위치 모듈로부터 C/A 데이터 아웃을 보낸다.
- [0038] 클럭킹과 관련하여, 클럭 회로(70)는 REF CLK(72)를 수신하고, 이로부터 CLK를 생성한다. CLK는, 비직렬화기(46) 및 직렬화기(60), 및 교차점 스위치 모듈내의 다른 조정기 및 프로세싱 로직을 구동한다. 이 경우에, DATA(n)은, 데이터 신호로부터 클럭 신호를 복구하여 REFCLK(72)를 생성하도록 지정된 로직(73)에 접속된다. 다른 실시예에서는, 상술한 바와 같이, 글로벌 클럭이 내부 REFCLK와 같이 교차점 스위치 모듈에 접속될 수 있다.
- [0039] 도 10은 본 발명에서 유익하게 사용될 수 있는, C/A(제어/어드레스) 선들의 인코딩의 예를 도시한다. 커맨드는, 일반적으로 고속 데이터 전송과 관련되지 않고, 포트의 제어/어드레스 선들에 송신되는 정보에 대해 효과적으로 인코딩된다. 본 명세서에서 송신 포트는, 128개의 선택가능 어드레스 중의 하나를 인코딩하는 단일의 7 비트 어드레스를 송신할 수 있다. 멀티캐스트 어드레싱이 송신될 수 있어, 데이터 메시지가 개별 어드레스의 전체 또는 일부 특정 그룹에 송신될 것이다. 서로 다른 실시예들에서, 16, 48, 80, 및 128 비트들이 사용되고, 여기에서 각 비트는 데이터를 수신하는 특정 포트를 나타낸다. 그러나, 이 포트들은 일 실시예에서 선택적으로 10 비트 워드로 인코딩될 수 있다. 양호한 실시예에서의 포트 전송 커맨드는 8 비트를 포함할 수 있다. 본 명세서에서, 2 비트는 우선 순위에 대한 것이고, 3 비트는 요구 형태를 나타내는 것이다. 잔여 비트들에 대해 다른 사용들을 나타낼 수 있다.
- [0040] 요구 형태는 다음의 3 비트내에서 포함될 수 있다: (000) 어드레스가 뒤따르는 단일 포트 커맨드, (101) 병렬 데이터를 갖는 중간 요구, (001) 브로드캐스트, (010) 포트 시퀀스 및 식별자가 뒤따르는 멀티캐스트 리스트 식별자, (011) 멀티캐스트 식별자가 뒤따르는 멀티캐스트 식별자 커맨드, 및 (100) 8 비트 어드레스의 시퀀스가 뒤따르는 멀티캐스트 커맨드.
- [0041] 또 다른 양호한 실시예에서는, 부분적 멀티캐스트가 활성화되기 전에 얼마나 많은 수의 포트들이 사용가능하게 되어야만 하는지를 문의하는 최소의 캐스트 요구가 송신될 수 있다.
- [0042] 양호한 실시예에서, 상술한 바와 같이, 데이터 선 및 병렬 C/A 선상의 정보는 교차점 스위치로 입력될 것이고, 여기에서 도 9의 내부 프로세서(40)(또는 프로세서들)은 제어 및 어드레스 선을 해석하여, 어디에 정보가 보내져야 하는지를 결정하고, 출력(outgoing) 포트의 사용가능성을 검사하고, 출력 포트가 사용가능한 경우, 요구된 제어 및 어드레스 정보를 요구하는 포트에 되돌려 보내고, 그 다음 요구된 제어 및 어드레스와 데이터를 적절한 출력 포트에 출력한다. 어드레스는 일반적으로 데이터에 대한 목적지 어드레스이지만, 적절한 출력 포트는 공지된 여러 메카니즘들 중의 소정의 하나에서 선택될 수 있다. 일 메카니즘에서는, 제어 및 어드레스 스트림의 일부로서 목적지 어드레스만큼의 포트 수를 포함하여, 접속이 직접 이루어지고, 요구된 어드레스, 제어 및 데이터가 모두 적절한 출력 포트 선에 놓이게 된다. 대부분의 경우에, 목적지 포트에 보내지는 어드레스는 소싱(sourcing) 포트의 어드레스이다. 이는 직접 어드레싱이 된다. 어드레싱의 보다 일반적인 형태는 일부의 전체 룩업 테이블, 또는 송신 시스템이 어느 스위치 포트에서 목적지 어드레스가 발견되는지를 알게 하는 다른 수단들의 존재를 요구한다.
- [0043] 양호한 일 실시예에서, 데이터, 제어, 및 어드레스를 교차점 스위치로 보내는 서브시스템은 서로 다른 포트에서

사용가능한 어드레스로 프로그램되었던 테이블 록업을 포함할 것이다. 프로세서는 테이블을 액세스하여, 적절한 포트에 대한 정보를 출력한다. 이를 달성하는 일 구성은, 교차점 스위치 자체 또는 동일한 목적을 달성하는 일부 다른 제어 코드에 대해 지정된 어드레스를 포함한다. 다른 로직 구성들이 공지되어 있고, 시스템 형태 및 시스템의 요구 조건에 따라 다른 양호한 실시예에서 사용될 수 있다. 예를 들어, 서버 기능에 적용되는 것과 같이 교차점 스위치에 적합한 기능은, 마이크로프로세서들 사이의 메시지를 전달하는 기능, 다른 프로세서의 주의를 끄는 기능, 변경(예를 들어, 브로드캐스트 갱신)을 조정하고 유지하는 캐시 일관성 기능, 데이터의 요구로부터 도착까지 최소한의 셋업 시간을 유지하는 기능 및 다양한 프로세서들 중에서 동기화된 데이터의 필요성을 포함할 수 있다.

[0044] 일 실시예에서, 교차점 스위치는, 본 분야에서 공지된 마이크로프로세서, 입/출력 버퍼, 제어 및 기억 버퍼, 캐시 등을 포함할 수 있다.

[0045] 또 다른 양호한 실시예에서, 스위치는 단일 제어/어드레스 선을 통해 다중의 데이터 채널을 제어하도록 구성될 수 있다.

[0046] 상술한 실시예는 본 명세서에서 예시적으로 제시된 것이며, 이들의 다양한 변경들 및 대체예들이 가능하다는 점을 주지해야 한다. 따라서, 본 발명은 다음에서 첨부되는 청구항에 의해서만 정의되는 것으로서 광범위하게 이해되어야 한다.

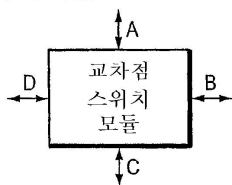
부호의 설명

- [0047] 12: 마이크로프로세서 시스템
30: 데이터 인 라인
35: CDR
40: 마이크로 프로세서
42: 제어 로직
52: 교차점 스위치

도면

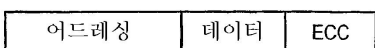
도면1

(종래 기술)



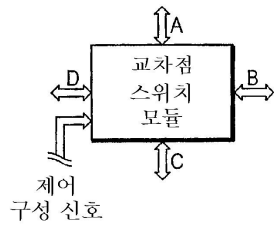
도면2

(종래 기술)

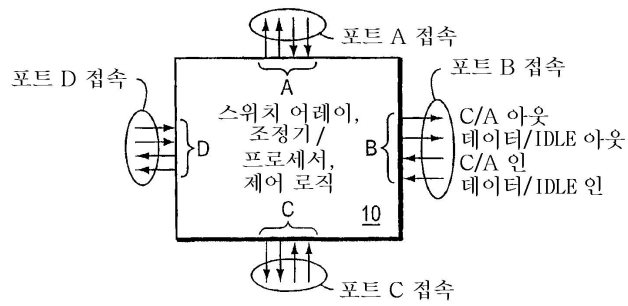


도면3

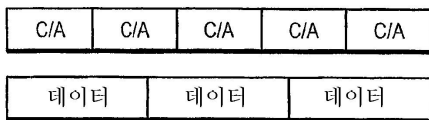
(중래 기술)



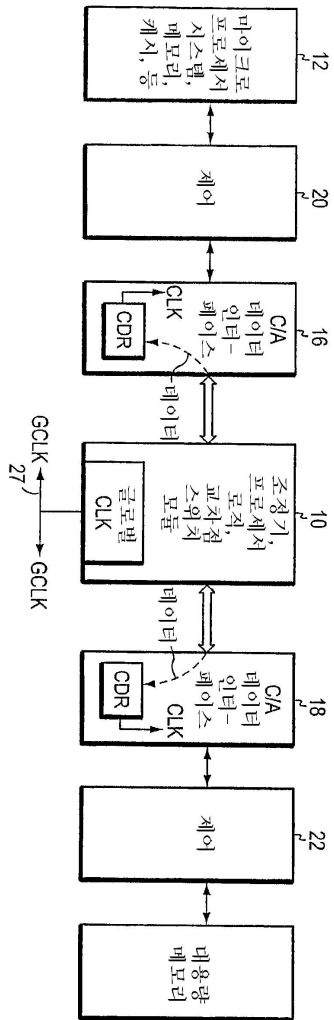
도면4



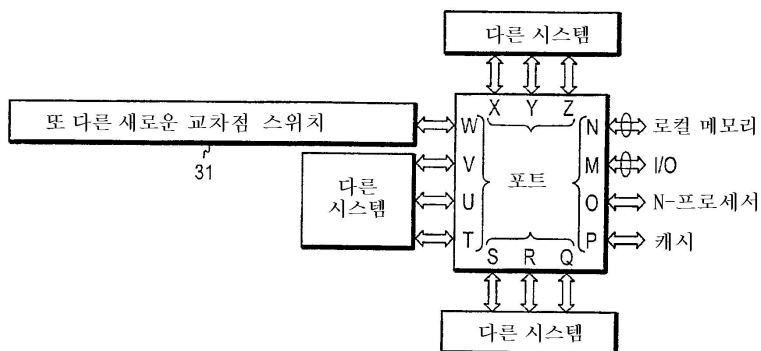
도면5



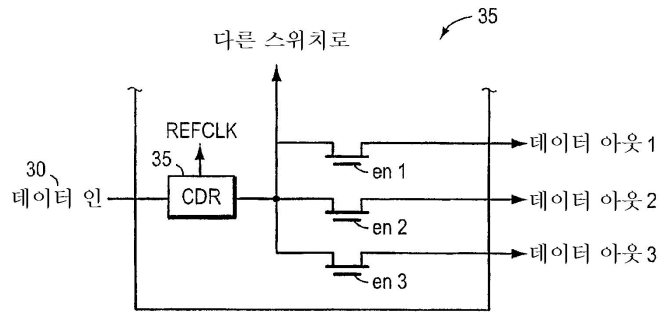
도면6



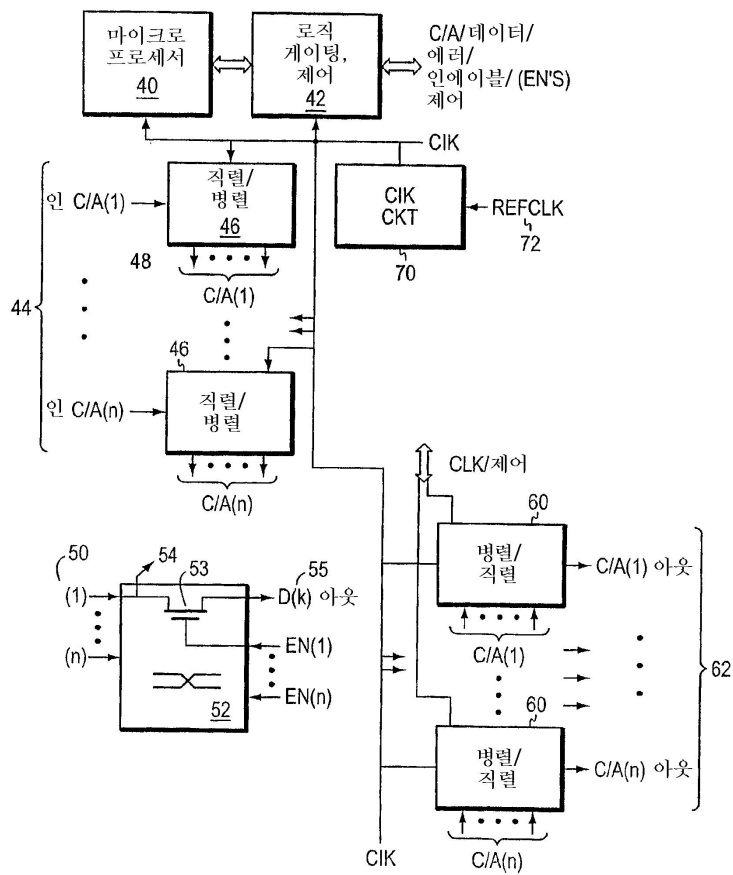
도면7



도면8



도면9



도면10

