

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 2 日 (02.01.2020)



(10) 国际公布号
WO 2020/001598 A1

(51) 国际专利分类号:
G06F 13/38 (2006.01)

(21) 国际申请号: PCT/CN2019/093618

(22) 国际申请日: 2019 年 6 月 28 日 (28.06.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810703855.9 2018 年 6 月 30 日 (30.06.2018) CN

(71) 申请人: 唯捷创芯(天津)电子技术股份有限公司(VANCHIP (TIANJIN) TECHNOLOGY CO., LTD.) [CN/CN]; 中国天津市滨海新区信环西路 19 号 2 号楼 2701-3 室, Tianjin 300457 (CN)。

(72) 发明人: 张启华(ZHANG, Qihua); 中国天津市滨海新区信环西路 19 号 2 号楼 2701-3 室, Tianjin 300457 (CN)。白云芳(BAI, Yunfang); 中国天津市滨海新区信环西路 19 号 2 号楼 2701-3 室, Tianjin 300457 (CN)。

(74) 代理人: 北京汲智翼成知识产权代理事务所(普通合伙)(BEIJING GENIUS ESSEN INTELLECTUAL PROPERTY OFFICE); 中国北京市西城区珠市口西大街 120 号太丰惠中大厦 806 ~ 809 室, Beijing 100050 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: SERIAL COMMUNICATION APPARATUS AND SERIAL COMMUNICATION METHOD

(54) 发明名称: 串行通信装置及串行通信方法

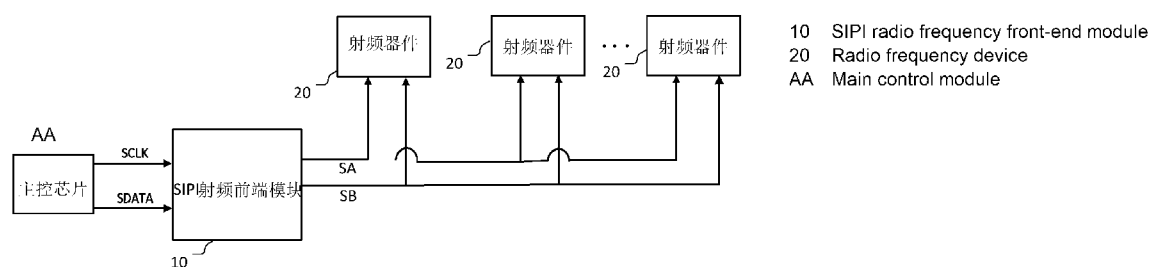


图 1

(57) Abstract: Disclosed are a serial communication apparatus and a serial communication method. The serial communication apparatus comprises a radio frequency front-end module and a radio frequency device, a first input interface and a second input interface of the radio frequency front-end module being correspondingly connected to output interfaces of a main control module, a first output interface of the radio frequency front-end module being connected to a first input interface of the at least one radio frequency device via a first signal bus, a second output interface of the radio frequency front-end module being connected to a second input interface of the at least one radio frequency device via a second signal bus. The present invention satisfies requirements for convenient and rapid unidirectional communication between various chips of the radio frequency front-end module and inside the chips, reduces communication complexity, and increases transmission efficiency.

(57) 摘要: 本发明公开了一种串行通信装置及串行通信方法。该串行通信装置包括射频前端模块和射频器件, 射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接, 射频前端模块的第一输出接口通过第一信号总线与至少一个射频器件的第一输入接口连接时, 射频前端模块的第二输出接口通过第二信号总线与至少一个射频器件的第二输入接口连接。本发明可以满足射频前端模块的各个芯片之间以及芯片内部之间便捷、快速的单向通信需求, 同时还降低了通信复杂度, 具有更高的传输效率。

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。
- 在修改权利要求的期限届满之前进行, 在收到该修改后将重新公布 (细则48.2(h))。

串行通信装置及串行通信方法

技术领域

本发明涉及一种串行通信装置，同时也涉及相应的串行通信方法。

背景技术

随着射频前端（RF Front-end）的应用越来越复杂，所需要的功率放大器、射频开关、低噪声功率放大器、滤波器等芯片的数量也越来越多。那么，射频前端模块的各个芯片都需要通过各自的控制信号来切换在实际应用中的状态。对于各个芯片的状态不是太多的情况，现有技术中普遍采用 GPIO（General purpose input output）接口，通过高电平“1”和低电平“0”的状态组合来控制各个芯片的状态变化。

但是，随着射频前端的应用日益复杂和功能不断增多，每个芯片的功能也越来越多，进一步增加 GPIO 控制信号线的数量是不现实的。因此，在手机领域出现了 MIPI（Mobile Industry Processor Interface）接口，然而在成本压力日益提高的情况下，射频前端模块内部的芯片之间相互通信采用 MIPI 接口反而会增加芯片复杂度，从而降低内部通信的效率。

发明内容

针对现有技术的不足，本发明所要解决的首要技术问题在于提供一种串行通信装置。

本发明所要解决的另一技术问题在于提供一种串行通信方法。

本发明所要解决的又一技术问题在于提供一种包括上述串行通信装置的半导体器件。

为了实现上述目的，本发明采用下述的技术方案：

根据本发明实施例的第一方面，提供一种串行通信装置，包括射频前端模块和射频器件，所述射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接，所述射频前端模块的第一输出接口通过第一信号总线与至少一个所述射频器件的第一输入接口连接时，所述射频前端模块的第二输出接口通过第二信号总线与至少一

个所述射频器件的第二输入接口连接。

根据本发明实施例的第二方面，提供一种串行通信装置，包括射频前端模块和射频器件，所述射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接，所述射频前端模块的至少一个第一输出接口通过第一信号总线与至少一个所述射频器件的第一输入接口连接，所述射频前端模块的至少一个第二输出接口通过第二信号总线与至少一个所述射频器件的第二输入接口连接。

根据本发明实施例的第三方面，提供一种串行通信装置，包括射频前端模块和射频器件，所述射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接，所述射频前端模块的第一输出接口通过第一信号总线与首个所述射频器件的第一输入接口连接，所述射频前端模块的第二输出接口通过第二信号总线与首个所述射频器件的第二输入接口连接，从首个所述射频器件开始，各所述射频器件之间依次分别通过第一信号总线和第二信号总线连接。

其中较优地，所述射频前端模块包括第一检测电路、第一时钟产生电路及发送电路，所述第一检测电路的第一输入接口和第二输入接口与所述主控模块的输出接口对应连接，所述第一检测电路的输出接口通过一根或多根时钟使能总线与所述第一时钟产生电路的输入接口连接，所述第一时钟产生电路的输出接口与所述发送电路的第一输入接口连接，所述第一检测电路的输出接口与所述发送电路的第二输入接口连接。

其中较优地，所述第一输入接口和所述第二输入接口包括但不限于 MIPI 接口或 GPIO 接口。

其中较优地，所述射频前端模块还包括第一上电复位电路，所述第一上电复位电路与所述发送电路连接。

其中较优地，当各所述射频器件接收的有效 SIPI 数据中含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路，所述第二上电复位电路与所述接收电路连接，所述接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接时，所述接收电路的第二输入接口分别通过所述第二信号总线与所述发送电路的第二输出接口连接，或者，所述接收电路的第二输入接口通过所述第二信

号总线与所述发送电路对应的第二输出接口连接。

其中较优地，当各所述射频器件接收的有效 SIPI 数据中含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路，所述第二上电复位电路与所述接收电路连接，所述接收电路的第一输入接口通过所述第一信号总线与发送电路对应的第一输出接口连接，所述接收电路的第二输入接口通过第二信号总线与所述发送电路对应的第二输出接口连接。

其中较优地，当各所述射频器件接收的有效 SIPI 数据中含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路，所述第二上电复位电路与所述接收电路连接，首个所述射频器件的接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接，首个所述射频器件的接收电路的第二输入接口通过所述第二信号总线与发送电路的第二输出接口连接，从首个所述射频器件开始，各所述射频器件的接收电路之间依次分别通过第一信号总线和第二信号总线连接。

其中较优地，根据每个所述射频器件所需的有效 SIPI 数据的数据位宽，调整所述发送电路的第二输出接口及每个所述射频器件的接收电路的数量。

其中较优地，当各所述射频器件接收的有效 SIPI 数据中不含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路及第二时钟产生电路，所述第二上电复位电路与所述接收电路连接，所述接收电路的输出接口通过一根或多根时钟使能总线与所述第二时钟产生电路的输入接口连接，所述第二时钟产生电路的输出接口与所述接收电路的输入接口连接，所述接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接时，所述接收电路的第二输入接口分别通过所述第二信号总线与发送电路的第二输出接口连接，或者，所述接收电路的第二输入接口通过所述第二信号总线与发送电路对应的第二输出接口连接。

其中较优地，当各所述射频器件接收的有效 SIPI 数据中不含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路及第二时钟产生电路，所述第二上电复位电路与所述接收电路连接，所述接收

电路的输出接口通过一根或多根时钟使能总线与所述第二时钟产生电路的输入接口连接，所述第二时钟产生电路的输出接口与所述接收电路的输入接口连接，所述接收电路的第一输入接口通过所述第一信号总线与发送电路对应的第一输出接口连接，所述接收电路的第二输入接口通过第二信号总线与所述发送电路对应的第二输出接口连接。

其中较优地，当各所述射频器件接收的有效 SIPI 数据中不含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路及第二时钟产生电路，所述第二上电复位电路与所述接收电路连接，所述接收电路的输出接口通过一根或多根时钟使能总线与所述第二时钟产生电路的输入接口连接，所述第二时钟产生电路的输出接口与所述接收电路的输入接口连接，首个所述射频器件的接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接，首个所述射频器件的接收电路的第二输入接口通过所述第二信号总线与发送电路的第二输出接口连接，从首个所述射频器件开始，各所述射频器件的接收电路之间依次分别通过第一信号总线和第二信号总线连接。

其中较优地，根据每个所述射频器件所需的有效 SIPI 数据的数据位宽，调整所述发送电路的第一输出接口、第二输出接口及每个所述射频器件的接收电路的数量。

其中较优地，根据每个所述射频器件所需的有效 SIPI 数据的数据位宽，调整所述发送电路的第二输出接口及每个所述射频器件的接收电路的数量。

其中较优地，所述接收电路包括第二检测电路，用于将所述接收电路接收的有效 SIPI 数据进行采样提取，实现对有效 SIPI 数据的解码与配置。

根据本发明实施例的第四方面，提供一种串行通信方法，包括如下步骤：

通过射频前端模块判断所接收的系统时钟信号和系统数据信号中是否有最新的有效 SIPI 数据；

如果有最新的有效 SIPI 数据，则使能产生第一时钟信号；否则重新接收系统时钟信号和系统数据信号；

射频前端模块根据第一时钟信号提取有效 SIPI 数据，并按照预设规

则将该有效 SIPI 数据并行或串行发送到各射频器件中；

如果各射频器件所接收的有效 SIPI 数据包含有时钟信号，则对有效 SIPI 数据进行解码与配置；否则，使能产生第二时钟信号，并根据该第二时钟信号提取有效 SIPI 数据进行解码与配置。

根据本发明实施例的第五方面，提供一种半导体器件，该半导体芯片中包括上述的串行通信装置。

本发明所提供的串行通信装置，通过射频前端模块实施侦测并提取出各射频器件所需的有效 SIPI 数据，并以并行或级联串行的方式将该有效 SIPI 数据快速、高效地发送给各射频器件，可以满足射频前端模块的各个芯片之间以及芯片内部之间便捷、快速的单向通信需求，同时还降低了通信复杂度，具有更高的传输效率。

附图说明

图 1 为本发明所提供的串行通信装置的电路原理图 1；

图 2 为本发明所提供的串行通信装置的电路原理图 2；

图 3 为本发明所提供的串行通信装置的电路原理图 3；

图 4 为本发明所提供的串行通信装置的电路原理图 4；

图 5 为本发明实施例 1 所提供的串行通信装置的电路原理图 1；

图 6 为本发明实施例 1 所提供的串行通信装置的电路原理图 2；

图 7 为本发明实施例 1 所提供的串行通信装置的电路原理图 3；

图 8 为本发明实施例 2 所提供的串行通信装置的电路原理图 1；

图 9 为本发明实施例 2 所提供的串行通信装置的电路原理图 2；

图 10 为本发明实施例 2 所提供的串行通信装置的电路原理图 3；

图 11 为本发明实施例 3 所提供的串行通信装置的电路原理图 1；

图 12 为本发明实施例 3 所提供的串行通信装置的电路原理图 2；

图 13 为本发明实施例 3 所提供的串行通信装置的电路原理图 3；

图 14 为本发明所提供的串行通信方法的流程图。

具体实施方式

下面结合附图和具体实施例对本发明的技术内容做进一步的详细说明。

本发明所提供的串行通信装置用于满足向射频前端模块的各个芯片发送与其匹配的控制信息，或者满足射频前端模块的各个芯片之间

以及芯片内部之间便捷、快速的单向通信需求。为了便于描述，发明人将该串行通信装置称为 SIPI (scalable intra peripheral interface) 接口。在本发明中，将以 SIPI 接口直接指代本发明所提供的串行通信装置。

如图 1 和图 2 所示，本 SIPI 接口包括射频前端模块 10 和射频器件 20，射频前端模块 10 的第一输入接口和第二输入接口与主控模块的输出接口对应连接（可以通过现有的信号总线连接），射频前端模块 10 的第一输出接口通过第一信号总线 SA 与至少一个射频器件 20 的第一输入接口连接时，射频前端模块 10 的第二输出接口通过第二信号总线 SB 与至少一个射频器件 20 的第二输入接口连接，或者，射频前端模块 10 的至少一个第二输出接口通过第二信号总线 SB 与至少一个射频器件 20 的第二输入接口连接。

如图 3 所示，本 SIPI 接口还可以是由射频前端模块 10 的至少一个第一输出接口通过第一信号总线 SA 与至少一个射频器件 20 的第一输入接口连接，射频前端模块 10 的至少一个第二输出接口通过第二信号总线 SB 与至少一个射频器件 20 的第二输入接口连接；其中，射频前端模块 10 的第一输入接口和第二输入接口的连接关系同上，在此不再赘述。

通过射频前端模块 10 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，判断是否有各射频器件 20 最新的有效 SIPI 数据（与各射频器件 20 相匹配的有效控制信息）；如果有各射频器件 20 最新的有效 SIPI 数据，则使能产生第一时钟信号，否则重新接收系统时钟信号 SCLK 和系统数据信号 SDATA；根据第一时钟信号采样提取有效 SIPI 数据并按照预设规则将该有效 SIPI 数据并行发送到各射频器件 20 中，实现对有效 SIPI 数据的解码与配置（配置各项用途，如调整电流/电压），从而使得各射频器件 20 实现实时同步更新有效 SIPI 数据。

如图 4 所示，本 SIPI 接口还可以是由射频前端模块 10 的第一输出接口通过第一信号总线 SA 与首个射频器件 20 的第一输入接口连接，射频前端模块 10 的第二输出接口通过第二信号总线 SB 与首个射频器件 20 的第二输入接口连接，从首个射频器件 20 开始，各射频器件 20

之间依次分别通过第一信号总线 SA 和第二信号总线 SB 连接（即相邻射频器件 20 之间通过第一信号总线 SA 和第二信号总线 SB 连接）；其中，射频前端模块 10 的第一输入接口和第二输入接口的连接关系同上，在此不再赘述。

通过射频前端模块 10 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，判断是否有各射频器件 20 最新的有效 SIPI 数据（与各射频器件 20 相匹配的有效控制信息）；如果有各射频器件 20 最新的有效 SIPI 数据，则使能产生第一时钟信号，否则重新接收系统时钟信号 SCLK 和系统数据信号 SDATA；根据第一时钟信号采样提取有效 SIPI 数据并按照预设规则将该有效 SIPI 数据逐个发送（级联串行）到各射频器件 20 中，实现对有效 SIPI 数据的解码与配置（配置各项用途，如调整电流/电压），从而使得射频器件 20 依次实现实时同步更新有效 SIPI 数据。

下面结合图 5～图 13，并以射频前端模块 10 采用并行方式向各射频器件 20 传输最新的有效 SIP 数据为例，对本 SIPI 接口的结构和原理进行详细说明。根据采用并行方式实现单向传输有效 SIPI 数据的方法不难得到采用级联串行方式实现单向传输有效 SIPI 数据的方法，并且采用级联串行方式的 SIPI 接口的射频前端模块 10 和各射频器件 20 的结构与采用并行方式的 SIPI 接口的射频前端模块 10 和各射频器件 20 的结构相同，在此就不再赘述了。

如图 5～图 13 所示，在本 SIPI 接口中，射频前端模块 10 可以包括第一检测电路 100、第一时钟产生电路 102 及发送电路（发送电路 TX）101，第一检测电路 100 的第一输入接口和第二输入接口与主控模块的输出接口对应连接（通过现有的信号总线连接），第一检测电路 100 输出接口通过一根或多根时钟使能总线与第一时钟产生电路 102 的输入接口连接，第一时钟产生电路 102 的输出接口与发送电路 101 的第一输入接口连接（通过现有的信号总线连接），第一检测电路 100 的输出接口与发送电路 101 的第二输入接口连接。其中，主控模块可以是任何具有控制功能的主控芯片、基带芯片等；第一检测电路 100 的第一输入接口和第二输入接口（即射频前端模块 10 的第一输入接口和第二输入接口）可以是任何串行通信装置，例如 MIPI 接口或 GPIO

接口，只要能接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA 即可。

通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，判断是否有各射频器件 20 最新的有效 SIPI 数据（与各射频器件 20 相匹配的有效控制信息）；如果有各射频器件 20 最新的有效 SIPI 数据 DATA_S，则通过时钟使能总线打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号（SIPI 时钟信号）给发送电路 101，并将该最新的有效 SIPI 数据 DATA_S 发送给发送电路 101，以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据后，将该有效 SIPI 数据按照预设规则发送到各射频器件 20 中；其中，预设规则可以是对有效 SIPI 数据进行编码排序、截取、加密等。

为了确定射频前端模块 10 的发送电路 101 是否处于稳态，以保证该发送电路 101 每次接收的有效 SIPI 数据 DATA_S 的准确性，可以在射频前端模块 10 中设置第一上电复位（Power-on Reset, POR）电路（图中未示出），第一上电复位电路与发送电路 101 连接，用于产生复位信号去复位发送电路 101，从而使得发送电路 101 经复位后才能接收有效 SIPI 数据 DATA_S。

当各射频器件 20 接收的有效 SIPI 数据中含有时钟信号时，各射频器件 20 包括第二上电复位（Power-on Reset, POR）电路 202、接收电路（接收电路 RX）201，第二上电复位电路 202 与接收电路 201 连接，用于产生复位信号去复位接收电路 201，从而使得接收电路 201 经复位后才能接收有效 SIPI 数据；当各射频器件 20 中的接收电路 201 的第一输入接口分别通过第一信号总线 SA 与发送电路 101 的第一输出接口连接时，各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 的第二输出接口连接；或者，各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 对应的第二输出接口连接；当各射频器件 20 中的接收电路 201 的第一输入接口分别通过第一信号总线 SA 与发送电路 101 对应的第一输出接口连接时，各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 对

应的第二输出接口连接。其中，接收电路 201 包括第二检测电路 2010，用于将接收电路 201 接收的有效 SIPI 数据进行采样提取，实现对该有效 SIPI 数据的解码与配置（配置各种用途），从而使得各射频器件 20 实现实时同步更新有效 SIPI 数据。

当各射频器件 20 接收的有效 SIPI 数据中不含有时钟信号时，各射频器件 20 包括第二上电复位（Power-on Reset, POR）电路 202、接收电路（接收电路 RX）201 及第二时钟产生电路 203，第二上电复位电路 202 与接收电路 201 连接，其作用同上，不再赘述；接收电路 201 的输出接口通过一根或多根时钟使能总线与第二时钟产生电路 203 的输入接口连接，第二时钟产生电路 203 的输出接口与接收电路 201 的输入接口连接（通过现有的信号总线连接）；当接收电路 201 接收到有效 SIPI 数据后，会通过时钟使能总线打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i 发给接收电路 201。当各射频器件 20 中的接收电路 201 的第一输入接口分别通过第一信号总线 SA 与发送电路 101 的第一输出接口连接时，各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 的第二输出接口连接；或者，各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 对应的第二输出接口连接；当各射频器件 20 中的接收电路 201 的第一输入接口分别通过第一信号总线 SA 与发送电路 101 对应的第一输出接口连接时，各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 对应的第二输出接口连接。其中，接收电路 201 包括第二检测电路 2010，用于根据第二时钟信号 CLK_i 将接收电路 201 接收的有效 SIPI 数据进行采样提取，实现对该有效 SIPI 数据的解码与配置（配置各种用途）。其中，射频器件可以是功放芯片/模块、射频开关、射频芯片/模块等。

下面，分别以射频器件 20 的数量为 1 个和 2 个为例，并结合图 5～图 16，对上述的 SIPI 接口的结构和原理进行详细说明。

实施例 1

如图 5 所示，本实施例所提供的 SIPI 接口中，射频前端模块 10 可以包括第一检测电路 100、第一时钟产生电路 102 及发送电路（发

送电路 TX) 101; 射频器件 20 包括第二上电复位 (Power-on Reset, POR) 电路 202、接收电路 (SIPI 接收电路 RX) 201, 接收电路 201 包括第二检测电路 2010; 以第一检测电路 100 的第一输入接口和第二输入接口采用 MIPI 接口为例, 本实施例所提供的 SIPI 接口各部分之间的连接关系如下: 第一检测电路 100 的第一输入接口 CLOCK 和第二输入接口 DATA 与主控模块的输出接口对应连接 (通过现有的信号总线连接), 第一检测电路 100 通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 与第一时钟产生电路 102 对应的输入接口连接, 第一时钟产生电路 102 的输出接口通过信号总线 104 与发送电路 101 的第一输入接口连接, 第一检测电路 100 的输出接口通过信号总线 103 与发送电路 101 的第二输入接口连接; 发送电路 101 的第一输出接口 CLK 通过第一信号总线 SA 与接收电路 201 的第一输入接口 CLK 连接, 发送电路 101 的第二输出接口 DATA 通过第二信号总线 SB 与接收电路 201 的第二输入接口 DATA 连接, 接收电路 201 与第二上电复位电路 202 连接。

通过第二上电复位电路 202 产生复位信号去复位接收电路 201, 使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态; 此时, 通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA, 并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码, 并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息, 以实现判断是否有射频器件 20 最新的有效 SIPI 数据 (与各射频器件 20 相匹配的有效控制信息); 如果有射频器件 20 最新的有效 SIPI 数据 DATA_S, 则通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号 (SIPI 时钟信号) 给发送电路 101, 并将该最新的有效 SIPI 数据 DATA_S 发送给发送电路 101, 以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据后, 将该有效 SIPI 数据采用编码排序、截取、加密等方式发送到接收电路 201; 其中, 接收电路 201 接收的有效 SIPI 数据包括时钟信号和数据信号, 因此, 第一信号总线 SA 可以为时钟总线, 用于传输时钟信号; 第二信号总线 SB 可以为数据总线, 用于传输数据

信号；并且接收电路 201 接收的时钟信号和数据信号通过第二检测电路 2010 采样提取出有效 SIPI 数据，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。其中，第二检测电路 2010 还可以实现判断所接收的时钟信号和数据信号是否与本射频器件相匹配。

当本实施例的射频器件 20 所需的有效 SIPI 数据的数据位宽较长时，可以将该射频器件 20 所需的有效 SIPI 数据拆分成多个，并通过多个接收电路 201 对应接收该多个有效 SIPI 数据；即相应的增加发送电路 101 的第二输出接口 DATA 及接收电路 201 的数量，发送电路 101 的多个第二输出接口 DATA 通过相应的第二信号总线 SB 与对应的接收电路 201 的第二输入接口 DATA 连接，以实现通过发送电路 101 的多个第二输出接口 DATA 高效快速的将多个有效 SIPI 数据（所拆分的多个有效 SIPI 数据）分别对应发送给射频器件 20 的多个接收电路 201，并通过各接收电路 201 的第二检测电路 2010 采样提取出对应的有效 SIPI 数据，对所提取的有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。需要强调的是，每个接收电路 201 都需要与第二上电复位电路 202 连接，通过第二上电复位电路 202 产生复位信号去复位每个接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态。

例如，如图 6 所示，假设本射频器件 20 所需的有效 SIPI 数据 DATA[x:0] 被拆分成有效 SIPI 数据 DATA[x:y] 和有效 SIPI 数据 DATA[y:0]；那么，发送电路 101 的第二输出接口和接收电路的数量分别增加至两个，即发送电路 101 的第二输出接口为第二输出接口 DATA0 和第二输出接口 DATA1；接收电路为接收电路 201' 和接收电路 201''；第二输出接口 DATA0 通过第二信号总线 SB 与接收电路 201' 的第二输入接口 DATA 连接，第二输出接口 DATA1 通过第二信号总线 SB 与接收电路 201'' 的第二输入接口 DATA 连接，发送电路 101 的第一输出接口 CLK 通过第一信号总线 SA 分别与接收电路 201' 和接收电路 201'' 的第一输入接口 CLK 连接。

通过第二上电复位电路 202 产生复位信号分别去复位接收电路 201' 和接收电路 201", 使得经复位后的接收电路 201' 和接收电路 201" 处于待接收有效 SIPI 数据的状态; 此时, 通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA, 并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码, 并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息, 以实现判断是否有射频器件 20 最新的有效 SIPI 数据 DATA[x:0]; 如果有射频器件 20 最新的有效 SIPI 数据 DATA[x:0], 则通过时钟使能总线 CLK_ENABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号 (SIPI 时钟信号) 给发送电路 101, 并将该最新的有效 SIPI 数据 DATA[x:0] 发送给发送电路 101, 以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据 DATA[x:y] 和有效 SIPI 数据 DATA[y:0] 后, 将该有效 SIPI 数据 DATA[x:y] 和有效 SIPI 数据 DATA[y:0] 采用编码排序、截取、加密等方式对应发送到接收电路 201' 和接收电路 201"; 通过各接收电路的第二检测电路 2010 采样提取出对应的有效 SIPI 数据, 实现对所提取的有效 SIPI 数据进行解码与配置 (配置各种用途), 从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。

当本实施例的射频器件 20 所需的有效 SIPI 数据的数据位宽不太长时, 可以采用发送电路 101 的第一输出接口和第二输出接口将有效 SIPI 数据发送给各个射频器件 20。即将各个射频器件 20 中的接收电路 201 的第一输入接口分别通过第一信号总线 SA 与发送电路 101 的第一输出接口连接, 各射频器件 20 中的接收电路 201 的第二输入接口可以分别通过第二信号总线 SB 与发送电路 101 的第二输出接口连接。

例如, 如图 7 所示, 假设各射频器件 20 所需的有效 SIPI 数据均为 DATA[x:0], 那么, 通过第二上电复位电路 202 产生复位信号分别去复位各个接收电路 201, 使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态; 此时, 通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA, 并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码, 并可以通过第

一检测电路 100 中预存的与射频器件 20 相匹配的地址信息,以实现判断是否有射频器件 20 最新的有效 SIPI 数据 DATA[x:0];如果有射频器件 20 最新的有效 SIPI 数据 DATA[x:0],则通过时钟使能总线 CLK_ENABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号(SIPI 时钟信号)给发送电路 101,并将该最新的有效 SIPI 数据 DATA[x:0]发送给发送电路 101,以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据 DATA[x:0]后,将该有效 SIPI 数据 DATA[x:0]采用编码排序、截取、加密等方式并通过第一输出接口 CLK 和第二输出接口 DATA 对应发送到各接收电路 201;通过各接收电路的第二检测电路 2010 采样提取出对应的有效 SIPI 数据 DATA[x:0],实现对所提取的有效 SIPI 数据 DATA[x:0]进行解码与配置(配置各种用途),从而使得射频器件 20 实现实时同步更新有效 SIPI 数据,并很大程度上简化了所有射频器件 20 的串行通信装置(射频器件的第一输入接口和第二输入接口)的复杂度。其中,各射频器件 20 所需的有效 SIPI 数据可以自由串行分配在整个有效 SIPI 数据中。

实施例 2

如图 8 所示,本实施例所提供的 SIPI 接口中,射频前端模块 10 可以包括第一检测电路 100、第一时钟产生电路 102 及发送电路(SIPI 发送电路 TX) 101;射频器件 20 包括第二上电复位(Power-on Reset, POR)电路 202、接收电路(SIPI 接收电路 RX) 201 及第二时钟产生电路 203;接收电路 201 包括第二检测电路 2010;以第一检测电路 100 的第一输入接口和第二输入接口采用 MIPI 接口为例,本实施例所提供的 SIPI 接口各部分之间的连接关系如下:第一检测电路 100 的第一输入接口 CLOCK 和第二输入接口 DATA 与主控模块的输出接口对应连接(通过现有的信号总线连接),第一检测电路 100 通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 与第一时钟产生电路 102 对应的输入接口连接,第一时钟产生电路 102 的输出接口通过信号总线 104 与发送电路 101 的第一输入接口连接,第一检测电路 100 的输出接口通过信号总线 103 与发送电路 101 的第二输入接口连接;发送电路 101 的第一输出接口 DATA0 通过第一信号总线 SA 与接收电路 201 的

第一输入接口 DATA0 连接，发送电路 101 的第二输出接口 DATA1 通过第二信号总线 SB 与接收电路 201 的第二输入接口 DATA1 连接，接收电路 201 与第二上电复位电路 202 连接。

通过第二上电复位电路 202 产生复位信号去复位接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态；此时，通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码，并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息，以实现判断是否有射频器件 20 最新的有效 SIPI 数据（与各射频器件 20 相匹配的有效控制信息）；如果有射频器件 20 最新的有效 SIPI 数据 DATA_S，则通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号（SIPI 时钟信号）给发送电路 101，并将该最新的有效 SIPI 数据 DATA_S 发送给发送电路 101，以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据后，将该有效 SIPI 数据采用编码排序、截取、加密等方式发送到接收电路 201；其中，接收电路 201 接收的有效 SIPI 数据仅包括数据信号，因此，第一信号总线 SA 可以为第一数据总线，用于传输数据信号；第二信号总线 SB 可以为第二数据总线，也用于传输数据信号；并且通过第一数据总线传输的数据信号和第二数据总线传输的数据信号之间能够相互采样得到有效 SIPI 数据；由于该有效 SIPI 数据包括数据帧头信号、数据信号和数据帧尾信号，那么，接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号，并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i（SIPI 时钟信号）给接收电路 201，以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。其中，第二检测电路 2010 还可以实现判断所接收的数据信号是否与本射频器件相匹配；数据帧头信号和数据帧尾信号分别用于判断有效 SIPI 数据的数据位开始和

结束的位置。

如图 9 所示，假设各射频器件 20 所需的有效 SIPI 数据均为 $DATA[x:0]$ ，那么，通过第二上电复位电路 202 产生复位信号分别去复位各个接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态；此时，通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码，并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息，以实现判断是否有射频器件 20 最新的有效 SIPI 数据 $DATA[x:0]$ ；如果有射频器件 20 最新的有效 SIPI 数据 $DATA[x:0]$ ，则通过时钟使能总线 CLK_ENABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号（SIPI 时钟信号）给发送电路 101，并将该最新的有效 SIPI 数据 $DATA[x:0]$ 发送给发送电路 101，以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据 $DATA[x:0]$ 后，将该有效 SIPI 数据 $DATA[x:0]$ 采用编码排序、截取、加密等方式并通过两组数据总线（第一数据总线 DATA0A 和第二数据总线 DATA1A 及第一数据总线 DATA0B 和第二数据总线 DATA1B）对应发送到各接收电路 201；各接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号，并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i（SIPI 时钟信号）给接收电路 201，以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得各射频器件 20 实现实时同步更新有效 SIPI 数据。在该情况下，有效 SIPI 数据的使用效率和传输效率会较高，而且传输的有效控制信息也会比较多。

另外，为了简化射频前端模块 10 与各射频器件 20 之间的通信复杂度，并能实现向各射频器件发送更多的有效 SIPI 数据，同时还能具有更高的传输效率，发送电路 101 可以采用统一的双输出接口（第一输出接口和第二输出接口）。例如，如图 10 所示，假设各射频器件 20 所需的有效 SIPI 数据均为 $DATA[x:0]$ ，那么，通过第二上电复位电路

202 产生复位信号分别去复位各个接收电路 201,使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态;此时,通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA,并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码,并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息,以实现判断是否有射频器件 20 最新的有效 SIPI 数据 DATA[x:0];如果有射频器件 20 最新的有效 SIPI 数据 DATA[x:0],则通过时钟使能总线 CLK_ENABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号(SIPI 时钟信号)给发送电路 101,并将该最新的有效 SIPI 数据 DATA[x:0]发送给发送电路 101,以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据 DATA[x:0]后,将该有效 SIPI 数据 DATA[x:0]采用编码排序、截取、加密等方式并通过第一输出接口 DATA0 和第二输出接口 DATA1 对应发送到各接收电路 201;各接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号,并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i(SIPI 时钟信号)给接收电路 201,以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后,并对该有效 SIPI 数据进行解码与配置(配置各种用途),从而使得各射频器件 20 实现实时同步更新有效 SIPI 数据。

当本实施例的射频器件 20 所需的有效 SIPI 数据的数据位宽较长时,可以将该射频器件 20 所需的有效 SIPI 数据拆分成多个,并通过多个接收电路 201 对应接收该多个有效 SIPI 数据;即相应的增加发送电路 101 的第一输出接口 DATA0、第二输出接口 DATA1 及接收电路 201 的数量,发送电路 101 的多个第一输出接口 DATA0 通过相应的第一信号总线 SA 与对应的接收电路 201 的第一输入接口 DATA0 连接,发送电路 101 的多个第二输出接口 DATA1 通过相应的第二信号总线 SB 与对应的接收电路 201 的第二输入接口 DATA1 连接,以实现通过发送电路 101 的多个第一输出接口 DATA0 和第二输出接口 DATA1 高效快速的将多个有效 SIPI 数据(所拆分的多个有效 SIPI 数据)分别对应发送给射频

器件 20 的多个接收电路 201，各接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号，并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i（SIPI 时钟信号）给接收电路 201，以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。需要强调的是，每个接收电路 201 都需要与第二上电复位电路 202 连接，通过第二上电复位电路 202 产生复位信号去复位每个接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态。

实施例 3

如图 11 所示，本实施例所提供的 SIPI 接口中，射频前端模块 10 可以包括第一检测电路 100、第一时钟产生电路 102 及发送电路（发送电路 TX）101；射频器件 20 包括第二上电复位（Power-on Reset，POR）电路 202、接收电路（SIPI 接收电路 RX）201 及第二时钟产生电路 203；接收电路 201 包括第二检测电路 2010；以第一检测电路 100 的第一输入接口和第二输入接口采用 MIPI 接口为例，本实施例所提供的 SIPI 接口各部分之间的连接关系如下：第一检测电路 100 的第一输入接口 CLOCK 和第二输入接口 DATA 与主控模块的输出接口对应连接（通过现有的信号总线连接），第一检测电路 100 通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 与第一时钟产生电路 102 对应的输入接口连接，第一时钟产生电路 102 的输出接口通过信号总线 104 与发送电路 101 的第一输入接口连接，第一检测电路 100 的输出接口通过信号总线 103 与发送电路 101 的第二输入接口连接；发送电路 101 的第一输出接口 DATA 通过第一信号总线 SA 与接收电路 201 的第一输入接口 DATA 连接，发送电路 101 的第二输出接口 SE 通过第二信号总线 SB 与接收电路 201 的第二输入接口 SE 连接，接收电路 201 与第二上电复位电路 202 连接。

通过第二上电复位电路 202 产生复位信号去复位接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态；此时，

通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码，并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息，以实现判断是否有射频器件 20 最新的有效 SIPI 数据（与各射频器件 20 相匹配的有效控制信息）；如果有射频器件 20 最新的有效 SIPI 数据 DATA_S，则通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号（SIPI 时钟信号）给发送电路 101，并将该最新的有效 SIPI 数据 DATA_S 发送给发送电路 101，以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据后，将该有效 SIPI 数据采用编码排序、截取、加密等方式发送到接收电路 201；其中，接收电路 201 接收的有效 SIPI 数据包括数据信号和使能信号，因此，第一信号总线 SA 可以为数据总线，用于传输数据信号；第二信号总线 SB 可以为使能总线，也用于传输使能信号；并且数据总线传输的数据信号和使能总线传输的使能信号之间能够相互采样得到有效 SIPI 数据；由于该有效 SIPI 数据包括数据帧头信号、数据信号和数据帧尾信号，那么，接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号，并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i（SIPI 时钟信号）给接收电路 201，以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。其中，第二检测电路 2010 还可以实现判断所接收的数据信号是否与本射频器件相匹配；数据帧头信号和数据帧尾信号分别用于判断有效 SIPI 数据的数据位开始和结束的位置。

当本实施例的射频器件 20 所需的有效 SIPI 数据的数据位宽较长时，可以将该射频器件 20 所需的有效 SIPI 数据拆分成多个，并通过多个接收电路 201 对应接收该多个有效 SIPI 数据；即相应的增加发送电路 101 的第二输出接口 SE 及接收电路 201 的数量，发送电路 101 的多个第二输出接口 SE 通过相应的第二信号总线 SB 与对应的接收电路

201 的第二输入接口 SE 连接，以实现通过发送电路 101 的多个第二输出接口 SE 高效快速的将多个有效 SIPI 数据（所拆分的多个有效 SIPI 数据）分别对应发送给射频器件 20 的多个接收电路 201，各接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号，并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i（SIPI 时钟信号）给接收电路 201，以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。需要强调的是，每个接收电路 201 都需要与第二上电复位电路 202 连接，通过第二上电复位电路 202 产生复位信号去复位每个接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态。

例如，如图 12 所示，假设本射频器件 20 所需的有效 SIPI 数据 DATA[x:0] 被拆分成有效 SIPI 数据 DATA[x:y] 和有效 SIPI 数据 DATA[y:0]；那么，发送电路 101 的第二输出接口和接收电路的数量分别增加至两个，即发送电路 101 的第二输出接口为第二输出接口 SE0 和第二输出接口 SE1；接收电路为接收电路 201' 和接收电路 201''；第二输出接口 SE0 通过第二信号总线 SB 与接收电路 201' 的第二输入接口 SE0 连接，第二输出接口 SE1 通过第二信号总线 SB 与接收电路 201'' 的第二输入接口 SE1 连接，发送电路 101 的第一输出接口 DATA 通过第一信号总线 SA 分别与接收电路 201' 和接收电路 201'' 的第一输入接口 DATA 连接。

通过第二上电复位电路 202 产生复位信号分别去复位接收电路 201' 和接收电路 201''，使得经复位后的接收电路 201' 和接收电路 201'' 处于待接收有效 SIPI 数据的状态；此时，通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码，并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息，以

实现判断是否有射频器件 20 最新的有效 SIPI 数据 $DATA[x:0]$ ；如果有射频器件 20 最新的有效 SIPI 数据 $DATA[x:0]$ ，则通过时钟使能总线 CLK_ENABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号（SIPI 时钟信号）给发送电路 101，并将该最新的有效 SIPI 数据 $DATA[x:0]$ 发送给发送电路 101，以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据 $DATA[x:y]$ 和有效 SIPI 数据 $DATA[y:0]$ 后，将该有效 SIPI 数据 $DATA[x:y]$ 和有效 SIPI 数据 $DATA[y:0]$ 采用编码排序、截取、加密等方式对应发送到接收电路 201' 和接收电路 201''；接收电路 201' 和接收电路 201'' 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号，并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i（SIPI 时钟信号）给接收电路 201' 和接收电路 201''，以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后，并对该有效 SIPI 数据进行解码与配置（配置各种用途），从而使得射频器件 20 实现实时同步更新有效 SIPI 数据。

另外，为了简化射频前端模块 10 与各射频器件 20 之间的通信复杂度，并能实现向各射频器件发送更多的有效 SIPI 数据，同时还能具有更高的传输效率，发送电路 101 可以采用统一的双输出接口（第一输出接口 DATA 和第二输出接口 SE）。例如，如图 13 所示，假设各射频器件 20 所需的有效 SIPI 数据均为 $DATA[x:0]$ ，那么，通过第二上电复位电路 202 产生复位信号分别去复位各个接收电路 201，使得经复位后的接收电路 201 处于待接收有效 SIPI 数据的状态；此时，通过第一检测电路 100 接收主控模块发送的系统时钟信号 SCLK 和系统数据信号 SDATA，并将所接收的系统时钟信号 SCLK 和系统数据信号 SDATA 进行实时侦测解码，并可以通过第一检测电路 100 中预存的与射频器件 20 相匹配的地址信息，以实现判断是否有射频器件 20 最新的有效 SIPI 数据 $DATA[x:0]$ ；如果有射频器件 20 最新的有效 SIPI 数据 $DATA[x:0]$ ，则通过时钟使能总线 CLK_ENABLE 对应打开时钟信号和关闭时钟信号来控制第一时钟产生电路 102 产生一定频率的第一时钟信号（SIPI 时

钟信号)给发送电路 101,并将该最新的有效 SIPI 数据 DATA[x:0]发送给发送电路 101,以便发送电路 101 根据第一时钟信号采样提取有效 SIPI 数据 DATA[x:0]后,将该有效 SIPI 数据 DATA[x:0]采用编码排序、截取、加密等方式并通过第一输出接口 DATA 和第二输出接口 SE 对应发送到各接收电路 201;各接收电路 201 可以根据所接收到的有效 SIPI 数据的数据帧头信号或数据帧尾信号,并通过时钟使能总线 CLK_ENABLE 和时钟使能总线 CLK_DISABLE 对应打开时钟信号和关闭时钟信号来控制第二时钟产生电路 203 产生一定频率的第二时钟信号 CLK_i (SIPI 时钟信号)给接收电路 201,以便第二检测电路 2010 根据第二时钟信号采样提取有效 SIPI 数据后,并对该有效 SIPI 数据进行解码与配置(配置各种用途),从而使得各射频器件 20 实现实时同步更新有效 SIPI 数据。

本发明所提供的串行通信装置,通过射频前端模块实施侦测并提取出各射频器件所需的有效 SIPI 数据,并以并行或级联串行的方式将该有效 SIPI 数据快速、高效地发送给各射频器件,可以满足射频前端模块的各个芯片之间以及芯片内部之间便捷、快速的单向通信需求,同时还降低了通信复杂度,具有更高的传输效率。

基于上述实施例所提供的串行通信装置,本发明还提供了一种串行通信方法。如图 14 所示,该串行通信方法包括如下步骤:

步骤 S1:通过射频前端模块判断所接收的系统时钟信号和系统数据信号中是否有最新的有效 SIPI 数据;

步骤 S2:如果有最新的有效 SIPI 数据,则使能产生第一时钟信号;否则重新接收系统时钟信号和系统数据信号;

步骤 S3:射频前端模块根据第一时钟信号采样提取有效 SIPI 数据,并按照预设规则将该有效 SIPI 数据并行或串行发送到各射频器件中;

步骤 S4:如果各射频器件所接收的有效 SIPI 数据包含有时钟信号,则对有效 SIPI 数据进行解码与配置;否则,使能产生第二时钟信号,并根据该第二时钟信号采样提取有效 SIPI 数据进行解码与配置。

本串行通信方法中所提到的射频前端模块和射频器件的结构,及

本串行通信方法已在上述实施例中具体描述，在此不再赘述。

本发明所提供的串行通信装置可以被用在半导体器件（例如射频芯片或射频模组）中，用于满足向半导体器件发送与其匹配的控制信息，或者满足各个半导体器件之间以及半导体器件内部之间便捷、快速的单向通信需求。对于该半导体器件的具体结构，在此就不再一一详述了。

以上对本发明所提供的串行通信装置及其串行通信方法进行了详细的说明。对本领域的一般技术人员而言，在不背离本发明实质精神的前提下对它所做的任何显而易见的改动，都将属于本发明专利权的保护范围。

权 利 要 求 书

1. 一种串行通信装置，其特征在于包括射频前端模块和射频器件，所述射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接，所述射频前端模块的第一输出接口通过第一信号总线与至少一个所述射频器件的第一输入接口连接时，所述射频前端模块的第二输出接口通过第二信号总线与至少一个所述射频器件的第二输入接口连接。

2. 一种串行通信装置，其特征在于包括射频前端模块和射频器件，所述射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接，所述射频前端模块的至少一个第一输出接口通过第一信号总线与至少一个所述射频器件的第一输入接口连接，所述射频前端模块的至少一个第二输出接口通过第二信号总线与至少一个所述射频器件的第二输入接口连接。

3. 一种串行通信装置，其特征在于包括射频前端模块和射频器件，所述射频前端模块的第一输入接口和第二输入接口与主控模块的输出接口对应连接，所述射频前端模块的第一输出接口通过第一信号总线与首个所述射频器件的第一输入接口连接，所述射频前端模块的第二输出接口通过第二信号总线与首个所述射频器件的第二输入接口连接，从首个所述射频器件开始，各所述射频器件之间依次分别通过第一信号总线和第二信号总线连接。

4. 如权利要求 1~3 中任意一项所述的串行通信装置，其特征在于：

所述射频前端模块包括第一检测电路、第一时钟产生电路及发送电路，所述第一检测电路的第一输入接口和第二输入接口与所述主控模块的输出接口对应连接，所述第一检测电路的输出接口通过一根或多根时钟使能总线与所述第一时钟产生电路的输入接口连接，所述第一时钟产生电路的输出接口与所述发送电路的第一输入接口连接，所述第一检测电路的输出接口与所述发送电路的第二输入接口连接。

5. 如权利要求 4 所述的串行通信装置，其特征在于：

所述第一输入接口和所述第二输入接口包括但不限于 MIPI 接口

或 GPIO 接口。

6. 如权利要求 4 所述的串行通信装置，其特征在于：

所述射频前端模块还包括第一上电复位电路，所述第一上电复位电路与所述发送电路连接。

7. 如权利要求 1 所述的串行通信装置，其特征在于：

当各所述射频器件接收的有效 SIPI 数据中含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路，所述第二上电复位电路与所述接收电路连接，所述接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接时，所述接收电路的第二输入接口分别通过所述第二信号总线与所述发送电路的第二输出接口连接，或者，所述接收电路的第二输入接口通过所述第二信号总线与所述发送电路对应的第二输出接口连接。

8. 如权利要求 2 所述的串行通信装置，其特征在于：

当各所述射频器件接收的有效 SIPI 数据中含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路，所述第二上电复位电路与所述接收电路连接，所述接收电路的第一输入接口通过所述第一信号总线与发送电路对应的第一输出接口连接，所述接收电路的第二输入接口通过第二信号总线与所述发送电路对应的第二输出接口连接。

9. 如权利要求 3 所述的串行通信装置，其特征在于：

当各所述射频器件接收的有效 SIPI 数据中含有时钟信号时，所述射频器件包括第二上电复位电路、接收电路，所述第二上电复位电路与所述接收电路连接，首个所述射频器件的接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接，首个所述射频器件的接收电路的第二输入接口通过所述第二信号总线与发送电路的第二输出接口连接，从首个所述射频器件开始，各所述射频器件的接收电路之间依次分别通过第一信号总线和第二信号总线连接。

10. 如权利要求 7~9 中任意一项所述的串行通信装置，其特征在于：

根据每个所述射频器件所需的有效 SIPI 数据的数据位宽，调整所述发送电路的第二输出接口及每个所述射频器件的接收电路的数量。

11. 如权利要求 1 所述的串行通信装置，其特征在于：

当各所述射频器件接收的有效 SIPI 数据中不含有时钟信号时,所述射频器件包括第二上电复位电路、接收电路及第二时钟产生电路,所述第二上电复位电路与所述接收电路连接,所述接收电路的输出接口通过一根或多根时钟使能总线与所述第二时钟产生电路的输入接口连接,所述第二时钟产生电路的输出接口与所述接收电路的输入接口连接,所述接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接时,所述接收电路的第二输入接口分别通过所述第二信号总线与所述发送电路的第二输出接口连接,或者,所述接收电路的第二输入接口通过所述第二信号总线与所述发送电路对应的第二输出接口连接。

12. 如权利要求 2 所述的串行通信装置,其特征在于:

当各所述射频器件接收的有效 SIPI 数据中不含有时钟信号时,所述射频器件包括第二上电复位电路、接收电路及第二时钟产生电路,所述第二上电复位电路与所述接收电路连接,所述接收电路的输出接口通过一根或多根时钟使能总线与所述第二时钟产生电路的输入接口连接,所述第二时钟产生电路的输出接口与所述接收电路的输入接口连接,所述接收电路的第一输入接口通过所述第一信号总线与发送电路对应的第一输出接口连接,所述接收电路的第二输入接口通过第二信号总线与所述发送电路对应的第二输出接口连接。

13. 如权利要求 3 所述的串行通信装置,其特征在于:

当各所述射频器件接收的有效 SIPI 数据中不含有时钟信号时,所述射频器件包括第二上电复位电路、接收电路及第二时钟产生电路,所述第二上电复位电路与所述接收电路连接,所述接收电路的输出接口通过一根或多根时钟使能总线与所述第二时钟产生电路的输入接口连接,所述第二时钟产生电路的输出接口与所述接收电路的输入接口连接,首个所述射频器件的接收电路的第一输入接口通过所述第一信号总线与发送电路的第一输出接口连接,首个所述射频器件的接收电路的第二输入接口通过所述第二信号总线与发送电路的第二输出接口连接,从首个所述射频器件开始,各所述射频器件的接收电路之间依次分别通过第一信号总线和第二信号总线连接。

14. 如权利要求 11~13 中任意一项所述的串行通信装置,其特征

在于：

根据每个所述射频器件所需的有效 SIPI 数据的数据位宽，调整所述发送电路的第一输出接口、第二输出接口及每个所述射频器件的接收电路的数量。

15. 如权利要求 11~13 中任意一项所述的串行通信装置，其特征在于：

根据每个所述射频器件所需的有效 SIPI 数据的数据位宽，调整所述发送电路的第二输出接口及每个所述射频器件的接收电路的数量。

16. 如权利要求 10 或 15 所述的串行通信装置，其特征在于：

所述接收电路包括第二检测电路，用于将所述接收电路接收的有效 SIPI 数据进行采样提取，实现对有效 SIPI 数据的解码与配置。

17. 一种串行通信方法，其特征在于包括如下步骤：

通过射频前端模块判断所接收的系统时钟信号和系统数据信号中是否有最新的有效 SIPI 数据；

如果有最新的有效 SIPI 数据，则使能产生第一时钟信号；否则重新接收系统时钟信号和系统数据信号；

射频前端模块根据第一时钟信号提取有效 SIPI 数据，并按照预设规则将该有效 SIPI 数据并行或串行发送到各射频器件中；

如果各射频器件所接收的有效 SIPI 数据包含有时钟信号，则对有效 SIPI 数据进行解码与配置；否则，使能产生第二时钟信号，并根据该第二时钟信号提取有效 SIPI 数据进行解码与配置。

18. 一种半导体器件，其特征在于所述半导体器件中包括权利要求 1~16 中任意一项所述的串行通信装置。

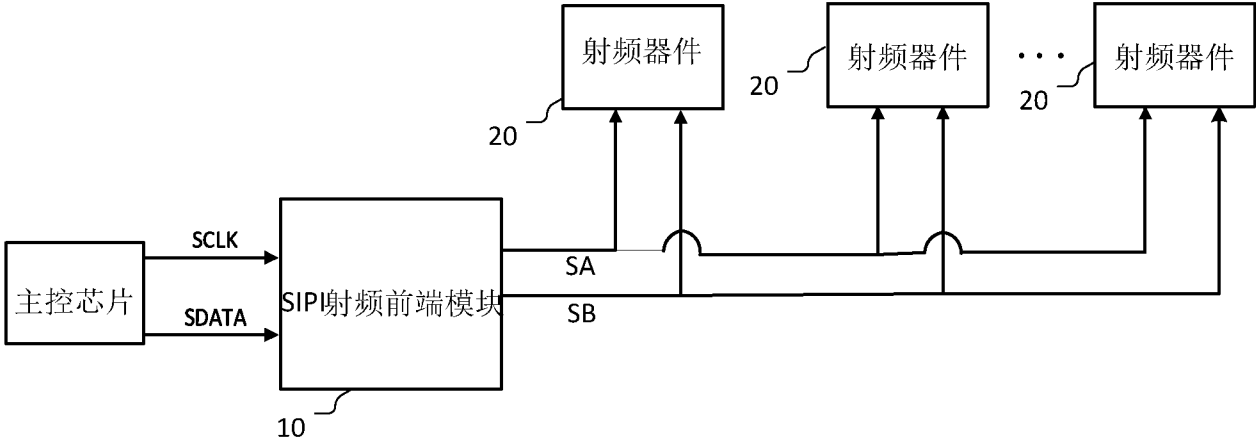


图 1

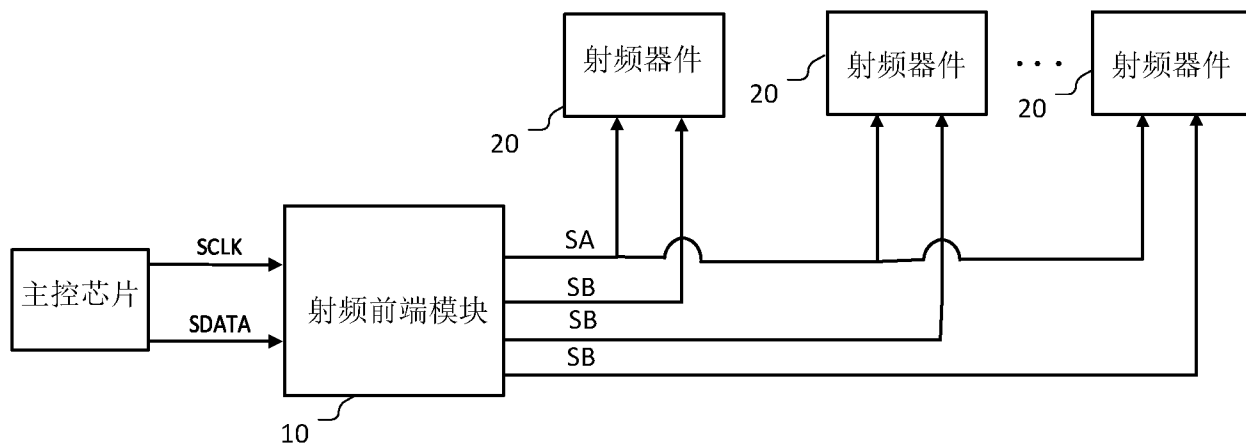


图 2

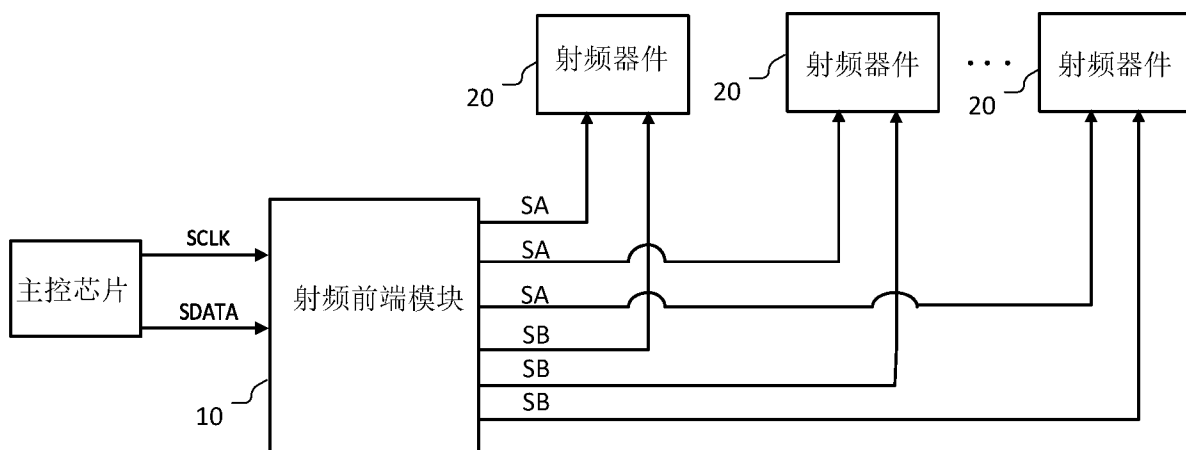


图 3

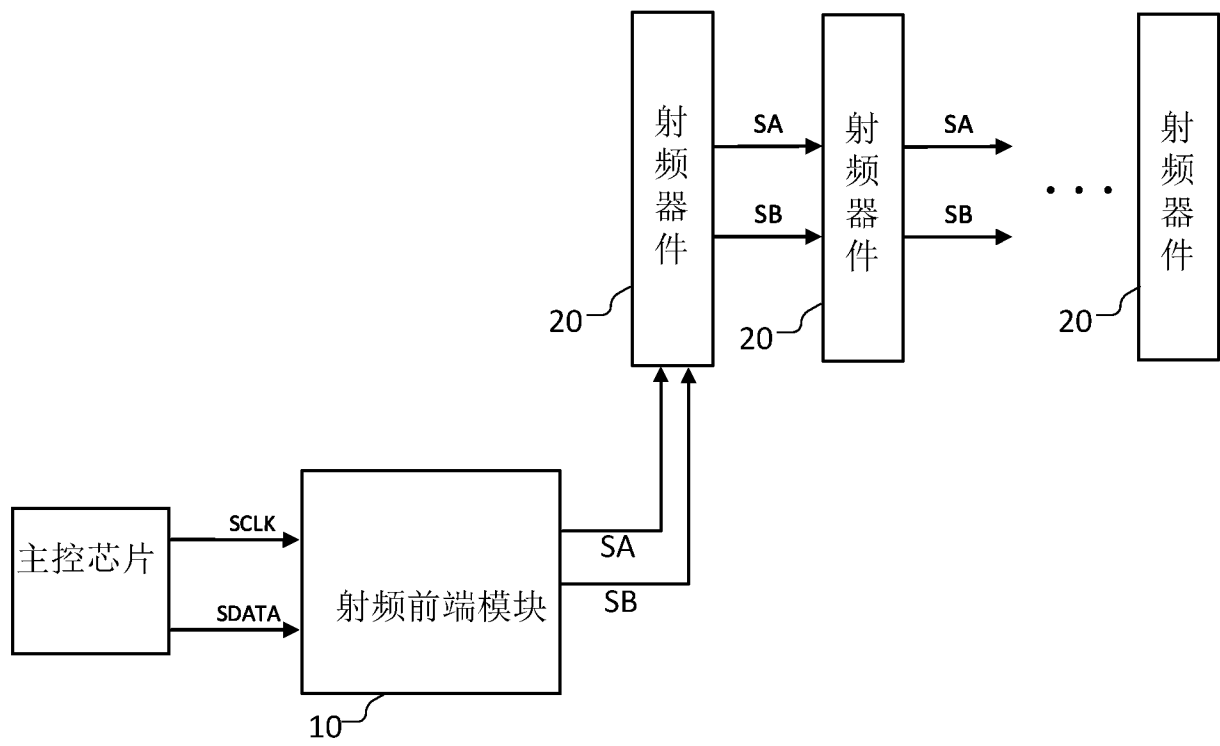


图 4

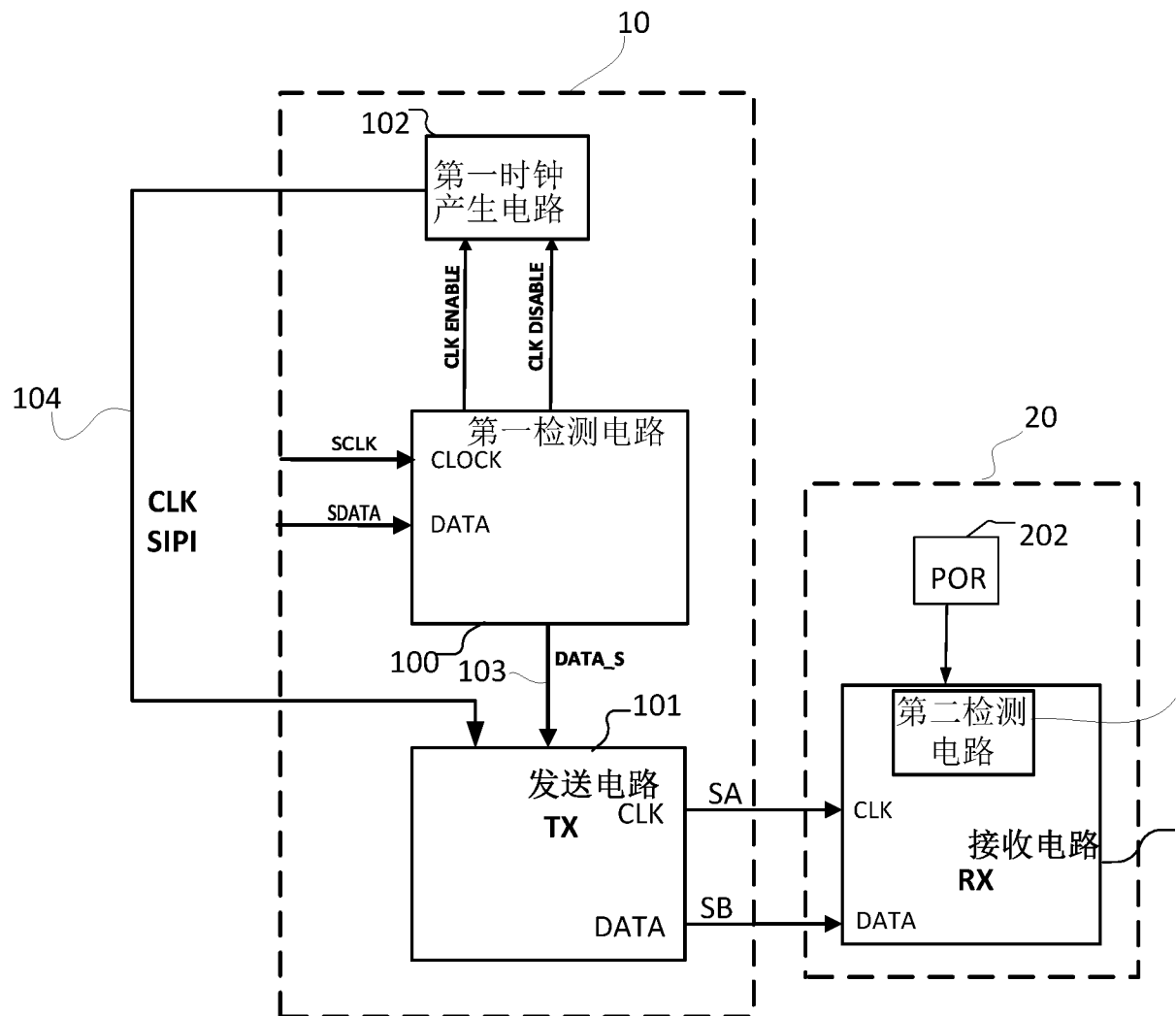


图 5

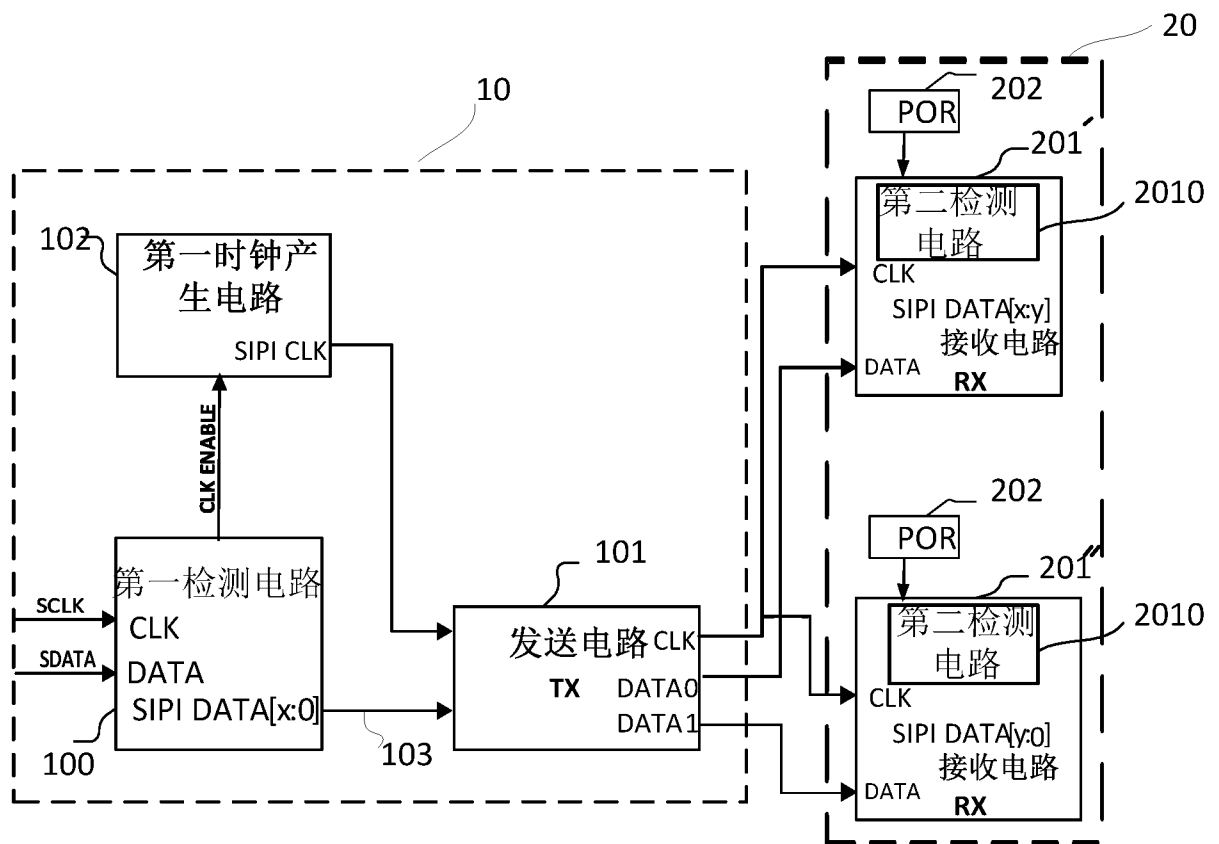


图 6

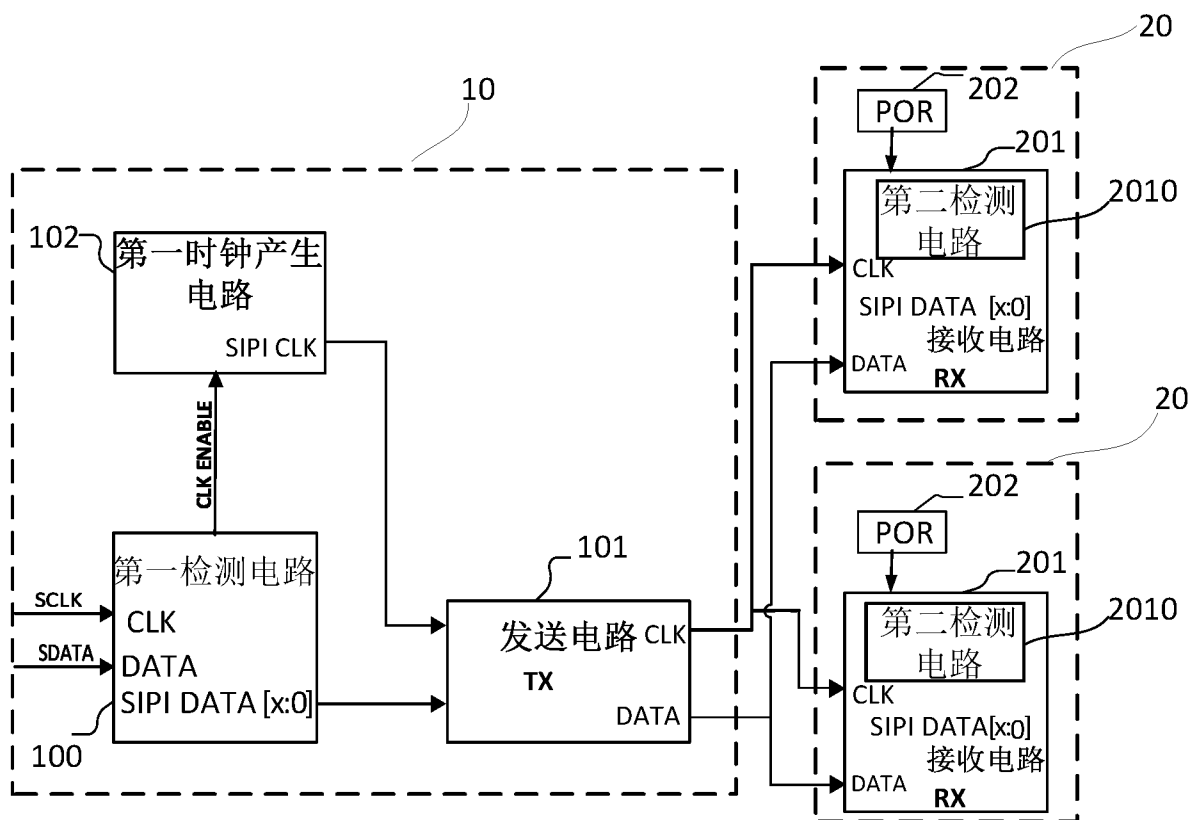


图 7

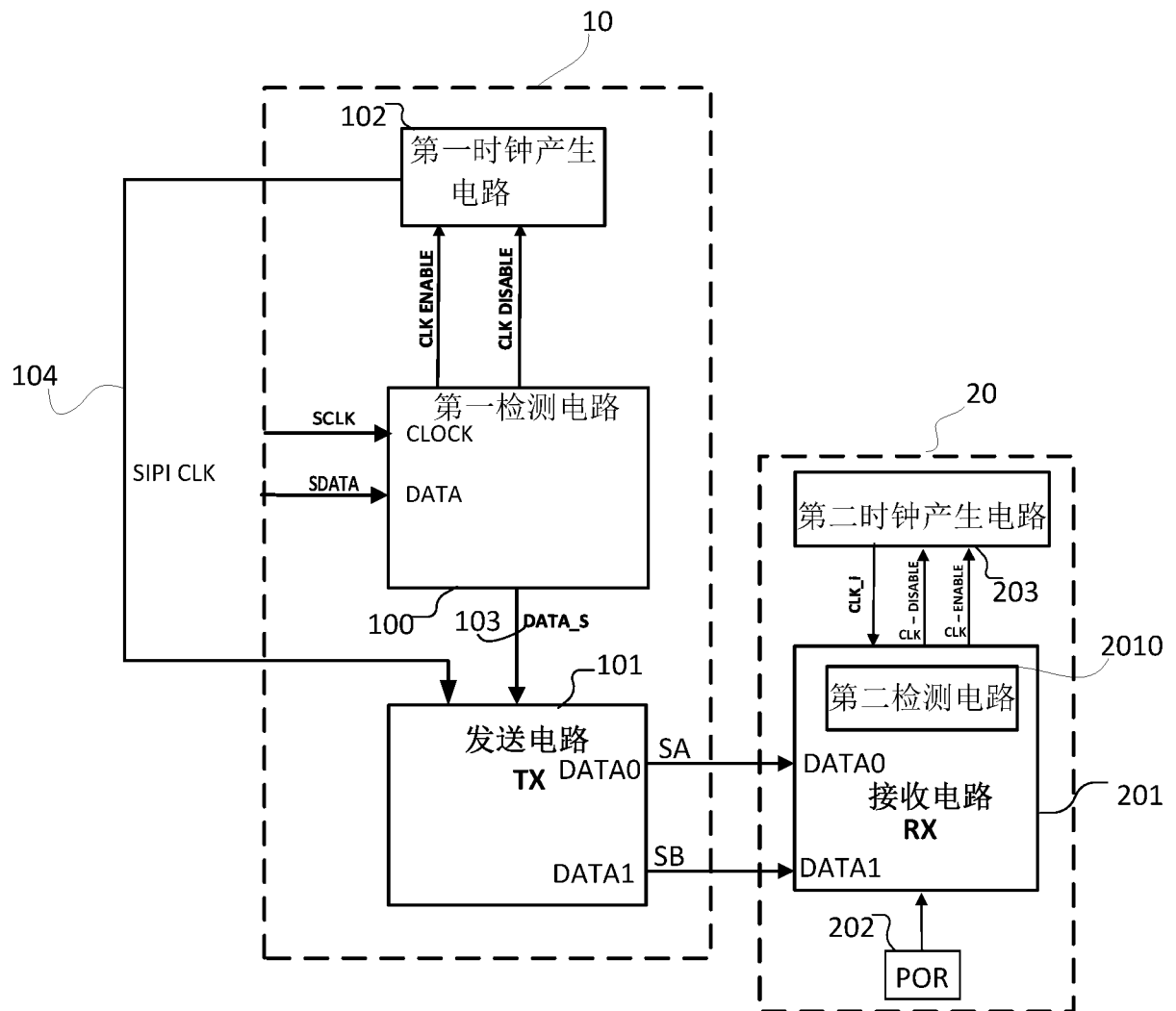


图 8

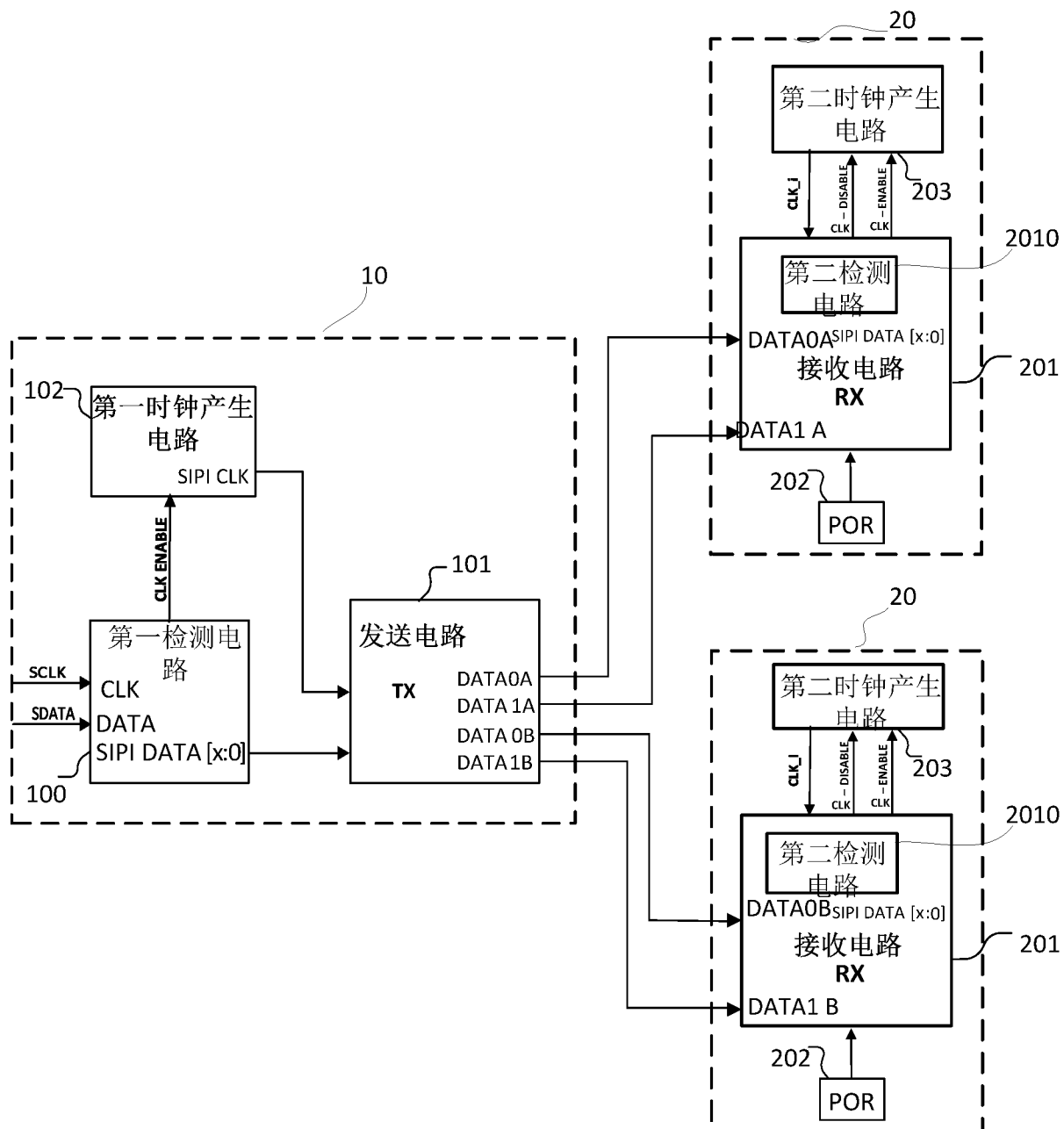


图 9

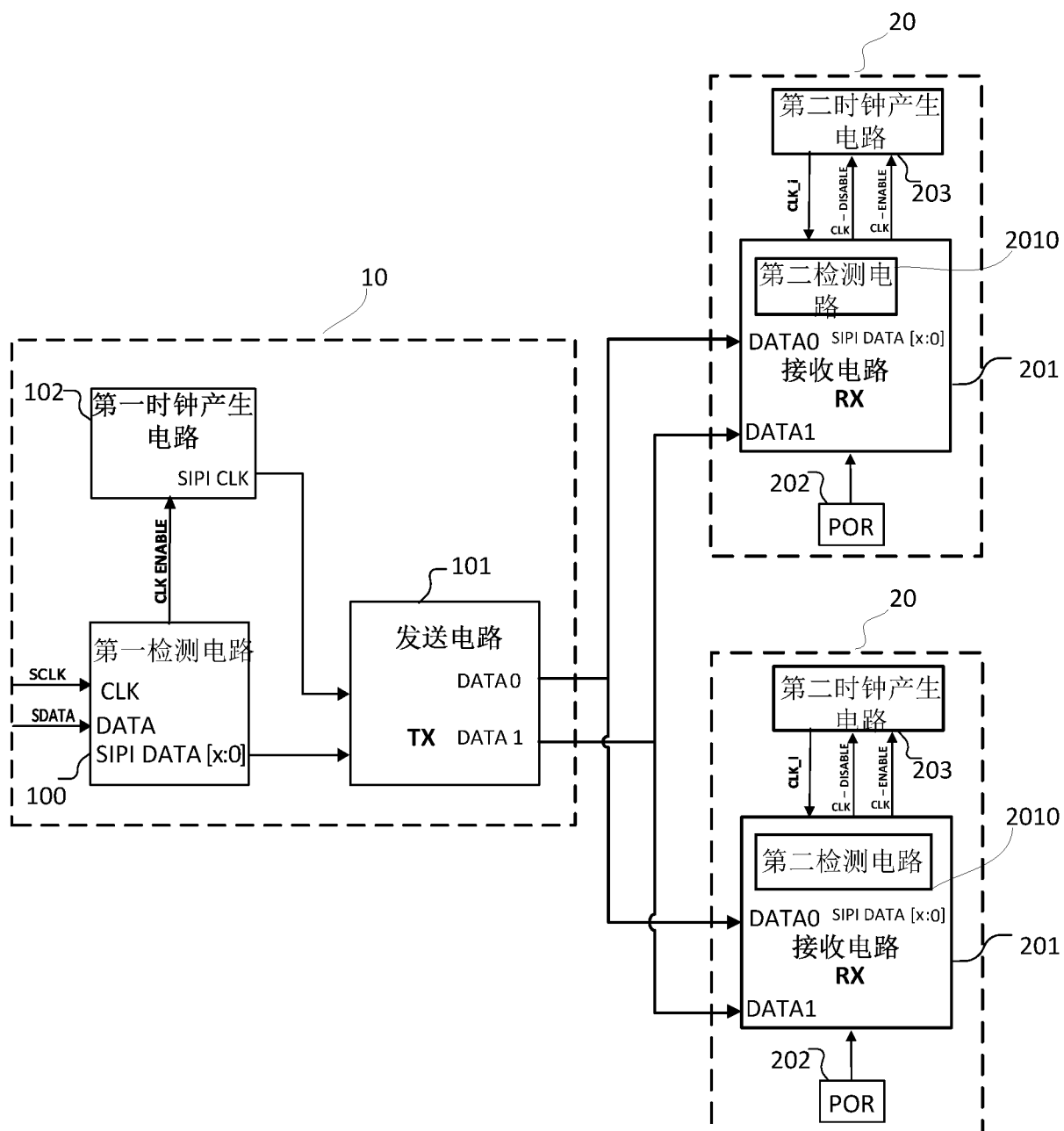


图 10

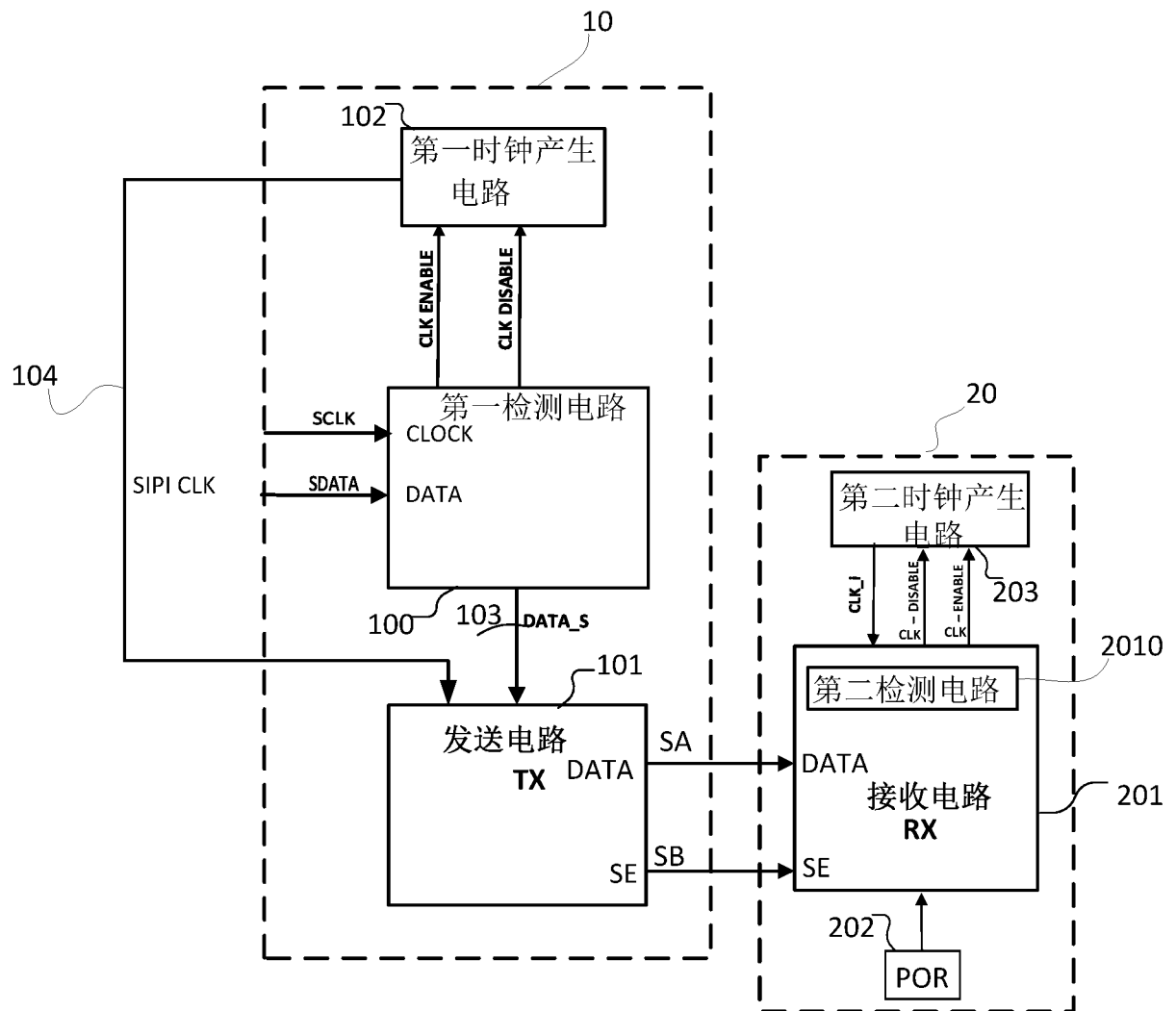


图 11

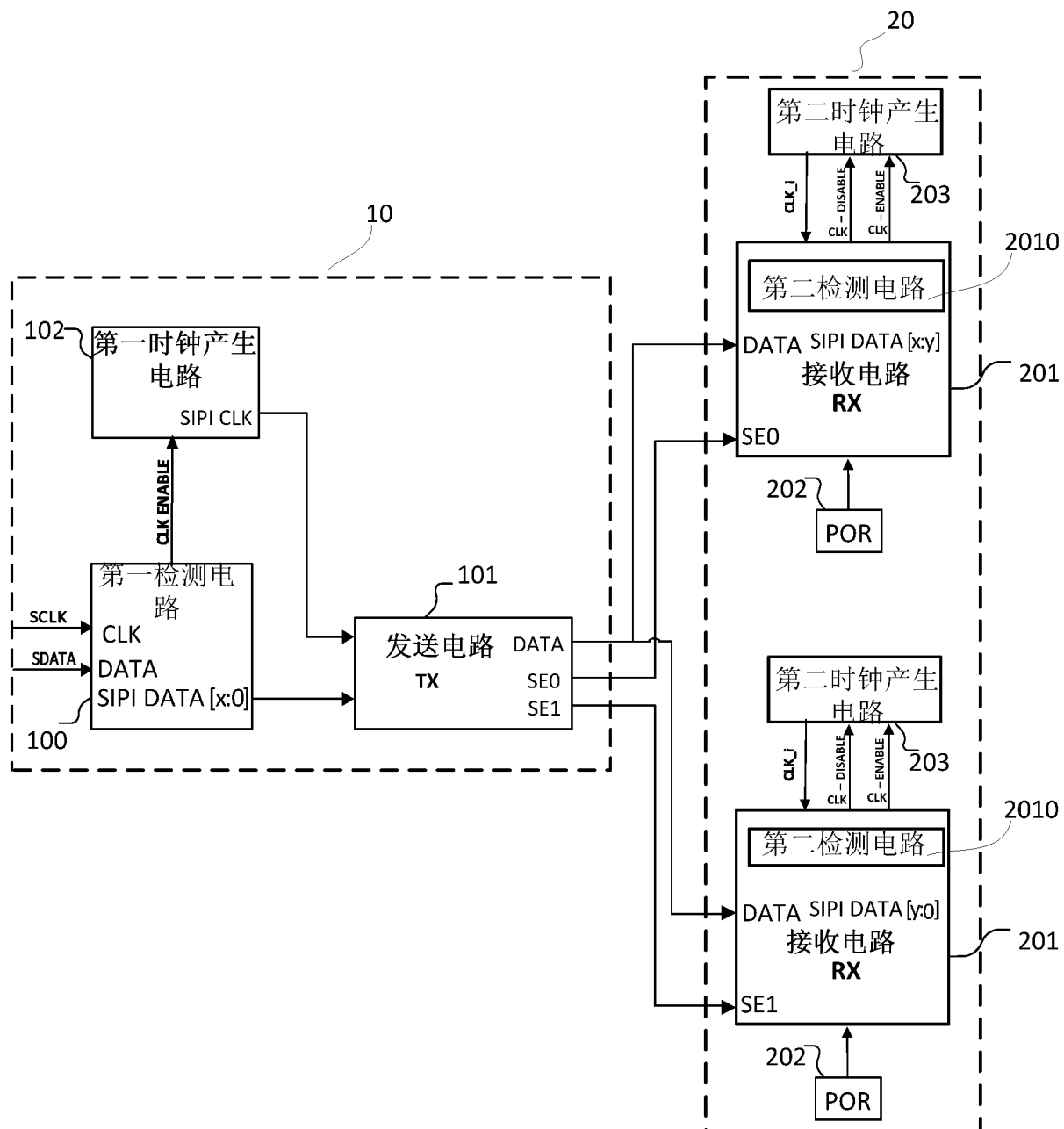


图 12

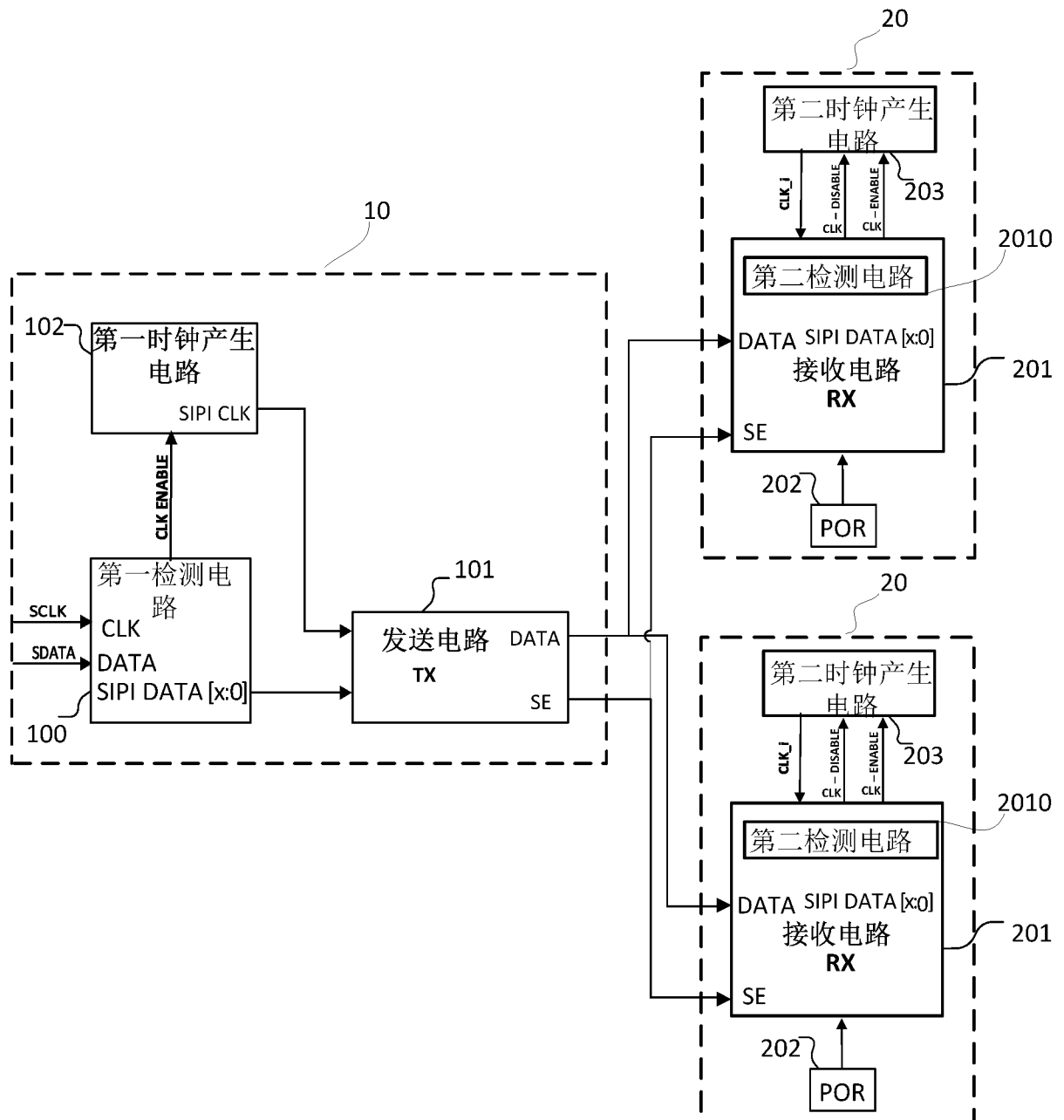


图 13

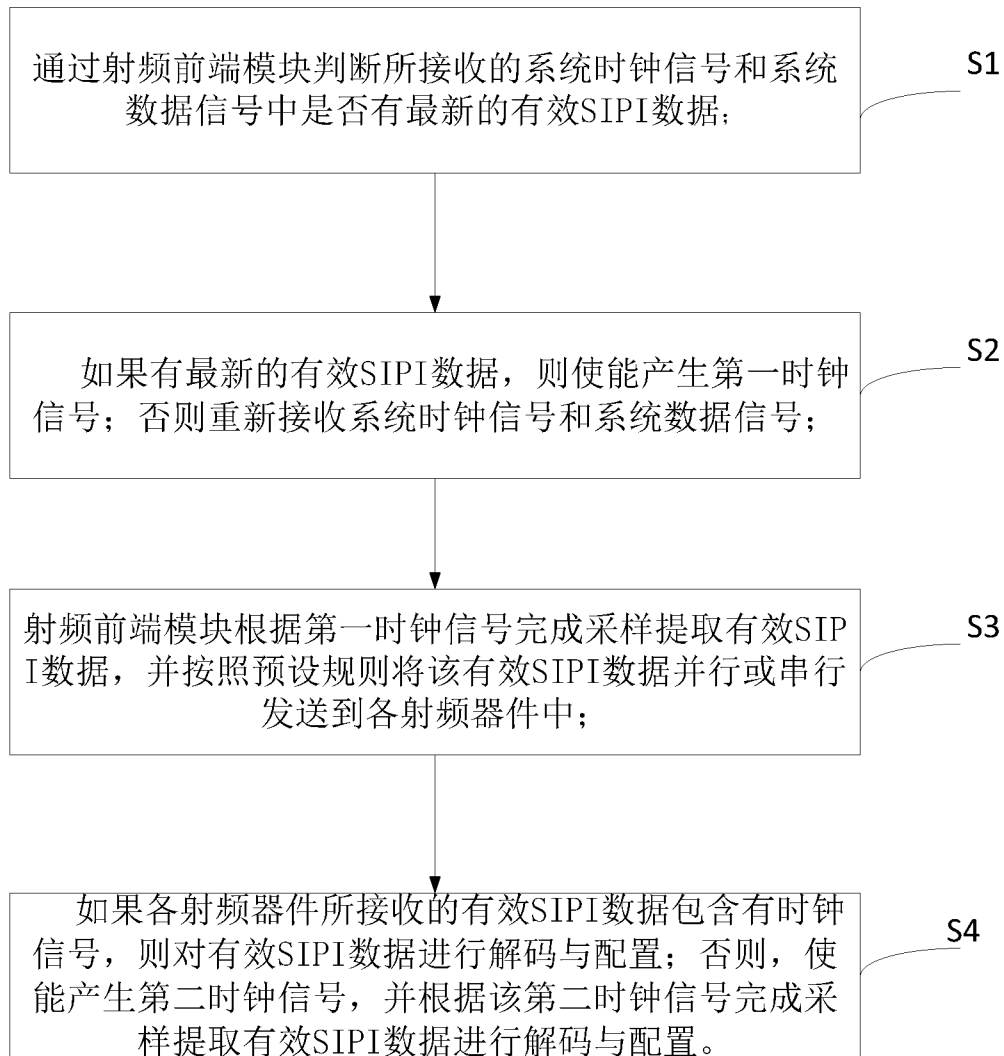


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/093618

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F; H04L; H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNABS; CNTXT; USTXT; CNKI; IEEE: 射频, 前端, 串口, 接口, 时钟, 使能, 串, 并, RF, front? end, interface, serial, clock, enable, parallel, MIPI, GPIO, SIPI, SPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109032980 A (VANCHIP (TIANJIN) TECHNOLOGY CO., LTD.) 18 December 2018 (2018-12-18) claims 1-18, description, paragraphs 2-84, and description, figures 1-14	1-18
X	CN 106933762 A (SKYWORKS SOLUTIONS, INC.) 07 July 2017 (2017-07-07) description, paragraphs 36-68, and figures 1-5	1-18
X	CN 104348510 A (ZTE CORPORATION) 11 February 2015 (2015-02-11) description, and figure 9	1-3, 17, 18
X	CN 106933770 A (MEDIATEK SINGAPORE PTE LTD.) 07 July 2017 (2017-07-07) description, paragraphs 22-48	1-3, 17, 18
X	US 2018121384 A1 (PEREGRINE SEMICONDUCTOR CORP.) 03 May 2018 (2018-05-03) description, paragraphs 4-87, and figures 1-7	1-3, 17, 18

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 September 2019

Date of mailing of the international search report

22 October 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/093618

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109032980	A	18 December 2018	None			
CN	106933762	A	07 July 2017	US	2017091143	A1	30 March 2017
				US	2019272251	A1	05 September 2019
				US	10248612	B2	02 April 2019
CN	104348510	A	11 February 2015	WO	2014134947	A1	12 September 2014
CN	106933770	A	07 July 2017	US	2017192918	A1	06 July 2017
				US	10042798	B2	07 August 2018
US	2018121384	A1	03 May 2018	US	10210130	B2	19 February 2019

国际检索报告

国际申请号

PCT/CN2019/093618

A. 主题的分类 G06F 13/38 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G06F; H04L; H04B 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) DWPI; CNABS; CNTXT; USTXT; CNKI; IEEE: 射频, 前端, 串口, 接口, 时钟, 使能, 串, 并, RF, front?end, interface, serial, clock, enable, parallel, MIPI, GPIO, SIPI, SPI		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 109032980 A (唯捷创芯天津电子技术股份有限公司) 2018年 12月 18日 (2018 - 12 - 18) 权利要求1-18、说明书第2-84段、说明书附图1-14	1-18
X	CN 106933762 A (天工方案公司) 2017年 7月 7日 (2017 - 07 - 07) 说明书第36-68段、说明书附图1-5	1-18
X	CN 104348510 A (中兴通讯股份有限公司) 2015年 2月 11日 (2015 - 02 - 11) 说明书附图9	1-3, 17, 18
X	CN 106933770 A (联发科技新加坡私人有限公司) 2017年 7月 7日 (2017 - 07 - 07) 说明书第22-48段	1-3, 17, 18
X	US 2018121384 A1 (PEREGRINE SEMICONDUCTOR CORP) 2018年 5月 3日 (2018 - 05 - 03) 说明书第4-87段、说明书附图1-7	1-3, 17, 18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2019年 9月 25日		国际检索报告邮寄日期 2019年 10月 22日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 刘琳 电话号码 62411953

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/093618

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109032980	A	2018年 12月 18日	无			
CN	106933762	A	2017年 7月 7日	US	2017091143	A1	2017年 3月 30日
				US	2019272251	A1	2019年 9月 5日
				US	10248612	B2	2019年 4月 2日
CN	104348510	A	2015年 2月 11日	WO	2014134947	A1	2014年 9月 12日
CN	106933770	A	2017年 7月 7日	US	2017192918	A1	2017年 7月 6日
				US	10042798	B2	2018年 8月 7日
US	2018121384	A1	2018年 5月 3日	US	10210130	B2	2019年 2月 19日