

(12) 发明专利

(10) 授权公告号 CN 102025272 B

(45) 授权公告日 2012. 12. 26

(21) 申请号 200910307228. 4

(22) 申请日 2009. 09. 17

(73) 专利权人 富士迈半导体精密工业(上海)有限公司

地址 201600 上海市松江区松江工业区西部
科技工业园区文吉路 500 号

专利权人 沛鑫能源科技股份有限公司

(72) 发明人 洪隆裕 孔圣翔 陈世权 赖志铭

(51) Int. Cl.

H02M 3/155(2006. 01)

(56) 对比文件

CN 1122534 A, 1996. 05. 15,

EP 0625831 A2, 1994. 11. 23,

审查员 王璐

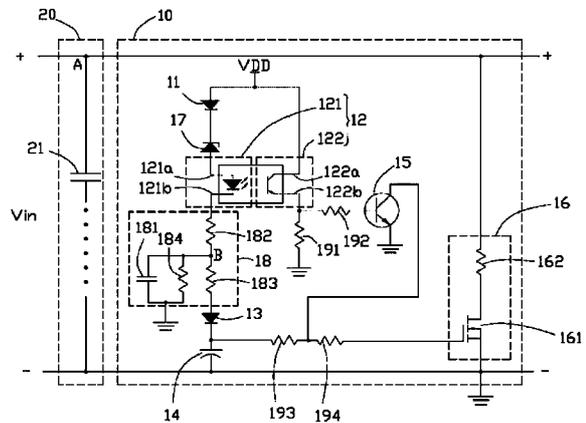
权利要求书 1 页 说明书 3 页 附图 1 页

(54) 发明名称

放电电路

(57) 摘要

本发明涉及一种放电电路。该放电电路与功率因素校正电路的输出端电连接,且该功率因素校正电路的输出端定义为第一节点,该功率因素校正电路中具有一个滤波电容。该放电电路包括一个第一二极管,一个光耦合器,一个第二二极管,一个第一电容,一个放电单元,以及一个NPN型三极管。该放电单元包括一个MOSFET 以及一个放电电阻。该MOSFET 的栅极与该第一电容的正极电连接,该MOSFET 的源极接地,该MOSFET 的漏极通过该放电电阻与第一节点电连接。该NPN型三极管的基极与该光耦合器光敏三极管的集电极电连接,该NPN型三极管的集电极与该第一电容的正极电连接。该放电电路消耗的功率较小且放电时间可调节。



1. 一种放电电路,其与一个功率因素校正电路的输出端电连接,且该功率因素校正电路的输出端定义为第一节点,该功率因素校正电路中具有一个滤波电容,该放电电路包括:

一个第一二极管,其阳极外接一个电压;

一个光耦合器,其具有一个光耦合器发光二极管与一个光耦合器光敏三极管,该光耦合器发光二极管的阳极与该第一二极管的阴极电连接,该光耦合器光敏三极管的集电极与外接电压电连接;

一个第二二极管,其阳极与该光耦合器发光二极管的阴极电连接;

一个第一电容,其正极与该第二二极管的阴极电连接,其负极接地;

一个放电单元,其包括一个 MOSFET 以及一个放电电阻,该 MOSFET 的栅极与该第一电容的阳极电连接,该 MOSFET 的源极接地,该 MOSFET 的漏极通过该放电电阻与第一节点电连接;一个 NPN 型三极管,其基极与该光耦合器光敏三极管的发射极电连接,该 NPN 型三极管的发射极接地,该 NPN 型三极管的集电极与该第一电容的正极电连接。

2. 如权利要求 1 所述的放电电路,其特征在于,该放电电路进一步包括稳压二极管,其设置在该第一二极管与该光耦合器发光二极管的阳极之间,且该稳压二极管的阴极与该第一二极管的阴极电连接。

3. 如权利要求 1 所述的放电电路,其特征在于,该放电电路进一步包括一个分压电路,其设置在该光耦合器发光二极管的阴极与该第二二极管之间。

4. 如权利要求 3 所述的放电电路,其特征在于,该分压电路包括一个第一电阻、一个第二电阻以及一个第三电阻,该第一电阻与该第二电阻串联设置在该光耦合器光电二极管的阴极与该第二二极管之间,该第一电阻与该第二电阻相接处定义为第二节点,该第三电阻的一端电连接该第二节点,另一端接地。

5. 如权利要求 4 所述的放电电路,其特征在于,该分压电路进一步包括一个第二电容,该第二电容与该第三电阻并联。

6. 如权利要求 1 所述的放电电路,其特征在于,该 NPN 型三极管的基极与该光耦合器光敏三极管的发射极之间设置有一个第四电阻。

7. 如权利要求 1 所述的放电电路,其特征在于,该光耦合器光敏三极管的发射极通过一个第五电阻接地。

8. 如权利要求 1 所述的放电电路,其特征在于,该 NPN 型三极管集电极与该第一电容的正极之间设置有一个第六电阻。

9. 如权利要求 8 所述的放电电路,其特征在于,该第六电阻与该 NPN 型三极管的集电极的相连接处定义为第三节点,该放电电路进一步包括一个第七电阻,该第七电阻设置于该第三节点与该 MOSFET 的栅极之间。

放电电路

技术领域

[0001] 本发明涉及一种放电电路,尤其涉及一种消耗功率较小且放电时间可调节的自动高压放电电路。

背景技术

[0002] 驱动电路主要用来将输入的直流电压,作电压位准的调节,并使其稳定在所设定的一电压值,其利用驱动上桥及下桥功率元件的切换而产生脉波,此脉波经过电感电容组成的低通滤波器后产生稳定的直流电压,以供给各种电子产品,具体请参阅 Volkan Kursun 等人 2004 年在 IEEE 系统中发表的“HIGH INPUT VOLTAGE STEP-DOWN DC-DC CONVERTERS FOR INTEGRATION IN A LOW VOLTAGE CMOS PROCESS”一文。

[0003] 在驱动电路中,一般需要增加一个功率因素校正电路(Power Factor Corrector, PFC),用以改变输入电流的波形与相角,修正电流中的高次谐波。具体地,该功率因素校正电路包括一个滤波电容,以通过该滤波电容有效地修正电流中的高次谐波。该滤波电容的大小取决于负载的大小,负载越大,该滤波电容也就越大。

[0004] 当电源接通时,负载正常工作,该滤波电容可有效地修正电流中的高次谐波,同时,该滤波电容将储存电能。然而,当电源断开时,负载停止工作,储存在该滤波电容中的电能并不能通过负载释放,而需通过自然放电将储存在该滤波电容中的电能释放,其放电时间较长,容易出现高压触电。为避免高压触电危险,一般利用电阻将储存在该滤波电容内的高压释放掉。且为了避免消耗过多功率,而选用大电阻对该滤波电容进行放电。但是,选用大电阻放电,其放电时间较长,以致储存在该滤波电容中的电压储存时间较长,仍可能导致高压触电危险。

[0005] 有鉴于此,有必要提供一种消耗功率较小且放电时间可以调节的放电电路。

发明内容

[0006] 下面将以实施例说明一种消耗功率较小且放电时间可以调节的自动高压放电电路。

[0007] 一种放电电路,其与一个功率因素校正电路的输出端电连接,且该功率因素校正电路的输出端定义为第一节点,该功率因素校正电路中具有一个滤波电容。该放电电路包括一个第一二极管,一个光耦合器,一个第二二极管,一个第一电容,一个放电单元,以及一个 NPN 型三极管。该第一二极管的阳极与一个外接电压电连接。该光耦合器具有一个光耦合器发光二极管与一个光耦合器光敏三极管,该光耦合器发光二极管的阳极与该第一二极管的阴极电连接,该光耦合器光敏三极管的集电极外接一输入电压。该第二二极管的阳极与该光耦合器发光二极管的阴极电连接。该第一电容的正极与该第二二极管的阴极电连接,该第一电容的负极接地。该放电单元包括一个 MOSFET 以及一个放电电阻。该 MOSFET 的栅极与该第一电容的正极电连接,该 MOSFET 的源极接地,该 MOSFET 的漏极通过该放电电阻与第一节点电连接。该 NPN 型三极管的基极与光耦合器光敏三极管的发射极电连接,该

NPN 型三极管的发射极接地,该 NPN 型三极管的集电极与该第一电容的正极电连接。

[0008] 相对于现有技术,当电路接通时,该功率因素校正电路正常工作,该滤波电容用于滤除电源电路中的高次谐波,并储存电能。该光耦合器与该 NPN 型三极管导通,该第一电容储存电能。由于该 MOSFET 截止,因此,该放电电路消耗的功率较小。当电路断开时,该光耦合器与该 NPN 型三极管截止,储存在第一电容中的电能释放,以使该 MOSFET 导通,从而使储存在该滤波电容中的电能通过该放电单元自动进行放电,以避免高压触电危险。并且可以通过调节该放电电阻的阻值大小调节放电时间,实现快速放电目的。

附图说明

[0009] 图 1 是本发明实施例提供的放电电路的电路示意图。

具体实施方式

[0010] 下面将结合附图对本发明实施方式作进一步的详细说明。

[0011] 请参见图 1,本发明实施例提供了一种放电电路 10,其并联于功率因素校正电路 20 与负载之间。具体地,该功率因素校正电路 20 的输入端 V_{in} 与电源输出端电连接,该功率因素校正电路 20 的输出端定义为第一节点 A。该功率因素校正电路 20 中具有一个滤波电容 21,其用于滤除电源电流中的高次谐波。

[0012] 该放电电路 10 包括一个第一二极管 11,一个光耦合器 12,一个第二二极管 13,一个第一电容 14,一个 NPN 型三极管 15 以及一个放电单元 16。

[0013] 该第一二极管 11 的正极与外接电压 VDD 电连接。在本实施例中,该外接电压 VDD 为功率因素校正电路 20 输出的一个 15 伏左右的辅助电压,当功率因素校正电路 20 断开时,该外接电压 VDD 断开,即为 0 伏。

[0014] 该光耦合器 12 包括一个光耦合器发光二极管 121 与一个光耦合器光敏三极管 122。该光耦合器发光二极管 121 具有一个阳极 121a 以及一个阴极 121b。该光耦合器光敏三极管 122 具有一个集电极 122a 以及一个发射极 122b。该光耦合器发光二极管 121 的阳极 121a 与该第一二极管 11 的阴极电连接。该光耦合器光敏三极管 122 的集电极 122a 直接与外接电压 VDD 电连接。该光耦合器光敏三极管 122 的发射极 122b 通过一个第一电阻 191 接地。

[0015] 优选地,在该光耦合器发光二极管 121 的阳极 121a 与该第一二极管 11 的阴极之间设置一个稳压二极管 17。该稳压二极管 17 的阳极与该光耦合器发光二极管 121 的阳极 121a 电连接。该稳压二极管 17 用于保证该光耦合器 12 的输入电压为恒压。

[0016] 该第二二极管 13 的阳极与该光耦合器发光二极管 121 的阴极 121b 电连接,其阴极与该第一电容 14 的正极电连接。该第一电容 14 的负极接地。

[0017] 优选地,在该第二二极管 13 与该光耦合器发光二极管 121 的阴极 121b 之间设置一个分压电路 18。具体地,该分压电路 18 包括一个第二电容 181,一个第二电阻 182、一个第三电阻 183 以及一个第四电阻 184。该第二电阻 182 与该第三电阻 183 串联设置在该光耦合器发光二极管 121 的阴极 121b 与第二二极管 13 之间,且该第二电阻 182 与该第三电阻 183 相连接处定义为第二节点 B。该第四电阻 184 与该第二电容 181 并联,且该并联电路一端与该第二节点 B 电连接,另一端接地。

[0018] 该 NPN 型三极管 15 的基极通过一个第五电阻 192 与该光耦合器发光二极管 122 的阳极 122b 电连接。该 NPN 型三极管 15 的集电极通过一个第六电阻 193 与该第一电容 14 的正极电连接。该 NPN 型三极管 15 的发射极接地。

[0019] 该放电单元 16 包括一个 MOSFET 161 以及一个放电电阻 162。优选地,该 MOSFET 161 的栅极通过一个第七电阻 194 与该 NPN 型三极管的集电极电连接。该 MOSFET 161 的源极接地,其漏极该放电电阻 162 与负载电源 V_{in} 电连接。

[0020] 当电路接通时,即该功率因素校正电路 20 的输入端 V_{in} 与该外接电压 VDD 均接通,该功率因素校正电路 20 正常工作,该滤波电容 21 用于滤除电源电路中的高次谐波,并储存电能。光耦合器 12 导通,该第一电容 14 储存电能,并可以通过控制该分压电路 18 的各电阻的大小,可以控制储存在该第一电容 14 中的电量的多少。同时,该 NPN 型三极管 15 的基极电压约为 VDD,该 NPN 型三极管 15 导通,该 NPN 型三极管 15 的集电极的电压趋近于零,即该 MOSFET 161 的栅极电压基本为零,该 MOSFET 161 截止,因此,该放电电路消耗的功率较小。

[0021] 当电路断开时,即该功率因素校正电路 20 的输入端 V_{in} 与该外接电压 VDD 均断开,该光耦合器 12 截止,该 NPN 型三极管 15 的基极电压为零,该 NPN 型三极管 15 截止。储存在该第一电容 14 中的电量通过该第六电阻 193 与该第七电阻 194 提供一个偏压给 MOSFET 161,以使该 MOSFET 161 导通。因此,储存在该滤波电容 21 中的电能通过该放电单元 16 自动进行放电,以避免高压触电危险。并且,储存在第一电容 14 中的电能也可以通过该放电单元 16 自动进行放电。

[0022] 该放电电路 10 用于释放储存在该滤波电容 21 中的电能,其放电快慢取决于该放电电阻 162 的大小。具体地,该放电电阻 162 越大,放电越慢,放电时间越长,反之,该放电电阻 162 越小,放电越快,放电时间越短。可以理解的是,储存在该第一电容 14 中的电能也通过该放电电路 10 进行释放。而该第一电容 14 中的电能的放电快慢则取决于该分压电路 18 中各电阻的大小。具体地,该放电电路 10 的外接电压经过该分压电路 18 之后,部分电压储存在该第一电容 14 中,该分压电路 18 分配给该第一电容 14 的电压越多,则需要的放电时间越长,反之,该第一电容 14 中储存的电压越少,需要的放电时间越短。

[0023] 该放电电路 10 结构简单,消耗的功率较小,可以自动将储存在滤波电容 21 中的电能释放,以避免高压触电危险。并且可以通过调节该放电电阻 162 的阻值大小调节放电时间,实现快速放电目的。

[0024] 另外,本领域技术人员还可于本发明精神内做其它变化用于本发明的设计,只要其不偏离本发明的技术效果均可。这些依据本发明精神所做的变化,都应包含在本发明所要求保护的范围之内。

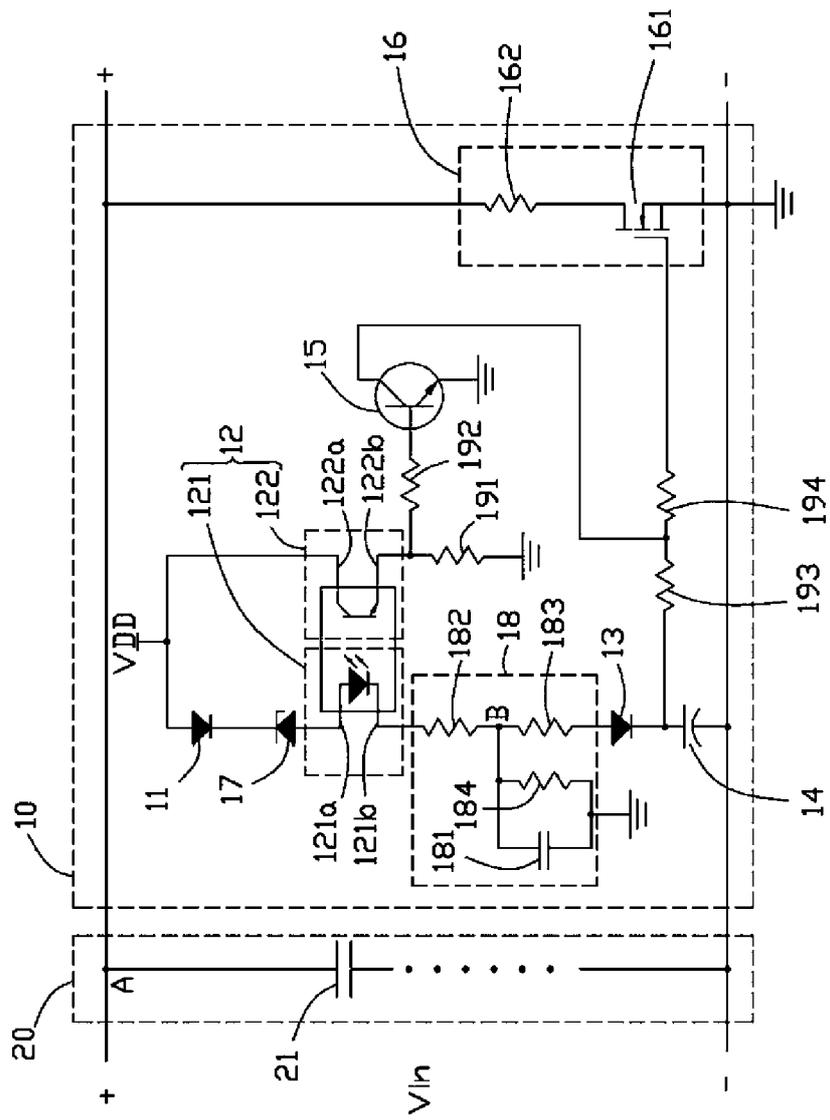


图 1