

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-21264
(P2010-21264A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L 29/78 617T
H01L 29/78 618B
H01L 29/78 617U

テーマコード(参考)

5 F 1 1 O

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号

特願2008-179094 (P2008-179094)

(22) 出願日

平成20年7月9日 (2008.7.9)

(71) 出願人 306037311

富士フィルム株式会社

東京都港区西麻布2丁目26番30号

(74) 代理人 100079049

弁理士 中島 淳

(74) 代理人 100084995

弁理士 加藤 和詳

(74) 代理人 100085279

弁理士 西元 勝一

(74) 代理人 100099025

弁理士 福田 浩志

(72) 発明者 今井 真二

神奈川県足柄上郡開成町牛島577番地

富士フィルム株式会社内

最終頁に続く

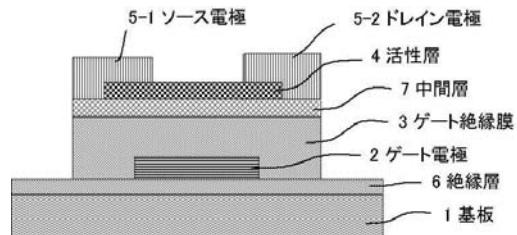
(54) 【発明の名称】薄膜電界効果型トランジスタ

(57) 【要約】

【課題】本発明の目的は、高い電界効果移動度を有し閾値変動が小さく、且つ密着性が強く耐衝撃安定性にすぐれたTFTを提供することにある。

【解決手段】基板上にゲート電極2、ゲート絶縁膜3、活性層4、ソース電極及びドレイン電極を備えた薄膜電界効果素子であって、前記ゲート絶縁膜3が有機絶縁材料を含有し、前記活性層4と前記ゲート絶縁膜3の間に無機絶縁材料を含有する中間層7を有することを特徴とする薄膜電界効果型トランジスタ。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

基板上にゲート電極、ゲート絶縁膜、活性層、ソース電極及びドレイン電極を備えた薄膜電界効果素子であって、前記ゲート絶縁膜が有機絶縁材料を含有し、前記活性層と前記ゲート絶縁膜の間に無機絶縁材料を含有する中間層を有することを特徴とする薄膜電界効果型トランジスタ。

【請求項 2】

前記活性層が酸化物半導体を含有する請求項 1 に記載の薄膜電界効果型トランジスタ。

【請求項 3】

前記酸化物半導体がアモルファス酸化物半導体である請求項 1 に記載の薄膜電界効果型トランジスタ。10

【請求項 4】

前記酸化物半導体が I_n , Ga , Zn 及び Sn よりなる群から選択された金属の酸化物半導体である請求項 3 記載の薄膜電界効果型トランジスタ。

【請求項 5】

前記中間層の無機絶縁材料がアモルファス酸化物である請求項 1 ~ 請求項 4 のいずれか 1 項に記載の薄膜電界効果型トランジスタ。

【請求項 6】

前記無機絶縁材料がアモルファス SiO_2 である請求項 5 に記載の薄膜電界効果型トランジスタ。20

【請求項 7】

前記中間層の膜厚が $2 nm \sim 200 nm$ である請求項 1 ~ 請求項 6 のいずれか 1 項に記載の薄膜電界効果型トランジスタ。

【請求項 8】

前記中間層の膜厚が $5 nm \sim 50 nm$ である請求項 7 に記載の薄膜電界効果型トランジスタ。

【請求項 9】

前記有機絶縁材料が有機高分子であることを特徴とする請求項 1 ~ 請求項 8 のいずれか 1 項に記載の薄膜電界効果型トランジスタ。

【請求項 10】

前記ゲート絶縁膜の誘電容量と前記中間層の誘電容量が下記式(1)を満足することを特徴とする請求項 1 ~ 請求項 9 のいずれか 1 項に記載の薄膜電界効果型トランジスタ。30

$$(\epsilon_A / d_A) / (\epsilon_B / d_B) = 0.015 \sim 1.0 \quad (1)$$

(式中、 ϵ_A 及び ϵ_B は、それぞれゲート絶縁膜及び中間層の比誘電率であり、 d_A 及び d_B は、それぞれゲート絶縁膜及び中間層の厚みである。)。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、薄膜電界効果型トランジスタおよびそれを用いた表示装置に関する。特に活性層にアモルファス酸化物半導体を用いた薄膜電界効果型トランジスタに関する。40

【背景技術】**【0002】**

近年、液晶やエレクトロルミネッセンス(Electro Luminescence: E L)技術等の進歩により、平面薄型画像表示装置(Flat Panel Display: F P D)が実用化されている。特に、電流を通じることによって励起され発光する薄膜材料を用いた有機電界発光素子(以後、「有機 E L 素子」と記載する場合がある)は、低電圧で高輝度の発光が得られるために、携帯電話ディスプレイ、パーソナルデジタルアシスタント(PDA)、コンピュータディスプレイ、自動車の情報ディスプレイ、TV モニター、あるいは一般照明を含む広い分野で、デバイスの薄型化、軽量化、小型化、および省電力のなどが期待されている。50

これら FPD は、従来、ガラス基板上に設けた非晶質シリコン薄膜や多結晶シリコン薄膜を活性層に用いる電界効果型薄膜トランジスタ（以後の説明で、Thin Film Transistor、もしくは TFT と記載する場合がある）のアクティブマトリクス回路により駆動されている。

【0003】

一方、これら FPD のより一層の薄型化、軽量化、耐破損性の向上を求めて、ガラス基板の替わりに軽量で可撓性のある樹脂基板を用いる試みも行われている。しかしながら、上述のシリコン薄膜を用いるトランジスタの製造は、比較的高温の熱工程を要し、一般的に耐熱性の低い樹脂基板上に直接形成することは困難であった。

【0004】

シリコン薄膜に替わる半導体材料として、アモルファス酸化物、例えば、In-Ga-Zn-O 系アモルファス酸化物は低温での成膜が可能であり、プラスチックフィルム上に室温成膜可能な材料として注目されている。例えば、アモルファス酸化物半導体 (IGZO) からなる活性層のキャリア濃度を 10^{18} cm^{-3} 未満にすると TFT は動作し、 10^{16} cm^{-3} 未満で良好な ON/OFF 比が得られることが開示されている（例えば、特許文献 1 参照）。

【0005】

TFT は通常、基板上にゲート電極、ゲート絶縁膜、活性層（半導体層）、ソース電極及びドレイン電極を配した構成を有する。これらの層のいくつかはパターンを形成する必要があり、それらの層の生産性に優れた製造方法も大きな課題であった。例えば、インクジェット方式あるいはスクリーン印刷法が開示され、ゲート絶縁膜材料としてポリイミドなどの有機材料からなる厚み $1 \mu\text{m}$ のゲート絶縁膜をスピンドルコートやダイコートによって塗布することが開示されている（例えば、特許文献 2、3 参照）。

【0006】

また、トップゲート構造の TFTにおいて、InGaZnO からなる活性層の上に、シランカップリング剤溶液を浸漬して界面層を形成した後、エポキシ樹脂からなるゲート絶縁膜を塗布形成すると層間の結合が強化され動作安定性が向上することが開示されている（例えば、特許文献 4 参照）。

【0007】

また、ゲート電極上にゲート絶縁膜として無機絶縁材料 ($\text{SiO}_2 + \text{CeO}_2$) を真空成膜し、その上有機絶縁膜（ポリ 4 - ビニルフェノール：PVP）を塗布により形成した積層型ゲート絶縁膜、及びその上に活性層として a-InGaZnO を設けた構成が開示されている（例えば、非特許文献 1 参照）。該構成では、有機絶縁膜は、無機ゲート絶縁膜の表面凹凸を平滑化するための層であり、厚みは薄く、ゲート絶縁容量には寄与しない。ゲート絶縁容量を担っているのは無機絶縁膜である。

【0008】

しかしながら、実用的に供される TFT は、OFF 電流が低く、ON/OFF 比が高いことは勿論のこと、連続駆動してもその性能が変化しないこと、あるいは衝撃に対して膜剥がれなどの生じない耐久性などが要求され、未だ多くのクリアすべき課題が残る。

【特許文献 1】特開 2006-165529 号公報

【特許文献 2】特開 2006-278921 号公報

【特許文献 3】特開 2007-298601 号公報

【特許文献 4】特開 2007-158147 号公報

【非特許文献 1】Japanese Journal of Applied Physics, Vol. 46, No. 7A, 2007, pp. 4096-4098

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、高い電界効果移動度を維持し、且つ層及び膜間の密着性が強く耐衝撃安定性にすぐれた TFT を提供することである。特に、ゲート絶縁膜を有機材料とした塗

布方式でゲート絶縁膜を形成する場合でも、アモルファス酸化物半導体活性層と密着性を改良し、耐衝撃性、エッティング性、TFT特性の安定性などの信頼性を向上させることである。

【課題を解決するための手段】

【0010】

本発明の上記課題は下記の手段によって解決された。

<1> 基板上にゲート電極、ゲート絶縁膜、活性層、ソース電極及びドレイン電極を備えた薄膜電界効果素子であって、前記ゲート絶縁膜が有機絶縁材料を含有し、前記活性層と前記ゲート絶縁膜の間に無機絶縁材料を含有する中間層を有することを特徴とする薄膜電界効果型トランジスタ。
10

<2> 前記活性層が酸化物半導体を含有する<1>に記載の薄膜電界効果型トランジスタ。

<3> 前記半導体活性層がアモルファス酸化物半導体を含有する<2>に記載の薄膜電界効果型トランジスタ。

<4> 前記酸化物半導体がIn, Ga, Zn及びSnよりなる群から選択された金属の酸化物半導体である<3>記載の薄膜電界効果型トランジスタ。

<5> 前記中間層の無機絶縁材料がアモルファス酸化物である<1>～<4>のいずれかに記載の薄膜電界効果型トランジスタ。

<6> 前記無機絶縁材料がアモルファスSiO₂である<5>に記載の薄膜電界効果型トランジスタ。
20

<7> 前記中間層の膜厚が2nm～200nmである<1>～<6>のいずれかに記載の薄膜電界効果型トランジスタ。

<8> 前記中間層の膜厚が5nm～50nmである<7>に記載の薄膜電界効果型トランジスタ。

<9> 前記有機絶縁材料が有機高分子であることを特徴とする<1>～<8>のいずれかに記載の薄膜電界効果型トランジスタ。

<10> 前記ゲート絶縁膜の誘電容量と前記中間層の誘電容量が下記式(1)を満足することを特徴とする<1>～<9>のいずれかに記載の薄膜電界効果型トランジスタ。

$$(\epsilon_A / d_A) / (\epsilon_B / d_B) = 0.015 \sim 1.0 \quad (1)$$

(式中、 ϵ_A 及び ϵ_B は、それぞれゲート絶縁膜及び中間層の比誘電率であり、 d_A 及び d_B は、それぞれゲート絶縁膜及び中間層の厚みである。)
30

【0011】

有機EL素子の駆動用TFTは、所定のドレイン電流駆動下で閾値電圧を安定に維持することが重要である。従来のアモルファス酸化物半導体を活性層に用いた場合、連続して駆動を繰り返すと、閾値電流が変動する問題を有することが判明した。本発明者らによる解明の結果、アモルファス酸化物半導体を活性層に用いた場合、所定のドレイン電流を流すために活性層界面に誘起されるキャリア電荷の単位面積あたり密度（以下キャリア電荷面密度と称することがある）を少なくすることが、閾値変動抑制に効果的であることを見出された。ドレイン電流を一定にして、活性層界面に誘起されるキャリア電荷面密度を下げるには、電界効果移動度を上げ、またはトランジスタのチャネル長（L）とチャネル巾（W）の比（W/L）大きくして、ゲート電圧を下げるにより実現できる。しかしながら、ゲート電圧があまりに小さな値となると多階調有機EL表示装置において階調とびが生じるなどの問題が生じる。制御性の良い駆動ゲート電圧範囲で駆動可能にするためには、ゲート容量を低く、従ってゲート絶縁膜を厚くすれば良いが、従来の無機絶縁材料をスパッタ法で厚くする形成するには成膜に時間がかかりすぎて現実的でなく、また、無機材料のスパッタ膜は厚みを厚くするほど表面の平滑性が悪化し、結果的に電界効果移動度が悪化してしまう欠点があった。
40

本発明の有機絶縁材料からなるゲート絶縁膜と、活性層と該ゲート絶縁膜の間に無機絶縁材料を含有する中間層を配する構成によれば、予想外に本発明の課題が解決され、本発明に至ったものである。
50

【発明の効果】

【0012】

本発明によれば、高い電界効果移動度と、低いゲート容量を実現し、閾値変動が少ないTFTが提供される。さらに、アモルファス酸化物半導体からなる活性層とゲート絶縁膜との密着性が良く、電気特性および衝撃性に關わる耐久性が向上する。また、活性層やソース及びドレイン電極をウットエッティングでパターニングする場合の精度が向上する。本発明により提供されるTFTは、特に多階調制御性にすぐれた有機EL表示装置に好ましく用いることができる。

【発明を実施するための最良の形態】

【0013】

10

1. TFTの構成要素

本発明のTFTは、少なくとも、ゲート電極、ゲート絶縁膜、中間層、活性層、ソース電極及びドレイン電極を順次有し、ゲート電極に電圧を印加して、活性層に流れる電流を制御し、ソース電極とドレイン電極間の電流をスイッチングする機能を有するアクティブ素子である。TFT構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。

【0014】

20

1) 活性層

本発明に用いられる活性層には、アモルファス酸化物半導体が用いられる。アモルファス酸化物半導体は、低温で成膜可能である為に、プラスティックのような可撓性のある樹脂基板に作製が可能である。低温で作製可能な良好なアモルファス酸化物半導体としては、Inを含む酸化物、InとZnを含む酸化物、In、Ga及びZnを含有する酸化物であり、組成構造としては、 $InGaO_3 (ZnO)_m$ (m は6未満の自然数) のものが好ましいことが知られている。これらは、キャリアが電子のn型半導体である。もちろん、 $ZnO \cdot Rh_2O_3$ 、 $CuGaO_2$ 、 $SrCu_2O_2$ のようなp型酸化物半導体を活性層に用いても良い。特開2006-165529に開示されている酸化物半導体を用いることもできる。

本発明においては、In、Ga、Zn及びSnの少なくとも一つを含有するアモルファス酸化物半導体が好ましい。より好ましくは、In又はZnを含有するアモルファス酸化物半導体である。

30

【0015】

具体的に本発明に係るアモルファス酸化物半導体は、 $In - Ga - Zn - O$ を含み構成され、結晶状態における組成が $InGaO_3 (ZnO)_m$ (m は6未満の自然数) で表されるアモルファス酸化物半導体が好ましい。特に、 $InGaZnO_4$ がより好ましい。この組成のアモルファス酸化物半導体の特徴としては、電気伝導度が増加するにつれ、電子移動度が増加する傾向を示す。また、電気伝導度を制御するには、成膜中の酸素分圧より制御が可能である。もちろん、活性層には酸化物半導体だけではなく、Si、Geなどの無機半導体、GaAs等の化合物半導体、ペンタセン、ポリチオフェン等の有機半導体材料、カーボンナノチューブ等にも適応可能である。

【0016】

40

<キャリア濃度>

本発明における活性層のキャリア濃度は、種々の手段により所望の数値に調整することができる。

【0017】

50

活性層のキャリア濃度の調整手段としては、下記の手段を挙げることが出来る。

(1) 酸素欠陥による調整

酸化物半導体において、酸素欠陥ができると、活性層のキャリア濃度が増加し、電気伝導度が大きくなることが知られている。よって、酸素欠陥量を調整することにより、酸化物半導体のキャリア濃度を制御することが可能である。酸素欠陥量を制御する具体的方法としては、成膜中の酸素分圧、成膜後の後処理時の酸素濃度と処理時間等がある。ここ

でいう後処理とは、具体的に100℃以上の熱処理、酸素プラズマ、UVオゾン処理がある。これらの方法の中でも、生産性の観点から成膜中の酸素分圧を制御する方法が好ましい。成膜中の酸素分圧を調整することにより、酸化物半導体のキャリア濃度の制御ができる。

(2) 組成比による調整

酸化物半導体の金属組成比を変えることにより、キャリア濃度が変化することが知られている。例えば、 $InGaZn_{1-x}Mg_xO_4$ において、Mgの比率が増えていくと、キャリア濃度が小さくなる。また、 $(In_2O_3)_{1-x}(ZnO)_x$ の酸化物系において、Zn/In比が10%以上では、Zn比率が増加するにつれ、キャリア濃度が小さくなる。これら組成比を変える具体的な方法としては、例えば、スパッタによる成膜方法においては、組成比が異なるターゲットを用いる。または、多元のターゲットにより、共スパッタし、そのスパッタレートを個別に調整することにより、膜の組成比を変えることが可能である。

(3) 不純物による調整

酸化物半導体に、Li, Na, Mn, Ni, Pd, Cu, Cd, C, N, P等の元素を不純物として添加することによりキャリア濃度を減少させることが可能である。不純物を添加する方法としては、酸化物半導体と不純物元素とを共蒸着により行う、成膜された酸化物半導体膜に不純物元素のイオンをイオンドープ法により行う等がある。

(4) 酸化物半導体材料による調整

上記(1)～(3)においては、同一酸化物半導体系でのキャリア濃度の調整方法を述べたが、もちろん酸化物半導体材料を変えることにより、キャリア濃度を変えることができる。例えば、一般的にSnO₂系酸化物半導体は、In₂O₃系酸化物半導体に比べてキャリア濃度が小さいことが知られている。このように酸化物半導体材料を変えることにより、キャリア濃度の調整が可能である。

キャリア濃度を調整する手段としては、上記(1)～(4)の方法を単独に用いても良いし、組み合わせても良い。

【0018】

<活性層の形成方法>

活性層の成膜方法は、酸化物半導体の多結晶焼結体をターゲットとして、気相成膜法を用いるのが良い。気相成膜法の中でも、スパッタリング法、パルスレーザー蒸着法(PLD法)が適している。さらに、量産性の観点から、スパッタリング法が好ましい。

【0019】

例えば、RFマグнетロンスパッタリング蒸着法により、真空度及び酸素流量を制御して成膜される。酸素流量が多いほど電気伝導度を小さくすることができる。

本発明に於ける活性層は極めて薄層であり、このような薄層領域で優れたTFT性能を発揮するには、該活性層と活性層が設置される隣接層との界面の均一性が重要である。例えば、ボトムゲート型TFTの場合、通常ゲート絶縁膜上に活性層が設置されるが、該ゲート絶縁膜と該活性層の界面が平滑であること、好ましくは界面粗さが2nm未満であることが望ましい。より好ましくは1nm未満であることが好ましい。そのためには、該ゲート絶縁膜および該活性層の成膜速度をそれぞれの膜成分のスパッタ速度や蒸着速度を制御し、均一に膜形成する条件を見出して実行するのが好ましい。

【0020】

成膜した膜は、周知のX線回折法によりアモルファス膜であることが確認できる。組成比は、RBS(ラザフォード後方散乱)分析法により求めることができる。

【0021】

<活性層の膜厚>

本発明に於ける活性層の厚みは、0.5nm以上100nm未満と極めて薄層である。

本発明に於ける活性層の膜厚は、作製した素子断面のHRTEM(High Resolution TEM)写真撮影により測定することができる。

【0022】

上記の構成の活性層を用いることにより、移動度が $10 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 以上の高い移動度の TFT で、オン・オフ比が 10^6 以上のトランジスタ特性を実現できる。

【0023】

2) ゲート電極

本発明におけるゲート電極としては、例えば、Al、Mo、Cr、Ta、Ti、Au、Ag 等の金属、Al-Nd、APC 等の合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫 (ITO)、酸化亜鉛インジウム (IZO) 等の金属酸化物導電膜、ポリアニリン、ポリチオフェン、ポリピロ-ルなどの有機導電性化合物、またはこれらの混合物を好適に挙げられる。

ゲート電極の厚みは、 10 nm 以上 1000 nm 以下とすることが好ましい。

10

【0024】

電極の成膜法は特に限定されることはなく、印刷方式、コ-ティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレ-ティング法等の物理的方式、CVD、プラズマCVD 法等の化学的方式、などの中から前記材料との適性を考慮して適宜選択した方法に従って前記基板上に形成することができる。例えば、ITO を選択する場合には、直流あるいは高周波スパッタリング法、真空蒸着法、イオンプレ-ティング法等に従って行うことができる。またゲート電極の材料として有機導電性化合物を選択する場合には湿式製膜法に従って行うことができる。

【0025】

3) ゲート絶縁膜

本発明に用いられるゲート絶縁膜は有機絶縁材料よりなる有機絶縁膜である。有機絶縁材料としては、アクリル樹脂、ポリビニルフェノール、エポキシ樹脂、ポリイミド等の有機高分子を用いることができる。

20

【0026】

本発明に於けるゲート絶縁膜は、好ましくは、膜厚が 200 nm 以上 1600 nm 以下であり、より好ましくは、 400 nm 以上 800 nm 以下である。

【0027】

本発明に於けるゲート絶縁膜の膜厚は、素子の断面 SEM 写真から直接測定することができる。

30

【0028】

膜厚が 200 nm 未満になると、膜の欠陥が多くなりゲートリーク電流が多くなりやすい。また、膜厚が 1600 nm を超えると、有機EL 素子を駆動するのに十分な電流を生成することが困難になるので好ましくない。

【0029】

有機絶縁膜の製造方法としては、スピンドルコート法やダイコート法により塗布した後に焼成する方法を用いることができる。また、パターン形成には、レーザー照射法、フォトリソグラフィー法あるいはドライエッチング法を用いることができる。さらに好ましくは、感光性樹脂を用いて直接露光、現像により形成することができる。

【0030】

有機絶縁膜の比誘電率は、好ましくは、 $2.0 \sim 5.0$ 、より好ましくは、 $2.5 \sim 4.0$ である。

40

【0031】

4) 中間層

本発明に用いられる中間層は、ゲート絶縁膜と活性層との間に設けられ、無機絶縁材料よりなる無機絶縁層である。無機絶縁材料としては、 SiO_2 、 SiN_x 、 SiON 、 Al_2O_3 、 Y_2O_3 、 Ta_2O_5 、 HfO_2 等の絶縁体、又はそれらの化合物を少なくとも二つ以上含む混晶化合物を用いることができる。

【0032】

本発明に於ける中間層は、好ましくは、膜厚が 2 nm 以上 200 nm 以下であり、より好ましくは、 5 nm 以上 50 nm 以下である。

50

膜厚が2 nm未満であると、ゲート絶縁膜と活性層の密着性を向上できず、電気特性および衝撃性に関わる耐久性が改善されない。また、膜厚が200 nm以上になると、下地の有機ゲート絶縁膜に対する熱的ダメージが大きくなり易く、表面の平滑性が損なわれ電界効果移動度が低下するなど好ましくない。

【0033】

さらに好ましくは、本発明に於ける中間層の誘電容量とゲート絶縁膜の誘電容量は、下記関係を満足する。

$$(\epsilon_A / d_A) / (\epsilon_B / d_B) = 0.015 \sim 1.0 \quad (1)$$

(式中、 ϵ_A 及び ϵ_B は、それぞれゲート絶縁膜及び中間層の比誘電率であり、 d_A 及び d_B はそれぞれゲート絶縁膜および中間層の厚みである。)

10

【0034】

より好ましくは、 $(\epsilon_A / d_A) / (\epsilon_B / d_B)$ 比が0.10~0.70であり、さらに好ましくは、0.30~0.50である。

【0035】

$(\epsilon_A / d_A) / (\epsilon_B / d_B)$ 比が1.0を超えると、表面平滑性にあたえる中間層の影響が大きくなり、電界効果移動度が低下しやすくなるので好ましくない。

また、誘電容量が0.0015を下まわると、中間層の効果が薄れ、電気特性および衝撃性に関わる耐久性向上効果が得られないので好ましくない。

20

【0036】

中間層の製造方法としては、直流あるいは高周波スパッタリング法、真空蒸着法、イオンプレーティング法等に従って行うことができる。

【0037】

中間層の比誘電率は、好ましくは、3.5~10であり、より好ましくは3.5~4.5である。

【0038】

5) ソース電極及びドレイン電極

本発明におけるソース電極及びドレイン電極材料として、例えば、Al、Mo、Cr、Ta、Ti、Au、Ag等の金属、Al-Nd、APC等の合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫(ITO)、酸化亜鉛インジウム(IZO)等の金属酸化物導電膜、ポリアニリン、ポリチオフェン、ポリピロールなどの有機導電性化合物、またはこれらの混合物を好適に挙げられる。

30

ソース電極及びドレイン電極の厚みは、10 nm以上1000 nm以下とすることが好ましい。

【0039】

電極の製膜法は特に限定されることはなく、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式、などの中から前記材料との適性を考慮して適宜選択した方法に従って前記基板上に形成することができる。例えば、ITOを選択する場合には、直流あるいは高周波スパッタリング法、真空蒸着法、イオンプレーティング法等に従って行うことができる。またソース電極及びドレイン電極の材料として有機導電性化合物を選択する場合には湿式製膜法に従って行うことができる。

40

【0040】

6) 基板

本発明に用いられる基板は特に限定されることはなく、例えばYSZ(ジルコニア安定化イットリウム)、ガラス等の無機材料、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリエチレンナフタレート等のポリエステル、ポリスチレン、ポリカーボネート、ポリエーテルスルホン、ポリアリレート、アリルジグリコールカーボネート、ポリイミド、ポリシクロオレフィン、ノルボルネン樹脂、ポリ(クロロトリフルオロエチレン)等の合成樹脂等の有機材料、などが挙げられる。前記有機材料の場合、耐熱性、寸法安定性、耐溶剤性、電気絶縁性、加工性、低通気性、低吸湿性等に優れていることが好ま

50

しい。

【0041】

本発明においては特に可撓性基板が好ましく用いられる。可撓性基板に用いる材料としては、透過率の高い有機プラスチックフィルムが好ましく、例えばポリエチレンテレフタレート、ポリブチレンフタレート、ポリエチレンナフタレート等のポリエステル、ポリスチレン、ポリカーボネート、ポリエーテルスルホン、ポリアリレート、ポリイミド、ポリシクロオレフィン、ノルボルネン樹脂、ポリ(クロロトリフルオロエチレン)等のプラスティックフィルムを用いることができる。また、フィルム状プラスティック基板には、絶縁性が不十分の場合は絶縁層、水分や酸素の透過を防止するためのガスバリア層、フィルム状プラスティック基板の平坦性や電極や活性層との密着性を向上するためのアンダーコート層等を備えることも好ましい。

10

【0042】

ここで、可撓性基板の厚みは、 $50\text{ }\mu\text{m}$ 以上 $500\text{ }\mu\text{m}$ 以下とすることが好ましい。これは、可撓性基板の厚みを $50\text{ }\mu\text{m}$ 未満とした場合には、基板自体が十分な平坦性を保持することが難しいためである。また、可撓性基板の厚みを $500\text{ }\mu\text{m}$ よりも厚くした場合には、基板自体を自由に曲げることが困難になる、すなわち基板自体の可撓性が乏しくなるためである。

20

【0043】

2. TFTの構造

次に、図面を用いて、詳細に本発明におけるTFTの構造を説明する。

図1は、本発明の逆スタガ構造のTFTの一例を示す模式図である。基板1がプラスチックフィルムなどの可撓性基板の場合、基板1の少なくとも一方の面に絶縁層6を配し、その上にゲート電極2、ゲート絶縁膜3、中間層7、活性層4を積層して有し、その表面にソース電極5-1とドレイン電極5-2が設置される。ゲート絶縁膜3と活性層4とが直接接することなく中間層7を介して積層される。ゲート絶縁膜3は有機絶縁材料からなる層である。有機絶縁材料は塗布方式により形成することができ、比較的に厚い層でも表面平滑性に優れた膜を形成できる。中間層7は無機絶縁材料からなる層である。中間層7は塗布により形成されたゲート絶縁膜3からNaやKなどの不純物が活性層に拡散してTFT特性を劣化させるのを防止する。無機絶縁材料は有機絶縁材料に比べて薄層であり、活性層と接する界面の平滑性を悪化させることなく、高い電界効果移動度を維持し易い。

30

【0044】

図2は、本発明のボトムコンタクト型TFTの一例を示す模式図である。ボトムコンタクト型構成は、ソース電極及びドレイン電極が活性層の株と接触している構成を意味する。

基板がプラスチックフィルムなどの可撓性基板の場合、基板21の少なくとも一方の面に絶縁層26を配し、その上にゲート電極22、ゲート絶縁膜23、中間層27、ソース電極5-21とドレイン電極5-22、活性層24が積層して設置される。該構成においても、ゲート絶縁膜23と活性層24とが直接接することなく中間層27を介して積層される。

40

【0045】

図3は、従来のTFTの一例を示す模式図である。中間層を有せず、ゲート絶縁膜3と活性層4が直接接している。

【0046】

(応用)

本発明のTFTは、液晶やEL素子を用いた画像表示装置、特にFPDのスイッチング素子、駆動素子として用いることができる。特に、フレキシブルFPD装置のスイッチング素子、駆動素子として用いるのが適している。さらに本発明の電界効果型薄膜トランジスタを用いた表示装置は、携帯電話ディスプレイ、パーソナルデジタルアシスタント(PDA)、コンピュータディスプレイ、自動車の情報ディスプレイ、TVモニター、あるいは

50

は一般照明を含む広い分野で幅広い分野で応用される。

また、本発明のTFTは、表示装置以外にも、有機プラスチックフィルムのような可撓性基板上に本発明の電界効果型薄膜トランジスタを形成し、ICカードやIDタグなどに幅広く応用が可能である。

【実施例】

【0047】

以下に、本発明のTFTについて、実施例により説明するが、本発明はこれら実施例により何ら限定されるものではない。

【0048】

実施例1

10

1. TFT素子の作製

1) 本発明のTFT素子1の作製

下記により図1の構成のTFT素子部がゲート電極54を作製した。

- ・基板1：厚さ125μmのポリエチレンナフタレート(PEN)を用いた。
- ・絶縁層6：SiONを500nmの厚みにスパッタリング蒸着法により蒸着した。
- ・ゲート電極2：厚さ40nmのモリブデン層をスパッタリング蒸着法により成膜し、フォトリソグラフィー法およびエッチングにより形成した。
- ・ゲート絶縁膜3：アクリル樹脂をスピンドルコートした後、焼成して1μm厚のゲート絶縁膜3を形成した。
- ・中間層7：ゲート絶縁膜3上に、SiO₂を、メタルマスクを介して室温でスパッタリング蒸着法により成膜し、厚さ20nmの中間層4を形成した。
- ・活性層4：中間層7上に、InGaZnO₄(IGZO₄と略記する)の組成を有する多結晶焼結体をターゲットとして、RFマグネットロンスパッタ真空蒸着法により、IGZO₄を、メタルマスクを介して室温成膜し、厚さ50nmの活性層4を形成した。
- ・ソース電極5-1、ドレイン電極5-2：Alを、メタルマスクを介して室温で抵抗加熱法により蒸着し、厚さ200nmのソース電極5-1及びドレイン電極5-2を形成した。
- ・さらに、特性を安定化させるため、200℃で1時間、大気中アニール処理を行った。

20

【0049】

30

2) 比較のTFT素子Aの作製

本発明のTFT素子1の作製において、ゲート絶縁膜3と中間層7の配置を入れ替えて、比較のTFT素子Aを作製した。即ち、比較のTFT素子Aにおいては、ゲート電極を形成後に、中間層7を設け、その後にゲート絶縁膜3を設置した。従って、活性層4は、ゲート絶縁膜3上に直接接して設置された。

【0050】

40

2) 比較のTFT素子Bの作製

本発明のTFT素子1の作製において、中間層7を除いた素子を作製した。

【0051】

2. TFT性能の評価

得られた本発明のTFT素子1、比較のTFT素子A、及びBについて下記の評価を行った。

1) 評価方法

<電界効果移動度の測定>

ドレイン-ソース間電流(I_{DS})をゲート-ソース間電圧(V_{GS})の関数として取得する。この場合ドレイン-ソース間電圧(V_{DS})は10Vに固定し、 V_{GS} は-10Vから+15Vまで変化させた。 $(I_{DS})^{1/2} - (V_{GS})$ カーブから、閾値電圧と電界効果移動度を下記式を使って抽出した。

$$I_{DS} = \mu_{FE} \cdot C_{dielectric} \cdot (W/2L) \cdot (V_{GS} - V_{th})^2$$

ここで、 μ_{FE} は電界効果移動度、 V_{th} は閾値電圧、Wはチャネル幅、Lはチャネル

50

長、そして $C_{dielectric}$ はゲート絶縁膜誘電容量（中間層を含む）である。

【0052】

<閾値変動>

一定ドレイン-ソース間電流 ($I_{DS} = 3 \mu A$ 、 $V_G = V_D$) を、1000 s 加える電流バイアストレスの前後における閾値の変化を閾値変動とした。

<密着性>

素子を 1 m の高さから落下させ、落下前後での、閾値および電界効果移動度の変化から密着性を評価した。

【0053】

2) 結果

10

<電界効果移動度>

本発明の TFT 素子 1 は、電界効果移動度が $10 \text{ cm}^2 / \text{Vs}$ と高い値を示したが、比較の TFT 素子 A は $1 \text{ cm}^2 / \text{Vs}$ であった。

比較の TFT 素子 B は、電界効果移動度が $1 \text{ cm}^2 / \text{Vs}$ と低い値であった。

【0054】

<閾値変動>

本発明の TFT 素子 1 は、 $V = 0.4 \text{ V}$ の良好な値を示した。一方、比較の TFT 素子 A は $V = 10 \text{ V}$ 、比較の TFT 素子 B は $V = 10 \text{ V}$ と大きな閾値変動を示した。

<密着性>

本発明の TFT 素子 1 は、1 m の高さから落下させても特性に変化は無く、優れた密着性を示した。一方、比較の TFT 素子 A は ON 電流が 1 衍低下した。比較の TFT 素子 B は、1 m の高さから落下させると、ゲート絶縁膜と活性層の界面に剥離が生じ、TFT の動作をしなくなつた。

20

【0055】

実施例 2

ゲート絶縁膜と中間層との誘電容量比を変えた実施例である。

実施例 1 の本発明の素子 1 に於いては、ゲート絶縁膜のアクリル樹脂の比誘電率が 3.5、中間層の SiO_2 の比誘電率が 3.8 であるので、 d_A 及び d_B を各々ゲート絶縁膜及び中間層の比誘電率、 d_A 及び d_B を各々ゲート絶縁膜及び中間層の厚みとしたとき、 $(d_A / d_A) / (d_B / d_B)$ は、0.018 であった。

30

【0056】

(素子の作製)

実施例 1 の本発明の素子 1 に対し、ゲート絶縁膜の厚みを $1 \mu \text{m}$ 、中間層の厚みを 10 nm とし、その他は実施例 1 と同様にして本発明の TFT 素子 2 を作製した。この場合、 $(d_A / d_A) / (d_B / d_B)$ は 0.009 であった。

【0057】

(性能評価結果)

実施例 1 と同様に評価した結果、実施例 1 の素子 1 に対して、中間層が薄いためゲート絶縁膜と活性層の密着性が悪化したためか、落下試験で ON 電流の 15 % の低下が認められた。

40

【0058】

実施例 3

ゲート絶縁膜と中間層との誘電容量比を変えた実施例である。

(素子の作製)

実施例 1 の本発明の素子 1 に対し、ゲート絶縁膜の厚みを 100 nm 、中間層の厚みを 200 nm とし、その他は実施例 1 と同様にして本発明の TFT 素子 3 を作製した。この場合、 $(d_A / d_A) / (d_B / d_B)$ は 1.84 であった。

【0059】

(性能評価結果)

実施例 1 と同様に評価した結果、実施例 1 の素子 1 に対して、中間層が厚いため活性層

50

との接合面の平滑性が悪化したためか、移動度が $3 \text{ cm}^2 / \text{V s}$ に低下した。

【0060】

実施例 4

ボトムコンタクト型 TFT の実施例である。

(素子の作製)

下記により図 2 の構成の TFT 素子 4 を作製した。

- ・基板：厚さ $125 \mu\text{m}$ のポリエチレンナフタレート (PEN) を用いた。
- ・絶縁層：SiON を 500 nm の厚みにスパッタリング蒸着法により蒸着した。
- ・ゲート電極：厚さ 40 nm のモリブデン層をスパッタリング蒸着法により成膜し、フォトリソグラフィー法およびエッチングにより形成した。
- ・ゲート絶縁膜：アクリル樹脂をスピンドルコートした後、焼成して $1 \mu\text{m}$ 厚のゲート絶縁膜を形成した。

・中間層：ゲート絶縁膜上に、 SiO_2 を、メタルマスクを介して室温でスパッタリング蒸着法により成膜し、厚さ 20 nm の中間層 4 を形成した。

・ソース電極 - 1、ドレイン電極 - 2 : Mo を、メタルマスクを介して室温でスパッタ法により成膜し、厚さ 40 nm のソース電極 - 1 及びドレイン電極 - 2 を形成した。

・活性層：中間層上およびソース電極、ドレイン電極上に、 InGaZnO_4 (IGZO_4 と略記する) の組成を有する多結晶焼結体をターゲットとして、RF マグнетロンスパッタ真空蒸着法により、 IGZO_4 を、メタルマスクを介して室温成膜し、厚さ 50 nm の活性層を形成した。

・さらに、特性を安定化させるため 200 度 1 時間の大気中アニール処理を行った。

【0061】

また、比較の TFT 素子 C として、本発明の TFT 素子 4 で、上記の中間層を除いた TFT 素子を作製した。

【0062】

(性能評価結果)

実施例 1 と同様に評価した結果、本発明の TFT 素子 4 は実施例 1 の本発明の TFT 素子 1 と同等の特性を示した。

本発明の TFT 素子 4 は、中間層の SiO_2 膜があることで、ソース電極、ドレイン電極のエッジの形状を良好に制御できた。

一方、中間層が無い比較の TFT 素子 C は、ソース電極、ドレイン電極のパターニングの精度が悪化し、素子作製の再現性を保つことが困難であった。

【図面の簡単な説明】

【0063】

【図 1】本発明の逆スタガ構造の TFT 素子構造を示す模式図である。

【図 2】本発明のボトムコンタクト型の TFT 素子構造を示す模式図である。

【図 3】比較の TFT 素子構造を示す模式図である。

【符号の説明】

【0064】

- 1、21 : 基板
- 2、22 : ゲート電極
- 3、23 : ゲート絶縁膜
- 4、24 : 活性層
- 7、27 : 中間層
- 5-1、5-21 : ソース電極
- 5-2、5-22 : ドレイン電極
- 6、26 : 絶縁層

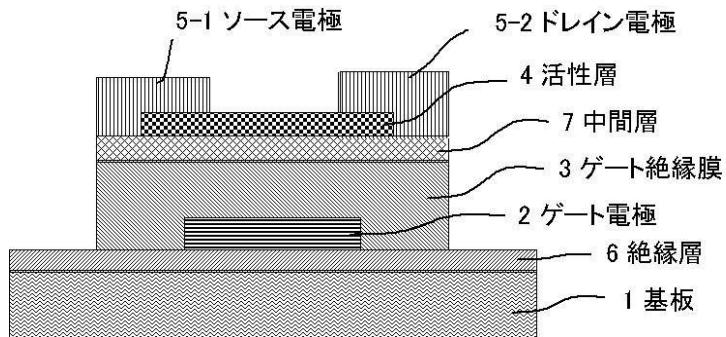
10

20

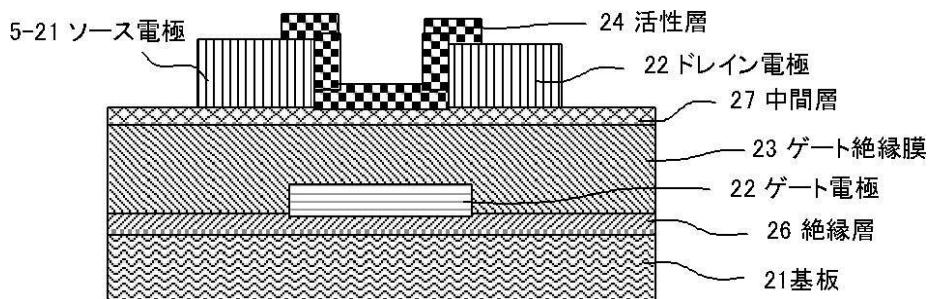
30

40

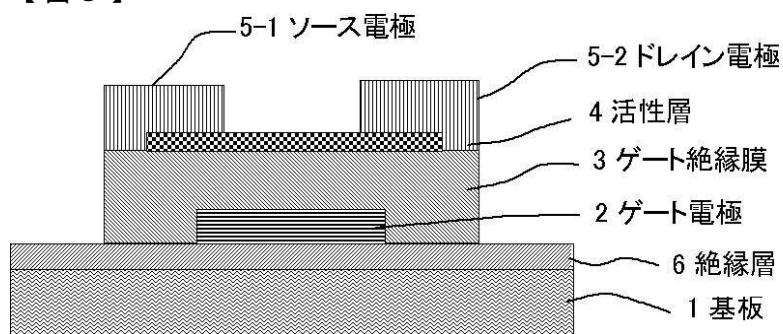
【図 1】



【図 2】



【図 3】



フロントページの続き

F ターム(参考) 5F110 AA01 AA08 AA26 BB01 CC03 CC05 CC07 DD01 DD02 DD12
DD15 EE01 EE02 EE03 EE04 EE06 EE07 EE42 EE43 EE44
EE45 FF01 FF02 FF03 FF04 FF05 FF09 FF27 GG01 GG02
GG03 GG04 GG05 GG07 GG15 GG25 GG32 GG42 GG43 GG51
HK01 HK02 HK03 HK04 HK06 HK07 HK32 HK33 HK34 HK35
HK42