



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I737273 B

(45) 公告日：中華民國 110 (2021) 年 08 月 21 日

(21) 申請案號：109113727

(22) 申請日：中華民國 107 (2018) 年 06 月 21 日

(51) Int. Cl. : G11C16/16 (2006.01)

G11C8/16 (2006.01)

(30) 優先權：2017/06/22 美國

15/630,330

(71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72) 發明人：哈斯本 羅伯特 奈斯瑞 HASBUN, ROBERT NASRY (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW I551991B

US 7953931B2

US 2009/0172621A1

US 2014/0215129A1

US 2017/0103796A1

US 2017/0147214A1

審查人員：蔡明宏

申請專利範圍項數：23 項 圖式數：7 共 57 頁

(54) 名稱

用於操作一記憶體之方法、記憶體設備、及電子記憶體設備

(57) 摘要

本發明描述關於非揮發性記憶體之系統、裝置及方法。可採用一非揮發性記憶體陣列作為一單晶片系統(SoC)或處理器之一主記憶體陣列。一控制器可使用與包含不同頁面大小或存取時間要求等等之非揮發性記憶體操作之特性無關之一協定來介接於該非揮發性記憶體陣列與該 SoC 或處理器之間。該控制器處之一虛擬記憶體庫可被用於促進該 SoC 或處理器與該非揮發性記憶體陣列之間的操作。該控制器可係與一緩衝器耦合以促進快速資料操作，且該控制器可經組態以選擇性地存取該非揮發性陣列處的資料，以考慮經儲存於該虛擬記憶體庫或該緩衝器中的資料。該控制器、該虛擬記憶體庫及該緩衝器可係組態於與該 SoC 或處理器分離之一晶片上。

Systems, devices, and methods related to non-volatile memory are described. A non-volatile memory array may be employed as a main memory array for a system on a chip (SoC) or processor. A controller may interface between the non-volatile memory array and the SoC or processor using a protocol agnostic to characteristics of non-volatile memory operation including different page sizes or access time requirements, etc. A virtual memory bank at the controller may be employed to facilitate operations between the SoC or processor and the non-volatile memory array. The controller may be coupled with a buffer to facilitate rapid data operation, and the controller may be configured to selectively access data at the non-volatile array to account for data stored in the virtual memory bank or the buffer. The controller, the virtual memory bank, and the buffer may be configured on one chip separate from the SoC or processor.

指定代表圖：

符號簡單說明：

400:系統

410:裝置

420:記憶體子系統

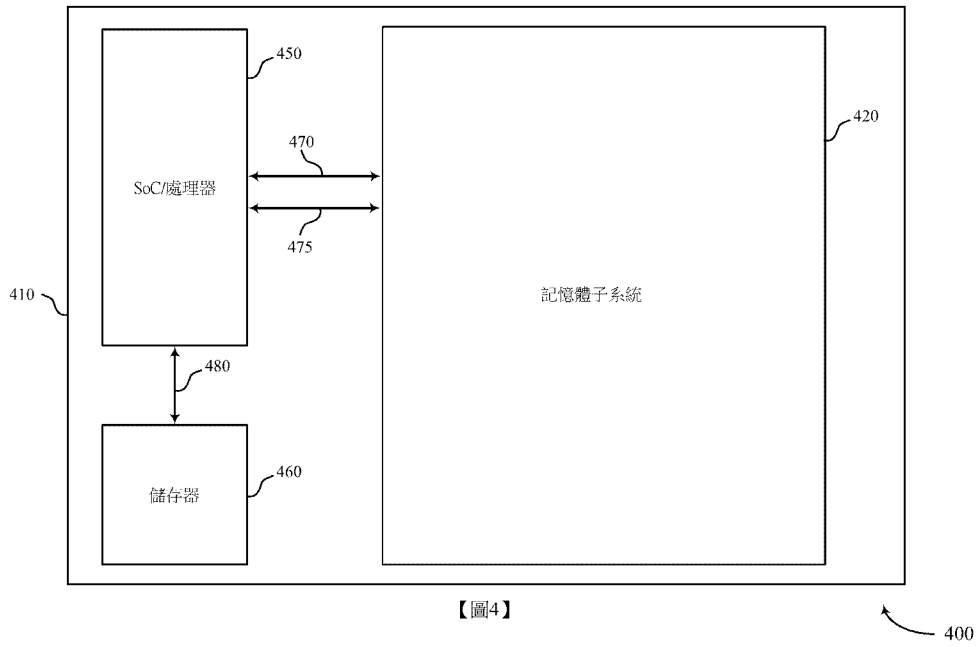
450:單晶片系統(SoC)/
處理器

460:儲存器

470:匯流排

475:匯流排

480:匯流排



申請案號: 109113727



原申請案號: 107121220

I737273 申請日: 107年6月21日

公告本

【發明摘要】

IPC 分類號: G11C 16/16 (2006.01)

G11C 8/16 (2006.01)

【中文發明名稱】

用於操作一記憶體之方法、記憶體設備、及電子記憶體設備

【英文發明名稱】

METHODS FOR OPERATING MEMORY, MEMORY APPARATUSES, AND ELECTRONIC MEMORY APPARATUSES

【中文】

本發明描述關於非揮發性記憶體之系統、裝置及方法。可採用一非揮發性記憶體陣列作為一單晶片系統(SoC)或處理器之一主記憶體陣列。一控制器可使用與包含不同頁面大小或存取時間要求等等之非揮發性記憶體操作之特性無關之一協定來介接於該非揮發性記憶體陣列與該SoC或處理器之間。該控制器處之一虛擬記憶體庫可被用於促進該SoC或處理器與該非揮發性記憶體陣列之間的操作。該控制器可係與一緩衝器耦合以促進快速資料操作，且該控制器可經組態以選擇性地存取該非揮發性陣列處的資料，以考慮經儲存於該虛擬記憶體庫或該緩衝器中的資料。該控制器、該虛擬記憶體庫及該緩衝器可係組態於與該SoC或處理器分離之一晶片上。

【英文】

Systems, devices, and methods related to non-volatile memory are described. A non-volatile memory array may be employed as a main memory array for a system on a chip (SoC) or processor. A controller may interface between the non-volatile memory array and the SoC or processor using a protocol agnostic to characteristics of non-volatile

memory operation including different page sizes or access time requirements, etc. A virtual memory bank at the controller may be employed to facilitate operations between the SoC or processor and the non-volatile memory array. The controller may be coupled with a buffer to facilitate rapid data operation, and the controller may be configured to selectively access data at the non-volatile array to account for data stored in the virtual memory bank or the buffer. The controller, the virtual memory bank, and the buffer may be configured on one chip separate from the SoC or processor.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

400:系統

410:裝置

420:記憶體子系統

450:單晶片系統(SoC)/處理器

460:儲存器

470:匯流排

475:匯流排

480:匯流排

【發明說明書】

【中文發明名稱】

用於操作一記憶體之方法、記憶體設備、及電子記憶體設備

【英文發明名稱】

METHODS FOR OPERATING MEMORY, MEMORY APPARATUSES, AND ELECTRONIC MEMORY APPARATUSES

【技術領域】

【0001】 本發明大體上係關於記憶體系統，且更明確而言，本發明係關於非揮發性記憶體系統或子系統。

【先前技術】

【0002】 記憶體系統可包含各種記憶體裝置及控制器，其等經由一或多個匯流排耦合以管理諸如電腦、無線通信裝置、物聯網、攝影機、數位顯示器等等之諸多電子裝置中之資訊。記憶體裝置廣泛用於儲存此等電子裝置中之資訊。藉由程式化一記憶體胞元之不同狀態來儲存資訊。例如，二進位記憶體胞元具有通常由一邏輯「1」或一邏輯「0」表示之兩種狀態。兩種以上狀態可儲存於一記憶體胞元中。

【0003】 存在各種類型之記憶體裝置，其包含硬磁碟、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體、相變記憶體(PCM)、三維交叉點記憶體(3D XPoint™記憶體)及其他。記憶體裝置可為揮發性或非揮發性的。即使缺乏一外部電源，但非揮發性記憶體胞元(例如FeRAM胞元)可長時間維持其所儲存之邏輯狀態。揮發性記憶體胞元(例如DRAM胞元)會隨時間損失

其儲存資料，除非其由一外部電源週期性地再新。FeRAM可使用類似於揮發性記憶體之記憶體裝置架構，但可具有相較於其他非揮發性及揮發性記憶體裝置之改良效能。

【0004】 一般而言，改良記憶體系統可包含提高記憶體系統效能，諸如減少系統電力消耗、增加記憶體系統容量、提高讀取/寫入速度、藉由使用永久主記憶體來提供非揮發性或在一特定效能點處降低製造成本及其他度量。然而，經改良記憶體系統通常利用尚無法由其他技術支援之新技術或協定，或經改良記憶體系統可在其與早期技術回溯相容時提供較廣應用範圍內之解決方案。

【發明內容】

【圖式簡單說明】

【0005】 本文中之揭示內容涉及且包含以下圖式。

【0006】 圖1展示包含根據本發明之實施例之一非揮發性記憶體系統或子系統之一系統之一圖式。

【0007】 圖2繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之非線性電性質之一實例。

【0008】 圖3繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之電路之一實例。

【0009】 圖4繪示根據本發明之實施例之一例示性非揮發性記憶體系統或子系統。

【0010】 圖5繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之一例示性記憶體系統。

【0011】 圖6繪示支援根據本發明之實施例之一非揮發性記憶體系統

或子系統之一協定之一例示性示意圖。

【0012】圖7展示繪示用於操作根據本發明之實施例之一非揮發性記憶體系統或子系統之一方法的一流程圖。

【實施方式】

【0013】本專利申請案主張Hasbun於2017年6月22日申請之名稱為「Non-Volatile Memory System or Sub-System」之美國專利申請案第15/630,330號之優先權，該案讓與本發明之受讓人且其全文以引用的方式明確併入本文中。

【0014】可採用一非揮發性記憶體陣列作為一單晶片系統(SoC)或處理器之一主記憶體陣列。此類型之系統可提供相較於採用一揮發性記憶體陣列之系統之益處，其包含高系統效能、高面密度及低系統電力消耗。為在各種應用中實現此等益處，可採用本文中所描述之技術來提供與經設計以用於與舊有記憶體系統架構一起操作之SoC或處理器之回溯相容性。例如，本發明包含一記憶體子系統中之一介面控制器，其可使用實質上與非揮發性記憶體操作之特性無關之一協定來促進一SoC或處理器之操作。本文中所揭示之非揮發性記憶體系統或子系統亦可實現其中電力消耗可為一重要設計因數之行動環境中之桌上應用。

【0015】本文中所描述之一系統可包含一SoC或處理器、記憶體子系統及儲存器。系統亦可包含經組態以使各種組件彼此耦合之複數個匯流排。一記憶體子系統可包含一非揮發性記憶體、一虛擬記憶體庫及一介面控制器。介面控制器可經組態以經由匯流排之一者與SoC/處理器一起操作。為促進使用(例如)一DRAM介面經由匯流排之一者與SoC/處理器一起操作，介面控制器可經組態以與利用虛擬記憶體庫之非揮發性記憶體一起

操作。虛擬記憶體庫可由DRAM胞元構建且經組態以依據(例如)一低功率雙倍資料速率(LPDDR)規格(其可判定一頁面大小、時序要求等等)操作。除非下文特別規定，否則一頁面大小一般係指各種介面處所處置之資料之一大小。另外，記憶體子系統可進一步包含可構建為一DRAM緩衝器之一緩衝器。緩衝器可經組態以與介面控制器一起操作且可經組態以可由SoC/處理器直接存取。

【0016】 如下文將詳細描述，介面控制器可利用虛擬記憶體庫來模擬一DRAM頁面大小，其可促進與SoC/處理器一起操作。例如，虛擬記憶體庫可經組態以具有一DRAM頁面大小(例如依一LPDDR規格所指定之一頁面大小)。另外，如本文中所描述，虛擬記憶體庫可經組態以具有對應於非揮發性記憶體之一頁面大小之部分或元件。例如，依據一LPDDR規格之一DRAM頁面大小可為一非揮發性記憶體頁面大小之一超集，且介面控制器可允許系統利用使用非揮發性記憶體陣列中之一不同頁面大小且與經組態以與一DRAM頁面大小一起使用之SoC/處理器一起操作之益處。非揮發性記憶體可經組態以支援可變頁面大小。

【0017】 介面控制器亦可藉由利用虛擬記憶體庫或緩衝器來允許低延時或減少電力操作。例如，在自SoC/處理器接收一讀取命令之後，介面控制器可嘗試將資料自虛擬記憶體庫或緩衝器發送至SoC/處理器。若資料不存在於虛擬記憶體庫或緩衝器中，則介面控制器可自非揮發性記憶體擷取資料且將資料儲存於虛擬記憶體庫中，同時將資料發送至SoC/處理器。介面控制器可根據本文中所描述之一協定來管理虛擬記憶體庫之操作。例如，一組旗標可用於指示虛擬記憶體庫之哪些部分儲存來自非揮發性記憶體之有效資料。在自SoC/處理器接收一寫入命令之後，介面控制

器可將資料儲存於虛擬記憶體庫處。另一組旗標可指示虛擬記憶體庫之部分何時儲存不同於非揮發性記憶體之內容之有效資料以使介面控制器能夠僅保存已自非揮發性記憶體中之內容修改之資料。

【0018】 此外且如下文將詳細解釋，介面控制器可判定在SoC/處理器不再需要資料時儲存來自虛擬記憶體庫之資料之位置。介面控制器可監測且識別虛擬記憶體庫之內容。此外，介面控制器可具有一計數器，其記錄SoC/處理器在一特定時間間隔期間嘗試存取虛擬記憶體庫之內容之次數。舉例而言，若計數器表明SoC/處理器嘗試存取之次數小於一預定臨限值，則介面控制器可將經修改資料儲存於非揮發性記憶體中以預示SoC/處理器短期內無需存取資料。介面控制器可在判定資料未被修改之後捨棄資料。或者，若計數器指示SoC/處理器嘗試存取之次數等於或大於預定臨限值，則介面控制器可將資料儲存於緩衝器中以預示SoC/處理器需要即時存取資料。熟悉技術者應能夠設計介面控制器之各種準則(例如包含一計數值、一時脈、時段等等之準則)以在鑑於總體系統要求來作出此判定。另外，計數器可在SoC/處理器嘗試存取之次數小於預定臨限值時設定一跳過指標以跳過將虛擬記憶體庫之內容保存至緩衝器。接著，跳過指標可用於將虛擬記憶體庫之修改內容直接保存至非揮發性記憶體。

【0019】 上述討論提供本發明之一概述。下文將在記憶體系統或子系統架構及相關協定之背景下進一步描述上文所引入之特徵及技術。接著，結合支援非揮發性記憶體系統或子系統之控制器及系統匯流排來描述一記憶體系統或子系統之特定實例。藉由有關於非揮發性記憶體系統或子系統之設備圖、系統圖及流程圖來進一步繪示且參考該等圖來描述本發明之此等及其他特徵。

【0020】圖1展示包含根據本發明之實施例之一非揮發性記憶體系統或子系統之一系統100之一圖式。系統100可包含一裝置105。裝置105可包含一SoC或處理器130、一介面控制器120及各種記憶體裝置170、175及180。裝置105亦可包含輸入/輸出控制器135、基本輸入/輸出系統(BIOS)組件125、板支援封裝(BSP) 126、(若干)周邊組件140、直接記憶體存取控制器(DMAC) 160。裝置105之組件可透過匯流排110彼此電子通信。

【0021】裝置105可為運算裝置、電子裝置、行動運算裝置或無線裝置。裝置105可為一可攜式電子裝置。裝置105可為一電腦、一膝上型電腦、一平板電腦、一智慧型電話、一蜂巢式電話、一可穿戴裝置、一網際網路連接裝置或其類似者。在一些實例中，裝置105經組態以用於經由一基地台或存取點之雙向無線通信。在一些實例中，裝置105能夠進行機器型通信(MTC)、機器間(M2M)通信或裝置間(D2D)通信。裝置105可指稱使用者設備(UE)、站(STA)、行動終端機或其類似者。

【0022】SoC/處理器130可經組態以直接或經由介面控制器120與各種記憶體裝置170、175、180或其等之任何組合一起操作。在一些情況中，SoC/處理器130可執行介面控制器120之功能。SoC/處理器130可為一通用處理器、一數位信號處理器(DSP)、一專用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件，或其可為此等類型之組件之一組合。

【0023】介面控制器120可經組態以與SoC/處理器130一起操作。介面控制器120亦可經組態以與各種記憶體裝置170、175、180或其等之任何組合一起操作。

【0024】 記憶體裝置170可各包含用於儲存數位資訊之一或若干記憶體胞元陣列。記憶體裝置170可經組態以與SoC/處理器130或介面控制器120一起操作。在一些實例中，記憶體裝置170可經組態以充當SoC/處理器130或介面控制器120之一記憶體庫之一緩衝記憶體。在一些實例中，一或多個記憶體裝置170可存在於裝置105中。

【0025】 記憶體裝置175可包含經組態以與結構化為兩個或兩個以上層之一記憶體胞元陣列一起操作之一局部記憶體控制器。記憶體裝置175之局部記憶體控制器亦可經組態以與SoC/處理器130一起操作。記憶體裝置175之局部記憶體控制器可經組態以處置記憶體胞元之不同特性以與SoC/處理器130一起有效操作。在一些實例中，第一層記憶體胞元可為三維交叉點(3D XPoint™)記憶體，其可在一短回應時間內提供大量每秒輸入/輸出操作(IOPS)以應對各種工作量。在一些實例中，第二層記憶體胞元可為三維「反及」(NAND)記憶體，其可以相對低於第一層記憶體胞元之一成本提供大容量資料儲存。在一些情況中，記憶體裝置175可包含記憶體陣列之其他類型或組合。

【0026】 記憶體裝置180可包含經組態以與一或若干記憶體胞元陣列一起操作之一局部記憶體控制器。記憶體裝置180之局部記憶體控制器亦可經組態以與SoC/處理器130或介面控制器120一起操作。在一些實例中，記憶體胞元可包含非揮發性或揮發性記憶體胞元或非揮發性及揮發性記憶體胞元兩者之一組合。在一些實例中，記憶體裝置180之局部記憶體控制器可經組態以處置一記憶體陣列之一可變頁面大小，其中記憶體陣列包含非揮發性記憶體胞元，例如鐵電記憶體胞元。在一些實例中，一頁面大小可固定為一記憶體陣列之一特定大小，其中記憶體陣列包含揮發性記

憶體胞元，例如DRAM胞元。在一些實例中，一或多個記憶體裝置180可存在於裝置105中。

【0027】 DMAC 160可使SoC/處理器130能夠執行與記憶體裝置170、175或180之直接記憶體存取。例如，DMAC 160可支援SoC/處理器130在不涉及或操作介面控制器120的情況下直接存取一記憶體裝置170、175或180。

【0028】 (若干)周邊組件140可為可整合至裝置105中之任何輸入或輸出裝置或此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串列匯流排(USB)控制器、一串列或並列埠或周邊卡槽(諸如周邊組件互連(PCI)或加速圖形埠(AGP)槽)。(若干)周邊組件140可為熟悉技術者所瞭解之其他周邊組件。

【0029】 BIOS組件125或板支援封裝(BSP) 126可為包含操作為韌體之一基本輸入/輸出系統(BIOS)之一軟體組件，其可初始化且運行系統100之各種硬體組件。BIOS組件125或BSP 126亦可管理SoC/處理器130與各種組件(例如周邊組件140、輸入/輸出控制器135等等)之間之資料流。BIOS組件125或BSP 126可包含儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

【0030】 輸入/輸出控制器135可管理SoC/處理器130與(若干)周邊組件140、輸入裝置145或輸出裝置150之間之資料通信。輸入/輸出控制器135亦可管理未整合至裝置105中之周邊裝置。在一些情況中，輸入/輸出控制器135可表示到達外部周邊裝置之一實體連接或埠。

【0031】 輸入145可表示向裝置105或其組件提供輸入之裝置105外之一裝置或信號。此可包含一使用者介面或與其他裝置介接或介於其他裝

置之間。在一些情況中，輸入145可為經由(若干)周邊組件140與裝置105介接之一周邊裝置或可由輸入/輸出控制器135管理。

【0032】 輸出150可表示經組態以自裝置105或其任何組件接收輸出之裝置105外之一裝置或信號。輸出150之實例可包含一顯示器、音訊揚聲器、一印刷裝置或電路板上之另一處理器等等。在一些情況中，輸出150可為經由(若干)周邊組件140與裝置105介接之一周邊裝置或可由輸入/輸出控制器135管理。

【0033】 裝置105之組件可由經設計以實施其功能之電路系統組成。此可包含經組態以實施本文中所描述之功能之各種電路元件，例如導線、電晶體、電容器、電感器、電阻器、放大器或其他主動或被動元件。

【0034】 在一些情況中，一種設備可包含：一介面控制器，其與包含具有一第一頁面大小之非揮發性記憶體胞元之一第一記憶體陣列相關聯；一單晶片系統(SoC)或處理器，其與該介面控制器耦合；一第二記憶體陣列，其經由該介面控制器與該第一記憶體陣列耦合且經組態以基於與該SoC或處理器相關聯之一第二頁面大小來儲存資料，其中該第二頁面大小可為該第一頁面大小之一超集；及一或多個匯流排，其等與該介面控制器、該SoC或處理器或該第二記憶體陣列或其等之任何組合之至少一者耦合。

【0035】 在一些情況中，該設備可進一步包含一或多個組件，其等耦合至該一或多個匯流排，該一或多個組件包含輸入及輸出(I/O)控制器、基本輸入/輸出系統(BIOS)組件或板支援封裝(BSP)或其等之任何組合之至少一者。在一些情況中，該設備可進一步包含：直接記憶體存取控制器(DMAC)，其耦合至該一或多個匯流排；及一第三記憶體陣列，其經由

該一或多個匯流排耦合至該介面控制器，其中該第三記憶體陣列包含揮發性記憶體胞元。在一些情況中，該第二記憶體陣列、該第三記憶體陣列及該介面控制器安置於一相同晶片上。在一些情況中，該第一頁面大小可為可組態的。在一些情況中，該設備可進一步包含一第四記憶體陣列，其經由該一或多個匯流排耦合至該SoC或處理器，其中該第四記憶體陣列包含非揮發性記憶體胞元。

【0036】 圖2繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之非線性電性質之一實例。提供曲線圖200來繪示支援本文中所描述之特徵及技術之實例性特性。其他特性及材料性質可支援此等特徵或類似特徵。曲線圖200-a繪示使用一鐵電材料之一電容器之一實例性磁滯曲線。曲線圖200-b繪示使用線性材料250或順電材料240之一電容器之一實例性極化。曲線圖200描繪依據跨電容器之一電壓差 V 而變化之電荷 Q ，其儲存於利用鐵電、線性或仿線性材料之一記憶體胞元之一電容器上。

【0037】 一鐵電材料以一自發電極化為特徵，即，其在缺乏一電場的情況下維持一非零電極化。相比而言，一線性或順電材料僅在存在一外加電場的情況下展現極化。由於可在缺乏一外加電場的情況下相對較長時間(甚至無限期)維持一鐵電材料之電極化，所以可相較於(例如) DRAM陣列中所採用之順電電容器而顯著減少電荷洩漏。因此，鐵電記憶體胞元可相較於DRAM胞元而減少或消除執行再新操作之要求。

【0038】 如曲線圖200-a中所描繪，鐵電材料可在一零電壓差處維持一正或負電荷以導致以下兩種可能充電狀態：電荷狀態205及電荷狀態210。根據圖2之實例，電荷狀態205表示一邏輯0且電荷狀態210表示一邏

輯1。在一些實例中，各自電荷狀態之邏輯值可相反。電荷狀態205及210亦可指稱剩餘極化(Pr)值，即，移除外加偏壓(例如電壓)之後之剩餘極化(及因此電荷)。本文中所討論之鐵電材料可為包含鉛、鋇或氧或其等之任何組合之一化合物。例如，其可包含氧化鉛或氧化鋇。由於利用鐵電材料之記憶體胞元在缺乏外加偏壓/電壓的情況下維持儲存電荷，所以鐵電記憶體胞元可被稱為「非揮發性記憶體」。

【0039】 曲線圖200-b繪示一線性材料250及一順電材料240之實例性極化曲線。如圖中所展示，線性材料250之電荷Q與施加電壓V成線性關係。順電材料240展現與電壓之一非線性電荷。然而，與極化曲線圖200-a中所展示之一鐵電材料相比，線性材料250及順電材料240兩者在零電壓處具有零電荷。可藉由將一非零電壓施加至利用線性材料250或順電材料240之一電容器來儲存不同邏輯狀態。例如，對應於一正電壓270之電荷狀態205-b及205-c可分別表示順電材料240及線性材料250之一邏輯0。亦可使用負電壓。一零電荷(電荷狀態260)可表示線性材料250及順電材料240之一邏輯1。由於線性或仿線性電容器在被充電時具有跨電容器之一非零電壓，所以其可積極促使電子自電容器漏掉。因此，儲存電荷可洩漏，直至儲存於線性或仿線性電容器中之電荷達到不再被視為邏輯0之一位準且儲存邏輯狀態變為被破壞或損失。因此，利用線性材料250或順電材料240之記憶體胞元可被稱為「揮發性記憶體」。

【0040】 非揮發性及揮發性記憶體兩者可具有有益特性或可用於支援或實施本文中所描述之技術。

【0041】 圖3繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之電路之實例。提供電路300來繪示支援本文中所描述之特徵

及技術之實例性特性。其他電路組態可支援此等特徵或類似特徵。電路300-a可表示具有支援一非揮發性記憶體系統或子系統之鐵電記憶體胞元之鐵電記憶體陣列之一列。電路300-b可表示具有一舊有DRAM陣列之一線性/仿線性電記憶體胞元之揮發性記憶體陣列之一列。電路300可繪示參考圖1所描述之陣列之態樣或部分。

【0042】 電路300-a可包含一列鐵電記憶體(FeRAM)胞元310-a、一字線340-a、位元線350-a及一極板線360-a。各鐵電記憶體胞元310-a可包含一選擇組件330-a及一鐵電電容器320-a。在一些實例中，選擇組件330-a可為一場效電晶體(FET)。具有一鐵電電容器之鐵電記憶體胞元310-a可指稱一FeRAM胞元。一般技術者應瞭解，可藉由重複多列電路300-a來配置鐵電記憶體胞元之二維陣列，其中延伸位元線350-a由多列記憶體胞元共用。

【0043】 電路300-b可包含一列線性/仿線性記憶體胞元310-b、一字線340-b及位元線350-b。各線性/仿線性記憶體胞元可包含一選擇組件330-b及一線性/仿線性電容器320-b。在一些實例中，選擇組件330-b可為一場效電晶體(FET)。具有一線性/仿線性電容器之線性/仿線性記憶體胞元310-b可指稱一DRAM胞元。線性/仿線性電容器之一端子連接至接地或虛擬接地360-b。一般技術者應瞭解，可藉由重複多列電路300-b來配置線性/仿線性記憶體胞元之二維陣列，其中延伸位元線350-b由多列記憶體胞元共用。

【0044】 在記憶體存取操作期間，可藉由啟用與一列記憶體胞元相關聯之一字線來啟用列。當啟用電路300-b中之一列DRAM胞元時，啟用各選擇組件330-b以將DRAM電容器320-b之一端子連接至一數位線350-

b，同時使DRAM電容器320-b之另一端子接地或虛擬接地。因此，經儲存於DRAM電容器320-b中之電荷將「流動」，且此流動或無流動(即，當無電荷儲存於DRAM電容器320-b中時)必須由各數位線350-b偵測。因此，需要在啟用一字線時感測連接至字線之各DRAM胞元。可基於此DRAM操作性質來判定DRAM頁面大小。為避免與重複執行相對較小資料區塊之感測、鎖存及控制的數位邏輯電路系統相關聯的不合理負擔，一典型DRAM頁面大小趨向於為相當大的。例如，一典型DRAM頁面大小可為2048個位元組。

【0045】 相反地，當啟用電路300-a中之一列FeRAM胞元時，啟用各選擇組件330-a以將鐵電電容器320-a之一端子連接至一位元線350-a，同時將鐵電電容器320-a之另一端子連接至極板線360-a。極板線360-a可結合鐵電電容器320-a之極板之間之鐵電材料的性質來防止鐵電電容器320-a在連接至數位線350-a之後放電。藉由變動至極板線360-a之電壓來操作FeRAM胞元310-a可指稱「移動胞元極板」。因此，可一次感測連接至一字線340-a之FeRAM胞元之一子集，而無需感測連接至字線340-a之全部FeRAM胞元。FeRAM胞元操作之此性質可用於提供小於一典型DRAM頁面大小之一FeRAM頁面大小。例如，一典型FeRAM頁面大小可為64個位元組。較小頁面大小可允許高效操作FeRAM胞元，其通常需要高於DRAM胞元之操作的電力。較小頁面大小可促進FeRAM裝置之操作期間的有效能量使用，此係因為在資訊的相關聯變化較小時，可能僅需啟用FeRAM陣列的一小部分。此外，FeRAM胞元陣列之頁面大小可取決於利用FeRAM操作之資料及命令的性質而變動。

【0046】 在一些記憶體裝置架構(其包含DRAM)中，記憶體胞元可

隨時間損失其儲存狀態，除非其由一外部電源週期性地再新。例如，具有線性/仿線性材料之一帶電電容器會變成隨時間透過洩漏電流來放電以導致儲存資訊損失。此等揮發性記憶體裝置之再新速率可相對較高(例如，DRAM陣列每秒進行數十次再新操作)，其可導致大量系統電力消耗。隨著記憶體陣列不斷增大，增加電力消耗會抑制一記憶體系統或子系統內之記憶體陣列的部署或操作(例如電力供應、發熱、材料極限等等)，依賴諸如一電池之一有限電源的行動裝置尤其如此。

【0047】 如上文所討論，鐵電記憶體裝置可提供歸因於其節能可變頁面大小操作及鐵電電容器之非揮發性(諸如歸因於無再新操作之近零待機電力)之益處，其可增加電池壽年且允許諸如一待機或未供電(例如「切斷」)狀態後之即時啟用操作或較高記憶體面密度及低系統電力消耗之特徵。非揮發性記憶體系統或子系統之此等特徵可(例如)實現在行動環境中運行桌上應用程式。

【0048】 圖4繪示支援根據本發明之實施例之非揮發性記憶體系統或子系統之一例示性系統400。系統400可為參考圖1所描述之系統100之一實例且可包含一裝置410。裝置410可為參考圖1所描述之裝置105之一實例。裝置410可包含SoC/處理器450、記憶體子系統420及儲存器460。SoC/處理器450可為參考圖1所描述之SoC/處理器130之一實例。

【0049】 記憶體子系統420可為參考圖1所描述之記憶體裝置180之一實例。儲存器460可為參考圖1所描述之記憶體裝置175之一實例。SoC/處理器450可經組態以經由一匯流排480與儲存器460一起操作且經由匯流排470及475與記憶體子系統420一起操作。在一些實例中，匯流排480可經組態以支援周邊組件互連快速(PCIe)、匯流排470低功率雙倍資料速率

(LPDDR)命令及位址(CA)及匯流排475 LPDDR輸入/輸出(I/O)。在一些實例中，記憶體子系統420可為DRAM陣列之一或多者。如上文所討論，DRAM胞元會隨時間損失其儲存狀態，除非其由一外部電源週期性地再新。DRAM裝置之再新速率可相對較高，其可導致相對於其他記憶體技術之較高電力消耗。隨著DRAM記憶體陣列不斷增大，增加電力消耗會抑制記憶體子系統420中之DRAM記憶體陣列之部署或操作(例如電力供應、發熱、材料極限等等)，依賴諸如一電池之一有限電源之行動裝置尤其如此。

【0050】 在一些實例中，記憶體子系統420可為FeRAM陣列之一或多者。在其他實例中，記憶體子系統420可為採用不同於FeRAM之非揮發性記憶體技術之其他種類之非揮發性記憶體裝置。如上文所討論，FeRAM陣列可歸因於鐵電電容器之非揮發性而提供相較於DRAM陣列之益處，尤其在其中電池電力消耗可為一主要考量因數之行動系統中。再者，FeRAM之非揮發性可提供額外益處來應對電力中斷之時間以不損失駐留於揮發性DRAM陣列中之資料。然而，包含FeRAM陣列之記憶體子系統會影響系統操作之其他態樣或匯流排470及475之設計及整合，此係因為FeRAM可呈現不同於DRAM陣列之特性，諸如涉及資料存取之延時、頁面大小等等。另外，能夠提供能夠與舊有組件通信或使用舊有協定(諸如，經由匯流排470及475)之一替代解決方案可增加可受益於FeRAM技術之應用之數目。

【0051】 在一些情況中，一種設備(例如記憶體子系統420)可包含：
一第一記憶體陣列，其可包含具有一第一頁面大小之非揮發性記憶體胞元；
一第二記憶體陣列，其可經組態以基於與一單晶片系統(SoC)或處理

器相關聯之一第二頁面大小來儲存資料，其中該第二頁面大小可為該第一頁面大小之一超集；及一第三記憶體陣列，其包含至少部分由該第二頁面大小組態之揮發性記憶體胞元。該設備亦可包含一控制器，其經組態以與該SoC或處理器、該第一記憶體陣列、該第二記憶體陣列及該第三記憶體陣列介接。在一些情況中，該控制器可經操作以：自該SoC或處理器接收用於存取該第一記憶體陣列之一記憶體操作命令；判定與該記憶體操作命令相關聯之資料是否可儲存於該第二記憶體陣列處，其中該判定可基於儲存於該第二記憶體陣列處之一或多個旗標；及基於與該記憶體操作命令相關聯之該資料是否可儲存於該第二記憶體陣列處之該判定來在該第一記憶體陣列或該第二記憶體陣列處執行該記憶體操作命令。

【0052】 圖5繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之一例示性系統。系統500可為參考圖4所描述之系統400之一實例且可包含一裝置510。裝置510可為參考圖4所描述之裝置410之一實例。裝置510可包含SoC/處理器550、記憶體子系統520及儲存器560。SoC/處理器550可為參考圖4所描述之SoC/處理器450之一實例。記憶體子系統520可為參考圖4所描述之記憶體子系統420之一實例。儲存器560可為參考圖4所描述之儲存器460之一實例。匯流排580可為參考圖4所描述之匯流排480之一實例且SoC/處理器550可經組態以經由匯流排580與儲存器560一起操作。匯流排570可為參考圖4所描述之匯流排470之一實例。匯流排575可為參考圖4所描述之匯流排475之一實例。SoC/處理器550可經組態以經由匯流排570及575與記憶體子系統520一起操作。在一些實例中，SoC/處理器550可經組態以具有佈置於一相同基板上以充當快取記憶體555之局部記憶體陣列。

【0053】 記憶體子系統520可包含非揮發性記憶體525、虛擬記憶體庫535及介面控制器530。非揮發性記憶體525可為參考圖1所描述之記憶體裝置180之一實例。虛擬記憶體庫535可為參考圖1所描述之記憶體裝置170之一實例。介面控制器530可為參考圖1所描述之介面控制器120之一實例。介面控制器530可經組態以經由匯流排570及575與SoC/處理器550一起操作。匯流排570及575可分別為參考圖4所描述之匯流排470及475之實例。在一些實例中，虛擬記憶體庫535可由DRAM胞元構建且經組態以依據LPDDR規格操作；例如，頁面大小、時序要求等等可基於一LPDDR規格，使得虛擬記憶體庫535可促進與舊有組件或使用舊有協定之操作，諸如經由匯流排570及575。另外，介面控制器530可經組態以經由匯流排571及576與非揮發性記憶體525一起操作。在一些實例中，介面控制器530可包含虛擬記憶體庫535。與虛擬記憶體庫535合作之介面控制器530可經組態以依據LPDDR規格(例如頁面大小、時序要求等等)來與SoC/處理器550一起操作。

【0054】 在一些實例中，記憶體子系統520可進一步包含緩衝器540。在一些實例中，緩衝器540可構建為一DRAM緩衝器。緩衝器540可為參考圖1所描述之記憶體裝置170或180之一實例。另外，介面控制器530可經組態以經由匯流排572及577與緩衝器540一起操作。在一些實例中，匯流排572可為緩衝器CA匯流排。在一些實例中，匯流排577可為介面(IF)緩衝器I/O匯流排。介面控制器530及匯流排572及577可經組態以可與涉及DRAM之協定(諸如LPDDR頁面大小及時序)相容。在一些實例中，SoC/處理器550可經組態以直接經由匯流排575與緩衝器540一起操作。在一些實例中，緩衝器540可經組態以具有可與匯流排575相容且因

此可由SoC/處理器550直接存取之一頁面大小。

【0055】 存在於記憶體系統域中之緩衝器540可經組態以操作為SoC/處理器550內之快取記憶體555之一擴增。在一些實例中，緩衝器540之容量可為約256兆位元組。在一些實例中，可基於SoC/處理器550中之快取記憶體555之大小來判定緩衝器540之容量。緩衝器540之相對較小容量可因潛在較小寄生組件(例如與金屬線相關聯之電感)而使記憶體子系統520可比較大容量之一典型DRAM表現更好。緩衝器540之較小容量可在減少與週期性再新操作相關聯之系統電力消耗方面提供額外益處。

【0056】 記憶體子系統520可實施成包含一單晶片型式及一多晶片型式之各種組態。單晶片型式可包含一單一晶片上之介面控制器530、虛擬記憶體庫535及非揮發性記憶體525。在一些實例中，緩衝器540可包含於單一晶片中。相比而言，一多晶片型式可使記憶體子系統520中之各組成部分(即，介面控制器530、虛擬記憶體庫535、非揮發性記憶體525及緩衝器540)分別位於一單一晶片中。一多晶片型式之一變體可包含具有虛擬記憶體庫535及介面控制器530兩者之一晶片。此外，一多晶片型式可進一步包含實施於一單獨晶片上之緩衝器540。一變體可具有包含虛擬記憶體庫535之緩衝器540。在又一實例中，一多晶片型式可包含一相同晶片上之非揮發性記憶體及緩衝器。在一些實例中，非揮發性記憶體陣列可包含DRAM胞元陣列。在一些情況中，介面控制器530、虛擬記憶體庫535及緩衝器540可安置於一相同晶片上。

【0057】 在一些實例中，非揮發性記憶體525可為具有局部記憶體控制器526之一FeRAM陣列。在一些實例中，非揮發性記憶體525可指稱比儲存器560更靠近於SoC/處理器550之非揮發性記憶體。作為靠近記憶

體之非揮發性記憶體525可(例如)限制或避免可與自儲存器560擷取資料相關聯之負擔。

【0058】 在一些實例中，非揮發性記憶體525之容量可為約32吉位元組。非揮發性記憶體525可在意外斷電之後保存重要資訊以取代存取儲存器560，其中存取儲存器560可與非所要延遲相關聯。非揮發性記憶體525之局部記憶體控制器526可經組態以判定非揮發性記憶體525之可變頁面大小。在一些實例中，FeRAM之頁面大小可小於LPDDR DRAM之一頁面大小且LPDDR DRAM之頁面大小可為FeRAM之頁面大小之一超集。LPDDR DRAM頁面大小之一實例可為2048個位元組且FeRAM頁面大小之一實例可為64個位元組。介面控制器530可經組態以經由匯流排571及576與非揮發性記憶體525一起操作。在一些實例中，匯流排571可為FeRAM CA匯流排。在一些實例中，匯流排576可為FeRAM介面(IF)匯流排。介面控制器530及匯流排571及576可經組態以可與非揮發性記憶體525之頁面大小相容。

【0059】 在一些情況中，一種設備可包含：一第一記憶體陣列，其包含具有一第一頁面大小之非揮發性記憶體胞元；一第一控制器，其與該第一記憶體陣列耦合且經組態以與一單晶片系統(SoC)或處理器介接；及一第二記憶體陣列，其經由該第一控制器與該第一記憶體陣列耦合且經組態以基於與該SoC或處理器相關聯之一第二頁面大小來儲存資料，其中該第二頁面大小係該第一頁面大小之一超集。在一些情況中，該設備可進一步包含與該第一控制器耦合之一第三記憶體陣列，其中該第三記憶體陣列至少部分由該第二頁面大小組態。在一些情況中，該第二記憶體陣列、該第三記憶體陣列及該第一控制器安置於一相同晶片上。在一些情況中，該

第一頁面大小係可組態的。

【0060】 在一些情況中，該第三記憶體陣列耦合至該 SoC 或處理器。在一些情況中，該第三記憶體陣列覆於該 SoC 或處理器上。在一些情況中，該第三記憶體陣列包含揮發性記憶體胞元。在一些情況中，該第一記憶體陣列及該第三記憶體陣列安置於一第一晶片上。在一些情況中，該第一記憶體陣列包含該第三記憶體陣列。在一些情況中，該第一記憶體陣列、該第一控制器及該第二記憶體陣列安置於一第一晶片上。在一些情況中，該設備可進一步包含該 SoC 或處理器，其中該 SoC 或處理器經由該第一控制器與該第一記憶體陣列耦合，且其中該 SoC 或處理器安置於與該第一晶片分離之一第二晶片上。在一些情況中，該設備可進一步包含一額外記憶體陣列，其包含與該 SoC 或處理器耦合之非揮發性記憶體胞元。在一些情況中，該額外記憶體陣列包含與該 SoC 或處理器耦合之一第一群組之非揮發性記憶體胞元及經由該第一群組之揮非發性記憶體胞元與該 SoC 或處理器耦合之一第二群組之非揮發性記憶體胞元。

【0061】 在一些情況中，該 SoC 或處理器包含組態為該 SoC 或處理器處之快取記憶體之一局部記憶體陣列。在一些情況中，該設備可進一步包含一第二控制器，其與該第一記憶體陣列耦合且安置於相同於該第一記憶體陣列之一晶片上，其中該第二控制器經組態以判定該第一記憶體陣列之該第一頁面大小。在一些情況中，該第二記憶體陣列經組態以根據該第一記憶體陣列之該第一頁面大小來儲存資料。在一些情況中，該第二記憶體陣列經組態以儲存一第一旗標，該第一旗標指示該第二記憶體陣列之一或多個部分儲存來自該第一記憶體陣列之有效資料。在一些情況中，該第二記憶體陣列經組態以儲存一第二旗標，該第二旗標指示該第二記憶體

陣列之一或多個部分儲存不同於該第一記憶體陣列之資料。在一些情況中，該第一控制器包含該第二記憶體陣列，且其中該第一控制器及該第二記憶體陣列安置於一相同晶片上。

【0062】 在一些情況中，一種設備可包含：一第一記憶體陣列，其包含具有一第一頁面大小之非揮發性記憶體胞元；一局部控制器，其與該第一記憶體陣列耦合且經組態以與一單晶片系統(SoC)或處理器介接；一第二記憶體陣列，其與該局部控制器耦合且經組態以基於一第二頁面大小來儲存資料，該第二頁面大小係該第一頁面大小之一超集；及一第三記憶體陣列，其與該局部控制器耦合且經組態以至少部分根據該第二頁面大小來儲存資料。在一些情況中，該第二記憶體陣列、該第三記憶體陣列及該局部控制器安置於一相同晶片上。在一些情況中，該第一頁面大小係可組態的。在一些情況中，該第二頁面大小與該SoC或處理器相關聯。在一些情況中，該第三記憶體陣列耦合至該SoC或處理器。

【0063】 在一些情況中，一種設備可包含：一第一記憶體陣列，其包含具有一第一頁面大小之非揮發性記憶體胞元；一第二記憶體陣列，其經組態以基於與一單晶片系統(SoC)或處理器相關聯之一第二頁面大小來儲存資料，其中該第二頁面大小係該第一頁面大小之一超集；一第三記憶體陣列，其包含至少部分由該第二頁面大小組態之揮發性記憶體胞元；及一控制器，其經組態以與該SoC或處理器、該第一記憶體陣列、該第二記憶體陣列及該第三記憶體陣列介接，其中該控制器可經操作以：自該SoC或處理器接收用於存取該第一記憶體陣列之一記憶體操作命令；判定與該記憶體操作命令相關聯之資料是否儲存於該第二記憶體陣列處，其中該判定係基於儲存於該第二記憶體陣列處之一或多個旗標；及基於與該記憶體

操作命令相關聯之該資料是否儲存於該第二記憶體陣列處之該判定來在該第一記憶體陣列或該第二記憶體陣列處執行該記憶體操作命令。

【0064】 在一些情況中，該第二記憶體陣列、該第三記憶體陣列及該介面控制器安置於一相同晶片上。在一些情況中，該第一頁面大小係可組態的。在一些情況中，該控制器可經操作以：偵測各指示該第二記憶體陣列之一部分儲存來自該第一記憶體陣列之有效資料之一或多個第一旗標；或偵測各指示該第二記憶體陣列之一部分儲存不同於該第一記憶體陣列之資料之一或多個第二旗標；或偵測該等第一旗標之一或多者及該等第二旗標之一或多者。在一些情況中，該記憶體操作命令包含一讀取命令。在一些情況中，該控制器可經操作以判定與該記憶體操作命令相關聯之資料儲存於該第三記憶體陣列處，其中該第三記憶體陣列至少部分由該第二頁面大小組態；其中該控制器可經進一步操作以基於判定與該記憶體操作命令相關聯之資料儲存於該第三記憶體陣列處來自該第三記憶體陣列找取資料且基於找取該資料來將資料發送至該SoC或處理器。

【0065】 在一些情況中，該控制器可經操作以：判定與該記憶體操作命令相關聯之資料儲存於該第三記憶體陣列處，其中該第三記憶體陣列至少部分由該第二頁面大小組態；及引起該SoC或處理器直接存取該第三記憶體陣列。在一些情況中，該第一控制器可經操作以：基於判定與該記憶體操作命令相關聯之資料儲存於該第二記憶體陣列處來自該第二記憶體陣列找取資料；及基於找取該資料來將該資料發送至該SoC或處理器。在一些情況中，該第一控制器可經操作以：基於判定與該記憶體操作命令相關聯之資料是否儲存於該第二記憶體陣列處來自該第一記憶體陣列找取資料；將資料儲存於該第二記憶體陣列之一或多個部分中；更新該一或多個

第一旗標以指示有效資料儲存於該第二記憶體陣列之該一或多個部分中；及基於找取該資料來將該資料發送至該SoC或處理器。

【0066】 在一些情況中，該記憶體操作命令包含一寫入命令。在一些情況中，該第一控制器可經操作以：將資料儲存於該第二記憶體陣列之一或多個部分中；及更新該一或多個第二旗標以指示該第二記憶體陣列之部分儲存不同於該第一記憶體陣列之資料。在一些情況中，來自該SoC或處理器之該記憶體操作命令包含以下命令：基於該SoC或處理器在一時間間隔期間嘗試存取之次數來將資料自該第二記憶體陣列寫入至該第一記憶體陣列或該第三記憶體陣列。在一些情況中，該第一控制器可經操作以基於該嘗試存取次數小於一臨限值來將資料儲存於該第一記憶體陣列處。在一些情況中，該臨限值包含一時間值、一計數值、一時脈或其等之任何組合之至少一者。在一些情況中，該第一控制器可經操作以基於該嘗試存取次數等於或大於一臨限值來將資料儲存於該第三記憶體陣列處。在一些情況中，該臨限值包含一時間值、一計數值、一時脈或其等之任何組合之至少一者。

【0067】 在一些情況中，一種設備(例如記憶體子系統520)可包含用於自一SoC或處理器接收用於存取一第一記憶體陣列之一記憶體操作命令的構件。在一些情況中，該設備可包含用於判定與該記憶體操作命令相關聯之資料是否可儲存於一第二記憶體陣列處的構件，其中該判定可基於儲存於該第二記憶體陣列處之一或多個旗標。在一些情況中，該設備可包含用於基於與該記憶體操作命令相關聯之該資料是否可儲存於該第二記憶體陣列處之該判定來在該第一記憶體陣列或該第二記憶體陣列處執行該記憶體操作命令的構件。

【0068】圖6繪示支援根據本發明之實施例之一非揮發性記憶體系統或子系統之一協定600之一例示性示意圖。圖6結合圖5中所展示之各種組件來展示虛擬記憶體庫635及其細節之一態樣。虛擬記憶體庫635可為參考圖5所描述之虛擬記憶體庫535之一實例。如上文所繪示，虛擬記憶體庫635可安置於相同於介面控制器530之一晶片上。虛擬記憶體庫635可經組態以具有複數個部分655，其中各部分655-a、655-b及655-c等等可對應於非揮發性記憶體525之一頁面大小。參考圖5中所描繪之組件之操作來描述圖6之實例。

【0069】部分655之一串接系列可經組態以表示可與經由匯流排570及575與SoC/處理器550一起操作相容之一頁面大小645。在一些實例中，各部分655可表示64個位元組且頁面大小645可表示2048個位元組。在此等情況中，655之32個部分之串接將構建一組資料，其具有對應於頁面大小645之2048個位元組之一頁面大小，使得介面控制器530可經由匯流排570及575與SoC/處理器550一起操作。因此，與介面控制器530一起操作之虛擬記憶體庫635可依與匯流排570及575相容之一方式延續於SoC/處理器550與非揮發性記憶體525之間。

【0070】為了簡化說明圖，圖6之實例展示表示可與SoC/處理器550一起操作相容之一資料單元之一頁記憶體。熟悉技術者應瞭解，虛擬記憶體庫635可經組態以具有複數個此資料單元以取決於待支援之應用記憶體子系統之種類、非揮發性記憶體525之容量及緩衝器540之容量等等而最佳化記憶體子系統520之效能。在一些實例中，虛擬記憶體庫635可由8個資料單元組態。

【0071】在一些實例中，介面控制器530可經由匯流排570自SoC/處

理器550接收一記憶體操作命令。記憶體操作命令可為一讀取命令。隨後，介面控制器530可判定與讀取命令相關聯之資料是否存在於虛擬記憶體庫635之一或多個部分655中。在判定資料是否存在於虛擬記憶體庫635之一或多個部分655中時，介面控制器530可偵測指示有效資料儲存於虛擬記憶體庫635之一或多個部分655中之有效/無效旗標665。若資料存在於虛擬記憶體庫635之一或多個部分655中，則介面控制器530可自虛擬記憶體庫635擷取資料且經由575將資料發送至SoC/處理器550。此操作可與LPDDR規格相容完成且SoC/處理器550可因此操作，此係因為資料已存在於虛擬記憶體庫635中且頁面大小645與LPDDR規格相容。因此，介面控制器530可無需存取非揮發性記憶體525。

【0072】 相比而言，當資料不存在於虛擬記憶體庫635的一或多個部分655中時，介面控制器530可存取非揮發性記憶體525且將資料儲存於虛擬記憶體庫635的一或多個部分655中，同時亦將資料發送至SoC/處理器550。介面控制器530可更新指示有效資料係儲存於虛擬記憶體庫635之一或多個部分655中的有效/無效旗標665，以藉由偵測有效/無效旗標665來實現有效資料的未來使用。此操作會招致一額外延遲時間，其可歸因於介面控制器530自非揮發性記憶體525擷取資料之事實而與LPDDR規格不相容。因此，可通知SoC/處理器550預期比LPDDR規格長之一延遲，以使資料可經由匯流排575用於SoC/處理器550。

【0073】 在一些實例中，介面控制器530可判定與讀取命令相關聯之資料係儲存於緩衝器540處。隨後，介面控制器530可自緩衝器540擷取資料，且經由匯流排575將資料發送至SoC/處理器550。在一些情況中，SoC/處理器550可直接存取緩衝器540。由於緩衝器540可經組態以與匯流

排570及575一起操作，所以此操作可與LPDDR規格相容，且SoC/處理器550可據此操作。

【0074】 在其他實例中，介面控制器530可經由匯流排570，自SoC/處理器550接收一記憶體操作命令。記憶體操作命令可為一寫入命令。隨後，介面控制器530在經由匯流排575自SoC/處理器550接收資料之後，將資料儲存於虛擬記憶體庫的一或多個部分中。接著，介面控制器530可判定經儲存於虛擬記憶體庫635之一或多個部分655中的資料可不同於來自非揮發性記憶體525的資料。因此，介面控制器530可更新各指示虛擬記憶體庫635的一部分655具有不同於經儲存在非揮發性記憶體525中之資料之資料的改變旗標675。改變旗標675可用於向介面控制器530指示虛擬記憶體庫635之哪些部分655中的資料儲存回至非揮發性記憶體525。此可允許介面控制器530在不耗費資源來儲存已存在於非揮發性記憶體525中之相同資料的情況下，儲存由SoC/處理器550改變的資料內容。應瞭解，來自SoC/處理器550之一寫入命令在不涉及非揮發性記憶體525的情況下寫入至虛擬記憶體庫635，且因此可根據LPDDR規格來完成，且SoC/處理器550可據此操作。

【0075】 在一些實例中，介面控制器530可自SoC/處理器550接收一記憶體操作命令。記憶體操作命令可與關閉虛擬記憶體庫635中之一頁資料相關聯，且介面控制器530因此可在關閉之前判定儲存資料頁之位置。介面控制器530可經組態以監測且識別虛擬記憶體庫635之內容。介面控制器530可經組態以具有一計數器，其記錄SoC/處理器550在一特定時間間隔期間嘗試存取虛擬記憶體庫635之內容的次數。若計數器表明SoC/處理器550嘗試存取之次數小於一預定臨限值，則介面控制器530可將已被

修改之虛擬記憶體庫635的內容儲存於非揮發性記憶體525中。介面控制器530可在判定內容未被修改之後捨棄虛擬記憶體庫635之內容。另一方面，若計數器表明SoC/處理器550嘗試存取之次數等於或大於一預定臨限值，則介面控制器530可將資料儲存於緩衝器540中。另外，計數器可經組態以在SoC/處理器550嘗試存取之次數小於一預定臨限值時，設定一跳過指標，以跳過將虛擬記憶體庫635之內容保存至緩衝器540。接著，跳過指標可用於將虛擬記憶體庫635之經修改內容直接保存至非揮發性記憶體525。熟悉技術者應能夠鑑於非揮發性記憶體系統或子系統操作之其他態樣(例如SoC/處理器之快取記憶體操作、緩衝器容量等等)來設計介面控制器之各種準則(例如包含一計數值、一時脈、時段等等之準則)以滿足總體要求。

【0076】 介面控制器530管理資料之操作可藉由限制對FeRAM陣列之實際讀取或寫入循環來防止對非揮發性記憶體525 (例如FeRAM陣列)之損害。例如，當資料可在虛擬記憶體庫635或緩衝器540中取得時，介面控制器530可在實際上不存取非揮發性記憶體525的情況下產生至SoC/處理器550之資料。另外，當可適當將資料儲存於緩衝器540中或捨棄資料時，介面控制器530可避免將資料儲存至非揮發性記憶體525。藉由介面控制器530之此資料管理可受益於FeRAM可靠性態樣，此係因為FeRAM胞元可具有相較於DRAM胞元之一有限耐久性，即，一FeRAM胞元可具有在其整個壽年中可支援之有限讀取或寫入循環次數，而DRAM胞元可具有一無限或實際上無限耐久性。在一些情況中，一FeRAM陣列之耐久性可能不足以用於其中一小部分FeRAM胞元經受其耐久性極限之一些部署或使用。例如，FeRAM胞元可具有適合於諸多典型電子應用之一耐久性

極限；然而，一惡意攻擊(例如，歸因於一電腦病毒或未授權存取)會試圖藉由不斷讀取或寫入一小部分FeRAM胞元直至其達到其耐久性極限來破壞FeRAM。因此，管理資料之介面控制器530能夠藉由避免此惡意攻擊或有效管理與非揮發性記憶體525相關聯之損耗平衡來減輕FeRAM胞元操作所涉及之風險。

【0077】 圖7展示繪示用於操作根據本發明之實施例之一非揮發性記憶體系統或子系統之一方法700的一流程圖。方法700之操作可由參考圖1所描述之介面控制器120或參考圖5所描述之介面控制器530實施，如本文中所描述。

【0078】 在區塊705中，介面控制器530可自一單晶片系統(SoC)或處理器接收用於存取可包含非揮發性記憶體胞元之一第一記憶體陣列之一記憶體操作命令，第一記憶體陣列具有一第一頁面大小。可根據參考圖1至圖6所描述之方法來執行區塊705之操作。

【0079】 在區塊710中，介面控制器530可判定與記憶體操作命令相關聯之資料是否可儲存於具有可基於SoC或處理器之一第二頁面大小之一第二記憶體陣列中，其中判定可基於儲存於第二記憶體陣列處之一或多個旗標。可根據參考圖1至圖6所描述之方法來執行區塊710之操作。

【0080】 在區塊715中，介面控制器530可在第一記憶體陣列、第二記憶體陣列或一第三記憶體陣列處執行記憶體操作命令，第三記憶體陣列可與介面控制器耦合且可包含揮發性記憶體胞元，其中可基於與記憶體操作命令相關聯之資料是否儲存於第二記憶體陣列處之判定來執行記憶體操作命令。可根據參考圖1至圖6所描述之方法來執行區塊715之操作。

【0081】 本發明描述一種用於執行一或若干方法(諸如方法700)之設

備。該設備可包含：用於在一介面控制器處自一單晶片系統(SoC)或處理器接收用於存取可包含非揮發性記憶體胞元之一第一記憶體陣列之一記憶體操作命令的構件，該第一記憶體陣列具有一第一頁面大小；用於判定與該記憶體操作命令相關聯之資料是否可儲存於具有可基於該SoC或處理器之一第二頁面大小之一第二記憶體陣列處的構件，其中該判定可基於儲存於該第二記憶體陣列處之一或多個旗標；及用於在該第一記憶體陣列、該第二記憶體陣列或一第三記憶體陣列處執行該記憶體操作命令的構件，該第三記憶體陣列可與該介面控制器耦合且可包含揮發性記憶體胞元，其中可基於與該記憶體操作命令相關聯之該資料是否可儲存於該第二記憶體陣列處之該判定來執行該記憶體操作命令。

【0082】 本發明描述另一種用於執行一或若干方法(諸如方法700)之設備。該裝置可包含一第一記憶體陣列、一第二記憶體陣列、一第三記憶體陣列及一介面控制器，該介面控制器與一單晶片系統(SoC)或處理器電子通信，其中該介面控制器可經操作以：在該介面控制器處自該SoC或處理器接收用於存取可包含非揮發性記憶體胞元之該第一記憶體陣列之一記憶體操作命令，該第一記憶體陣列具有一第一頁面大小；判定與該記憶體操作命令相關聯之資料是否可儲存於具有可基於該SoC或處理器之一第二頁面大小之該第二記憶體陣列處，其中該判定可基於儲存於該第二記憶體陣列處之一或多個旗標；及在該第一記憶體陣列、該第二記憶體陣列或該第三記憶體陣列處執行該記憶體操作命令，該第三記憶體陣列可與該介面控制器耦合且可包含揮發性記憶體胞元，其中可基於與該記憶體操作命令相關聯之該資料是否可儲存於該第二記憶體陣列處之該判定來執行該記憶體操作命令。

【0083】 本文中所描述之方法700及設備之一些實例可進一步包含用於以下操作之程序、特徵、構件或指令：偵測各可指示該第二記憶體陣列之一部分儲存來自該第一記憶體陣列之有效資料之一或多個第一旗標；或偵測各可指示該第二記憶體陣列之一部分儲存可不同於該第一記憶體陣列之資料之一或多個第二旗標；或偵測該等第一旗標之一或多者及該等第二旗標之一或多者。

【0084】 在本文中所描述之方法700及設備之一些實例中，該記憶體操作命令可包含一讀取命令。本文中所描述之方法700及設備之一些實例可進一步包含用於判定與該記憶體操作命令相關聯之資料可儲存於該第三記憶體陣列處之程序、特徵、構件或指令，其中該第三記憶體陣列可至少部分由該第二頁面大小組態。本文中所描述之方法700及設備之一些實例可進一步包含用於基於判定與該記憶體操作命令相關聯之資料可儲存於該第三記憶體陣列處來自該第三記憶體陣列找取資料之程序、特徵、構件或指令。本文中所描述之方法700及設備之一些實例可進一步包含用於基於找取該資料來將資料發送至該SoC或處理器之程序、特徵、構件或指令。

【0085】 本文中所描述之方法700及設備之一些實例可進一步包含用於判定與該記憶體操作命令相關聯之資料可儲存於該第三記憶體陣列處之程序、特徵、構件或指令，其中該第三記憶體陣列可至少部分由該第二頁面大小組態。本文中所描述之方法700及設備之一些實例可進一步包含用於直接自該SoC或處理器存取該第三記憶體陣列之程序、特徵、構件或指令。

【0086】 本文中所描述之方法700及設備之一些實例可進一步包含

用於基於判定與該記憶體操作命令相關聯之資料可儲存於該第二記憶體陣列處來自該第二記憶體陣列找取資料之程序、特徵、構件或指令。本文中所述之方法700及設備之一些實例可進一步包含用於基於找取該資料來將該資料發送至該SoC或處理器之程序、特徵、構件或指令。

【0087】 本文中所述之方法700及設備之一些實例可進一步包含用於基於判定與該記憶體操作命令相關聯之資料可儲存於該第二記憶體陣列處來自該第一記憶體陣列找取資料之程序、特徵、構件或指令。本文中所述之方法700及設備之一些實例可進一步包含用於將資料儲存於該第二記憶體陣列之一或多個部分中之程序、特徵、構件或指令。本文中所述之方法700及設備之一些實例可進一步包含用於更新該一或多個第一旗標以指示有效資料儲存於該第二記憶體陣列之該一或多個部分中之程序、特徵、構件或指令。本文中所述之方法700及設備之一些實例可進一步包含用於基於找取該資料來將該資料發送至該SoC或處理器之程序、特徵、構件或指令。

【0088】 在本文中所述之方法700及設備之一些實例中，該記憶體操作命令可包含一寫入命令。本文中所述之方法700及設備之一些實例可進一步包含用於將資料儲存於該第二記憶體陣列之一或多個部分中之程序、特徵、構件或指令。本文中所述之方法700及設備之一些實例可進一步包含用於更新該一或多個第二旗標以指示該第二記憶體陣列之部分儲存可不同於該第一記憶體陣列之資料之程序、特徵、構件或指令。

【0089】 在本文中所述之方法700及設備之一些實例中，來自該SoC或處理器之該記憶體操作命令可包含以下命令：基於該SoC或處理器在一時間間隔期間嘗試存取之次數來將資料自該第二記憶體陣列寫入至該

第一記憶體陣列或該第三記憶體陣列。

【0090】 本文中所描述之方法700及設備之一些實例可進一步包含用於基於該嘗試存取次數小於一臨限值來將資料儲存於該第一記憶體陣列處之程序、特徵、構件或指令。在本文中所描述之方法700及設備之一些實例中，該臨限值可包含一時間值、一計數值、一時脈或其等之任何組合之至少一者。本文中所描述之方法700及設備之一些實例可進一步包含用於基於該嘗試存取次數等於或大於一臨限值來將資料儲存於該第三記憶體陣列處之程序、特徵、構件或指令。

【0091】 在一些實施例中，揭示一種用於非揮發性記憶體系統或子系統之方法。該方法可包含：在一介面控制器處自一單晶片系統(SoC)或處理器接收用於存取包括非揮發性記憶體胞元之一第一記憶體陣列之一記憶體操作命令，該第一記憶體陣列具有一第一頁面大小；判定與該記憶體操作命令相關聯之資料是否儲存於具有基於該 SoC或處理器之一第二頁面大小之一第二記憶體陣列處，其中該判定係基於儲存於該第二記憶體陣列處之一或多個旗標；及在該第一記憶體陣列、該第二記憶體陣列或一第三記憶體陣列處執行該記憶體操作命令，該第三記憶體陣列與該介面控制器耦合且包括揮發性記憶體胞元，其中基於與該記憶體操作命令相關聯之該資料是否儲存於該第二記憶體陣列處之該判定來執行該記憶體操作命令。

【0092】 在一些情況中，該第二記憶體陣列、該第三記憶體陣列及該介面控制器安置於一相同晶片上。在一些情況中，該第二頁面大小係可組態之該第一頁面大小之一超集。在一些情況中，判定與該記憶體操作命令相關聯之資料是否儲存於該第二記憶體陣列處包含：偵測各指示該第二記憶體陣列之一部分儲存來自該第一記憶體陣列之有效資料之一或多個第

一旗標；或偵測各指示該第二記憶體陣列之一部分儲存不同於該第一記憶體陣列之資料之一或多個第二旗標；或偵測該等第一旗標之一或多者及該等第二旗標之一或多者。

【0093】 在一些情況中，該記憶體操作命令包含一讀取命令。在一些情況中，該方法可進一步包含：判定與該記憶體操作命令相關聯之資料儲存於該第三記憶體陣列處，其中該第三記憶體陣列至少部分由該第二頁面大小組態；其中執行該記憶體操作命令包含：基於判定與該記憶體操作命令相關聯之資料儲存於該第三記憶體陣列處來自該第三記憶體陣列找取資料；及基於找取該資料來將資料發送至該SoC或處理器。在一些情況中，該方法可進一步包含：判定與該記憶體操作命令相關聯之資料儲存於該第三記憶體陣列處，其中該第三記憶體陣列至少部分由該第二頁面大小組態；及自該SoC或處理器直接存取該第三記憶體陣列。

【0094】 在一些情況中，執行該記憶體操作命令包含：基於判定與該記憶體操作命令相關聯之資料儲存於該第二記憶體陣列處來自該第二記憶體陣列找取資料；及基於找取該資料來將該資料發送至該SoC或處理器。在一些情況中，執行該記憶體操作命令包含：基於判定與該記憶體操作命令相關聯之資料是否儲存於該第二記憶體陣列處來自該第一記憶體陣列找取資料；將資料儲存於該第二記憶體陣列之一或多個部分中；更新該一或多個第一旗標以指示有效資料儲存於該第二記憶體陣列之該一或多個部分中；及基於找取該資料來將該資料發送至該SoC或處理器。

【0095】 在一些情況中，該記憶體操作命令包含一寫入命令。在一些情況中，執行該記憶體操作命令包含：將資料儲存於該第二記憶體陣列之一或多個部分中；及更新該一或多個第二旗標以指示該第二記憶體陣列

之部分儲存不同於該第一記憶體陣列之資料。在一些情況中，來自該SoC或處理器之該記憶體操作命令包含以下命令：基於該SoC或處理器在一時間間隔期間嘗試存取之次數來將資料自該第二記憶體陣列寫入至該第一記憶體陣列或該第三記憶體陣列。在一些情況中，執行該記憶體操作命令包含：基於該嘗試存取次數小於一臨限值來將資料儲存於該第一記憶體陣列處。在一些情況中，該臨限值包含一時間值、一計數值、一時脈或其等之任何組合之至少一者。在一些情況中，執行該記憶體操作命令包含：基於該嘗試存取次數等於或大於一臨限值來將資料儲存於該第三記憶體陣列處。在一些情況中，該臨限值包含一時間值、一計數值、一時脈或其等之任何組合之至少一者。

【0096】 應注意，上文所描述之方法描述可行實施方案，且可重新配置或否則修改操作及步驟且其他實施方案係可行的。此外，可組合來自兩種或兩種以上方法之特徵。

【0097】 可使用各種不同技術之任何者來表示本文中所描述之資訊及信號。例如，可在以上描述中提及之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子或其等之任何組合表示。一些圖式可將信號繪示為一單一信號；然而，一般技術者應瞭解，信號可表示信號之一匯流排，其中匯流排可具有各種位元寬度。

【0098】 如本文中所使用，術語「虛擬接地」係指使電壓保持為約零伏特(0 V)但不與接地直接連接之一電路之一節點。因此，一虛擬接地之電壓會暫時波動且在穩定狀態中恢復至約0 V。可使用各種電子電路元件(諸如由運算放大器及電阻器組成之一分壓器)來實施一虛擬接地。其他

實施方案亦係可行的。「虛擬接地」意謂連接至約0 V。

【0099】 術語「電子通信」及「耦合」係指支援組件之間之電子流動之組件之間之一關係。此可包含組件之間之一直接連接或可包含中間組件。彼此電子通信或耦合之組件可主動交換電子或信號(例如，在一賦能電路中)或可不主動交換電子或信號(例如，在一去能電路中)但可經組態及操作以在對電路供能之後交換電子或信號。舉例而言，經由一開關(例如一電晶體)實體連接之兩個組件係電子通信的或可為耦合的，不論開關之狀態如何(即，接通或切斷)。

【0100】 本文中所討論之一或若干電晶體可表示一場效電晶體(FET)且包括具有源極、汲極及閘極之三端裝置。端子可透過導電材料(例如金屬)連接至其他電子元件。源極及汲極可為導電的且可包括一重摻雜(例如簡併)半導體區域。源極及汲極可由一輕摻雜半導體區域或通道分離。若通道係n型(即，大多數載子係電子)，則FET可指稱一n型FET。若通道係p型(即，大多數載子係電洞)，則FET可指稱一p型FET。通道可由一絕緣閘極氧化物帽蓋。可藉由將一電壓施加至閘極來控制通道導電性。例如，將一正電壓或負電壓分別施加至一n型FET或一p型FET可導致通道變成導電的。當將大於或等於電晶體臨限電壓之一電壓施加至電晶體閘極時，電晶體可「接通」或「被啟用」。當將小於電晶體臨限電壓之一電壓施加至電晶體閘極時，電晶體可「切斷」或「被停用」。

【0101】 本文結合附圖所闡述之[實施方式]描述實例性組態且不表示可被實施或在申請專利範圍之範疇內之全部實例。本文中所使用之術語「例示性」意謂「充當一實例、例項或說明」且不是「較佳的」或「優於其他實例」。[實施方式]包含用於促進描述技術之理解之特定細節。然

而，可在無此等特定細節的情況下實踐此等技術。在一些例項中，依方塊圖形式展示熟知結構及裝置以避免使描述實例之概念模糊。

【0102】 在附圖中，類似組件或特徵可具有相同元件符號。此外，可藉由使元件符號後接一短劃線及區別類似組件之一第二符號來區別相同類型之各種組件。若僅第一元件符號用於說明書中，則不管第二元件符號如何，描述可應用於具有相同第一元件符號之類似組件之任一者。

【0103】 可使用各種不同技術之任何者來表示本文中所描述之資訊及信號。例如，可在以上描述中提及之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子或其等之任何組合表示。

【0104】 結合本文揭示內容所描述之各種說明性區塊及模組可使用經設計以執行本文中所描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其等之任何組合來實施或執行。一通用處理器可為一微處理器，但替代地，處理器可為任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為運算裝置之一組合(例如一數位信號處理器(DSP)及一微處理器之一組合、多個微處理器、一或多個微處理器結合一DSP核心或任何其他此類組態)。

【0105】 本文中所描述之功能可實施於硬體、由一處理器執行之軟體、韌體或其等之任何組合中。若實施於由一處理器執行之軟體中，則功能可作為一或多個指令或程式碼儲存於一電腦可讀媒體上或透過一電腦可讀媒體傳輸。其他實例及實施方案係在本發明及隨附申請專利範圍之範疇內。例如，歸因於軟體之性質，上文所描述之功能可使用由一處理器執行

之軟體、硬體、韌體、硬連線或此等之任何者之組合來實施。實施功能之特徵亦可實體定位於各種位置處，其包含經分佈使得部分功能實施於不同實體位置處。此外，如包含申請專利範圍之本文中所使用，一項目清單(例如以諸如「...之至少一者」或「...之一或多者」之一片語為前言之一項目清單)中所使用之「或」指示一包含性清單，使得(例如) A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。此外，如本文中所使用，片語「基於...」不應被解釋為參考一組封閉條件。例如，描述為「基於條件A」之一例示性步驟可在不背離本發明之範疇的情況下基於一條件A及一條件B兩者。換言之，如本文中所使用，應依相同於片語「基於...」之方式解釋片語「至少部分基於...」。

【0106】 電腦可讀媒體包含非暫時性電腦儲存媒體及通信媒體兩者，其包含促進一電腦程式自一位置轉移至另一位置之任何媒體。一非暫時性儲存媒體可為可由一通用或專用電腦存取之任何可用媒體。舉例而言(但不限於)，非暫時性電腦可讀媒體可包括RAM、ROM、電可抹除可程式化唯讀記憶體(EEPROM)、壓縮光碟(CD) ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置或可用於載送或儲存呈指令或資料結構之形式之所要程式碼構件且可由一通用或專用電腦或一通用或專用處理器存取之任何其他非暫時性媒體。此外，任何連接被適當稱為一電腦可讀媒體。例如，若使用同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)來自網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)包含於媒體之定義中。如本文中所使用，磁碟及光碟包含CD、雷射光碟、光碟、數位多功能光碟(DVD)、軟碟及藍光光

碟，其中磁碟通常磁性地複製資料，而光碟使用雷射來光學地複製資料。上述之組合亦包含於電腦可讀媒體之範疇內。

【0107】 提供[實施方式]來使熟悉技術者能夠製造或使用本發明。熟悉技術者將容易明白本發明之各種修改，且可在不背離本發明之範疇的情況下將本文中界定之一般原理應用於其他變體。因此，本發明不受限於本文中所描述之實例及設計，而是被給予與本文中所揭示之原理及新穎特徵一致之最廣範疇。

【符號說明】

【0108】

100:系統

105:裝置

110:匯流排

120:介面控制器

125:基本輸入/輸出系統(BIOS)組件

126:板支援封裝(BSP)

130:單晶片系統(SoC)/處理器

135:輸入/輸出控制器

140:周邊組件

145:輸入裝置

150:輸出裝置

160:直接記憶體存取控制器(DMAC)

170:記憶體裝置

175:記憶體裝置

- 180:記憶體裝置
- 200:曲線圖
 - 200-a:曲線圖
 - 200-b:曲線圖
- 205:電荷狀態
 - 205-b:電荷狀態
 - 205-c:電荷狀態
- 210:電荷狀態
- 240:順電材料
- 250:線性材料
- 260:電荷狀態
- 270:正電壓
- 300:電路
 - 300-a:電路
 - 300-b:電路
- 310-a:鐵電記憶體(FeRAM)胞元
- 310-b:線性/仿線性記憶體胞元
- 320-a:鐵電電容器
- 320-b:線性/仿線性電容器/DRAM電容器
- 330-a:選擇組件
- 330-b:選擇組件
- 340-a:字線
- 340-b:字線

350-a:位元線
350-b:位元線
360-a:極板線
400:系統
410:裝置
420:記憶體子系統
450:單晶片系統(SoC)/處理器
460:儲存器
470:匯流排
475:匯流排
480:匯流排
500:系統
510:裝置
520:記憶體子系統
525:非揮發性記憶體
526:局部記憶體控制器
530:介面控制器
535:虛擬記憶體庫
540:緩衝器
550:SoC/處理器
555:快取記憶體
560:儲存器
570:匯流排

571:匯流排

572:匯流排

575:匯流排

576:匯流排

577:匯流排

580:匯流排

635:虛擬記憶體庫

645:頁面大小

655:部分

655-a:部分

655-b:部分

655-c:部分

665:有效/無效旗標

675:改變旗標

700:方法

705:區塊

710:區塊

715:區塊

【發明申請專利範圍】

【請求項1】

一種用於操作一記憶體之方法，其包括：

在一介面控制器處，自一單晶片系統(SoC)或處理器接收用於存取包括非揮發性記憶體胞元之一第一記憶體陣列之一記憶體操作命令，該第一記憶體陣列具有一第一頁面大小(page size)；

判定與該記憶體操作命令相關聯之資料是否被儲存於具有至少部分基於該SoC或處理器之一第二頁面大小之一第二記憶體陣列處，其中該判定係至少部分基於經儲存於該第二記憶體陣列處之一或多個旗標；及

在該第一記憶體陣列、該第二記憶體陣列或一第三記憶體陣列處執行該記憶體操作命令，該第三記憶體陣列係與該介面控制器耦合且包括揮發性記憶體胞元，其中至少部分基於與該記憶體操作命令相關聯之該資料是否被儲存於該第二記憶體陣列處之該判定來執行該記憶體操作命令。

【請求項2】

如請求項1之方法，其中判定與該記憶體操作命令相關聯之資料是否被儲存於該第二記憶體陣列處包括：

偵測各指示該第二記憶體陣列之一部分儲存來自該第一記憶體陣列之有效資料之一或多個第一旗標；或

偵測各指示該第二記憶體陣列之一部分儲存不同於該第一記憶體陣列之資料之一或多個第二旗標；或

偵測該等第一旗標之一或多者，及該等第二旗標之一或多者。

【請求項3】

如請求項2之方法，其中該記憶體操作命令包括一讀取命令。

【請求項4】

如請求項3之方法，進一步包括：

判定與該記憶體操作命令相關聯之資料被儲存於該第三記憶體陣列處，其中該第三記憶體陣列係至少部分由該第二頁面大小組態；

其中執行該記憶體操作命令包括：

至少部分基於判定與該記憶體操作命令相關聯之資料被儲存於該第三記憶體陣列處而自該第三記憶體陣列找取(fetching)資料；及

至少部分基於找取該資料來將資料發送至該SoC或處理器。

【請求項5】

如請求項3之方法，進一步包括：

判定與該記憶體操作命令相關聯之資料被儲存於該第三記憶體陣列處，其中該第三記憶體陣列係至少部分由該第二頁面大小組態；及

直接自該SoC或處理器存取該第三記憶體陣列。

【請求項6】

如請求項3之方法，其中執行該記憶體操作命令包括：

至少部分基於判定與該記憶體操作命令相關聯之資料是否被儲存於該第二記憶體陣列處而自該第一記憶體陣列找取資料；及

將資料儲存於該第二記憶體陣列的一或多個部分中；

更新指示有效資料係儲存於該第二記憶體陣列之該一或多個部分中之該一或多個第一旗標；及

至少部分基於找取該資料來將該資料發送至該SoC或處理器。

【請求項7】

如請求項2之方法，其中該記憶體操作命令包括一寫入命令。

【請求項8】

如請求項7之方法，其中執行該記憶體操作命令包括：

將資料儲存於該第二記憶體陣列的一或多個部分中；及

更新指示該第二記憶體陣列的部分儲存不同於該第一記憶體陣列的資料之該一或多個第二旗標。

【請求項9】

如請求項1之方法，其中來自該SoC或處理器之該記憶體操作命令包括以下命令：至少部分基於該SoC或處理器在一時間間隔期間嘗試存取之一次數來將資料自該第二記憶體陣列寫入至該第一記憶體陣列或該第三記憶體陣列。

【請求項10】

如請求項9之方法，其中執行該記憶體操作命令包括：

至少部分基於該嘗試存取次數小於一臨限值而將資料儲存於該第一記憶體陣列處。

【請求項11】

如請求項10之方法，其中該臨限值包括一時間值、一計數值、一時脈或其等之任何組合之至少一者。

【請求項12】

如請求項9之方法，其中執行該記憶體操作命令包括：

至少部分基於該嘗試存取次數等於或大於一臨限值而將資料儲存於該第三記憶體陣列處。

【請求項13】

一種電子記憶體設備，其包括：

用於在一介面控制器處自一單晶片系統(SoC)或處理器接收用於存取包括非揮發性記憶體胞元之一第一記憶體陣列之一記憶體操作命令的構件(means)，該第一記憶體陣列具有一第一頁面大小；

用於判定與該記憶體操作命令相關聯之資料是否被儲存於具有至少部分基於該SoC或處理器之一第二頁面大小之一第二記憶體陣列處的構件，其中該判定係至少部分基於經儲存在該第二記憶體陣列處之一或多個旗標；及

用於在該第一記憶體陣列、該第二記憶體陣列或一第三記憶體陣列處執行該記憶體操作命令的構件，該第三記憶體陣列係與該介面控制器耦合且包括揮發性記憶體胞元，其中至少部分基於與該記憶體操作命令相關聯之該資料是否被儲存於該第二記憶體陣列處之該判定來執行該記憶體操作命令。

【請求項14】

如請求項13之電子記憶體設備，進一步包括：

用於偵測各指示該第二記憶體陣列之一部分儲存來自該第一記憶體陣列之有效資料之一或多個第一旗標的構件；或

用於偵測各指示該第二記憶體陣列之一部分儲存不同於該第一記憶體陣列之資料之一或多個第二旗標的構件；或

用於偵測該等第一旗標之一或多者及該等第二旗標之一或多者的構件。

【請求項15】

如請求項13之電子記憶體設備，進一步包括：

用於判定與該記憶體操作命令相關聯之資料被儲存於該第三記憶體

陣列處的構件，其中該第三記憶體陣列係至少部分由該第二頁面大小組態；

其中用於執行該記憶體操作命令的構件包括：

用於至少部分基於判定與該記憶體操作命令相關聯之資料被儲存於該第三記憶體陣列處而自該第三記憶體陣列找取資料的構件；及

用於至少部分基於找取該資料來將資料發送至該SoC或處理器的構件。

【請求項16】

如請求項13之電子記憶體設備，進一步包括：

用於判定與該記憶體操作命令相關聯之資料被儲存於該第三記憶體陣列處的構件，其中該第三記憶體陣列係至少部分由該第二頁面大小組態；及

用於直接自該SoC或處理器存取該第三記憶體陣列的構件。

【請求項17】

如請求項13之電子記憶體設備，進一步包括：

用於至少部分基於判定與該記憶體操作命令相關聯之資料被儲存於該第二記憶體陣列處而自該第二記憶體陣列找取資料的構件；及

用於至少部分基於找取該資料來將該資料發送至該SoC或處理器的構件。

【請求項18】

如請求項14之電子記憶體設備，進一步包括：

用於至少部分基於判定與該記憶體操作命令相關聯之資料是否被儲存於該第二記憶體陣列處而自該第一記憶體陣列找取資料的構件；

用於將資料儲存於該第二記憶體陣列之一或多個部分中的構件；

用於更新指示有效資料係儲存於該第二記憶體陣列之該一或多個部分中之該一或多個第一旗標的構件；及

用於至少部分基於找取該資料來將該資料發送至該SoC或處理器的構件。

【請求項19】

如請求項14之電子記憶體設備，進一步包括：

用於將資料儲存於該第二記憶體陣列之一或多個部分中的構件；及

用於更新指示該第二記憶體陣列的部分儲存不同於該第一記憶體陣列的資料之該一或多個第二旗標的構件。

【請求項20】

如請求項13之電子記憶體設備，進一步包括：

用於至少部分基於該SoC或處理器在一時間間隔期間嘗試存取之一次數小於一臨限值而將資料儲存於該第一記憶體陣列處的構件。

【請求項21】

如請求項13之電子記憶體設備，進一步包括：

用於至少部分基於該SoC或處理器在一時間間隔期間嘗試存取之一次數等於或大於一臨限值而將資料儲存於該第三記憶體陣列處的構件。

【請求項22】

一種記憶體設備，其包括：

一第一記憶體陣列，其包括具有一第一頁面大小之非揮發性記憶體胞元；

一第二記憶體陣列，其經組態以至少部分基於與一單晶片系統(SoC)

或處理器相關聯之一第二頁面大小來儲存資料，其中該第二頁面大小係該第一頁面大小之一超集(superset)；

一第三記憶體陣列，其包括至少部分由該第二頁面大小組態之揮發性記憶體胞元；及

一控制器，其經組態以與該SoC或處理器、該第一記憶體陣列、該第二記憶體陣列及該第三記憶體陣列介接，其中該控制器可經操作以：

自該SoC或處理器接收用於存取該第一記憶體陣列之一記憶體操作命令；

判定與該記憶體操作命令相關聯之資料是否被儲存於該第二記憶體陣列處，其中該判定係至少部分基於經儲存在該第二記憶體陣列處之一或多個旗標；及

至少部分基於與該記憶體操作命令相關聯之該資料是否被儲存於該第二記憶體陣列處之該判定而在該第一記憶體陣列或該第二記憶體陣列處執行該記憶體操作命令。

【請求項23】

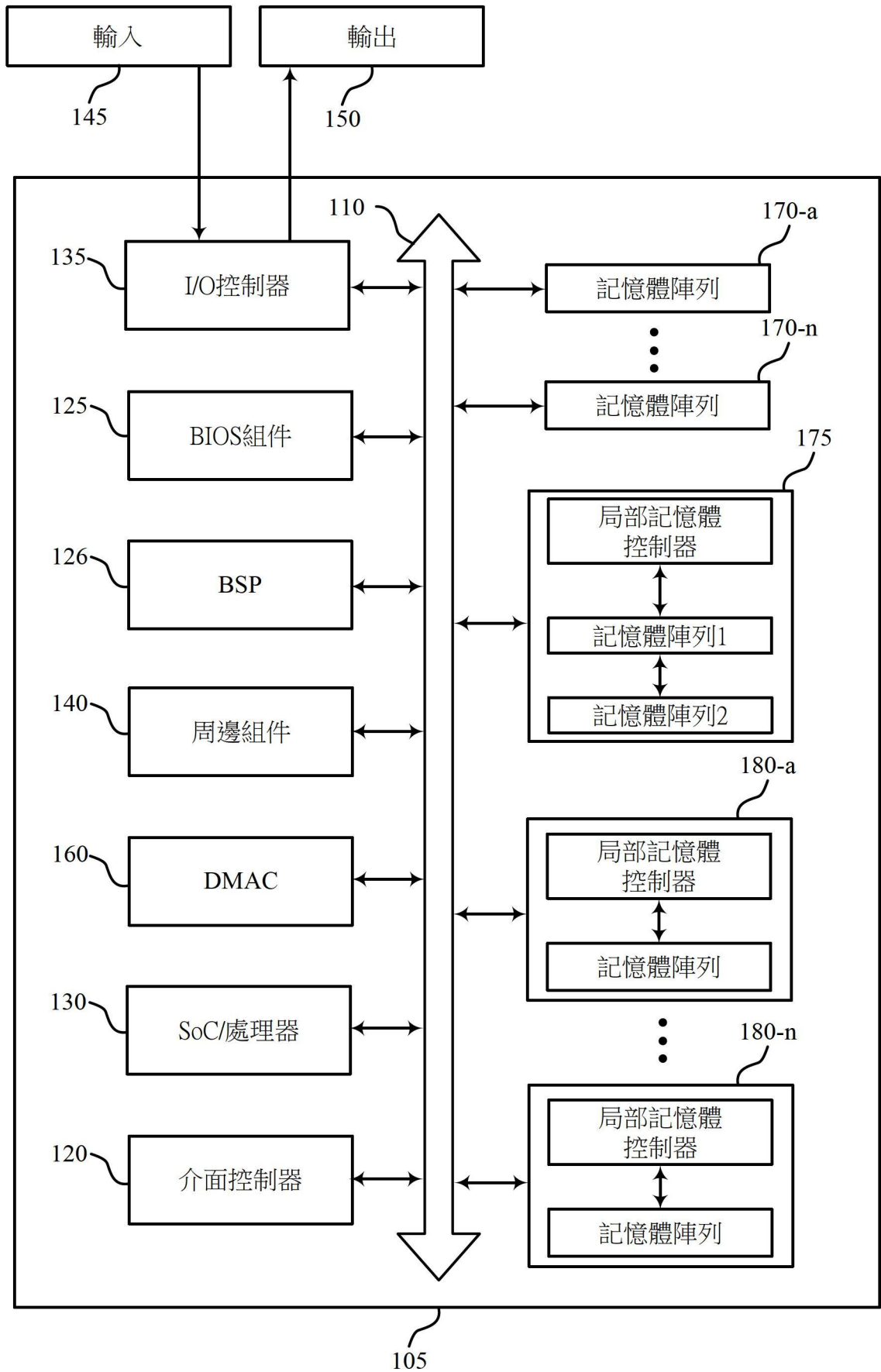
一種電子記憶體設備，其包括：

用於自一SoC或處理器接收用於存取一第一記憶體陣列之一記憶體操作命令的構件；

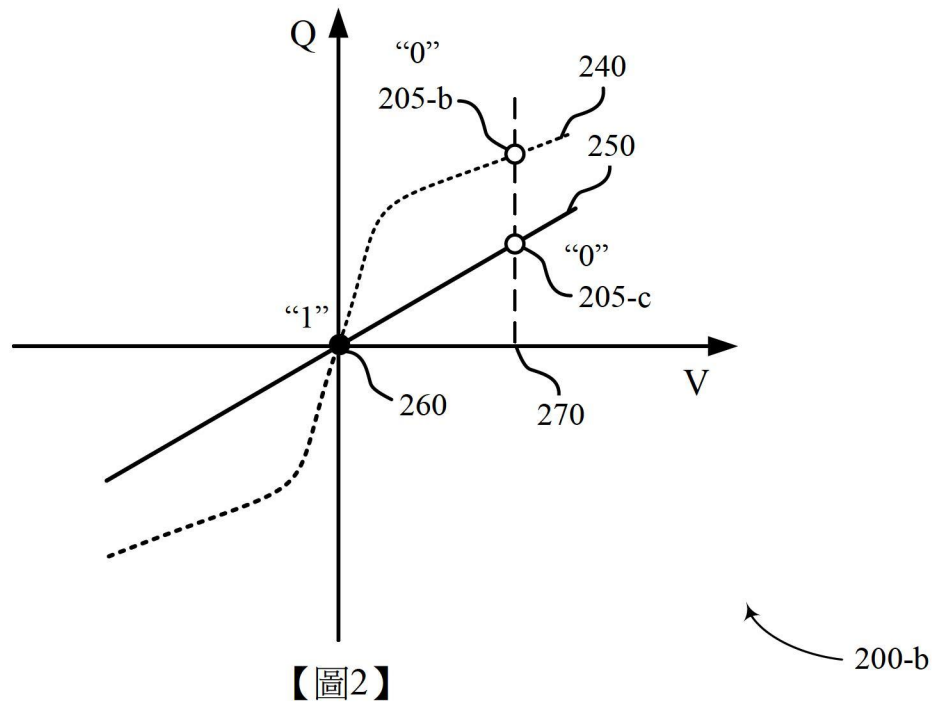
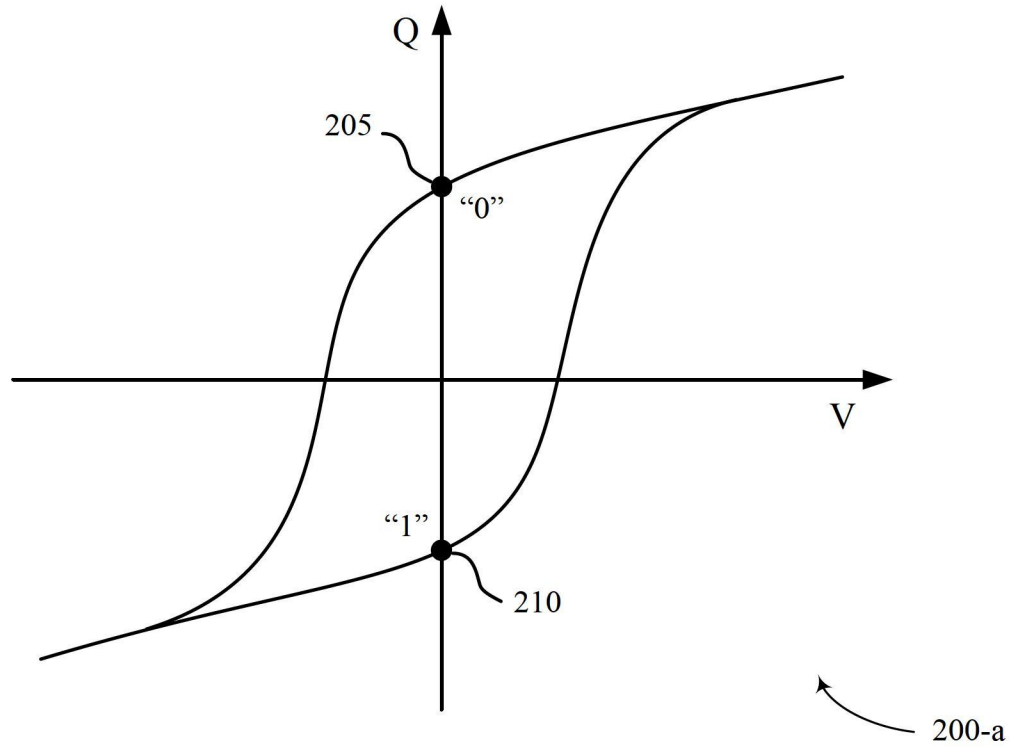
用於判定與該記憶體操作命令相關聯之資料是否被儲存於一第二記憶體陣列處的構件，其中該判定係至少部分基於經儲存在該第二記憶體陣列處之一或多個旗標；及

用於至少部分基於與該記憶體操作命令相關聯之該資料是否被儲存於該第二記憶體陣列處之該判定而在該第一記憶體陣列或該第二記憶體陣列處執行該記憶體操作命令的構件。

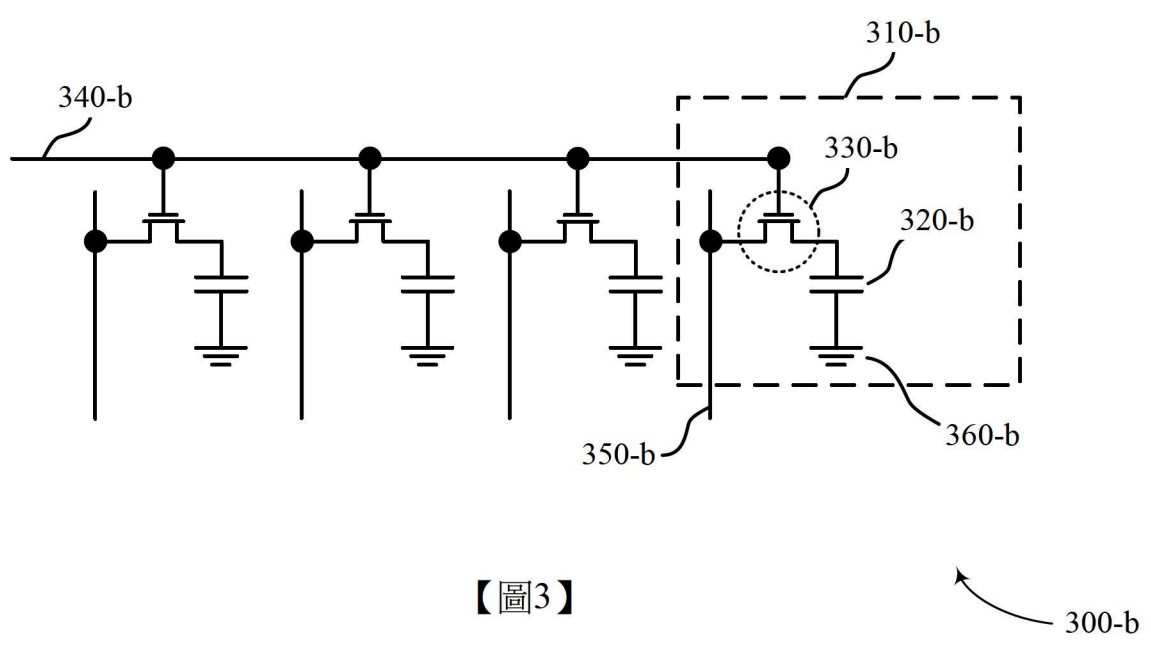
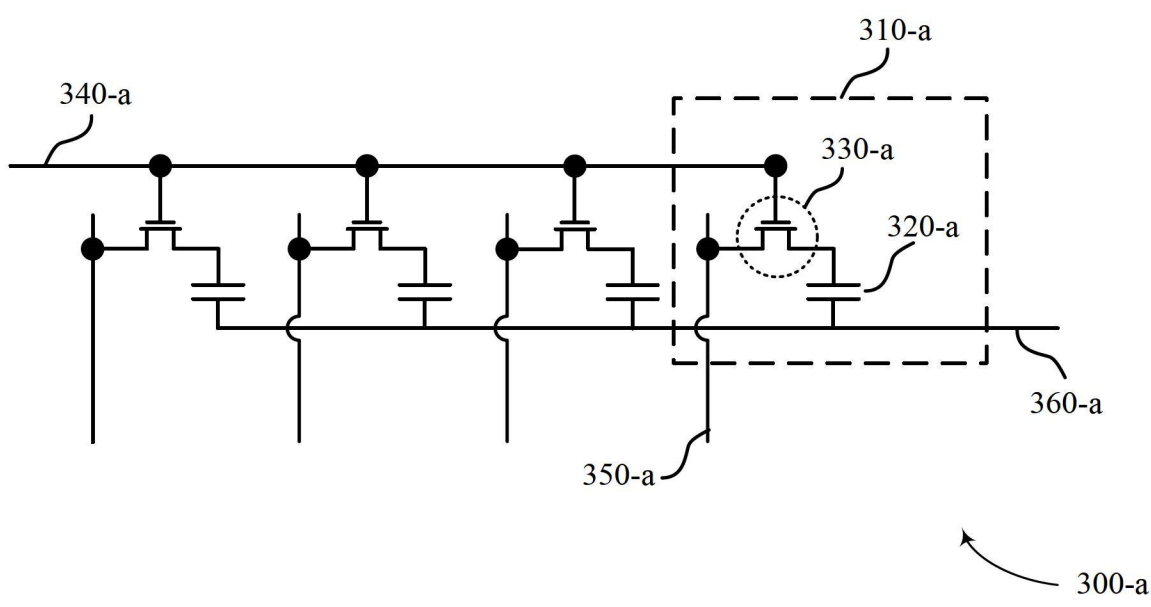
【發明圖式】



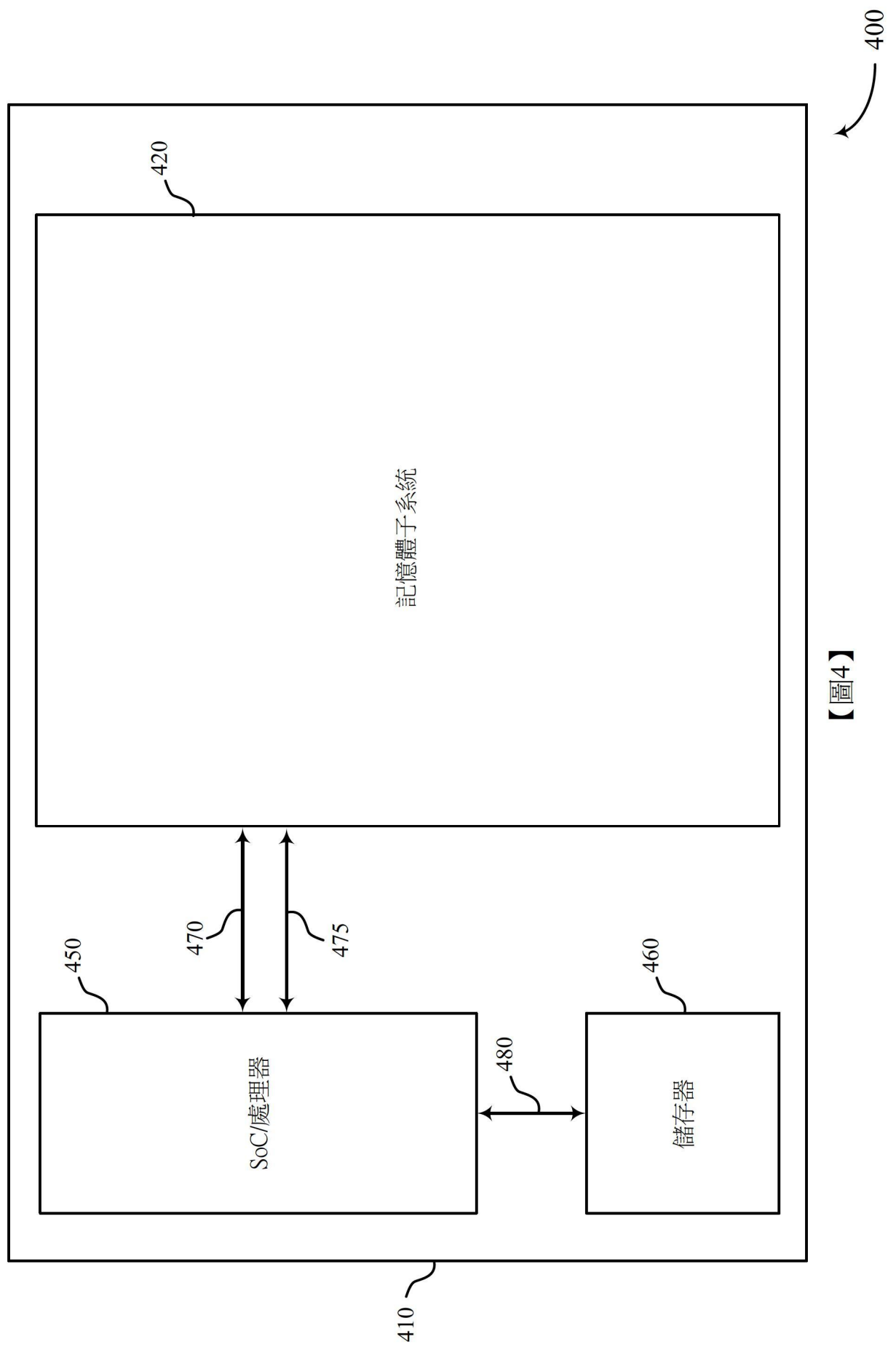
【圖1】

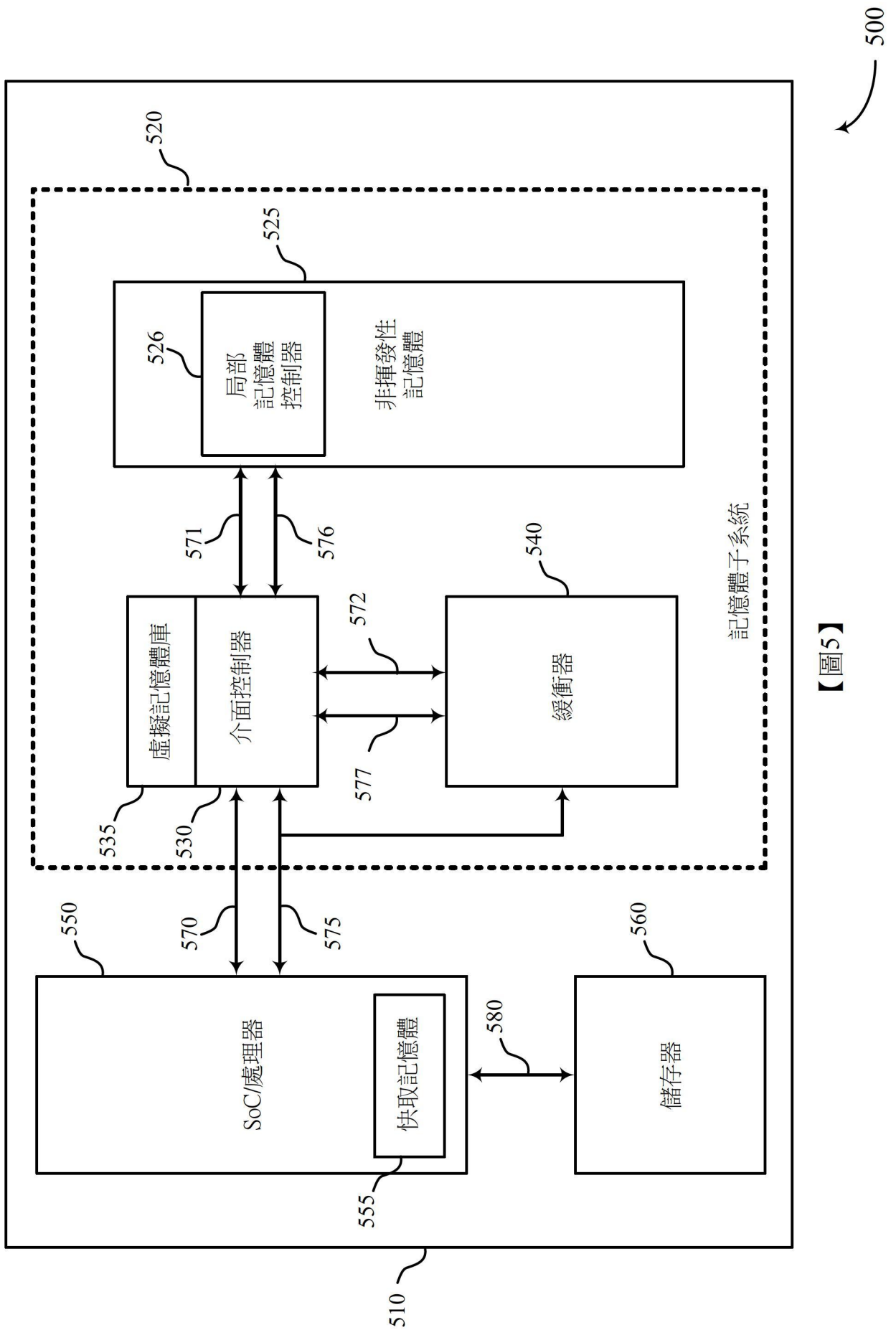


【圖2】

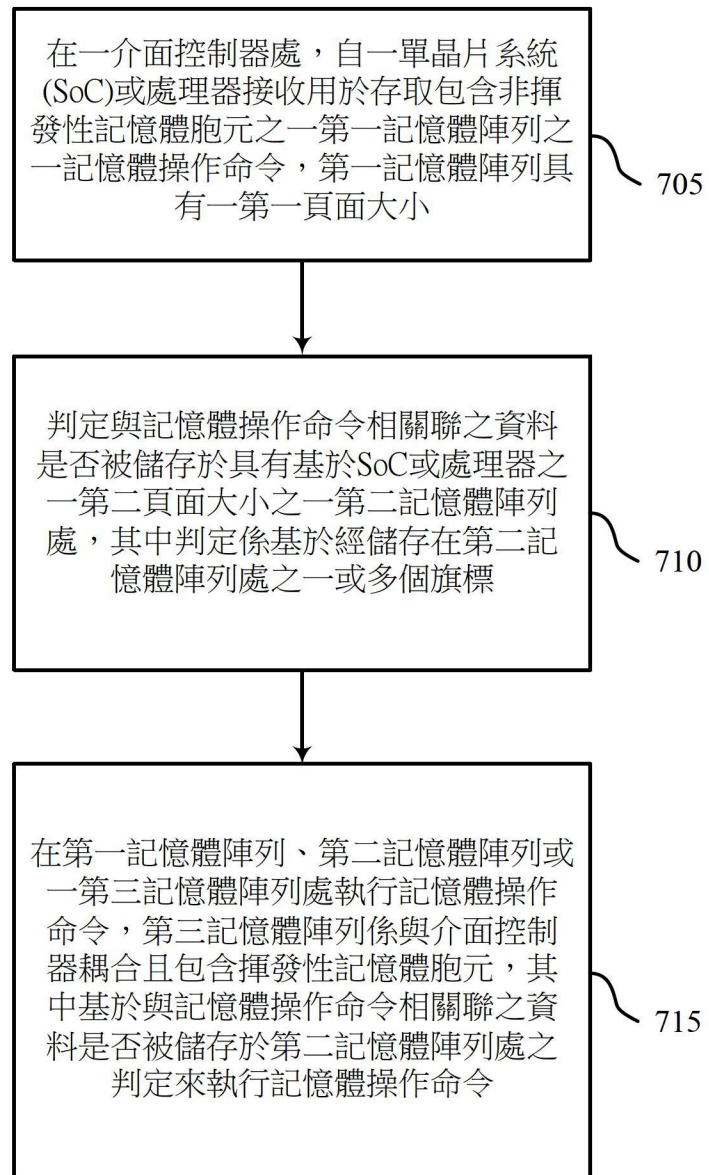


【圖3】





【圖5】



【圖7】

700