

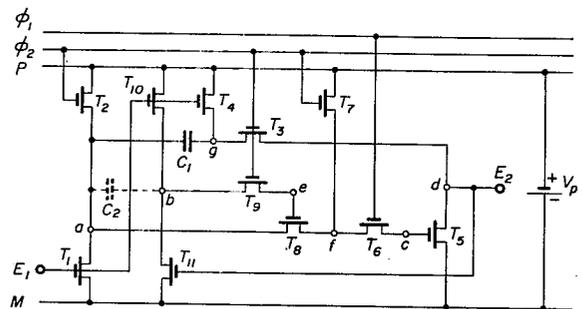


⑫ **FASCICULE DE LA DEMANDE** A3 ⑪ **613 839 G**

- ⑳ Numéro de la demande: 7041/77
- ⑥① Additionnel à:
- ⑥② Demande scindée de:
- ②② Date de dépôt: 08. 06. 1977
- ③① Priorité:
- ④② Demande publiée le: } 31. 10. 1979
- ④④ Fascicule de la demande }
publié le:
- ⑦① Requéérant: Ebauches S.A., Neuchâtel
- ⑦④ Mandataire: Blasco Dousse, Carouge
- ⑦② Inventeur: Andréas Rusznyak, Chêne-Bougeries
- ⑤⑥ Rapport de recherche au verso

⑤④ **Étage diviseur de fréquence binaire**

⑤⑦ L'étage diviseur comprend onze transistors (T_1 à T_{11}), à effet de champ, à électrode de commande isolée, et un condensateur (C_1), ces composants électroniques étant d'un même type de conduction et pouvant être réalisés sous forme d'un circuit intégré. L'étage comprend, de plus, une borne d'entrée (E_1), destinée à recevoir les impulsions dont doit être divisée la fréquence, une borne de sortie (E_2) sur laquelle sont délivrées des impulsions à fréquence égale à la moitié de celle des impulsions reçues par la borne d'entrée (E_1), deux lignes (P, M) pour l'alimentation de l'étage en courant continu à partir d'une source de tension (V_p), deux lignes de commande (Φ_1, Φ_2) destinées à recevoir deux séries d'impulsions de même fréquence mais en opposition de phase de ligne à ligne. Cette fréquence est égale à n fois celle des impulsions à diviser et les signaux de commande parcourant l'une des lignes (Φ_1, Φ_2) sont délivrées en synchronisme avec les impulsions à diviser.





RAPPORT DE RECHERCHE
RECHERCHENBERICHT

Demande de brevet No.:
Patentgesuch Nr.:

CH 7'041/77

I.I.B. Nr.:

HO 12 730

Documents considérés comme pertinents Einschlägige Dokumente		Revendications con- cernées Betrifft Anspruch Nr.
Catégorie Kategorie	Citation du document avec indication, en cas de besoin, des parties pertinentes. Kennzeichnung des Dokuments, mit Angabe, soweit erforderlich, der massgeblichen Teile	
A	<p><u>US - A - 3 983 411</u> (J.LUESCHER et al.) (document cité dans la demande de brevet examinée)</p> <p>* colonne 1, lignes 40 à 68; colonne 2, lignes 1 à 34; figure 1 *</p>	I
		<p>Domaines techniques recherchés Recherchierte Sachgebiete (INT. CL.²)</p> <p>G 04 F 5/00 H 03 K 23/00 H 03 K 23/24 H 03 K 23/26 H 03 K 3/353</p>
		<p>Catégorie des documents cités Kategorie der genannten Dokumente:</p> <p>X: particulièrement pertinent von besonderer Bedeutung A: arrière-plan technologique technologischer Hintergrund O: divulgation non-écrite nichtschriftliche Offenbarung P: document intercalaire Zwischenliteratur T: théorie ou principe à la base de l'invention der Erfindung zugrunde liegende Theorien oder Grundsätze E: demande faisant interférence kollidierende Anmeldung L: document cité pour d'autres raisons aus andern Gründen angeführtes Dokument &: membre de la même famille, document correspondant Mitglied der gleichen Patentfamilie; übereinstimmendes Dokument</p>
Etendue de la recherche/Umfang der Recherche		
Revendications ayant fait l'objet de recherches Recherchierte Patentansprüche:		ensemble
Revendications n'ayant pas fait l'objet de recherches Nicht recherchierte Patentansprüche:		
Raison: Grund:		
Date d'achèvement de la recherche/Abschlussdatum der Recherche	Examineur I.I.B./I.I.B. Prüfer	
1er mars 1978		

REVENDEICATION

Etage diviseur de fréquence binaire englobant

– une borne d'entrée (E_1) destinée à recevoir les impulsions dont la fréquence est à diviser,
– une borne de sortie (E_2) sur laquelle sont délivrés les signaux de fréquence divisée,

– un circuit électronique comprenant une pluralité de transistors à effet de champ, à électrode de commande isolée (IGFET), d'un seul et même type de conduction (T_1 à T_{11}), et au moins un condensateur de stockage (C_1), ce circuit étant disposé entre lesdites bornes d'entrée et de sortie,

– une première (M) et une seconde (P) ligne d'alimentation dudit circuit, destinées à être rattachées à une source de tension continue, ladite première ligne constituant le point commun dudit circuit électronique,

– une première ligne (Φ_1) de commande de ce circuit, destinée à recevoir une première série d'impulsions de commande dont la fréquence est égale à n fois la fréquence des impulsions à diviser, n étant un nombre entier positif différent de 0, et qui est délivrée en synchronisme avec les impulsions à diviser,

– une seconde ligne (Φ_2) de commande dudit circuit, destinée à recevoir une seconde série d'impulsions de commande, de même fréquence que celle des impulsions de la première série mais en opposition de phase par rapport à celles-ci,

circuit dans lequel les premier (T_1) et deuxième (T_2) transistors de ladite pluralité de transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à ladite première ligne d'alimentation (M), pour le premier transistor, l'électrode de commande du premier transistor étant rattachée à ladite borne d'entrée (E_1) alors que celle appartenant au deuxième transistor est rattachée à ladite seconde ligne de commande (Φ_2),

dans lequel les troisième (T_3) et quatrième (T_4) transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à ladite borne de sortie (E_2), pour le troisième transistor, et à ladite seconde ligne d'alimentation (P), pour le quatrième transistor, l'électrode de commande du troisième transistor étant rattachée à ladite seconde ligne de commande (Φ_2) et celle appartenant au quatrième transistor étant rattachée à ladite borne d'entrée (E_1),

dans lequel ledit condensateur de stockage (C_1) est relié, par une armature, au point de liaison desdits premier et deuxième transistors et, par l'autre armature, au point de liaison desdits troisième et quatrième transistors,

dans lequel le cinquième transistor (T_5) est branché, par l'une de ses électrodes secondaires, à la première ligne d'alimentation (M), et, par l'autre électrode secondaire, à ladite borne de sortie (E_2),

dans lequel les sixième (T_6) et septième (T_7) transistors de ladite pluralité de transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à l'électrode de commande du cinquième transistor, pour le sixième transistor, et à la seconde ligne d'alimentation (P), pour le septième transistor, l'électrode de commande du sixième transistor étant rattachée à la première ligne de commande (Φ_1) et celle du septième transistor à la seconde (Φ_2) de ces lignes,

dans lequel le huitième transistor (T_8) est branché, par l'une de ses électrodes secondaires, au point de liaison des sixième et septième transistors et, par l'autre électrode secondaire, au point de liaison des premier et deuxième transistors,

dans lequel les neuvième (T_9) et dixième (T_{10}) transistors sont branchés en série, par l'une de leurs électrodes secondaires et sont rattachés, par leur autre électrode secondaire, à l'électrode de commande du huitième transistor, pour le neuvième transistor, et à la seconde ligne d'alimentation (P), pour le dixième transistor, l'électrode de commande du neuvième transistor étant rattachée à la seconde ligne de commande (Φ_2) et celle appartenant au dixième transistor étant rattachée à ladite borne d'entrée (E_1),

et enfin dans lequel le onzième transistor (T_{11}) est branché, par une électrode secondaire, à ladite première ligne d'alimentation (M), par l'autre électrode secondaire, au point de liaison des neuvième et dixième transistors et, par son électrode de commande, à ladite borne de sortie (E_2).

10 On connaît déjà de nombreux dispositifs portatifs, alimentés par une pile de petite dimension, ne délivrant qu'une tension de 1,5 V environ, comportant un oscillateur électronique à quartz dont la fréquence propre est relativement élevée, de l'ordre du MHz par exemple.

15 Dans ces dispositifs, la fréquence du signal délivré par l'oscillateur est divisée par une pluralité d'étages diviseurs électroniques en vue d'obtenir un signal de fréquence relativement basse, apte à être utilisé pour la commande périodique d'un autre circuit électronique ou, dans le cas d'une montre-bracelet par exemple, d'un dispositif d'affichage. Pour que leur encombrement et leur consommation soient réduits, ces circuits électroniques sont avantageusement réalisés sous forme de circuits intégrés.

On a déjà proposé, par exemple dans les brevets des Etats-Unis d'Amérique N^{os} 3624408 et 3848200, d'assurer la commande des divers étages diviseurs par l'intermédiaire de signaux biphasés produits soit par un circuit intermédiaire englobant un transformateur placé en aval de l'oscillateur, soit directement par cet oscillateur.

Parmi les étages diviseurs développés pour pouvoir être commandés par de tels signaux biphasés, on citera ceux décrits respectivement par les brevets des Etats-Unis d'Amérique N^{os} 3645088 et 3983411.

Dans le premier de ceux-ci, l'architecture choisie est toutefois telle que le transistor de sortie de l'étage diviseur (T_{a1} , T_{a2} , ... sur la fig. 2 de ce brevet), transistor dont dépend le débit de courant disponible sur la sortie, ne peut être commandé que par un signal ne représentant qu'une fraction de la tension de la pile qui alimente l'étage de sorte que l'intensité de ce courant est relativement faible, limitant ainsi les possibilités de décharger l'étage diviseur suivant ou tout autre circuit dont l'entrée serait contrôlée par le transistor de sortie de l'étage diviseur considéré.

Le circuit décrit dans le second de ces brevets permet effectivement d'écarter l'inconvénient évoqué ci-dessus, mais en donnant lieu à un autre inconvénient assez considérable lorsque la source d'alimentation de l'ensemble du dispositif dont l'étage diviseur fait partie est constituée par une pile de faible capacité énergétique.

En effet, l'ensemble des amplificateurs qu'engloberait un démultiplicateur électronique groupant une pluralité d'étages diviseurs du type décrit dans ce brevet US N^o 3983411, en nombre suffisamment élevé pour obtenir des signaux de fréquence basse, par exemple de 1 Hz, provoquerait une charge importante et permanente de l'oscillateur et, partant, une consommation trop élevée et inacceptable si l'on songe que le dispositif comprenant un tel démultiplicateur doit pouvoir fonctionner, avec la seule énergie de la pile qu'il contient, pendant une durée de temps relativement longue, par exemple une année ou plus.

Pour écarter cet inconvénient, on pourrait imaginer de faire usage d'un démultiplicateur groupant plusieurs de ces étages diviseurs mais commandés par des signaux biphasés, délivrés par exemple par un circuit du type décrit dans le brevet des Etats-Unis d'Amérique N^o 3932773. Une telle solution présenterait toutefois un inconvénient similaire à celui relevé ci-dessus, à savoir une consommation permanente d'énergie, provoquée par l'ensemble des amplificateurs du démultiplicateur. Cet inconvénient serait toutefois moins sensible étant donné que la fréquence des signaux biphasés pourrait être relativement basse, de l'ordre de quelques kHz, par exemple.

De plus, il convient de signaler que, même pour des étages diviseurs destinés à délivrer des signaux de fréquences basses, il est dési-

vable que l'amplitude de tels signaux soit élevée afin qu'ils puissent commander la décharge complète de l'étage suivant l'étage diviseur considéré ou de tout autre circuit qui serait connecté à la sortie d'un tel étage.

Pour satisfaire à cette exigence, et cela bien que l'amplitude des signaux biphasés soit, dans une solution de ce genre, de valeur limitée, correspondant à la tension d'alimentation continue de la pile, il est nécessaire que les condensateurs qu'englobe l'amplificateur de chaque étage présentent des capacités élevées. Il en résulte cependant un accroissement important et indésirable de la consommation. Par ailleurs, qui dit capacité élevée dit également coût de fabrication plus important, compte tenu du fait que la surface occupée sur un cristal d'intégration du circuit sera nécessairement supérieure à celle qui pourrait être occupée par un circuit similaire présentant des condensateurs de faible capacité.

La présente invention propose un étage diviseur de fréquence binaire obviant à l'ensemble des inconvénients cités et qui englobe

- une borne d'entrée destinée à recevoir les impulsions dont la fréquence est à diviser,
- une borne de sortie sur laquelle sont délivrés les signaux de fréquence divisée,
- un circuit électronique comprenant une pluralité de transistors à effet de champ, à électrode de commande isolée d'un seul et même type de conduction, et au moins un condensateur de stockage, ce circuit étant disposé entre lesdites bornes d'entrée et de sortie,
- une première et une seconde ligne d'alimentation dudit circuit, destinées à être rattachées à une source de tension continue, ladite première ligne constituant le point commun dudit circuit électronique,
- une première ligne de commande de ce circuit, destinée à recevoir une première série d'impulsions de commande dont la fréquence est égale à n fois la fréquence des impulsions à diviser, n étant un nombre entier positif différent de 0, et qui est délivrée en synchronisme avec les impulsions à diviser,
- une seconde ligne de commande dudit circuit, destinée à recevoir une seconde série d'impulsions de commande, de même fréquence que celle des impulsions de la première série mais en opposition de phase par rapport à celles-ci,

circuit dans lequel les premier et deuxième transistors de ladite pluralité de transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à ladite première ligne d'alimentation, pour le premier transistor, et à ladite seconde ligne d'alimentation, pour le second transistor, l'électrode de commande du premier transistor étant rattachée à ladite borne d'entrée alors que celle appartenant au deuxième transistor est rattachée à ladite seconde ligne de commande,

dans lequel les troisième et quatrième transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à ladite borne de sortie, pour le troisième transistor, et à ladite seconde ligne d'alimentation, pour le quatrième transistor, l'électrode de commande du troisième transistor étant rattachée à ladite seconde ligne de commande et celle appartenant au quatrième transistor étant rattachée à ladite borne d'entrée,

dans lequel ledit condensateur de stockage est relié, par une armature, au point de liaison desdits premier et deuxième transistors et, par l'autre armature, au point de liaison desdits troisième et quatrième transistors,

dans lequel le cinquième transistor est branché, par l'une de ses électrodes secondaires, à la première ligne d'alimentation et, par l'autre électrode secondaire, à ladite borne de sortie,

dans lequel les sixième et septième transistors de ladite pluralité de transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à l'électrode de commande du cinquième transistor, pour le sixième transistor, et à la seconde ligne d'alimentation, pour le septième transistor, l'électrode de commande du sixième transistor étant

rattachée à la première ligne de commande et celle du septième transistor à la seconde de ces lignes,

dans lequel le huitième transistor est branché, par l'une de ses électrodes secondaires, au point de liaison des sixième et septième transistors et, par l'autre électrode secondaire, au point de liaison des premier et deuxième transistors,

dans lequel les neuvième et dixième transistors sont branchés en série, par l'une de leurs électrodes secondaires, et sont rattachés, par leur autre électrode secondaire, à l'électrode de commande du huitième transistor, pour le neuvième transistor et, à la seconde ligne d'alimentation, pour le dixième transistor, l'électrode de commande du neuvième transistor étant rattachée à la seconde ligne de commande et celle appartenant au dixième transistor étant rattachée à ladite borne d'entrée,

et enfin dans lequel le onzième transistor est branché, par une électrode secondaire, à ladite première ligne d'alimentation, par l'autre électrode secondaire, au point de liaison des neuvième et dixième transistors et, par son électrode de commande, à ladite borne de sortie.

Le dessin annexé représente, à titre d'exemple, une forme d'exécution de l'étage diviseur de fréquence objet de la présente invention:

La fig. 1 en montre le schéma électrique.

La fig. 2 représente un ensemble de diagrammes illustrant le fonctionnement de l'étage diviseur de la fig. 1.

Cet étage diviseur peut être placé soit en tête d'un diviseur électronique de fréquence, comprenant plusieurs de ces étages, soit en position intermédiaire, soit encore à la fin d'un tel démultiplificateur.

Il englobe onze transistors, T_1 à T_{11} , à effet de champ, à électrode de commande isolée (IGFET), d'un seul et même type de conduction, et un condensateur C_1 . Ces transistors et ce condensateur sont constitués par des zones semi-conductrices de type n^+ , intégrées dans un cristal de type p avec apposition d'électrodes métallisées sur des couches isolantes. En variante, il serait possible de réaliser un tel étage diviseur par intégration de zones de type p^+ dans un cristal de type n .

L'alimentation de l'étage diviseur représenté est réalisée à partir de deux lignes P et M , cette dernière constituant de plus le point commun du circuit. Ces lignes sont rattachées aux pôles d'une source de tension continue V_p , par exemple une pile, alors que la commande est effectuée grâce à deux lignes distinctes Φ_1 et Φ_2 , rattachées respectivement à l'une et à l'autre sortie d'un générateur de tension périodique biphasée, non représenté, par exemple un circuit du type décrit dans le brevet des Etats-Unis d'Amérique N° 3932773.

Ainsi que cela découlera de la description qui va suivre, l'étage diviseur selon l'invention est du type effectuant une division binaire du signal à diviser, en l'occurrence un signal V_{E1} (voir fig. 2) qui est délivré sur une borne d'entrée E_1 du circuit, en phase avec le signal V_{Φ_1} parcourant la ligne Φ_1 . Le signal à fréquence divisée, V_{E2} , issu de cet étage diviseur est délivré sur une borne de sortie E_2 en phase avec le signal V_{Φ_2} parcourant la ligne Φ_2 .

La disposition des composants électroniques du circuit de l'étage diviseur représenté sur la fig. 1 est la suivante:

le premier, T_1 , et le deuxième transistor, T_2 , du circuit sont branchés en série par l'une de leurs électrodes secondaires et sont rattachés, par leur autre électrode secondaire, à la ligne M , pour le transistor T_1 , et à la ligne P , pour le transistor T_2 . L'électrode de commande de ces transistors est rattachée à la borne E_1 , pour le transistor T_1 , et à la ligne de commande Φ_2 , pour le transistor T_2 .

Le troisième, T_3 , et le quatrième transistor du circuit, T_4 , sont, eux aussi, branchés en série par l'une de leurs électrodes secondaires entre la borne de sortie E_2 de ce circuit et la ligne d'alimentation P . C'est le transistor T_3 qui est connecté à la borne E_2 , le transistor T_4 étant, lui, relié à la ligne P . L'électrode de commande de ces deux transistors est rattachée à la ligne de commande Φ_2 , pour le transistor T_3 , et à la borne d'entrée E_1 , pour le transistor T_4 .

Le condensateur C_1 , qui a essentiellement pour fonction celle de permettre le stockage d'énergie, est relié, par une armature, au point de liaison des transistors T_1 et T_2 et, par l'autre armature, au point de liaison des transistors T_3 et T_4 . Ce condensateur peut être un condensateur de construction traditionnelle ou, selon une variante non représentée, un condensateur de type binaire (voir par exemple la publication «Electronics», vol. 46, N° 4, pp. 115-117, «Two-Level Capacitor Boosts MOS Memory Performance» de L. Talamonti). Dans ce cas, c'est l'armature constituant l'électrode de commande du condensateur qui serait celle qui est rattachée au point de liaison des transistors T_3 et T_4 .

Le cinquième transistor du circuit, T_5 , est branché, par une électrode secondaire, à la ligne M, par la seconde électrode secondaire, à la borne de sortie E_2 et, par son électrode de commande, à une électrode secondaire du sixième transistor T_6 qui est branché en série, par son autre électrode secondaire, avec le septième transistor T_7 du circuit, lui-même rattaché à la ligne d'alimentation P, par une électrode secondaire. L'électrode de commande des transistors T_6 et T_7 est rattachée à la ligne de commande Φ_1 , pour le transistor T_6 , et à la ligne de commande Φ_2 , pour le transistor T_7 .

Le huitième transistor du circuit, T_8 , est branché, par ses électrodes secondaires, entre le point de liaison, f, des sixième et septième transistors, T_6 et T_7 respectivement, et le point de liaison, a, des premier et deuxième transistors, T_1 et T_2 respectivement. Quant à son électrode de commande, elle est rattachée à une électrode secondaire du neuvième transistor, T_9 , qui est branché en série, par son autre électrode secondaire, avec le dixième transistor, T_{10} , lui-même rattaché, par une électrode secondaire, à la ligne P. L'électrode de commande du transistor T_9 est rattachée à la seconde ligne de commande Φ_2 alors que celle appartenant au transistor T_{10} est reliée à la borne d'entrée E_1 .

Enfin le onzième transistor du circuit, T_{11} , est rattaché, par une électrode secondaire, à la première ligne d'alimentation M, par l'autre électrode secondaire, au point b de liaison des neuvième et dixième transistors, T_9 et T_{10} respectivement, et, par son électrode de commande, à la borne de sortie E_2 de l'étage diviseur.

Le fonctionnement du circuit décrit va maintenant être illustré en se référant aux divers diagrammes représentés par la fig. 2.

Admettons, par convention, que l'instant t_0 soit celui où le signal V_{Φ_2} parcourant la ligne Φ_2 est en train de croître, le signal V_{Φ_1} parcourant alors la ligne Φ_1 ayant à cet instant une valeur nulle. La valeur maximale de ces deux signaux est $V_{\Phi} = V_p$ où V_p est la tension de la pile.

Admettons en outre que, à cet instant t_0 , le potentiel aux points a, c et f du circuit soit tel que

$$V_a = V_c = V_f = V_p - V_T$$

et que le potentiel aux points b, d, e et g soit nul (V_T est la tension de seuil des transistors).

Il découle de ce qui précède que, comme de plus la borne d'entrée E_1 ne reçoit aucun signal à diviser, en ce même instant t_0 , les transistors T_1 , T_4 , T_6 , T_8 , T_{10} et T_{11} sont et restent non conducteurs, alors que les transistors T_2 , T_3 , T_7 et T_9 ouvrent, le transistor T_5 restant ouvert. Il est à remarquer que le fait que les transistors T_2 , T_3 , T_7 et T_9 conduisent ne se traduit par aucune modification de potentiel sur les points a et g du circuit.

Une fois le premier signal V_{Φ_2} suivant l'instant t_0 passé, les transistors T_2 , T_3 , T_7 , T_9 se ferment à nouveau et le circuit se retrouve en l'état dans lequel il était avant l'instant t_0 .

L'instant t_1 est celui auquel apparaît sur la borne E_1 la première impulsion du signal V_{E1} à diviser. C'est aussi celui auquel apparaît une impulsion du signal V_{Φ_1} parcourant la ligne Φ_1 .

L'arrivée de cette impulsion V_{E1} sur la borne E_1 fait que le transistor T_1 devient conducteur de sorte que le potentiel V_a au point a du circuit devient nul.

Cette même impulsion V_{E1} commande l'ouverture des transistors T_4 et T_{10} de sorte que le potentiel des points g et b du circuit

croît jusqu'à une valeur $V_g = V_{E1} - V_T$, pour le point g, $V_b = V_{E1} - V_T$ pour le point b.

Par ailleurs, le transistor T_6 , qui est rattaché à la ligne Φ_1 par son électrode de commande, devient aussi conducteur, mais comme le transistor T_8 reste fermé, le potentiel V_c au point c demeure inchangé et le transistor T_5 reste conducteur.

L'instant t_2 est celui où disparaît l'impulsion du signal V_{E1} et où apparaît l'impulsion suivante du signal V_{Φ_2} .

De ce fait les transistors T_1 , T_4 et T_{10} se ferment alors que les transistors T_2 , T_3 , T_7 et T_9 deviennent conducteurs.

Comme le transistor T_2 est ouvert, le potentiel au point a du circuit croît à nouveau jusqu'à la valeur $V_a = V_p + V_T$. Si le circuit présente un condensateur tel le condensateur C_2 (représenté en traitillé) branché entre les points a et b, l'accroissement du potentiel au point a provoque une montée du potentiel du point b du circuit. Dans le cas contraire, le potentiel du point b demeure inchangé.

L'accroissement du potentiel au point a provoque, au travers du condensateur C_1 , un acheminement de charges électriques vers le point g du circuit dont le potentiel retombe à la valeur nulle vu que les transistors T_3 et T_5 , qui sont conducteurs, relient ce point g au point commun M du circuit.

En outre, le transistor T_9 reliant les points b et e du circuit, la valeur du potentiel sur ces points devient à $V_b = V_e$. De ce fait, le transistor T_8 devient conducteur et relie les points a et f du circuit, points dont le potentiel est sensiblement identique de point à point, soit $V_a \cong V_f \cong V_p - V_T$. Ainsi le potentiel de ces points demeure inchangé.

L'instant t_3 est celui auquel apparaît, sur la borne E_1 , l'impulsion suivante du signal V_{E1} , en phase avec une impulsion du signal V_{Φ_1} .

L'arrivée de cette impulsion V_{E1} provoque l'ouverture des transistors T_1 , T_4 et T_{10} .

Il s'ensuit que le potentiel au point a du circuit devient nul.

Comme le transistor T_6 devient lui aussi conducteur et que le transistor T_8 est toujours conducteur, le potentiel aux points f et c, V_f et V_c , devient nul de sorte que le transistor T_5 se ferme.

A l'instant t_4 , qui est celui auquel disparaît le signal V_{E1} et apparaît à nouveau le signal V_{Φ_2} , les transistors T_1 , T_4 et T_{10} se bloquent et les transistors T_2 , T_3 , T_7 et T_9 deviennent conducteurs.

Il s'ensuit que le potentiel au point a reprend sa valeur $V_a = V_p - V_T$; il en est de même pour le potentiel au point f du circuit. En ce qui concerne le point c, la valeur du potentiel reste nulle étant donné que le transistor T_6 est fermé.

Les points g et d du circuit sont reliés au travers du transistor T_3 de sorte que, comme le transistor T_5 est fermé, le potentiel au point d du circuit monte à une valeur V_{E2} , tension de sortie du circuit dont l'amplitude pourra être même supérieure à celle du signal incident V_{E1} . Cette montée du potentiel est favorisée par le condensateur C_1 , lequel contribue à cette montée par couplage capacitif entre les points a et g, donc entre les points a et d. La valeur de la tension de sortie V_{E2} est égale à $V_d = V_p - V_T$. Cette limite est due à l'existence du transistor T_3 devenant non conducteur dès que $V_d = V_p - V_T$ puisque sa tension de commande est égale à $V_{\Phi} = V_p$.

Par l'apparition du signal V_{E2} , le transistor T_{11} devient conducteur de sorte que le potentiel V_b au point b devient nul. En outre, comme le transistor T_9 est ouvert, le potentiel V_e au point e devient nul, lui aussi, de sorte que le transistor T_8 , qui était conducteur, se ferme.

A l'instant t_5 , qui est celui où apparaît l'impulsion suivante du signal V_{Φ_1} , les transistors T_2 , T_4 , T_7 et T_{10} sont à nouveau bloqués alors que le transistor T_6 devient conducteur. De ce fait, on obtient le transfert d'une partie de la charge qui était stockée au point f du circuit vers le point c de celui-ci de sorte que le transistor T_5 redevient conducteur et que le potentiel au point d, V_d , c'est-à-dire le potentiel V_{E2} sur la borne E_2 , devient nul. On a donc obtenu sur cette borne E_2 une seule impulsion du signal V_{E2} pour deux impulsions du signal V_{E1} reçues sur la borne d'entrée E_1 : le circuit décrit est donc bien celui d'un étage diviseur de fréquence binaire.

On remarquera que la valeur du potentiel en f, V_f , a légèrement diminué.

A l'instant t_6 , qui est celui où apparaît, sur la ligne Φ_2 , l'impulsion suivante du signal V_{Φ_2} , les transistors T_2 , T_3 , T_7 et T_9 deviennent conducteurs alors que le transistor T_6 est bloqué.

Comme l'état de charge du point c du circuit est inchangé, le transistor T_5 demeure conducteur. A cet instant, le potentiel au point f remonte à la valeur $V_f = V_P - V_T$ puisqu'il est relié à la ligne P au travers du transistor T_7 .

Enfin et surtout, le transistor T_3 étant ouvert à l'instant t_6 , la charge emmagasinée au point g est transférée vers la ligne M au travers du transistor T_5 de sorte que le potentiel au point g devient nul. Les divers composants de l'étage diviseur décrit se retrouvent donc dans l'état qui était le leur à l'instant t_0 . Cet étage est donc à nouveau prêt pour délivrer sur la borne E_2 une nouvelle impulsion V_{E2} pour deux impulsions successives V_{E1} reçues sur sa borne E_1 .

Par rapport au diviseur faisant l'objet du brevet des Etats-Unis d'Amérique N° 3983411 déjà cité, l'étage diviseur qui vient d'être décrit présente des avantages intéressants qui vont maintenant être illustrés tant du point de vue qualitatif que quantitatif.

Comme on le sait, dans le cas d'étages diviseurs, même destinés à délivrer des signaux de fréquence basse, il est hautement désiré que l'amplitude de tels signaux soit élevée pour que ceux-ci soient à même de commander la décharge complète de l'étage diviseur suivant un étage similaire considéré ou celle de tout autre circuit connecté à la sortie d'un tel étage.

Dans le cas d'un diviseur du type décrit dans le brevet ci-dessus, il peut être démontré que, pour obtenir à la sortie du diviseur un signal d'amplitude égale à

$$V_a = V_P - V_T$$

où V_P = tension de la pile et

V_T = tension du seuil des transistors,

la valeur du condensateur C de l'amplificateur qui englobe un tel diviseur doit être sensiblement égale à

$$C = C_d \cdot \frac{V_P - V_T}{V_T}$$

relation dans laquelle C_d est la capacité des composants du circuit connecté à la sortie du diviseur considéré. A titre d'exemple et dans une application pour laquelle V_P est la tension d'une pile de faible capacité, soit 1,5 V, et $V_T \cong 0,2$ V, on obtient

$$C = 6,5 C_d$$

Dans le cas de l'étage diviseur selon l'invention, il peut être démontré que, tout en obtenant à la sortie de l'étage un signal de même amplitude que précédemment, la valeur du condensateur C_1 (voir fig. 1) sera égale, en première approximation, à

$$C_1 = C_d \cdot \frac{V_P - V_T}{V_P - 2V_T}$$

Pour $V_P = 1,5$ V et $V_T = 0,2$ V, comme précédemment il s'ensuit que

$$C_1 \cong 1,1 \cdot C_d$$

La valeur de cette capacité est donc ici d'environ 6 fois inférieure.

Il s'ensuit que la surface occupée par l'étage diviseur selon l'invention sera inférieure à la surface occupée par le diviseur objet du brevet américain cité, de sorte que le coût de fabrication en sera moins élevé.

De plus, la consommation d'énergie pourra être maintenue à une valeur raisonnable, d'une part, compte tenu évidemment du fait que le condensateur grâce auquel est créé le signal de sortie de l'étage diviseur est de capacité limitée et, d'autre part, parce que ce condensateur ne constitue plus une charge permanente devant être alimentée par des signaux biphasés de fréquence relativement élevée mais est au contraire chargé par un courant provenant directement de la pile et à une fréquence proportionnelle à celle du signal de sortie de l'étage diviseur considéré. Cette fréquence étant d'autant plus basse que le nombre d'étages diviseur est grand, le nombre de ces étages n'a donc qu'une importance relative en ce qui concerne l'énergie totale consommée par un démultiplicateur englobant une pluralité d'étages diviseurs selon l'invention.

FIG. 1

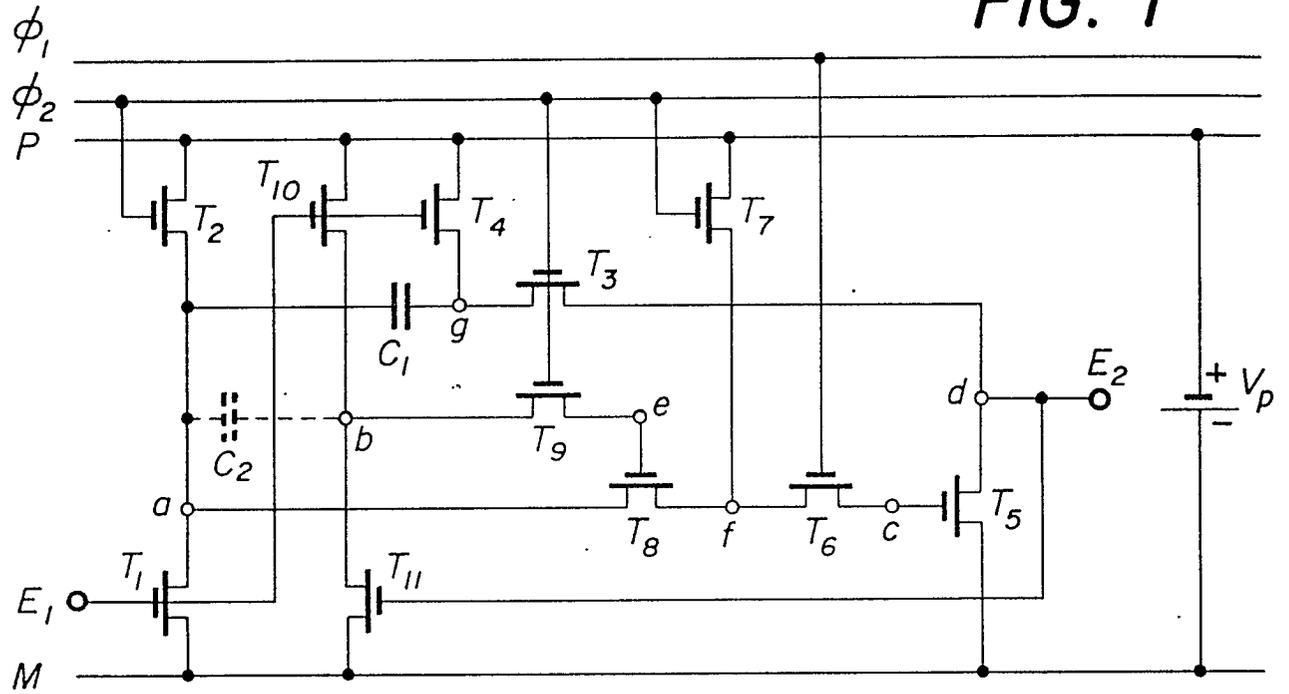


FIG. 2

