

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

① N° de publication :
(A n'utiliser que pour les
commandes de reproduction).

2 495 408

A1

**DEMANDE
DE BREVET D'INVENTION**

②

N° 80 25269

⑤④ Dispositif de décodage d'une information numérique exprimée selon un code à inversion de marque.

⑤① Classification internationale (Int. Cl.³). H 03 K 13/24.

②② Date de dépôt..... 28 novembre 1980.

③③ ③② ③① Priorité revendiquée :

④① Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 22 du 4-6-1982.

⑦① Déposant : Société dite : LIGNES TELEGRAPHIQUES ET TELEPHONIQUES, société anonyme,
résidant en France.

⑦② Invention de : Claude Gourdon, Denis Berlinet et Pierre Thepaut.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Philippe Guilguet, Thomson-CSF, SCPI,
173, bd Haussmann, 75360 Paris Cedex 08.

DISPOSITIF DE DECODAGE D'UNE INFORMATION NUMERIQUE
EXPRIMEE SELON UN CODE A INVERSION DE MARQUE

La présente invention a pour objet un dispositif de décodage d'une information numérique exprimée selon un code à inversion de marque, ce type de code étant également connu sous les initiales CMI pour "Coded Mark Inversion".

5 Le code CMI est un code dérivé d'un code d'impulsions multi-niveaux MLB (pour "Multi Level Binary pulse code") à inversion de marque alternée avec seulement deux niveaux de signal : chaque information élémentaire ou bit est transformée en une paire, ou mot, de signaux assimilables à des bits ; ce code comporte en outre
10 une combinaison interdite. Un code CMI particulier, défini dans l'avis G703 du groupe XVIII du CCITT, est caractérisé par :

- la représentation d'un bit d'information égal à 1 alternativement par ++ ou 00 ;
- la représentation d'un bit d'information égal à 0 par 0+ ;
- 15 - un mot interdit : +0.

Ce code est utilisé principalement pour des connexions entre équipements proches et il permet de transporter sur une seule paire téléphonique une information binaire et son rythme, ou signal d'horloge, associé.

20 A la réception du code, le problème est de retrouver à la fois l'information et le signal d'horloge qui a servi à l'élaboration du code.

Pour cela, il est connu, à partir du signal codé reçu, de procéder en deux étapes : d'une part élaborer un signal permettant
25 de retrouver le signal d'horloge, et d'autre part engendrer un signal intermédiaire qui, ultérieurement échantillonné par le signal d'horloge, représente l'information binaire décodée. Pour élaborer le signal d'horloge, il est connu d'engendrer, à l'aide d'un circuit logique simple recevant le signal codé, un signal binaire qui ne présente que
30 certaines des alternances du signal d'horloge, puis de reconstituer à

l'aide d'un circuit analogique le signal d'horloge réel, à partir du signal intermédiaire. Cette solution présente des inconvénients dus au circuit analogique, qui est encombrant et nécessite des réglages.

La présente invention permet d'éviter ces inconvénients grâce à l'élaboration du signal d'horloge par un circuit entièrement numérique.

Plus précisément, l'invention a pour objet un dispositif de décodage d'une information numérique exprimée selon un code à inversion de marque, comportant :

10 - des premiers moyens d'élaboration d'un signal de rythme (H) à partir du signal codé reçu (E) ;

- des seconds moyens d'élaboration d'un signal (S) représentant l'information numérique à partir du signal codé reçu (E), comportant un circuit numérique fournissant un signal intermédiaire (I) et des
15 moyens d'échantillonnage de ce signal intermédiaire par le signal de rythme (H) ;

ce dispositif étant caractérisé par le fait que les premiers moyens d'élaboration du signal de rythme (H) comportent uniquement des circuits numériques.

20 D'autres objets, caractéristiques et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple non limitatif, et illustrée par les dessins annexés qui représentent :

- La figure 1, le schéma d'un décodeur de type connu ;
- la figure 2, un chronogramme se rapportant à la figure
25 précédente ;

- la figure 3, le schéma d'un mode de réalisation du décodeur selon l'invention ;

- la figure 4, un chronogramme se rapportant à la figure précédente.

30 Sur ces différentes figures, les mêmes références se rapportent aux mêmes éléments.

Le décodeur, de type connu, représenté sur la figure 1 est décrit ci-après en relation avec les diagrammes de la figure 2, qui représentent en fonction du temps des signaux susceptibles d'exister

simultanément en différents points du schéma de la figure 1. Le premier diagramme (2a) représente à titre d'exemple une suite binaire constituant l'information et le second diagramme (2b), le signal C codé CMI qui lui correspond.

5 Le décodeur de la figure 1 comporte cinq sous-ensembles. Le premier de ces sous-ensembles est un étage d'entrée 1 recevant un signal E qui représente l'information codée selon le code CMI et telle que reçue du câble de transmission. Cet étage a pour fonction la remise du signal d'entrée E sous la forme d'un signal C (diagramme 2b) compatible avec les circuits logiques qui suivent. Il
10 comporte un circuit comparateur de tension 12, réalisé par exemple par un circuit à seuil, précédé éventuellement d'un circuit d'égalisation 11, ayant pour but de compenser des éventuelles déformations du signal dues à la réponse en fréquence du support de transmission.

15 Le signal C est ensuite dirigé vers des moyens d'élaboration du signal d'horloge H qui a servi à engendrer l'information codée E, constitués de deux des sous-ensembles précédents, à savoir un circuit logique 2 et un circuit analogique 3.

20 Le circuit logique 2 est constitué par un inverseur 21, recevant le signal C (diagramme 2b) et transmettant son inverse, noté \bar{C} et représenté sur le diagramme 2d, à un circuit à retard 22 qui retarde le signal \bar{C} d'une valeur $T/2$, si T est la période du signal d'horloge H ; ce signal retardé est noté \bar{C}_R et représenté sur le diagramme 2c. Le circuit 2 comporte encore un circuit logique OU 23 qui reçoit
25 d'une part le signal C et d'autre part le signal \bar{C}_R , et fournit un signal X au circuit analogique 3. Le signal X est un signal binaire présentant une partie des alternances du signal d'horloge H à obtenir, ainsi qu'il apparaît sur le diagramme 2g.

30 Le circuit analogique 3 est constitué par des moyens 31 d'élaboration d'un signal sinusoïdal de période T à partir du signal X qu'il reçoit ; ces moyens peuvent être réalisés par un filtre sélectif à condensateurs et inductances discrètes, ou à ondes élastiques de surface, ou encore à quartz. Le signal sinusoïdal fourni par le circuit 31 est amplifié et mis en forme (en créneaux) par un circuit 32, puis

retardé par un circuit à retard 33, d'une valeur réglable en fonction des caractéristiques du circuit analogique 3. A la sortie du circuit 33, on obtient le signal d'horloge H, en créneaux de période T, représenté sur le diagramme 2h.

5 Le signal C fourni par l'étage d'entrée 1 est par ailleurs dirigé vers des moyens d'élaboration d'un signal de sortie S représentant l'information décodée, ces moyens étant constitués par les deux derniers sous-ensembles, à savoir un circuit logique 4 et un circuit logique 5 assurant l'échantillonnage par le signal d'horloge H d'un
10 signal intermédiaire I fourni par le circuit 4.

Le circuit logique 4 est constitué par un inverseur 41 fournissant le signal \bar{C} représenté sur le diagramme 2d, un circuit à retard 42 recevant le signal C et fournissant un signal retardé C_R représenté sur le diagramme 2e, et un circuit logique OU recevant
15 les signaux \bar{C} et C_R et fournissant le signal intermédiaire I représenté sur le diagramme 2f.

Le circuit logique 5 d'échantillonnage du signal I par le signal H est par exemple constitué par une bascule de type D, comportant une première entrée D recevant le signal I, une seconde entrée Cl
20 recevant le signal d'horloge H et une sortie Q fournissant le signal de sortie S. On rappelle que, dans une bascule de type D, le signal de sortie devient égal au signal d'entrée au front de montée du signal d'horloge. Le signal S est illustré sur le diagramme 2i et il représente l'information binaire initiale décodée, où un niveau
25 correspond au 1 et l'autre niveau au 0, cette information binaire étant représentée sur le diagramme 2j et étant identique à l'information représentée en 2a, à un décalage près.

La figure 3 est le schéma d'un mode de réalisation selon l'invention. De façon analogue, il est décrit ci-dessous en relation
30 avec la figure 4 qui représente, en fonction du temps, les différents signaux susceptibles d'exister simultanément en différents points des circuits. Le premier diagramme (4a) représente, à titre d'exemple, la même suite binaire que le diagramme 2a et le diagramme 4b, le même signal C qui représente le codage CMI de la suite binaire du

diagramme 4a.

Ce décodeur comporte quatre sous-ensembles, deux de ceux-ci (1 et 5) étant identiques aux sous-ensembles correspondants de la figure 1.

5 Le troisième sous-ensemble (6) est un circuit numérique d'élaboration du signal intermédiaire I. Il comporte un inverseur 671 recevant le signal C et fournissant un signal \bar{C} (représenté sur le diagramme 4c) qui est ensuite retardé d'une durée $T/2$ par un circuit à retard 672 ; le signal résultant, noté \bar{C}_R , est représenté sur le
 10 diagramme 4d. Le circuit 6 comporte encore un circuit à retard 673 recevant le signal C et le retardant d'une durée T pour fournir un signal noté C_{2R} , représenté sur le diagramme 4e. Les signaux \bar{C}_R et C_{2R} sont appliqués à un circuit logique OU 61, qui fournit un signal Z représenté sur le diagramme 4f, ce signal Z étant ultérieurement
 15 retardé d'une durée $T/4$ par un circuit 62 pour fournir le signal I représenté sur le diagramme 4g.

Le quatrième sous-ensemble (7) est un circuit entièrement numérique d'élaboration du signal d'horloge H. Une partie des éléments constituant ce circuit 7 est commune avec le circuit 6, à
 20 savoir l'inverseur 671 et les circuits à retard 672 et 673, fournissant les signaux \bar{C}_R et C_{2R} ; le reste du circuit 7 est constitué par :

- un premier circuit logique OU inversé 71, recevant les signaux C_{2R} et C et fournissant un signal Y illustré sur le diagramme 4h ;
- 25 - un second circuit logique OU inversé 74, recevant les signaux C et \bar{C}_R et fournissant un signal X représenté sur le diagramme 4j ;
- un premier circuit à retard 72, retardant le signal Y d'une durée T pour fournir un signal Y_{2R} illustré sur le diagramme 4i ;
- un second circuit à retard 75, retardant le signal X d'une
 30 durée T pour fournir le signal X_{2R} représenté sur le diagramme 4k ;
- un troisième circuit logique OU inversé 73, recevant les signaux X, X_{2R} et Y_{2R} pour fournir le signal H, représenté sur le diagramme 4m.

Comme dans le décodeur de la figure 1, le signal I est

échantillonné par le signal H par exemple à l'aide d'une bascule de type D (5) pour former le signal S représenté sur le diagramme 4n, ce signal S étant représentatif de l'information binaire décodée, illustrée sur le diagramme 4p et identique à la suite binaire du diagramme 4a, à un décalage près.

REVENDEICATIONS

1. Dispositif de décodage d'une information numérique exprimée selon un code à inversion de marque, comportant :

- des premiers moyens d'élaboration d'un signal de rythme (H) à partir du signal codé reçu (E) ;

5 - des seconds moyens d'élaboration d'un signal (S) représentant l'information numérique, comportant un circuit numérique fournissant un signal intermédiaire (I) et des moyens d'échantillonnage de ce signal intermédiaire par le signal de rythme (H) ;

ce dispositif étant caractérisé par le fait que les premiers
10 moyens (7) d'élaboration du signal de rythme (H) comportent uniquement des circuits numériques.

2. Dispositif selon la revendication 1, caractérisé par le fait que les premiers moyens (7) comportent des circuits logiques (671, 71, 74, 73) et des circuits à retard (672, 673, 72, 75).

15 3. Dispositif selon la revendication 2, caractérisé par le fait que les premiers moyens comportent un inverseur (671) commun aux premiers et seconds moyens, trois circuits logiques OU inversés (71, 73, 74) et des circuits à retard (672, 673, 72, 75).

4. Dispositif selon la revendication 3, caractérisé par le fait
20 que l'inverseur (671) reçoit un premier signal (C) représentant le signal codé (E), et fournit un signal (\bar{C}) qui est retardé d'une demi-période ($T/2$) du signal de rythme (H) par l'un des circuits à retard (672), ce signal retardé constituant un deuxième signal (\bar{C}_R) ; que le premier des circuits OU inversés (71) reçoit le premier signal (C) et
25 un troisième signal (C_{2R}) constitué par le premier signal (C) retardé d'une période (T) du signal de rythme (H) ; que le second des circuits OU inversés (74) reçoit le premier signal (C) et le deuxième signal (\bar{C}_R), et que le troisième des circuits OU inversés (73) reçoit le signal (Y) fourni par le premier des circuits OU inversés (71) retardé
30 d'une période (T) du signal de rythme (H) par l'un des circuits à retard (72), le signal (X) fourni par le second des circuits OU inversés (74), et ce dernier signal (X) retardé (X_{2R}) d'une période (T)

du signal de rythme (H) par le dernier des circuits à retard (75), ce troisième circuit (73) fournissant le signal de rythme (H).

5 5. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les moyens d'échantillonnage du signal intermédiaire (I) par le signal de rythme (H) comportent une bascule de type D (5), comportant une première entrée (D) à laquelle est appliqué le signal intermédiaire (I) et une seconde entrée dite d'horloge (Cl) à laquelle est appliqué le signal de rythme (H).

10 6. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que le circuit (6) fournissant le signal intermédiaire (I) comporte des circuits logiques (671, 61) et des circuits à retard (673, 672, 62).

15 7. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte en outre un étage d'entrée (1) recevant l'information à décoder (E) et fournissant un signal (C) aux premiers et seconds moyens, cet étage (1) comportant un circuit d'égalisation (11) suivi par un comparateur (12).

FIG. 1

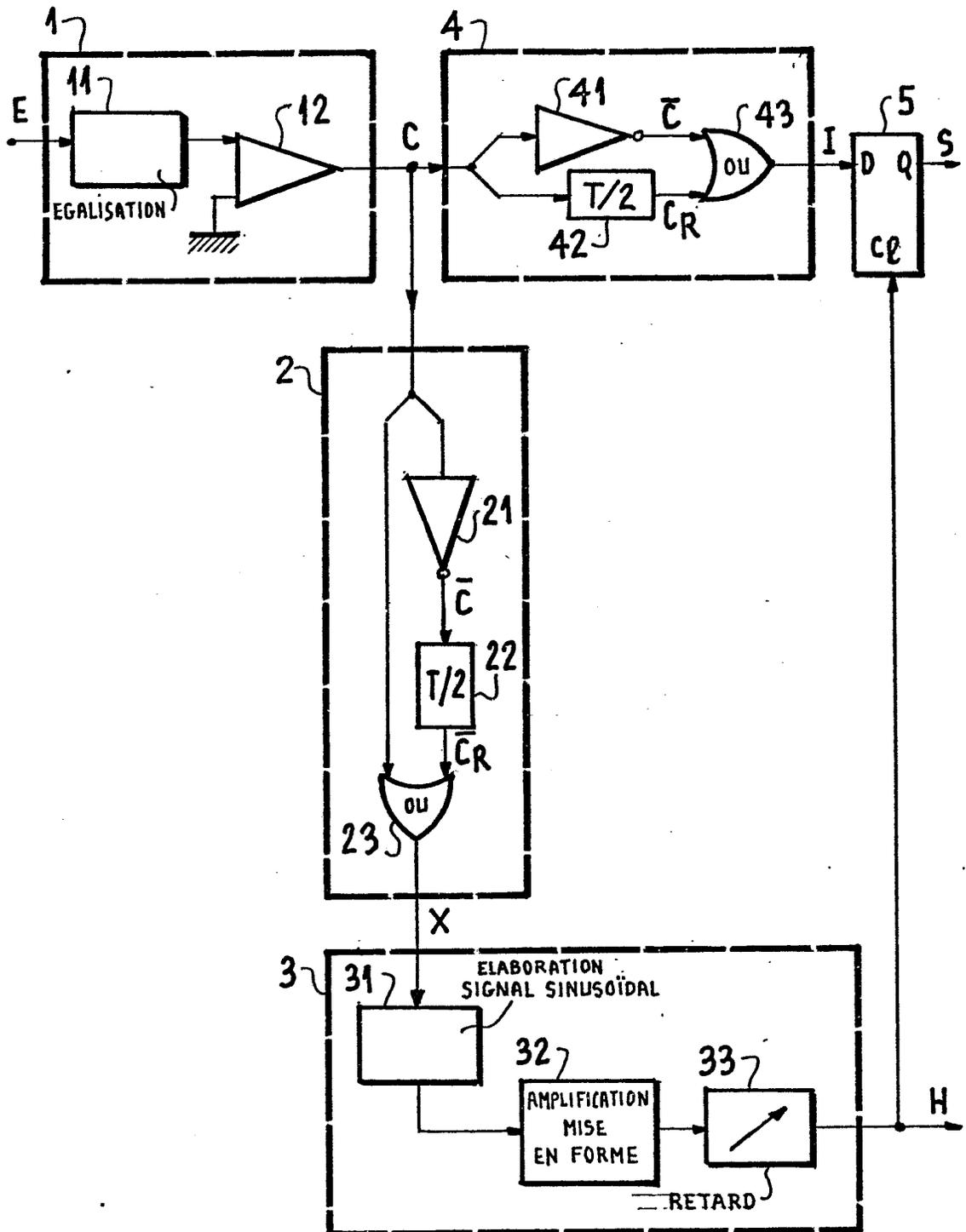


FIG-2

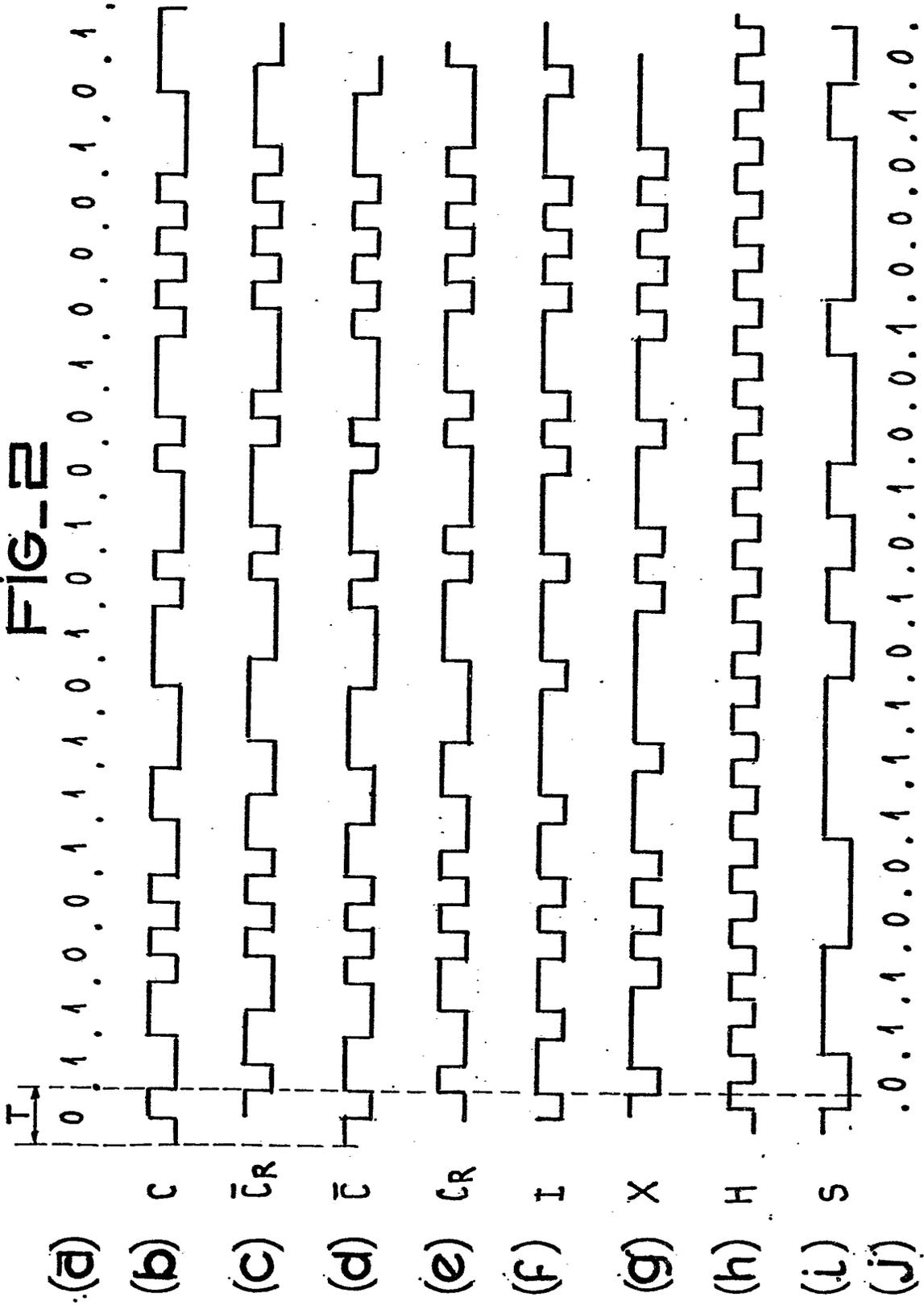


FIG. 3

