

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4188337号

(P4188337)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月19日(2008.9.19)

(51) Int.Cl. F I
 H O 1 L 25/065 (2006.01) H O 1 L 25/08 Z
 H O 1 L 25/07 (2006.01)
 H O 1 L 25/18 (2006.01)

請求項の数 4 (全 23 頁)

(21) 出願番号	特願2005-126443 (P2005-126443)	(73) 特許権者	000003078
(22) 出願日	平成17年4月25日(2005.4.25)		株式会社東芝
(65) 公開番号	特開2006-5333 (P2006-5333A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成18年1月5日(2006.1.5)	(74) 代理人	100077849
審査請求日	平成18年7月31日(2006.7.31)		弁理士 須山 佐一
(31) 優先権主張番号	特願2004-150046 (P2004-150046)	(72) 発明者	芳村 淳
(32) 優先日	平成16年5月20日(2004.5.20)		神奈川県川崎市幸区小向東芝町1番地 株
(33) 優先権主張国	日本国(JP)		式会社東芝 マイクロエレクトロニクスセ
(31) 優先権主張番号	特願2004-150047 (P2004-150047)		ンター内
(32) 優先日	平成16年5月20日(2004.5.20)	(72) 発明者	小牟田 直幸
(33) 優先権主張国	日本国(JP)		神奈川県川崎市幸区小向東芝町1番地 株
前置審査			式会社東芝 マイクロエレクトロニクスセ
			ンター内

最終頁に続く

(54) 【発明の名称】 積層型電子部品の製造方法

(57) 【特許請求の範囲】

【請求項 1】

電極部を有する基板上に第1の電極パッドを有する第1の電子部品を接着する工程と、
 前記電極部と前記第1の電極パッドとを、第1のボンディングワイヤを介して接続する
 工程と、

前記第1の電子部品上に、第2の電極パッドを有する第2の電子部品を、同一組成の熱
 硬化性樹脂で形成された2層構造の接着剤層を用いて接着する工程と、

前記電極部と前記第2の電極パッドとを、第2のボンディングワイヤを介して接続する
 工程とを具備し、

前記2層構造の接着剤層は、前記第1の電子部品側に配置され、前記第2の電子部品の
 接着時温度で軟化または溶融する半硬化状態の第1の層と、前記第2の電子部品側に配置
 され、前記第1の層より大きい弾性率を有すると共に、前記第2の電子部品の接着時温度
 に対して層形状が維持される半硬化状態の第2の層とを備え、

前記第2の電子部品の接着時に、前記第1のボンディングワイヤを前記第1の層を硬化
 させた硬化樹脂層内に取り込みつつ、前記第2の層を硬化させた硬化樹脂層により前記第
 2の電子部品から離間させることを特徴とする積層型電子部品の製造方法。

【請求項 2】

請求項1記載の積層型電子部品の製造方法において、

前記第1の層は前記接着時温度における粘度が1 kPa・s以上100 kPa・s以下
 であり、かつ前記第2の層は前記接着時温度における粘度が130 kPa・s以上100

10

20

0 k P a ・ s 以下であることを特徴とする積層型電子部品の製造方法。

【請求項 3】

請求項 1 または請求項 2 記載の積層型電子部品の製造方法において、

支持体上または前記第 2 の半導体素子の裏面に熱硬化性樹脂ワニスを塗布し乾燥させて前記第 2 の層を形成する工程と、前記第 2 の層と同一の熱硬化性樹脂ワニスを前記第 2 の層上に塗布し、前記第 2 の層を形成する際の乾燥温度より低い温度または乾燥時間より短い時間で乾燥させて前記第 1 の層を形成する工程とを有することを特徴とする積層型電子部品の製造方法。

【請求項 4】

請求項 3 記載の積層型電子部品の製造方法において、

前記支持体上に形成した前記第 2 の層と前記第 1 の層とを有する接着剤フィルムを、前記第 2 の半導体素子の裏面、または前記第 2 の半導体素子に個片化する前の半導体ウエハに貼り付ける工程を有することを特徴とする積層型電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は複数の電子部品を積層して構成した積層型電子部品の製造方法に関する。

【背景技術】

【0002】

近年、半導体装置の小型化や高密度実装化等を実現するために、1つのパッケージ内に複数の半導体素子（半導体チップ）を積層して封止したスタック型マルチチップパッケージが実用化されている。スタック型マルチチップパッケージにおいては、複数の半導体素子が回路基板上にダイアタッチ材等の接着剤を介して順に積層されている。各半導体素子の電極パッドは、回路基板の電極部とボンディングワイヤを介して電気的に接続されている。そして、このような積層構造体を封止樹脂でパッケージングすることによって、スタック型マルチチップパッケージが構成される。

【0003】

上記したようなスタック型マルチチップパッケージにおいて、上段側の半導体素子が下段側の半導体素子より小さい場合には、下段側の半導体素子のボンディングワイヤに上段側の半導体素子が干渉することはない。しかし、このような構成では適用可能な半導体素子が大幅に制限されることから、スタック型マルチチップパッケージの適用範囲を同形状の半導体素子同士、さらには上段側に下段側より大きい半導体素子を積層した構造まで広げることが進められている（例えば特許文献 1 参照）。

【0004】

この際、同形状の半導体素子同士や上段側に下段側より大形状の半導体素子を積層する場合には、下段側の半導体素子のボンディングワイヤと上段側の半導体素子とが接触するおそれがある。このため、ボンディングワイヤの接触による絶縁不良やショート等の発生を防止することが重要となる。そこで、下段側の半導体素子に接続されたボンディングワイヤの高さより上段側の半導体素子の下面が高くなるように厚さを設定したスペーサを、上下の半導体素子間に配置することが行われている（例えば特許文献 2 , 3 参照）。

【0005】

しかし、このような厚いスペーサの使用はパッケージ（半導体装置）の薄型化を阻害することになる。また、半導体素子間の接着剤層自体にスペーサ機能を付与することも検討されているが、この場合にもパッケージの薄型化が妨げられることになる。このような点に対して、上段側の半導体素子の下面側に絶縁層を形成することによって、下段側の半導体素子のボンディングワイヤが上段側の半導体素子と接触した場合の絶縁不良やショート等の発生を抑制することが提案されている（例えば特許文献 4 , 5 参照）。

【0006】

特許文献 4 には、下段側の半導体素子上に絶縁用樹脂層と固定用樹脂層を順に形成した後、上段側の半導体素子を配置して固定した構造が記載されている。特許文献 5 には、上

10

20

30

40

50

段側の半導体素子の裏面にポリイミド樹脂からなる絶縁層とエポキシ樹脂からなる接着層とを積層したシートを貼り付け、このシートの接着層を用いて下段側の半導体素子上に上段側の半導体素子を接着した構造が記載されている。このような絶縁層の適用は絶縁不良やショート等の抑制に対して効果を示すものの、例えばポリイミド樹脂からなる絶縁層とエポキシ樹脂からなる接着層との熱膨張率の違い等に基づいて、積層した半導体素子間に剥離が生じやすいという難点がある。

【 0 0 0 7 】

さらに、上段側に下段側より大きい半導体素子を積層する場合、上段側の半導体素子は下段側の半導体素子からはみ出して配置されることから、このはみ出し部分の下方は中空状態となる。また、同形状の半導体素子同士を積層する場合においても、上段側の半導体素子の位置をオフセットさせると、その一部が下段側の半導体素子からはみ出すことになる。このようなはみ出し部分を有する半導体素子にワイヤボンディングを実施すると、その際の荷重で半導体素子に撓みが生じる。このような撓みは半導体素子のクラック等の発生原因になると共に、ボンディングワイヤの接続不良の原因にもなる。また、ボンディング時の超音波出力がはみ出し部分下方の中空部に発散することによっても、ワイヤ接続部の信頼性が低下する。

10

【 0 0 0 8 】

なお、特許文献 1 には上段側に下段側より大きい半導体素子を積層する構造において、下段側の半導体素子を基板に搭載した後に樹脂封止し、この樹脂封止部上に上段側の半導体素子を搭載した積層型半導体装置が記載されている。このような構造によれば、上段側の半導体素子の下部には樹脂封止部が存在するため、ボンディング不良や半導体素子のクラック等を防ぐことができる反面、各半導体素子の搭載後に樹脂封止工程が必要となることから、製造工数や製造コストが増加するという難点がある。さらに、各半導体素子の樹脂封止部は積層型半導体装置の薄型化や小型化の阻害要因となる。

20

【特許文献 1】特開2001-217384号公報

【特許文献 2】特開2003-179200号公報

【特許文献 3】特開2003-218316号公報

【特許文献 4】特開平8-288455号公報

【特許文献 5】特開2002-222913号公報

【発明の開示】

30

【発明が解決しようとする課題】

【 0 0 0 9 】

上述したように、従来のスタック型マルチチップパッケージ構造を適用した半導体装置においては、下段側の半導体素子のボンディングワイヤと上段側の半導体素子との接触に基づく絶縁不良やショート等の発生がパッケージの薄型化を阻害する要因になっている。また、上段側の半導体素子の下面側に設けられた絶縁層は、上記した絶縁不良やショート等の抑制に対して効果を示すものの、絶縁層と接着剤層との熱膨張率の違い等に基づく素子間剥離や製造コストの増加等を招いている。

【 0 0 1 0 】

さらに、上段側に下段側より大きい半導体素子を積層したり、また上段側の半導体素子をオフセットさせて積層する場合には、上段側の半導体素子の一部が下段側の半導体素子からはみ出し、このはみ出し部分の下方が中空状態となることが避けられない。このようなはみ出し部分を有する積層構造は、上段側の半導体素子へのワイヤボンディング時に生じる撓みによって、半導体素子のクラックやワイヤの接続不良等が生じるという問題を有している。これらの問題は複数の半導体素子を積層した半導体装置に限らず、各種の電子部品を積層してパッケージングした積層型電子部品においても同様に生じている。

40

【 0 0 1 1 】

本発明はこのような課題に対処するためになされたもので、下段側の電子部品のボンディングワイヤと上段側の電子部品との接触に基づく絶縁不良やショート等の発生を防止した上で、電子部品間の剥離不良や製造コストの増加等を抑制することを可能にした積層型

50

電子部品の製造方法を提供することを目的としている。

【課題を解決するための手段】

【0015】

本発明の一態様に係る積層型電子部品の製造方法は、電極部を有する基板上に、第1の電極パッドを有する第1の電子部品を接着する工程と、前記電極部と前記第1の電極パッドとを、第1のボンディングワイヤを介して接続する工程と、前記第1の電子部品上に、第2の電極パッドを有する第2の電子部品を、同一組成の熱硬化性樹脂で形成された2層構造の接着剤層を用いて接着する工程と、前記電極部と前記第2の電極パッドとを、第2のボンディングワイヤを介して接続する工程とを具備し、前記2層構造の接着剤層は、前記第1の電子部品側に配置され、前記第2の電子部品の接着時温度で軟化または溶融する半硬化状態の第1の層と、前記第2の電子部品側に配置され、前記第1の層より大きい弾性率を有すると共に、前記第2の電子部品の接着時温度に対して層形状が維持される半硬化状態の第2の層とを備え、前記第2の電子部品の接着時に、前記第1のボンディングワイヤを前記第1の層を硬化させた硬化樹脂層内に取り込みつつ、前記第2の層を硬化させた硬化樹脂層により前記第2の電子部品から離間させることを特徴としている。

10

【発明の効果】

【0016】

本発明の一態様に係る積層型電子部品の製造方法は、第2の電子部品を第1の電子部品に対して同一材料でかつ弾性率が異なる2層構造の接着剤層を用いて接着している。よって、第1のボンディングワイヤと第2の電子部品との接触等を防止した上で、第1および第2の電子部品間を良好にかつ低コストで接着することが可能になると共に、接着工程後における素子間剥離等を抑制することができる。

20

【発明を実施するための最良の形態】

【0018】

以下、本発明を実施するための形態について、図面を参照して説明する。なお、以下では本発明の実施形態を図面に基づいて説明するが、それらの図面は図解のために提供されるものであり、本発明はそれらの図面に限定されるものではない。

【0019】

図1は本発明の積層型電子部品をスタック型マルチチップ構造の半導体装置（積層型半導体装置）に適用した第1の実施形態の構成を模式的に示す断面図である。同図に示す半導体装置1は、素子搭載用の基板2を有している。基板2は半導体素子等の電子部品を搭載することが可能であると共に、半導体素子等の電極と電氣的に接続される回路を有するものであればよい。このような基板2としては、絶縁基板や半導体基板等の表面や内部に回路（配線）を形成した回路基板、あるいはリードフレームのような素子搭載部と回路部とを一体化した基板等を用いることができる。

30

【0020】

図1に示す半導体装置1は、素子搭載用基板として回路基板2を有している。回路基板2を構成する絶縁基板には、樹脂基板、セラミックス基板、ガラス基板等、各種の絶縁材料からなる基板を適用することができる。樹脂基板を適用した回路基板としては、多層銅張積層板（多層プリント配線板）等を使用することができる。このような回路基板2の下面側には、半田バンプ等の外部接続端子3が設けられている。

40

【0021】

回路基板2の素子搭載面となる上面側には、外部接続端子3と例えば内層配線（図示せず）を介して電氣的に接続された電極部4が設けられている。電極部4はワイヤボンディング部となるものである。このような回路基板2の素子搭載面（上面）には、第1の電子部品として第1の半導体素子5が第1の接着剤層6を介して接着されている。第1の接着剤層6には一般的なダイアタッチ材（ダイアタッチフィルム等）が用いられる。第1の半導体素子5の上面側に設けられた第1の電極パッド（図示せず）は、第1のボンディングワイヤ7を介して回路基板2の電極部4と電氣的に接続されている。

【0022】

50

第1の半導体素子5上には、第2の電子部品として第2の半導体素子8が第2の接着剤層9を介して接着されている。第2の半導体素子8は第1の半導体素子5と同形またはそれより大形の形状を有している。第2の接着剤層9は図2に示すように、第1の半導体素子5側に配置される第1の層10と、第2の半導体素子8側に配置される第2の層11との2層構造を有している。第1および第2の層10、11は同一材料、すなわち同一の接着剤用樹脂で形成されており、その上で異なる弾性率を有している。ここで言う弾性率は熱処理して硬化させる前の弾性率である。第1の層10と第2の層11は異なる弾性率に基づいて軟化または熔融温度が相違する。第1の層10は第2の半導体素子8の接着時温度で軟化または熔融し、第2の層11は接着時温度に対して層形状が維持される。

【0023】

10

すなわち、第2の接着剤層9における第1の層10は、第2の半導体素子8の接着時温度で軟化または熔融し、第1のボンディングワイヤ7を取り込むための層（ここでは便宜的に熔融層と記す）として機能するものである。熔融層として機能する第1の層10は、接着時温度における粘度が $1\text{kPa}\cdot\text{s}$ 以上 $100\text{kPa}\cdot\text{s}$ 以下であることが好ましい。第1の層10の接着時粘度が $1\text{kPa}\cdot\text{s}$ 未満であると軟らかすぎて、接着剤樹脂が素子端面からはみ出すおそれがある。一方、第1の層10の接着時粘度が $100\text{kPa}\cdot\text{s}$ を超えると硬すぎて、例えば第1のボンディングワイヤ7の変形や接続不良等を生じさせるおそれがある。第1の層10の接着時粘度は $1\sim 50\text{kPa}\cdot\text{s}$ の範囲であることがより好ましく、さらには $1\sim 20\text{kPa}\cdot\text{s}$ の範囲であることが望ましい。

【0024】

20

一方、第2の層11は第2の半導体素子8の接着時温度に対して層形状が維持され、第2の半導体素子8と第1のボンディングワイヤ7との接触に伴う絶縁不良やショート等の発生を防止する絶縁層として機能するものである。絶縁層として機能する第2の層11は、接着時温度における粘度が $130\text{kPa}\cdot\text{s}$ 以上であることが好ましい。第2の層11の接着時温度における粘度が $130\text{kPa}\cdot\text{s}$ 未満であると、第2の半導体素子8を第1の半導体素子5を接着する際に層形状を維持することができず、絶縁層としての機能が損なわれる。第2の層11の接着時温度における粘度は $200\text{kPa}\cdot\text{s}$ 以上であることがより好ましい。ただし、粘度があまり高すぎると接着剤層としての機能が損なわれるため、第2の層11の接着時温度における粘度は $1000\text{kPa}\cdot\text{s}$ 以下であることが好ましい。

【0025】

30

上述したような2層構造の第2の接着剤層9の形成材料には、同一の接着剤用樹脂が用いられる。接着剤用樹脂としては、例えばエポキシ樹脂のような熱硬化性絶縁樹脂が挙げられる。2層構造の第2の接着剤層9は、例えば同一の熱硬化性樹脂ワニスを用いて、第1の層10と第2の層11を形成する際の乾燥温度や乾燥時間を異ならせることで得ることができる。2層構造の接着剤層9は、例えば第2の半導体素子8を第1の半導体素子5上に接着する際の接着剤フィルムとして用いられる。

【0026】

2層構造の接着剤層9は、例えば以下のようにして作製される。まず、図3(a)に示すように、支持体となるフィルム基材12上に例えばエポキシ樹脂ワニス(Aステージ)を塗布した後、この塗布層を例えば150℃で乾燥させて半硬化状態(Bステージ)の第2の層11を形成する。次いで、図3(b)に示すように、第2の層11上に同一のエポキシ樹脂ワニス(Aステージ)を再度塗布し、この塗布層を例えば130℃で乾燥させて半硬化状態(Bステージ)の第1の層10を形成する。2層構造の接着剤層9は第2の半導体素子8の下面にエポキシ樹脂ワニス等を順に塗布して形成することも可能である。

40

【0027】

上記したようにエポキシ樹脂ワニスを異なる温度で乾燥させることによって、常温弾性率ひいては軟化または熔融温度が異なる第1の層10と第2の層11を得ることができる。具体的には、第1の層10の乾燥温度以上(130℃以上)でかつ第2の層11の乾燥温度未満(150℃未満)の温度で加熱した場合、第2の層11は層形状が維持される。一方、第1の層10のみは軟化または熔融する。従って、第2の半導体素子8の接着時温度を

50

上記した温度範囲（例えば130 以上150 未満）に設定することによって、第2の層11の層形状を維持して絶縁層として機能させた上で、第1の層10を接着時に軟化または溶融させることができる。

【0028】

なお、上記したエポキシ樹脂ワニスの乾燥温度の制御に代えて、エポキシ樹脂ワニスを塗布した後の乾燥時間を異ならせることによって、第1の層10と第2の層11を有する2層構造の接着剤層9を得ることができる。この場合には、支持体となるフィルム基材12上に例えばエポキシ樹脂ワニス（Aステージ）を塗布した後、この塗布層を所定の温度で乾燥させて半硬化状態（Bステージ）の第2の層11を形成する。次いで、第2の層11上にエポキシ樹脂ワニス（Aステージ）を再度塗布し、この塗布層を第2の層11と同温度でかつ第2の層11より短時間で乾燥させる。このようにしても、常温弾性率ひいては軟化または溶融温度が異なる第1の層10と第2の層11を得ることができる。

【0029】

第1の層10と第2の層11の具体的な弾性率は特に限定されるものではなく、上述したように接着時温度における粘度に差が生じるものであればよい。第1の層10を溶融層として機能させると共に、第2の層11を絶縁層として機能させる上で、第2の層11は第1の層10より大きい常温弾性率を有することが好ましい。さらに、2層構造の接着剤層9を接着剤フィルムとして用いるにあたって、接着剤フィルムは個片化した第2の半導体素子8の裏面に貼り付けてもよいが、第2の半導体素子8に個片化する前の半導体ウエハの段階で貼り付けることが好ましい。これによって、第2の半導体素子8の製造工数や製造コストを低減することができる。

【0030】

2層構造の接着剤層9からなる接着剤フィルムを半導体ウエハに貼り付けた場合、接着剤フィルムを含めて半導体ウエハをダイシングすることになる。このため、2層構造の接着剤層9を構成する各層10、11は、それぞれダイシング加工が可能な常温弾性率、具体的には500MPa以上1200MPa以下の範囲の常温弾性率を有することが好ましい。各層10、11の常温弾性率が500MPa以下であると、ダイシング時の加工効率等が低下する。一方、常温弾性率が1200MPaを超えると接着剤層9としての機能が低下する。第1および第2の層10、11の常温弾性率は上記した条件を満足させた上で、第2の層11の常温弾性率が第1の層10のそれより大きくなるように設定することが好ましい。

【0031】

2層構造の接着剤層9を用いて第1の半導体素子5上に接着された第2の半導体素子8は、その上面側に設けられた第2の電極パッド（図示せず）に第2のボンディングワイヤ13が接続されている。さらに、第2のボンディングワイヤ13は回路基板2の電極部4と電氣的に接続されている。そして、回路基板2上に積層、配置された第1および第2の半導体素子5、8を、例えばエポキシ樹脂のような封止樹脂14を用いて封止することによって、スタック型マルチチップパッケージ構造の半導体装置1が構成されている。

【0032】

なお、図1では2個の半導体素子5、8を積層した構造について説明したが、半導体素子の積層数はこれに限られるものではない。積層する素子数は3個もしくはそれ以上であってもよい。3個以上の半導体素子を積層して半導体装置を構成する場合、半導体素子間の接着に2層構造の接着剤層、すなわち半導体素子の接着時温度で軟化または溶融する第1の層と層形状が維持される第2の層とを有する接着剤層が用いられる。

【0033】

上述した第1の実施形態の半導体装置1は、例えば以下のようにして作製される。半導体装置1の製造工程について、図4を参照して説明する。図4（a）に示すように、回路基板2上に第1の接着剤層6を用いて第1の半導体素子5を接着する。続いて、ワイヤボンディング工程を実施して、第1のボンディングワイヤ7で回路基板2の電極部4と第1の半導体素子5の電極パッドとを電氣的に接続する。次いで、図4（b）に示すように、第1の半導体素子5を接着した回路基板2を加熱ステージ21上に載置する。

【0034】

一方、第2の半導体素子8の下面側に、例えば図3に示した製造工程等に基づいて作製した2層構造の接着剤層(2層構造の接着剤フィルム)9を貼り付ける。この際、2層構造の接着剤フィルム9は、絶縁層として機能する第2の層11が第2の半導体素子8側に配置されるように貼り付ける。2層構造の接着剤フィルム9は、前述したように半導体ウエハの段階で貼り付けるようにしてもよい。この際、2層構造の接着剤フィルム9はダイシングテープと一体化されたものであってもよい。2層構造の接着剤フィルム9を貼り付けた半導体ウエハはダイシング加工を施した後に、図4に示す半導体装置1の製造工程に供される。2層構造の接着剤層9を貼り付けた第2の半導体素子8は実装ツール22で保持される。実装ツール22は半導体素子8の吸着保持手段と加熱機構とを備えている。

10

【0035】

次に、図4(c)に示すように、実装ツール22に保持された第2の半導体素子8を、第1の半導体素子5に対して位置合せする。実装ツール22を下降させて、第2の接着剤層9を第1の半導体素子5に押し当てると共に、加熱ステージ21および実装ツール22の少なくとも一方を用いて第2の接着剤層9を加熱する。この際の加熱温度は第1の層10の乾燥温度以上で第2の層11の乾燥温度未満とする。上述したように第2の層11を150℃で乾燥させ、第1の層10を130℃で乾燥させた場合、第2の接着剤層9の加熱温度(第2の半導体素子8の接着温度)は例えば 140 ± 5 ℃とする。

【0036】

上述した温度で第2の接着剤層9を加熱した場合、第1の層10は例えば熔融するため、第1のボンディングワイヤ7を第1の層10内に取り込みつつ第1の半導体素子5に接着される。これによって、第1のボンディングワイヤ7が押し潰されて変形や接続不良等が発生することを防ぐことができる。一方、第2の層11は上述した加熱温度に対して層形状を維持するため、第1の層10内に取り込まれた第1のボンディングワイヤ7と第2の半導体素子8との接触を防ぐことができる。第2の層11は絶縁層として機能する。これによって、第1のボンディングワイヤ7と第2の半導体素子8との接触に伴う絶縁不良やショート等の発生を有効に防止することが可能となる。

20

【0037】

2層構造の接着剤層9において、第1の層10の厚さは第1のボンディングワイヤ7の高さに応じて適宜に設定する。例えば、第1のボンディングワイヤ7の高さ(第1の半導体素子5上における最大高さ)が $60 \pm 15 \mu\text{m}$ であるとした場合、加熱温度で軟化または熔融する第1の層10の厚さは $75 \pm 15 \mu\text{m}$ とすることが好ましい。一方、加熱温度に対して層形状を維持する第2の層11の厚さは、例えば $5 \sim 15 \mu\text{m}$ の範囲とすることが好ましい。この厚さは公差を含むものである。第2の層11の厚さがあまり厚すぎると、半導体装置1の薄型化を阻害することになる。

30

【0038】

第2の接着剤層9を用いて第2の半導体素子8を第1の半導体素子5上に接着した後に、回路基板2の電極部4と第2の半導体素子8の電極パッドとを第2のボンディングワイヤ13で電気的に接続するワイヤボンディング工程を実施する。この後、外部接続端子3の形成工程や封止樹脂14による樹脂封止工程等を実施することによって、スタック型マルチチップパッケージ構造の半導体装置1が得られる。

40

【0039】

ここで、第2の接着剤層9に加熱処理を施して硬化させた後の弾性率は、175℃で40MPa以上、260℃で1MPa以上であることが好ましい。硬化後の第2の接着剤層(硬化樹脂層)9の175℃における弾性率が40MPa未満であると、ワイヤボンディング工程における第2の半導体素子8の撓みが大きくなり、第2の半導体素子8にクラック等が生じやすくなる。第2の半導体素子8のワイヤボンディング時における撓みは $15 \mu\text{m}$ 以下とすることが好ましい。

【0040】

図5は硬化樹脂層9の175℃における弾性率と第2の半導体素子8のワイヤボンディン

50

グ時における撓みとの関係を示している。図5において、サンプル1は50 μm の半導体素子(チップ)の厚さと60 μm の接合層の厚さを有する。サンプル2は70 μm のチップ厚さと60 μm の接合層厚さ、サンプル3は90 μm のチップ厚さと60 μm の接合層厚さを有する。サンプル4は50 μm のチップ厚さと85 μm の接合層厚さ、サンプル5は70 μm のチップ厚さと85 μm の接合層厚さ、サンプル6は90 μm のチップ厚さと85 μm の接合層厚さを有する。図5から、硬化樹脂層9の175における弾性率を40MPa以上とすることによって、ワイヤボンディング工程における第2の半導体素子8の撓みを小さくすることが可能であることが分かる。

【0041】

また、半導体装置1をマザーボード等を実装する場合、半導体装置1は例えば260でリフローされる。この際、半導体装置1は吸湿しているため、半導体装置1の状態によっては水蒸気爆発が発生するおそれがある。260における水蒸気圧は1MPaである。従って、硬化樹脂層9の260における弾性率は1MPa以上であることが好ましい。これによって、半田リフロー時の水蒸気爆発を防ぐことができる。硬化樹脂層9の260における弾性率は10MPa以上であることがより好ましく、さらに好ましくは50MPa以上である。図6は硬化樹脂層の弾性率(周波数1Hzで測定した動的貯蔵弾性率)の温度変化の一例を示している。樹脂の弾性率はガラス転移点を超えると急激に低下する。従って、260における弾性率を1MPa以上とすることが重要となる。

【0042】

上述したように、弾性率が異なる2層構造の接着剤層9を用いることによって、第1のボンディングワイヤ7の変形や接続不良、さらに第1のボンディングワイヤ7と第2の半導体素子8との接触等を防止した上で、第2の半導体素子8を第1の半導体素子5に良好にかつ低コストで接着することが可能となる。その上で、2層構造の接着剤層9は同一材料で形成されているため、第2の半導体素子8の接着工程後に素子間剥離等を生じることがなく、さらには接着に要する製造工数や製造コストの増加を抑制することができる。

【0043】

すなわち、従来の絶縁層と接着剤層とを用いた積層構造では、絶縁層と接着剤層との熱膨張率の違い等により素子間剥離等を招いていたが、同一材料で形成した2層構造の接着剤層9では熱膨張率の違い等に基づいて素子間剥離を生じることがない。さらに、2層構造の接着剤層9を用いて第1の半導体素子5と第2の半導体素子8とを接着することによって、接着工程自体は従来の1層構造のダイアタッチフィルムを用いた接着工程と同様とすることができるため、接着に要する製造工数や製造コストの増加を招くことがない。すなわち、従来の絶縁層の形成に要していた工数やコストを削減することができる。

【0044】

また、第1のボンディングワイヤ7と第2の半導体素子8との接触は絶縁層として機能する第2の層11で防止されるため、第2の接着剤層9の厚さは第1の層10が第1のボンディングワイヤ7を変形させることなく取り込むことが可能な範囲に設定することができる。従って、スペーサで第1の半導体素子と第2の半導体素子との間の間隔を設定していた従来の積層型半導体装置に比べて、半導体装置1の薄型化を図ることが可能となる。すなわち、薄型化と信頼性の向上を両立させたスタック型マルチチップパッケージ構造の半導体装置1を実現することが可能となる。

【0045】

上述した実施形態においては、第1の半導体素子5から絶縁層として機能する第2の層11までの距離、言い換えると第1のボンディングワイヤ7が配置される部分の高さを、接着剤として機能する第1の層10の厚さで規定している。例えば図7に示すように、第1の半導体素子5の接続に使用されない電極パッド上にスタッドパンプ23を形成して、第1および第2の半導体素子5、8間の距離を規定するようにしてもよい。これによって、第1のボンディングワイヤ7に第2の層11が接触することによるダメージや変形等をより確実に防ぐことができる。

【0046】

10

20

30

40

50

図 7 に示す半導体装置 1 は、第 1 の半導体素子 5 の接続に使用されない電極パッド、すなわち非接続パッド（ノンコネクションパッド）上に、金属材料や樹脂材料等からなるスタッドパンプ 2 3 が形成されている。スタッドパンプ 2 3 の高さは、第 1 のボンディングワイヤ 7 の高さより高くなるように設定する。第 2 の半導体素子 8 はスタッドパンプ 2 3 がスペーサとして機能することで、それより下には下降しない。従って、第 2 の層 1 1 への第 1 のボンディングワイヤ 7 の接触が防止され、第 1 のボンディングワイヤ 7 のダメージや変形等をより確実に防ぐことが可能となる。スタッドパンプ 2 3 の形成は 1 箇所でもよいが、第 1 の半導体素子 5 の重心を通る 3 箇所以上に設置することが好ましい。

【 0 0 4 7 】

スタッドパンプ 2 3 は 1 層構造の接着剤層で第 1 の半導体素子と第 2 の半導体素子とを
10 接着する半導体装置に対しても有効である。図 8 は第 1 の半導体素子 5 と第 2 の半導体素子 8 とを 1 層構造の接着剤層 2 4 で接着した半導体装置を示している。このような半導体装置において、第 1 の半導体素子 5 の非接続パッド（ノンコネクションパッド）上にはスタッドパンプ 2 3 が形成されている。スタッドパンプ 2 3 の高さは第 1 のボンディングワイヤ 7 の高さより高くなるように設定されている。従って、第 2 の半導体素子 8 への第 1 のボンディングワイヤ 7 の接触を防止することができる。

【 0 0 4 8 】

次に、本発明の第 2 の実施形態による積層型半導体装置について、図 9 および図 1 0 を参照して説明する。図 9 は第 2 の実施形態による積層型半導体装置の概略構成を示す平面図、図 1 0 はその断面図である。なお、前述した第 1 の実施形態と同一部分には同一符号
20 を付し、その説明を一部省略する。

【 0 0 4 9 】

図 9 および図 1 0 に示す半導体装置 3 0 は、前述した第 1 の実施形態と同様に、回路基板 2 等の基板上に第 1 の半導体素子 5 が第 1 の接着剤層 6 を介して接着されている。第 1 の半導体素子 5 の電極パッドは、第 1 のボンディングワイヤ 7 を介して回路基板 2 の電極部 4 と電氣的に接続されている。第 1 の半導体素子 5 上には、第 2 の半導体素子 8 が第 1 の層 1 0 と第 2 の層 1 1 を有する 2 層構造の接着剤層 9 を用いて接着されている。第 2 の半導体素子 8 の電極パッドは、第 2 のボンディングワイヤ 1 3 を介して回路基板 2 の電極部 4 と電氣的に接続されている。

【 0 0 5 0 】

第 2 の半導体素子 8 は第 1 の半導体素子 5 に対してオフセットされて配置されている。従って、第 2 の半導体素子 8 のワイヤボンディング部にあたる両端部は第 1 の半導体素子 5 の外周より外側にはみ出している。これらはみ出し部 3 1 の下側には第 1 の半導体素子 5 が存在していないため、このままでは第 2 の半導体素子 8 の下方、具体的にははみ出し部 3 1 の下方に中空部が生じてしまう。このようなはみ出し部 3 1 を有する第 2 の半導体素子 8 の電極パッドに対してワイヤボンディングを実施すると、第 2 の半導体素子 8 がボンディング時の荷重で撓んでしまう。これによって、第 2 の半導体素子 8 にクラック等が生じたり、またボンディング不良等が生じるおそれがある。

【 0 0 5 1 】

そこで、この実施形態の半導体装置 3 0 においては、第 2 の半導体素子 8 のはみ出し部 3 1 と回路基板 2 との間の空間に、2 層構造の接着剤層 9 における第 1 の層 1 0 を第 2 の半導体素子 8 を接着する際の加熱温度（接着温度）で軟化または溶融させることで充填している。すなわち、はみ出し部 3 1 の下方に中空部が生じないように、加熱温度で軟化または溶融した第 1 の層 1 0 の一部を、第 2 の半導体素子 8 のはみ出し部 3 1 の下方に充填している。これによって、第 2 の半導体素子 8 のはみ出し部 3 1 の下方には第 1 の層 1 0 を構成する接着剤樹脂が存在することになるため、ワイヤボンディング時に第 2 の半導体素子 8 が撓むことがなくなり、第 2 の半導体素子 8 のクラックやボンディング不良等の発生を防ぐことができる。

【 0 0 5 2 】

上述した第 2 の実施形態の半導体装置 3 0 は、例えば以下のようにして作製される。な
50

お、第1の実施形態による半導体装置1の製造工程と同一部分については一部説明を省略する。まず、図11(a)に示すように、第1の半導体素子5を接着搭載した回路基板2を加熱ステージ21上に載置する。一方、下面側に2層構造の接着剤層9を貼り付けた第2の半導体素子8を実装ツール22で保持する。なお、2層構造の接着剤層9は第2の半導体素子8の下面に熱硬化性樹脂ワニスを順に塗布して形成してもよい。

【0053】

第2の半導体素子8の下面に貼付する2層構造の接着剤層9において、加熱温度に対して層形状を維持する第2の層11の厚さは第1の実施形態と同様に、絶縁層としての機能が得られる厚さ(例えば5~15 μ m)であればよい。一方、第1の層10は第1の半導体素子5と第2の半導体素子8とを接着するだけでなく、第2の半導体素子8のはみ出し部31の下方を十分に充填することが可能な絶縁樹脂を供給し得る厚さに設定する必要がある。ただし、第1の層10を構成する接着剤樹脂(絶縁樹脂)の量が多すぎると、第1の層10が第2の半導体素子8の外周部よりはみ出して不都合が生じる。

【0054】

そこで、2層構造の接着剤層9における第1の層10、すなわち加熱温度で軟化または溶解する接着剤樹脂層10の厚さは、第1の半導体素子5と第2の半導体素子8との接着に必要な量と、第2の半導体素子8のはみ出し部31の下方(中空部)の充填に必要な量とを考慮して設定するものとする。例えば、図12に示すように、第2の半導体素子8の幅W2が10mm(全体形状は10×10mm)、はみ出し部31の幅(中空量)をxmm、第1の半導体素子5の幅W1が(10-2x)mmとし、段差(基板2表面から第1の半導体素子5の上面までの高さ)が0.2mmとした場合、中空量がxmmのはみ出し部31下方の中空部を充填するのに必要な第1の層10の厚さは、例えば図13に示す通りとなる。

【0055】

次に、図11(b)に示すように、実装ツール22に保持された第2の半導体素子8を、第1の半導体素子5に対して位置合せする。実装ツール22を下降させて、適度な圧力で第2の接着剤層9を第1の半導体素子5に押し当てると共に、加熱ステージ21および実装ツール22の少なくとも一方を用いて第2の接着剤層9を加熱する。この際の加熱温度は第1の実施形態と同様に、第1の層10の乾燥温度以上で第2の層11の乾燥温度未満とする。この加圧・加熱工程において、上述したように2層構造の接着剤層9における第1の層10の厚さを制御しているため、第1の層10を第2の半導体素子8の外周部よりはみ出させることなく、第2の半導体素子8のはみ出し部31下方の中空部を、第1の層10を構成する接着剤樹脂(絶縁樹脂)で良好に充填することができる。

【0056】

第2の半導体素子8を第1の半導体素子5上に接着すると共に、第2の半導体素子8のはみ出し部31下方の中空部を接着剤樹脂(絶縁樹脂)で充填した後、第2のボンディングワイヤ13で回路基板2の電極部4と第2の半導体素子8の電極パッドとを電氣的に接続する。この際、第2の半導体素子8のワイヤボンディング部にあたるはみ出し部31の下方には接着剤樹脂が埋め込まれているため、ワイヤボンディング時における第2の半導体素子8の撓みを防ぐことができる。従って、ボンディング荷重による第2の半導体素子8のクラックやボンディング不良等の発生を大幅に抑制することが可能となる。この後、第1の実施形態と同様に、外部接続端子の形成工程や封止樹脂による封止工程等を実施することによって、スタック型マルチチップパッケージ構造の半導体装置30が得られる。

【0057】

上述した第2の実施形態の半導体装置30によれば、第1の実施形態と同様に、第1および第2の半導体素子5、8間を良好にかつ低コストで接着することを可能にした上で、第2の半導体素子8のオフセット配置に起因する第2の半導体素子8のクラックやボンディング不良等を大幅に抑制することが可能となる。なお、このような構成は第2の半導体素子8をオフセットさせて配置する場合に限らず、例えば図14および図15に示すように、第1の半導体素子5上にそれより大形の第2の半導体素子8を配置する場合についても有効である。

【 0 0 5 8 】

図 1 4 および図 1 5 に示す半導体装置 3 0 は、第 1 の半導体素子 5 上にそれより大形の第 2 の半導体素子 8 が 2 層構造の接着剤層 9 を用いて接着されている。従って、第 2 の半導体素子 8 のワイヤボンディング部にあたる外周部は、第 1 の半導体素子 5 の外周より外側にはみ出している。これらはみ出し部 3 1 下方の中空部は、それぞれ 2 層構造の接着剤層 9 における第 1 の層 1 0 が第 2 の半導体素子 8 を接着する際の加熱温度（接着温度）で軟化または溶融することで充填されている。従って、第 2 の半導体素子 8 のみ出し部 3 1 の下方には第 1 の層 1 0 を構成する接着剤樹脂が存在するため、ワイヤボンディング時に第 2 の半導体素子 8 が撓むことがなくなり、第 2 の半導体素子 8 のクラックやボンディング不良等の発生を防ぐことができる。

10

【 0 0 5 9 】

次に、本発明の第 3 の実施形態による積層型半導体装置について、図 1 6、図 1 7 および図 1 8 を参照して説明する。なお、前述した第 1 および第 2 の実施形態と同一部分には同一符号を付し、その説明を一部省略する。図 1 6 に示す半導体装置 4 0 は、第 1 の電子部品としての半導体素子 4 1 と第 2 の電子部品としてのパッケージ部品 4 2 とを積層したものであり、これらによりスタック型パッケージ構造が構成されている。積層型電子部品を構成する電子部品は半導体素子単体（ベアチップ）に限らず、予め半導体素子をパッケージングした半導体部品であってもよい。さらに、半導体素子 4 1 やパッケージ部品 4 2 等の半導体部品に限らず、一般的な回路部品等の電子部品であってもよい。

20

【 0 0 6 0 】

図 1 6 に示す半導体装置 4 0 は、前述した実施形態と同様に、回路基板 2 上に第 1 の電子部品としての半導体素子 4 1 が第 1 の接着剤層 6 を介して接着されている。半導体素子 4 1 の電極パッドは、第 1 のボンディングワイヤ 7 を介して回路基板 2 の電極部 4 と電気的に接続されている。半導体素子 4 1 上には第 2 の電子部品としてのパッケージ部品 4 2 が 2 層構造の第 2 の接着剤層 9 を用いて接着されている。第 2 の接着剤層 9 の構成は前述した通りである。

【 0 0 6 1 】

パッケージ部品 4 2 は、回路基板 4 3 上に第 1 の半導体素子 4 4 と第 2 の半導体素子 4 5 とを順に積層した構造を有し、かつ予め封止樹脂 4 6 でパッケージングしたものである。第 1 の半導体素子 4 4 は回路基板 4 3 上に接着剤層 4 7 を介して接着されており、同様に第 2 の半導体素子 4 5 は第 1 の半導体素子 4 4 上に接着剤層 4 8 を介して接着されている。なお、符号 4 9 は受動部品である。このようなパッケージ部品 4 2 は、回路基板 4 3 が上方となるように半導体素子 4 1 上に積層されている。さらに、回路基板 4 3 の裏面側に設けられた電極パッド 5 0 は、第 2 のボンディングワイヤ 1 3 を介して回路基板 2 の電極部 4 と電気的に接続されている。

30

【 0 0 6 2 】

そして、回路基板 2 上に積層、配置された半導体素子 4 1 およびパッケージ部品 4 2 を、例えばエポキシ樹脂のような封止樹脂 1 4 を用いて封止することによって、スタック型パッケージ構造を有する半導体装置 4 0 が構成されている。このような半導体装置 4 0 においても、第 1 のボンディングワイヤ 7 の変形や接続不良等を防止した上で、パッケージ部品 4 2 を半導体素子 4 1 上に良好にかつ低コストで接着することが可能となる。その上で、2 層構造の接着剤層 9 は同一材料で形成されているため、パッケージ部品 4 2 の接着工程後に部品間剥離等を生じることがなく、さらには接着に要する製造工数や製造コストの増加を抑制することができる。

40

【 0 0 6 3 】

半導体素子 4 1 とパッケージ部品 4 2 との積層構造は、例えば図 1 7 に示すように、回路基板 2 上に配置した 2 個の半導体素子 4 1、4 1 の上に、パッケージ部品 4 2 を積層するようにしてもよい。このような積層構造は半導体素子 4 1 のサイズがパッケージ部品 4 2 と大きく異なる場合に有効である。また、パッケージ部品 4 2 は図 1 8 に示すように、回路基板 4 3 を下方にして積層することも可能である。この場合、第 2 のボンディングワ

50

イヤ 13 は回路基板 43 の上面側に設けられた電極パッド 50 に接続される。なお、第 3 の実施形態においても第 1 および第 2 の実施形態と同様に種々の変形が可能である。

【0064】

次に、第 1 の参考例による積層型半導体装置について、図 19 および図 20 を参照して説明する。図 19 は半導体装置の概略構成を示す平面図、図 20 はその断面図である。なお、前述した第 1、第 2 および第 3 の実施形態と同一部分には同一符号を付し、その説明を一部省略する。

【0065】

図 19 および図 20 に示す半導体装置 60 は、前述した第 1 および第 2 の実施形態と同様に、回路基板 2 上に第 1 の半導体素子 5 が第 1 の接着剤層 6 を介して接着されている。第 1 の半導体素子 5 の電極パッドは、第 1 のボンディングワイヤ 7 を介して回路基板 2 の電極部 4 と電氣的に接続されている。第 1 の半導体素子 5 上には、第 2 の半導体素子 8 が第 2 の接着剤層 61 を介して接着されている。第 2 の半導体素子 8 の電極パッドは、第 2 のボンディングワイヤ 13 を介して回路基板 2 の電極部 4 と電氣的に接続されている。

【0066】

第 1 の半導体素子 5 上に第 2 の半導体素子 8 を接着する第 2 の接着剤層 61 は、接着時温度（加熱温度）に対して固形状態を維持する絶縁性フィラー 62 を含有しており、この絶縁性フィラー 62 が第 1 および第 2 の半導体素子 5、8 間の距離を保つスペーサとして機能している。従って、第 1 のボンディングワイヤ 7 の変形や接続不良、さらに第 1 のボンディングワイヤ 7 と第 2 の半導体素子 8 との接触等を防止した上で、第 2 の半導体素子 8 を第 1 の半導体素子 5 上に良好にかつ低コストで接着することが可能となる。

【0067】

第 2 の接着剤層 61 内に配置される絶縁性フィラー 62 は、例えば第 2 の半導体素子 8 を接着する際の温度（加熱温度）に対して耐熱性と形状を維持し得る強度（形状維持能）を有する絶縁性樹脂により構成され、その具体的な材料は特に限定されるものではない。絶縁性フィラー 62 の具体的な構成材料としては、ウレタン樹脂、ポリイミド樹脂、シリコン樹脂、アクリル樹脂等の熱硬化性樹脂が挙げられる。このような絶縁性樹脂からなる絶縁性フィラー 62 を含む接着剤樹脂（エポキシ樹脂等）を用いて、第 1 の半導体素子 5 上に第 2 の半導体素子 8 を接着する。

【0068】

さらに、第 2 の半導体素子 8 は第 1 の半導体素子 5 に対してオフセットされて配置されている。従って、第 2 の半導体素子 8 のワイヤボンディング部にあたる両端部は第 1 の半導体素子 5 の外周より外側にはみ出している。これらはみ出し部 63 の下方には、第 2 の接着剤層 61 が第 2 の半導体素子 8 を接着する際の加熱温度（接着温度）で軟化または溶融することで充填されている。すなわち、はみ出し部 63 の下方に中空部が生じないように、加熱温度で軟化または溶融した第 2 の接着剤層 61 の一部を、第 2 の半導体素子 8 のはみ出し部 63 の下方に充填している。第 2 の接着剤層 61 の厚さは第 2 の実施形態と同様に、中空部の充填量を考慮して適宜に設定することが好ましい。

【0069】

上述した半導体装置 60 によれば、第 1 および第 2 の実施形態と同様に、第 1 および第 2 の半導体素子 5、8 間を良好にかつ低コストで接着することを可能にした上で、第 2 の半導体素子 8 のオフセット配置に起因する第 2 の半導体素子 8 のクラックやボンディング不良等を大幅に抑制することができる。このような構成は第 2 の実施形態と同様に、第 1 の半導体素子 5 上にそれより大形の第 2 の半導体素子 8 を配置する場合においても有効に機能するものである。

【0070】

次に、第 2 の参考例による積層型半導体装置について、図 21 および図 22 を参照して説明する。図 21 は半導体装置の概略構成を示す平面図、図 22 はその断面図である。なお、前述した各実施形態および参考例と同一部分には同一符号を付し、その説明を一部省略する。

【 0 0 7 1 】

図 2 1 および図 2 2 に示す半導体装置 7 0 は、前述した各実施形態と同様に、回路基板 2 等の基板上に第 1 の半導体素子 5 が第 1 の接着剤層 6 を介して接着されている。第 1 の半導体素子 5 の電極パッドは、第 1 のボンディングワイヤ 7 を介して回路基板 2 の電極部 4 と電氣的に接続されている。第 1 の半導体素子 5 上には、それより大形状の第 2 の半導体素子 8 が第 2 の接着剤層 7 1 を介して接着されている。第 1 および第 2 の接着剤層 6、7 1 には一般的なダイアタッチ材（ダイアタッチフィルム等）が用いられる。

【 0 0 7 2 】

第 2 の半導体素子 8 は第 1 の半導体素子 5 より大きい形状を有しているため、第 2 の半導体素子 8 のワイヤボンディング部にあたる外周部は第 1 の半導体素子 5 の外周より外側にはみ出している。第 2 の半導体素子 8 の外周部に相当するはみ出し部 7 2 の下側には第 1 の半導体素子 5 が存在していないため、このままでは第 2 の半導体素子 8 のはみ出し部 7 2 は中空に張り出した状態となる。このようなはみ出し部 7 2 を有する第 2 の半導体素子 8 の電極パッドに対してワイヤボンディングを実施すると、第 2 の半導体素子 8 がボンディング時の荷重で撓むことによって、第 2 の半導体素子 8 にクラック等が生じたり、またボンディング不良等が生じるおそれがある。

【 0 0 7 3 】

そこで、半導体装置 7 0 においては、第 2 の半導体素子 8 のはみ出し部 7 2 の下方に予め絶縁性柱状体 7 3 が設けられている。すなわち、第 2 の半導体素子 8 のはみ出し部 7 2 は回路基板 2 の所定の位置に設けられた絶縁性柱状体 7 3 により支持されている。この実施形態の半導体装置 7 0 において、各はみ出し部 7 2 は第 2 の半導体素子 8 の一辺あたりに複数個、例えば 3 個の絶縁性柱状体 7 3 で支持されている。第 2 の半導体素子 8 の各辺あたりに配置する絶縁性柱状体 7 3 の数は 1 個でもよいが、剛性を高めると共に積層時や接続時の荷重を分散させる上で、第 2 の半導体素子 8 の各辺あたりに複数個の絶縁性柱状体 7 3 を配置することが好ましい。

【 0 0 7 4 】

はみ出し部 7 2 を支持する絶縁性柱状体 7 3 は、少なくとも第 2 の半導体素子 8 との当接部が絶縁性樹脂等の絶縁材料により構成されている。図 2 1 および図 2 2 に示す半導体装置 7 0 における絶縁性柱状体 7 3 は、例えばエポキシ樹脂、ポリイミド樹脂、シリコン樹脂、アクリル樹脂等の熱硬化型絶縁樹脂、あるいは紫外線硬化型絶縁樹脂のような光硬化型絶縁樹脂を柱状に塗布し、それを硬化させることにより形成したものである。光硬化型絶縁樹脂としては、例えば紫外線硬化型アクリル樹脂組成物が挙げられる。紫外線硬化型アクリル樹脂組成物は、反応基としてアクリロイル基を有するプレポリマーやモノマーと光重合開始剤とを含有し、紫外線照射により硬化するものである。このような紫外線硬化型樹脂組成物は、紫外線が照射された部分のみが硬化するため、塗布後の形状を容易に安定させることができる。

【 0 0 7 5 】

絶縁性柱状体 7 3 の高さによっては、例えば図 2 3 に示すように、複数個の樹脂柱 7 4、7 4 ... を積み重ねるようにして形成してもよい。これによって、絶縁性柱状体 7 3 の高さのバラツキ等を低減することができる。積み重ねる樹脂柱 7 4 の個数は、絶縁性柱状体 7 3 の高さや樹脂柱 7 4 の形成材料となる樹脂組成物の粘度等に応じて適宜に設定される。図 2 3 は 3 個の樹脂柱 7 4 を順に塗布して形成した状態を示している。

【 0 0 7 6 】

また、絶縁性柱状体 7 3 の成形性や強度等の向上を図る上で、例えば図 2 4 に示すように、絶縁性柱状体 7 3 の内部に補強材 7 5 を配置してもよい。補強材 7 5 には例えば絶縁性樹脂成形体や絶縁性無機物（ガラスやセラミックス等）、あるいは金属部材等が使用される。このような補強材 7 5 を含む絶縁性柱状体 7 3 は、まず下部樹脂層 7 6 を回路基板 2 上に形成し、その上に補強材 7 5 を配置した後、第 2 の半導体素子 8 との当接部となる上部樹脂層 7 7 を形成することにより作製される。絶縁性柱状体 7 3 の内部に補強材 7 5 を配置することによって、絶縁性柱状体 7 3 の高さのバラツキ等を低減することができる

と共に、強度や硬度が向上することでワイヤボンディングがより一層容易となる。

【0077】

さらに、図25に示すように、予め高粘度の樹脂組成物を用いてダム枠78を設けておき、その内部に絶縁性柱状体73を形成するようにしてもよい。絶縁性柱状体73の外周にダム枠78を設けることで、比較的高い絶縁性柱状体73であっても良好に形成することができ、また絶縁性柱状体73の積層時や接続時における倒壊等も抑制される。さらに、絶縁性柱状体73を形成する際の樹脂材料の平面方向への広がりを抑制することができるため、回路基板2上に存在する電極部4への樹脂付着等を防ぐことが可能となる。

【0078】

第1の半導体素子5上に搭載された第2の半導体素子8は、その上面側に設けられた第2の電極パッドに第2のボンディングワイヤ13が接続されており、さらに第2のボンディングワイヤ13を介して回路基板2の電極部4と電氣的に接続されている。第2の半導体素子8にワイヤボンディングを実施するにあたって、第2の半導体素子8のはみ出し部72は回路基板2上に設けられた絶縁性柱状体73で支持されているため、ワイヤボンディング時の荷重による第2の半導体素子8の撓みを抑えることができる。これによって、第2の半導体素子8の撓みによるクラックやボンディング不良（接続不良）等の発生を有効に抑制することが可能となる。さらに、第2の半導体素子8の撓みに起因する第1のボンディングワイヤ7の変形や接続不良等も防ぐことができる。

【0079】

そして、回路基板2上に積層、配置された第1および第2の半導体素子5、8を、例えばエポキシ樹脂のような封止樹脂14を用いて封止することによって、スタック型マルチチップパッケージ構造の半導体装置70が構成されている。なお、図21および図22では2個の半導体素子5、8を積層した構造について説明したが、半導体素子の積層数はこれに限られるものではなく、3個もしくはそれ以上であってもよいことは言うまでもない。3個以上の半導体素子を積層して半導体装置を構成する際においても、2段目以上の半導体素子のはみ出し部をそれぞれ絶縁性柱状体で支持することで、素子クラックやボンディング不良等の発生を有効に防止することができる。

【0080】

さらに、回路基板2上に第1および第2の半導体素子5、8を配置するにあたって、これらの半導体素子5、8間にスペーサを配置することも可能である。このような構造において、スペーサは一般的に半導体素子5、8より小さい形状を有する。従って、第1および第2の半導体素子5、8が同形状を有する場合、第2の半導体素子8はスペーサに対してはみ出し部を有することになる。このような積層構造を有する場合には、第1の半導体素子5上に配置した絶縁性柱状体73で第2の半導体素子8を支持する。これによって、第2の半導体素子8に対するボンディング性を高めることができる。

【0081】

上述した半導体装置70は、例えば以下のようにして作製される。半導体装置70の製造工程について、図26を参照して説明する。まず、図26(a)に示すように、回路基板2上に第1の接着剤層6を用いて第1の半導体素子5を接着する。続いてワイヤボンディング工程を実施して、第1のボンディングワイヤ7で回路基板2の電極部4と第1の半導体素子5の電極パッドとを電氣的に接続する。

【0082】

次いで、図26(b)に示すように、第1の半導体素子5を接着搭載した回路基板2の所定の位置に絶縁性柱状体73を形成する。絶縁性柱状体73は上述したようにエポキシ樹脂等の熱硬化型絶縁樹脂や光硬化型絶縁樹脂等を柱状に塗布することにより形成する。絶縁性柱状体73は図23に示したように複数個の樹脂柱を積み重ねるようにして形成してもよい。また、図24や図25に示した構造を有する絶縁性柱状体73を適用してもよい。いずれの構造を採用する場合においても、少なくとも第2の半導体素子8との当接部は絶縁性樹脂で形成することが好ましい。さらに、第1の半導体素子5上に第2の接着剤層71となるダイアタッチ材等を載置する。

【0083】

次に、図26(c)に示すように、第1の半導体素子5上に第2の半導体素子8を位置合せしつつ配置する。第2の半導体素子8を第1の半導体素子5に適度な加圧力で押し当てつつ第2の接着剤層71を加熱し、第2の半導体素子8を第1の半導体素子5に接着する。この際、第2の半導体素子8のはみ出し部72を絶縁性柱状体73に押し当てて、はみ出し部72と絶縁性柱状体73とを接着する。このようにして、第2の半導体素子8のはみ出し部72を絶縁性柱状体73で支持する。

【0084】

この後、図26(d)に示すように、第2の半導体素子8に対してワイヤボンディング工程を実施して、第2のボンディングワイヤ13で回路基板2の電極部4と第2の半導体素子8の電極パッドとを電氣的に接続する。この際、第2の半導体素子8のはみ出し部72は絶縁性柱状体73で支持されている。従って、ワイヤボンディング時の荷重による第2の半導体素子8の撓みが抑えられるため、第2の半導体素子8のクラックやボンディング不良、また第1のボンディングワイヤ7の変形や接続不良等を有効に抑制することができる。そして、外部接続端子3の形成工程や封止樹脂14による樹脂封止工程等を実施することによって、スタック型マルチチップパッケージ構造の半導体装置70が得られる。

【0085】

上述したように、第2の半導体素子8のはみ出し部72を絶縁性柱状体73で支持することによって、はみ出し部72に起因する素子クラックやボンディングワイヤの接続不良等を有効に抑制することが可能となる。また、接続条件である荷重や超音波出力の選択幅が広がるため、第2の半導体素子8に対するワイヤボンディングをより良好に実施することができる。さらに、絶縁性柱状体73は半導体装置70の薄型化や小型化等を阻害することもないため、上段側に下段側の半導体素子5より大型の半導体素子8を積層する場合において、小型・薄型でかつ信頼性に優れたスタック型マルチチップパッケージ構造の半導体装置70を実現することが可能となる。

【0086】

次に、第3の参考例による積層型半導体装置について、図27、図28および図29を参照して説明する。図27は半導体装置の概略構成を示す平面図、図28は正面方向から見た断面図、図29は側面方向から見た断面図である。なお、前述した各実施形態および参考例と同一部分には同一符号を付し、その説明を一部省略する。

【0087】

図27、図28および図29に示す半導体装置80は、前述した第1の実施形態と同様に、回路基板2上に第1の半導体素子81が第1の接着剤層82を介して接着されている。第1の半導体素子81の電極パッドは、第1のボンディングワイヤ83を介して回路基板2の電極部4と電氣的に接続されている。第1の半導体素子81上にはそれより小形の第2の半導体素子84が第2の接着剤層85を介して接着されている。第2の半導体素子84の電極パッドは、第2のボンディングワイヤ86を介して回路基板2の電極部4と電氣的に接続されている。

【0088】

第2の半導体素子84上には第3の半導体素子87が第3の接着剤層88を介して接着されている。第3の半導体素子87の電極パッドは、第3のボンディングワイヤ89を介して回路基板2の電極部4と電氣的に接続されている。第1、第2および第3の接着剤層82、85、88には、前述した実施形態と同様に通常のダイアタッチ材が用いられる。ここで、第3の半導体素子87は第2の半導体素子84に対してオフセットされて配置されている。従って、第3の半導体素子87のワイヤボンディング部にあたる端部は、第2の半導体素子84の外周より外側にはみ出している。

【0089】

この第3の半導体素子87のはみ出し部90は、前述した参考例と同様に、回路基板2上に設けられた絶縁性柱状体73で支持されている。この例において、はみ出し部90は3個の絶縁性柱状体73で支持されている。絶縁性柱状体73には前述した参考例と同様

に、エポキシ樹脂等の熱硬化型絶縁樹脂や光硬化型絶縁樹脂を柱状に塗布して形成したものの、複数の樹脂柱を積み重ねるようにして形成したもの、さらには図24や図25に示した構造を有するもの等、種々の形態が適用可能である。なお、図示を省略したが、回路基板2上に積層、配置された第1、第2および第3の半導体素子81、84、87はエポキシ樹脂等の封止樹脂で封止されており、これらによってスタック型マルチチップパッケージ構造の半導体装置80が構成されている。

【0090】

図27、図28および図29に示す半導体装置80において、第3の半導体素子87は第2の半導体素子84のみならず、第1の半導体素子81に対してもはみ出している。このため、第3の半導体素子87を回路基板2上に設けた絶縁性柱状体73で支持している。第3の半導体素子87が第2の半導体素子84のみに対してはみ出している場合、絶縁性柱状体73は第1の半導体素子81上に設置してもよい。このような絶縁性柱状体73によっても、第3の半導体素子87の端部を支持することができる。

10

【0091】

上述した半導体装置80においては、第2の半導体素子84上に配置された第3の半導体素子87、すなわち第2の半導体素子84に対してオフセットされた第3の半導体素子87のはみ出し部90を絶縁性柱状体73で支持している。これによって、はみ出し部90に起因する素子クラックやボンディングワイヤの接続不良等を有効に抑制することができる。従って、上段側に下段側の半導体素子84に対してオフセットさせて半導体素子87を積層する場合においても、小型・薄型でかつ信頼性に優れたスタック型マルチチップパッケージ構造の半導体装置80を実現することが可能となる。

20

【0092】

図27、図28および図29に示した半導体装置80においては、第3の半導体素子87を第1の半導体素子81上に第2の半導体素子84を介して搭載した構成を示したが、第2の半導体素子84に代えてスペーサチップを配置する場合においても同様な構成を適用することができる。また、半導体素子（スペーサチップを含む）を3段に積層する場合に限らず、半導体素子を2段に積層する場合や4段以上に積層する場合においても、2段目以上の半導体素子のはみ出し部を絶縁性柱状体で支持することで、素子クラックやボンディング不良等の発生を有効に防止することができる。

30

【0093】

次に、本発明の第4の実施形態による積層型半導体装置について、図30を参照して説明する。図30は第4の実施形態による積層型半導体装置の概略構成を示す断面図である。なお、前述した実施形態と同一部分には同一符号を付し、その説明を一部省略する。図30に示す半導体装置90は素子搭載用の基板としてリードフレーム91を有している。リードフレーム91は素子搭載部91aと回路部91bとを一体化したものである。このような基板はリードフレームに限らず、同様な金属フレームであってもよい。

【0094】

リードフレーム91の素子搭載部91aの上方には、第1の半導体素子5と第2の半導体素子8が積層して搭載されている。同様に、素子搭載部91aの下方には、第3の半導体素子92と第4の半導体素子93が積層して搭載されている。第1および第3の半導体素子5、92はそれぞれ第1の接着剤層6を介して素子搭載部91aに接着されている。第2および第4の半導体素子8、93は、それぞれ2層構造の接着剤層9を用いて第1および第3の半導体素子5、92に接着されている。

40

【0095】

第1および第3の半導体素子5、92の電極パッドは、それぞれボンディングワイヤ7を介してリードフレーム91の素子搭載部91aと回路部（電極部）91bと電氣的に接続されている。第2および第4の半導体素子8、93は、それぞれボンディングワイヤ13を介して素子搭載部91aと回路部（電極部）91bと電氣的に接続されている。これら各半導体素子5、8、92、93は、リードフレーム91の素子搭載部91aおよび回路部91bの一部と共に封止樹脂14で封止されている。これらによって、リードフレ

50

ムタイプのＱＦＰタイプの積層型半導体装置９０が構成されている。

【００９６】

上述した第４の実施形態の半導体装置９０によれば、第１の実施形態と同様に、ボンディングワイヤ７の変形や接続不良、さらにボンディングワイヤ７と第２および第４の半導体素子８、９３との接触等を防止した上で、第２および第４の半導体素子８、９３を第１および第３の半導体素子５、９２上に良好にかつ低コストで接着することが可能となる。その上で、２層構造の接着剤層９は同一材料で形成されているため、第２および第４の半導体素子８、９３の接着工程後の素子間剥離等を抑制することができる。これらによって、薄型化と信頼性の向上を両立させると共に、製造コストの低減を図った積層型半導体装置９０を実現することが可能となる。

10

【００９７】

なお、本発明は上記した各実施形態に限定されるものではなく、複数の電子部品を積層して搭載した各種の積層型電子部品に適用することができる。積層型電子部品を構成する電子部品には、前述したように半導体素子やパッケージ部品等の半導体部品、あるいは回路部品等を適用することができる。そのような積層型電子部品についても、本発明に含まれるものである。本発明の実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、この拡張、変更した実施形態も本発明の技術的範囲に含まれる。

【図面の簡単な説明】

【００９８】

【図１】本発明の積層型電子部品を積層型半導体装置に適用した第１の実施形態の構成を模式的に示す断面図である。

20

【図２】図１に示す積層型半導体装置の第１の半導体素子と第２の半導体素子との接着に用いる２層構造の接着剤層の構成を示す断面図である。

【図３】図２に示す２層構造の接着剤層の製造工程の一例を示す断面図である。

【図４】本発明の第１の実施形態による積層型半導体装置の要部製造工程を示す断面図である。

【図５】硬化樹脂層の１７５における弾性率と半導体素子のワイヤボンディング時における撓みとの関係を示す図である。

【図６】硬化樹脂層の弾性率の温度変化の一例を示す図である。

【図７】第１の実施形態による積層型半導体装置にスタッドバンプを適用した構成例を示す断面図である。

30

【図８】スタッドバンプを適用した積層型半導体装置の他の例を示す断面図である。

【図９】本発明の積層型電子部品を積層型半導体装置に適用した第２の実施形態の構成を示す平面図である。

【図１０】図９に示す積層型半導体装置の断面図である。

【図１１】本発明の第２の実施形態による積層型半導体装置の要部製造工程を示す断面図である。

【図１２】図９に示す積層型半導体装置における第２の半導体素子のはみ出し部の大きさ（中空量）を説明するための図である。

【図１３】第２の半導体素子のはみ出し部の大きさ（中空量）と中空部の充填に必要な接着剤層の厚さとの関係の一例を示す図である。

40

【図１４】図９に示す積層型半導体装置の変形例を示す平面図である。

【図１５】図１４に示す積層型半導体装置の断面図である。

【図１６】本発明の積層型電子部品を積層型半導体装置に適用した第３の実施形態の構成を模式的に示す断面図である。

【図１７】図１６に示す積層型半導体装置の一変形例を示す断面図である。

【図１８】図１６に示す積層型半導体装置の他の変形例を示す断面図である。

【図１９】本発明の積層型電子部品を積層型半導体装置に適用した第４の実施形態の構成を示す平面図である。

【図２０】図１９に示す積層型半導体装置の断面図である。

50

【図 2 1】本発明の積層型電子部品を積層型半導体装置に適用した第 5 の実施形態の構成を示す平面図である。

【図 2 2】図 2 1 に示す積層型半導体装置の断面図である。

【図 2 3】図 2 1 に示す積層型半導体装置に用いられる絶縁性柱状体の他の構成例を示す断面図である。

【図 2 4】図 2 1 に示す積層型半導体装置に用いられる絶縁性柱状体のさらに他の構成例を示す断面図である。

【図 2 5】図 2 1 に示す積層型半導体装置に用いられる絶縁性柱状体のさらに他の構成例を示す断面図である。

【図 2 6】本発明の第 5 の実施形態による積層型半導体装置の要部製造工程を示す断面図である。

10

【図 2 7】本発明の積層型電子部品を積層型半導体装置に適用した第 6 の実施形態の構成を示す平面図である。

【図 2 8】図 2 7 に示す積層型半導体装置の正面方向から見た断面図である。

【図 2 9】図 2 7 に示す積層型半導体装置の側面方向から見た断面図である。

【図 3 0】本発明の積層型電子部品を積層型半導体装置に適用した第 7 の実施形態の構成を示す断面図である。

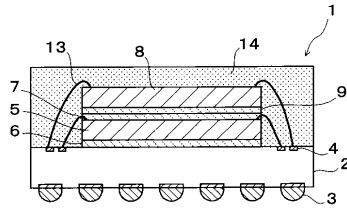
【符号の説明】

【 0 0 9 9 】

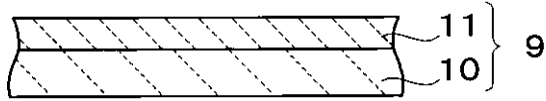
1, 30, 40, 60, 70, 80, 90 ... 積層型半導体装置、2 ... 回路基板、4 ... 電極部、5, 81 ... 第 1 の半導体素子、6, 82 ... 第 1 の接着剤層、7, 83 ... 第 1 のボンディングワイヤ、8, 84 ... 第 2 の半導体素子、9 ... 2 層構造の第 2 の接着剤層、10 ... 第 1 の層、11 ... 第 2 の層、13, 86 ... 第 2 のボンディングワイヤ、31, 63, 72, 90 ... はみ出し部、41 ... 半導体素子、42 ... パッケージ部品、61, 71, 85 ... 第 2 の接着剤層、62 ... 絶縁性フィラー、73 ... 絶縁性柱状体、75 ... 補強材、87 ... 第 3 の半導体素子、88 ... 第 3 の接着剤層、89 ... 第 3 のボンディングワイヤ、91 ... リードフレーム。

20

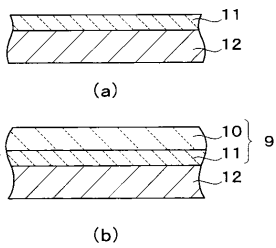
【図1】



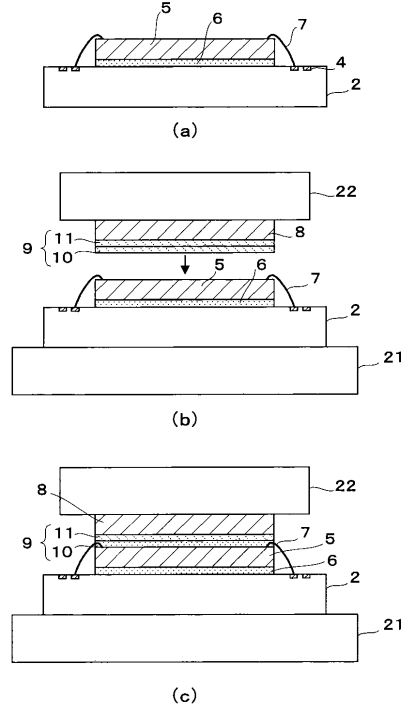
【図2】



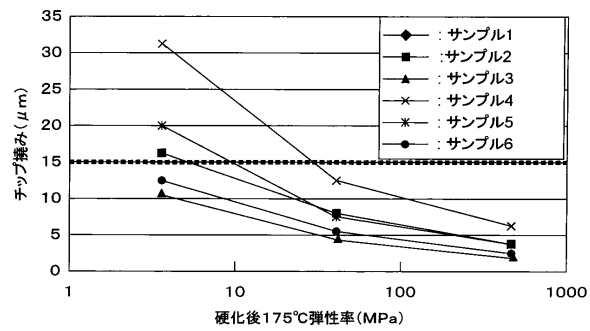
【図3】



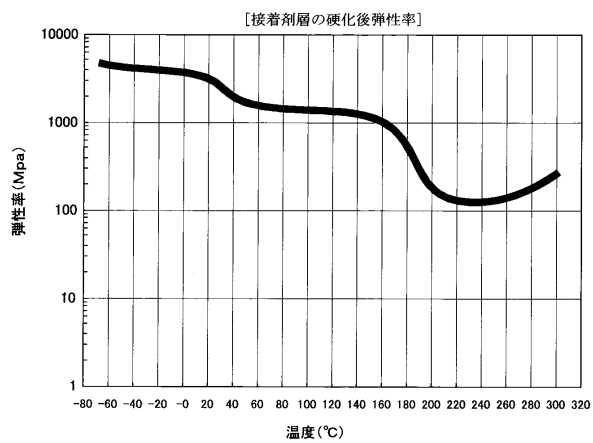
【図4】



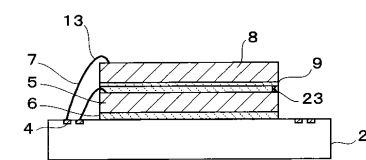
【図5】



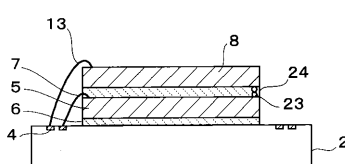
【図6】



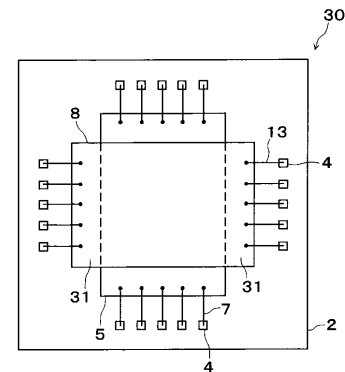
【図7】



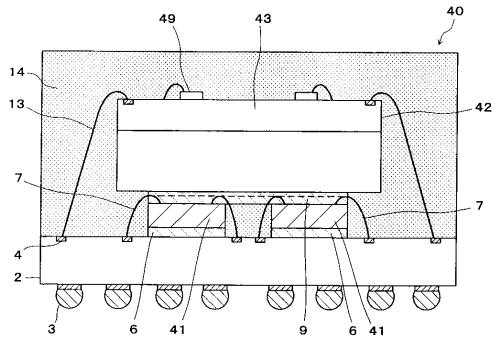
【図8】



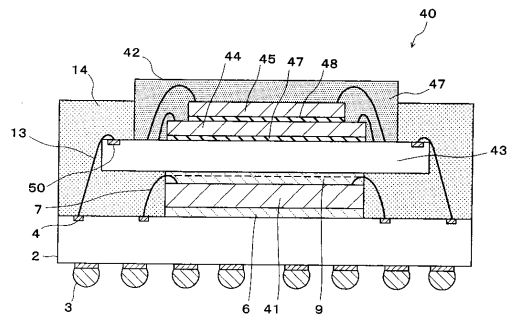
【図9】



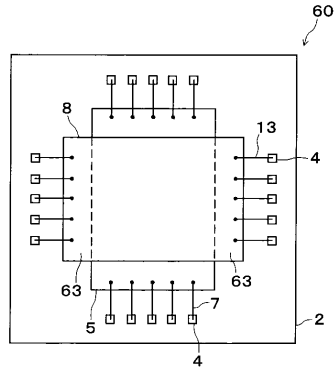
【図 17】



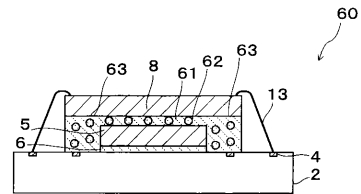
【図 18】



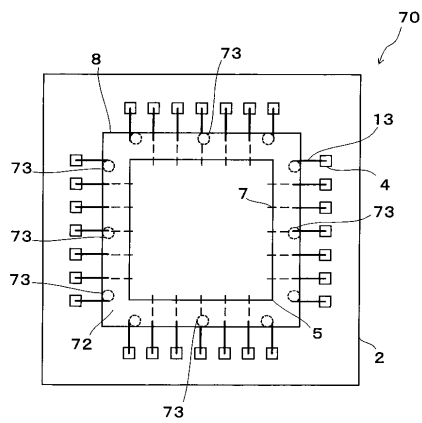
【図 19】



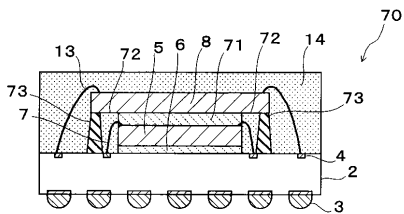
【図 20】



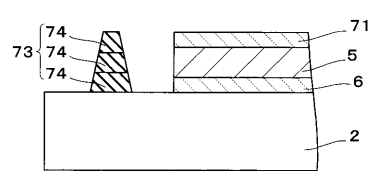
【図 21】



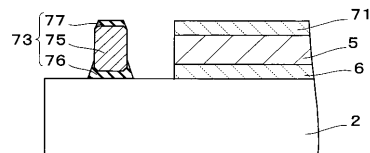
【図 22】



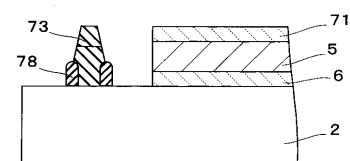
【図 23】



【図 24】



【図 25】



フロントページの続き

(72)発明者 沼田 英夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 酒井 英夫

(56)参考文献 特開2000-144072(JP,A)

特開2002-222913(JP,A)

特開2004-072009(JP,A)

特開2003-124433(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18