



(12) 发明专利

(10) 授权公告号 CN 103229240 B

(45) 授权公告日 2015. 05. 20

(21) 申请号 201180056159. X

(22) 申请日 2011. 05. 03

(30) 优先权数据

61/416437 2010. 11. 23 US

(85) PCT国际申请进入国家阶段日

2013. 05. 22

(86) PCT国际申请的申请数据

PCT/CA2011/000528 2011. 05. 03

(87) PCT国际申请的公布数据

W02012/068664 EN 2012. 05. 31

(73) 专利权人 考文森智财管理公司

地址 加拿大安大略省

(72) 发明人 P·吉利厄姆

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

代理人 王勇

(51) Int. Cl.

G11C 5/14(2006. 01)

G11C 11/4074(2006. 01)

G11C 16/30(2006. 01)

(56) 对比文件

CN 1190262 A, 1998. 08. 12, 全文.

US 6031760 A, 2000. 02. 29, 全文.

JP 特开 2002-312306 A, 2002. 10. 25, 全文.

US 2008/0002490 A1, 2008. 01. 03, 全文.

JP 特开 2006-286048 A, 2006. 10. 19, 说明书第 0011-0051 段, 表 1、附图 1-2.

CN 101290896 A, 2008. 10. 22, 全文.

CN 1838409 A, 2006. 09. 27, 说明书第 2-3 页.

JP 特开 2006-286048 A, 2006. 10. 19, 说明书第 0011-0051 段, 表 1、附图 1-2.

审查员 吴卿

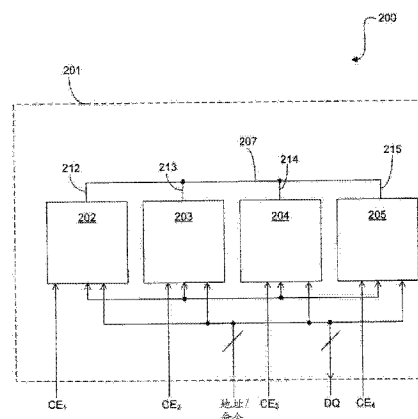
权利要求书3页 说明书4页 附图6页

(54) 发明名称

用于共享集成电路装置中的内部电源的方法和
和设备

(57) 摘要

本发明描述了用于共享集成电路装置中的内部电源的方法、系统和设备。包装(201)中包含多装置集成电路(200), 该多装置集成电路(200)包括多个集成电路(202-205), 每个集成电路具有内部电源。所描述的集成电路(202-205)示出了如何建立到内部电源的外部连接。连接(208-212)被提供给每个装置(202-205)的内部电源。系统的另一个实施例(500)提供由另一集成电路(501)禁用多个集成电路(502)、(503)和(504)中的调节器以降低功耗。所述方法包括提供装置并将内部电源连接在一起。本发明描述了具有适于所述系统和方法的电源(400)和用于禁用调节器(306)的附加电路(308)、(404)和(402)的集成电路(501)。



1. 一种多芯片封装,包括:

多个存储器装置,

每个存储器装置包括连接到内部电源电压端子的内部电源电压发生器,其中每个存储器装置的所述内部电源电压端子在所述多芯片封装内连接在一起,

其中所述内部电源电压发生器包括:

调节器,其连接到调节器输出端子、调节器输入端子和调节器使能端子;以及泵电路,其连接到所述调节器输入端子和所述调节器,

其中第一存储器装置的调节器使能端子在所述多芯片封装内连接到第一电压以用于使能所述第一存储器装置中的调节器,

第二存储器装置的调节器使能端子在所述多芯片封装内连接到第二电压以用于禁用所述第二存储器装置中的调节器,

所述第一存储器装置的调节器输出端子连接到第二存储器装置的调节器输入端子,并且

当所述第二存储器装置中的调节器被禁用时,通过所述第一存储器装置中的调节器来使能和控制所述第二存储器装置中的泵电路。

2. 一种用于构造多芯片封装的方法,包括步骤:提供多个存储器晶圆,其中每个存储器晶圆具有连接到内部电源电压端子的内部电源电压发生器;以及将每个存储器晶圆的内部电源电压端子在所述多芯片封装内连接在一起,

其中,所述内部电源电压发生器还包括:调节器,其连接到调节器输出端子、调节器输入端子和调节器使能端子;以及泵电路,其连接到所述调节器输入端子和所述调节器,

所述方法还包括如下步骤:

将第一存储器晶圆的调节器使能端子在所述多芯片封装内连接到第一电压以用于使能所述第一存储器晶圆中的调节器;

将第二存储器晶圆的调节器使能端子在所述多芯片封装内连接到第二电压以用于禁用所述第二存储器晶圆中的调节器;

将所述第一存储器晶圆的调节器输出端子连接到第二存储器晶圆的调节器输入端子;以及

当所述第二存储器晶圆中的调节器被禁用时,通过所述第一存储器晶圆中的调节器来使能和控制所述第二存储器晶圆中的泵电路。

3. 如权利要求2所述的用于构造多芯片封装的方法,其中所述存储器晶圆是 DRAM 晶圆。

4. 如权利要求3所述的用于构造多芯片封装的方法,其中所述内部电源电压发生器是字线电源电压发生器。

5. 如权利要求3所述的用于构造多芯片封装的方法,其中所述内部电源电压发生器是基底偏置电源电压发生器。

6. 如权利要求2所述的用于构造多芯片封装的方法,其中所述存储器晶圆是闪存存储器晶圆。

7. 如权利要求6所述的用于构造多芯片封装的方法,其中所述闪存存储器晶圆是 NAND 闪存晶圆。

8. 如权利要求 7 所述的用于构造多芯片封装的方法, 其中所述内部电源电压发生器是页面编程电源电压发生器。

9. 如权利要求 7 所述的用于构造多芯片封装的方法, 其中所述内部电源电压发生器是块擦除电源电压发生器。

10. 一种用于构造多芯片封装的方法, 包括步骤:

提供多个存储器装置, 其中每个存储器装置具有连接到内部电源电压端子的内部电源电压发生器; 以及

将每个存储器装置的内部电源电压端子在所述多芯片封装内连接在一起,

其中所述内部电源电压发生器包括: 连接到调节器输出端子、调节器输入端子和调节器使能端子的调节器; 以及泵电路, 其连接到所述调节器输入端子和所述调节器,

所述方法还包括步骤:

将第一存储器装置的调节器使能端子在所述多芯片封装内连接到第一电压以用于使能所述第一存储器装置中的调节器;

将第二存储器装置的调节器使能端子在所述多芯片封装内连接到第二电压以用于禁用所述第二存储器装置中的调节器;

将所述第一存储器装置的调节器输出端子连接到第二存储器装置的调节器输入端子; 以及

当所述第二存储器装置中的调节器被禁用时, 通过所述第一存储器装置中的调节器来使能和控制所述第二存储器装置中的泵电路。

11. 一种具有内部电源的集成电路装置, 其适配于与在共同封装中的至少一个其他类似集成电路装置共享所述内部电源, 所述集成电路装置还包括连接到内部电源电压端子的内部电源电压发生器,

其中, 所述内部电源电压端子连接到所述至少一个其他类似集成电路装置的内部电源,

所述内部电源电压发生器包括: 调节器, 其连接到调节器输出端子、调节器输入端子和调节器使能端子; 以及泵电路, 其连接到所述调节器输入端子和所述调节器,

所述调节器使能端子连接到第一电压以用于使能所述调节器,

所述调节器输出端子连接到所述至少一个其他类似集成电路装置的调节器输入端子, 以及

当所述调节器被禁用时, 通过所述至少一个其他类似集成电路装置的调节器来使能和控制所述泵电路。

12. 一种系统, 包括:

在多芯片封装中的多个存储器装置, 每个存储器装置还包括连接到内部电源电压端子的内部电源电压发生器, 其中每个存储器装置的所述内部电源电压端子在所述多芯片封装内连接在一起;

其中所述内部电源电压发生器还包括:

调节器, 其连接到调节器输出端子、调节器输入端子和调节器使能端子; 以及泵电路, 其连接到所述调节器输入端子和所述调节器,

其中第一存储器装置的调节器使能端子在所述多芯片封装内连接到第一电压以用于

使能所述第一存储器装置中的调节器,并且第二存储器装置的调节器使能端子在所述多芯片封装内连接到第二电压以用于禁用所述第二存储器装置中的调节器,

其中,所述第一存储器装置的调节器输出端子连接到所述第二存储器装置的调节器输入端子,并且,当所述第二存储器装置中的调节器被禁用时,通过所述第一存储器装置中的调节器来使能和控制所述第二存储器装置中的泵电路。

用于共享集成电路装置中的内部电源的方法和设备

技术领域

[0001] 本发明总地涉及集成电路装置,并且尤其涉及具有内部电源的集成电路装置。

背景技术

[0002] 诸如 DRAM (动态随机存取存储器)和闪存(电可擦除 / 可编程非易失性存储器)的集成电路装置通常针对不同操作需要多个电压来操作,该不同操作包括存储、读取和擦除数据。通过使用通常称作 V_{dd} 的外部供应的电压源来内部生成这些电压。

[0003] 传统的 DRAM 装置可具有: V_{pp} 电源,用于提供高电压以用于将字线驱动至高于存储器单元中所存储的 V_{dd} 电平的电平; $V_{dd}/2$ 电源,用于驱动单元基板达到中间轨电位(mid-rail potential);以及 V_{bb} 电源,用于向存储器单元基底提供负反向偏置电位。

[0004] 传统的 NAND 闪存装置可具有泵电路(pump circuit)用于生成: V_{pass} ,以在页面读取操作期间应用于所选块中的未选择的字线; V_{pgm} ,以在页面编程操作中应用于所选字线;以及 V_{ers} ,以在块擦除操作期间应用于所选块中的字线。

[0005] 这些内部电源电路占据了大量芯片面积并且增加了晶圆尺寸和成本,尤其在使用需要大的泵和储能电容器的电容式泵电路时会导致该问题。电源电路还可能限制性能。例如,在 NAND 闪存装置中,必须将 V_{pgm} 电压脉冲化,并且与验证读取操作交替地重复地将其施加至字线。对字线充电所花费的时间为每个编程 / 验证读取周期增加了开销并且可能延长编程时间参数 t_{prog} ,该程序时间参数是 NAND 闪存性能中的关键因素。

[0006] 在一些集成电路装置中,该集成电路装置例如是在 JEDEC (电子元件工业联合会)规范 JESD209-2B 中描述的 LPDDR2 (低功耗双倍数据传输率 2) DRAM,可在给定时间窗口内激活的存储体(bank)的数量取决于 t_{FAW} (四个存储体激活窗口), t_{FAW} 对于更高速度等级被指定为 50ns。尽管可在该时间段内将激活所有 8 个存储体的命令发给装置,但 t_{FAW} 限制通过强制用户在滚动 t_{FAW} 窗口内激活最多四个存储体,来约束对内部 V_{pp} 发生器的电流驱动需求,以及可能对其它内部电压发生器的电流驱动需求。该限制允许将 V_{pp} 发生器的尺寸从无限限制存储体激活所需要的尺寸进行减小,从而节约晶圆面积和成本。

[0007] 当结合多个存储器装置来提供更大的存储器子系统时,这些存储器装置通常连接到公用共享总线。在这种情况下,可能没有足够的命令带宽将所有装置运行到它们最大的能力。例如,在八个 LPDDR2DRAM 装置连接到在 400MHz 运行的共享命令总线的情况下,不可能在 50ns t_{FAW} 窗口内向每个装置发出四个存储体激活命令。一个命令需要时钟的两个边沿或 2.5ns。因此,至少一些装置将不会完全使用它们的内部 V_{pp} 发生器的能力。对于 DRAM 制造商而言,提供具有一定范围的内部电压发生器驱动能力以及优化的晶圆尺寸的不同形式的存储器产品是不切实际的。存储器产品制造商依靠大批量的标准化产品来降低成本。

发明内容

[0008] 本发明提供用于将多个集成电路的内部电压连接到一起的方法和设备。这允许共享使用其他闲置资源,其结果是得到更大的容量和减小的尺寸。本发明适于单个或多个电

压共享。所述设备包括集成电路,该集成电路具有从外部环境到内部电源的连接。另外的实施例提供了到数个内部电源的通路。所述方法包括使访问可用以及连接多个集成电路内部电压和控制的过程。

[0009] 另外的实施例允许一个集成电路控制另一类似集成电路的内部电源。这体现为禁用所控制的集成电路的电源中的调节器以得到减少的功耗和更有效的资源配置的能力。

[0010] 该系统包括多个连接到一起、共享电源的集成电路。

附图说明

[0011] 根据下文结合附图的详细描述,本发明的其他特征和优点将变得显而易见,其中:

[0012] 图 1 是传统的 MCP (多芯片封装) 包装(enclosure)的框图;

[0013] 图 2 是包含本发明的实施例的 MCP 包装的框图;

[0014] 图 3 是传统电源的框图;

[0015] 图 4 是适于本发明的第三实施例的可切换电源的框图;以及

[0016] 图 5 是包含本发明的第三实施例的 MCP 包装的另一个框图;以及

[0017] 图 6 是本发明的方法的流程图。

[0018] 注意,在所有的附图中,由相同的附图标记来标识相同的特征。

具体实施方式

[0019] 可以在单个基底上将存储器晶圆堆积和封装在一起以达到较高的容积效率。可用引线焊接或 TSV (Through Silicon Via, 硅通孔技术) 来实现封装中的存储器装置和封装上的端子之间的互连。2010 年 4 月 9 日提交的美国专利申请 12/757540 描述了用于堆栈式存储器装置的芯片选择和总线配置。与分散封装的存储器装置一样, MCP (多芯片封装) 包装内的多个晶圆通常连接到同一总线。

[0020] 参考图 1, 在传统配置中, 假定具有上文描述的 t_{FAW} 规范的 4 个 LPDDR DRAM 晶圆被一起封装在单个 MCP100 中。

[0021] 所有四个晶圆上的地址和命令输入被连线在一起, 且连接到 MCP 地址/命令端子。同样地, 双向数据总线端子(DQ)共同连接到每个晶圆。分离的芯片使能引脚($CE_1 \dots CE_4$)允许将命令指向 MCP 内的单个 LPDDR2 晶圆。没有具体显示时钟, 但该时钟被包括作为地址/命令和数据总线的一部分。还向所有四个晶圆共同提供电源(V_{dd} 、 V_{ss} 、 V_{ddq} 和 V_{ssq})。该配置与包括分离的单独封装的存储器装置的板级存储器子系统具有共同的缺点。每个晶圆中的存储体激活受 t_{FAW} 规范的限制, 并且超过了一定数量的晶圆, 就没有足够的命令带宽使每个晶圆受到 t_{FAW} 限制。

[0022] 参考图 2, 在发明的一个实施例 200 中, 假设具有 LPDDR2 功能的 4 个晶圆 202、203、204 和 205 (都具有与传统 MCP100 相同的 t_{FAW} 规范) 被一起封装在单个 MCP201 中。这些晶圆已通过添加引线焊盘或 TSV 泵连接 212、213、214 和 215 经由公用总线 207 分别变为内部 V_{pp} 电源。第二实施例以类似方式提供到诸如 V_{bb} 或 $V_{dd}/2$ 的其他内部电源的连接。结果可能是当所有晶圆 202、203、204 和 205 的电源并行时, 电路元件的尺寸减小。

[0023] 在 MCP 包装或封装内, 每个晶圆 202、203、204 和 205 的内部 V_{pp} 电源节点 212、213、

214 和 215 一起连线到总线 207。假设每个晶圆 202、203、204 和 205 能够在 $50\text{ns } t_{\text{FAW}}$ 窗口内提供足够的 V_{pp} 电流来激活 4 个存储体,则无论 16 个存储体在四个晶圆之间如何分布,四个晶圆的堆叠 200 都可以在 t_{FAW} 窗口内支持该 16 个存储体的激活。这可以使得不需要为更大的内部电源补偿额外的晶圆面积,就能引起性能的显著提高。

[0024] 图 3 是传统的 V_{pp} 泵电路 300 的框图。电容式泵电路从 V_{dd} 电源取得电流并且将电平增大到高于 V_{dd} 的电位。该电路的简单形式能够实现接近于双倍 V_{dd} 电平的 V_{pp} 电平。本领域中已知一些更复杂的电路,用于实现高于 $2 \times V_{\text{dd}}$ 的电压电平。 V_{bb} 泵(未示出)具有类似结构。

[0025] 振荡器 302 生成时钟信号以控制电容式泵 304。在每个时钟周期中,一些电荷被传送到输出端(output)以提高 V_{pp} 电平。通常将储能电容器连接到该输出端,用于保持电荷并且衰减由于在每个时钟周期转储电荷所导致的电压阶跃(voltage step),该电容器可变得相当大并且在集成电路芯片上占据大量空间。调节器 306 感应 V_{pp} 的电平以确定 V_{pp} 什么时候达到期望电平。当 V_{pp} 达到期望电平时,调节器 306 的输出变低从而禁用振荡器 302 和泵 304。可根据 EN 输入信号来使能或禁用 V_{pp} 电源。在深度断电(deep power down)模式下,当不需要维护存储器中的数据时,可降低 EN 输入信号以直接禁用调节器 306 并且用与(AND)门 308 关闭振荡器 302 和泵 304。在 V_{pp} 电平低于期望电平时的操作中,所有三个块 302、304 和 306 消耗电能。当 V_{pp} 已经达到期望电平时,只有调节器 306 消耗电能。在深度断电模式下,由 EN 输入信号来完全关闭调节器 306 以节省电能。

[0026] 在第三实施例中,仅使能一个晶圆中的调节器,而禁用其余的调节器。这样可以在自动刷新数据存储模式下显著减少电能,这在诸如蜂窝电话的手持便携式装置中尤其重要。

[0027] 图 4 是适于本发明的第三实施例的可切换电源 400 的框图。 V_{pp} 电源 400 具有额外的输入 EN_{R} 407 来使能调节器 306。如果 EN_{R} 407 处于高电平(1),则该电路与图 3 的 V_{pp} 电源的功能相同。在该实施例中,可通过 EN_{R} 输入 407 上的低电平信号(0)来禁用调节器 306。输入 EN_{R} 407 连接到与门 402 上的一个输入,当 EN_{R} 上是信号(0)时,其结果是禁用调节器 306。此外,外部提供的调节器输入 R_{IN} 406 通过多路复用器 404 连接到控制振荡器 302 和泵 304。 V_{pp} 电源 400 还在 R_{OUT} 端子 408 上提供本地调节器输出。

[0028] 参考图 5,示出了包含图 4 的电源的本发明的第三实施例。如图 1 中,每个晶圆 501、502、503 和 504 的内部 V_{pp} 电源节点 212、213、214 和 215 一起线连接到 MCP500 中的总线 207。然而在该实施例中,作为施加到 EN_{R} 输入 512 的逻辑高(1) 511 或 V_{dd} 电平的结果,LPDDR2 晶圆 #1501 具有所使能的调节器;而作为分别施加到线 521、531 和 541 的逻辑低(0)或施加到相应的 EN_{R} 输入 522、532 和 542 的 V_{ss} 电平的结果,LPDDR2 晶圆 #2502、#3503 和 #4504 具有禁用的调节器。晶圆 #1 上的调节器输出 R_{OUT} 513 分别连接到晶圆 #2502、#3503 和 #4504 上的调节器输入 523、533 和 543。作为结果,仅使能 MCP500 内的一个调节器(LPDDR2 晶圆 #1501 上的调节器)并且降低了功耗。如前所述,如同在短时期内激活多个存储体,可在必要时激活晶圆 501、502、503 和 504 上的所有 V_{pp} 泵以满足对 V_{pp} 的电流驱动需求。还可以将该技术应用于 MCP DRAM 中的其他电源,如 V_{bb} 基底偏置电源。还可以将其应用于 MCP 配置中的 NAND 闪存装置上的内部电源,如 V_{prog} 或 V_{ers} 电荷泵。

[0029] 可将诸如 V_{pp} 的泵式电源结合在一起而不会出现问题。在每个装置具有其自己的

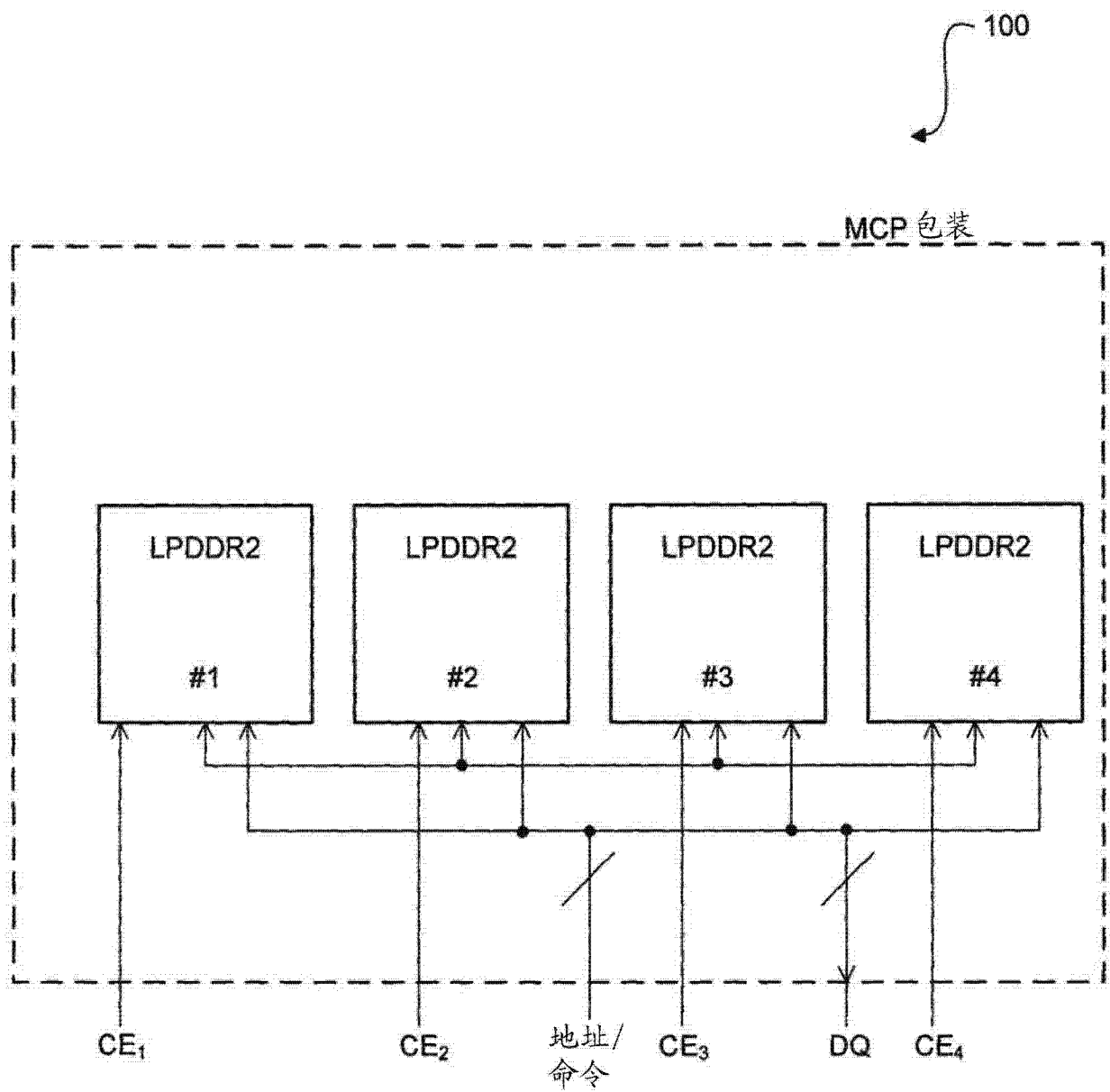
所使能的调节器的情况下,由于装置与装置不同,因而每个调节器可以以稍微不同的电压来禁用泵。实质上,具有最高阈值的调节器将确定组合系统的整体 V_{pp} 电平。因为 V_{pp} 电源中的调节器通常不排除多余的电荷来建立刚好在阈值点的电压,所以由于调节器阈值电平中具有一些变化而不会浪费电能。

[0030] 图 6 是本发明的方法的流程图。如上所述,第一步提供连接到内部电源的各个存储装置上的端子。在现有装置中,其他元件不能访问这些连接。如所述,本方法将用于与诸如 DRAM、包括 NAND 闪存、NOR 闪存的闪存存储器、PCRAM(相变随机存取存储器)以及包括内部电源的任何存储元件的多种装置。

[0031] 下一步将装置的端子连接在一起以允许装置共享电源。可继续相同的过程来连接例如 MCP DRAM 的存储器装置中的其他内部电源,诸如 V_{bb} 基底偏置电源。该过程还可以应用于 MCP 配置中的 NAND 闪存装置上的内部电源,诸如 V_{prog} 或 V_{ers} 电荷泵。

[0032] 在其内部电源中具有内部调节器的装置中继续该过程。在这样的情况下,该装置可以设置有调节器输入和/或调节器输出连接。第一装置的调节器输出连接被连接到至少一个且经常是数个装置的调节器输入。如上所述,这允许第一装置关闭和打开其他装置的调节器以节省功率并且减少热堆积。

[0033] 尽管附图仅示出了 V_{pp} 电源的共享,但可在 MCP 包装内共享内部电源的任何组合或所有内部电源以提高性能,降低功耗,并且优化每个单个晶圆内的晶圆面积。可将这些技术应用于 DRAM、包括 NAND 闪存和 NOR 闪存的闪存存储器、以及诸如 PCRAM(相变随机存取存储器)和其他新兴存储器技术的其他形式的存储器。



现有技术

图 1

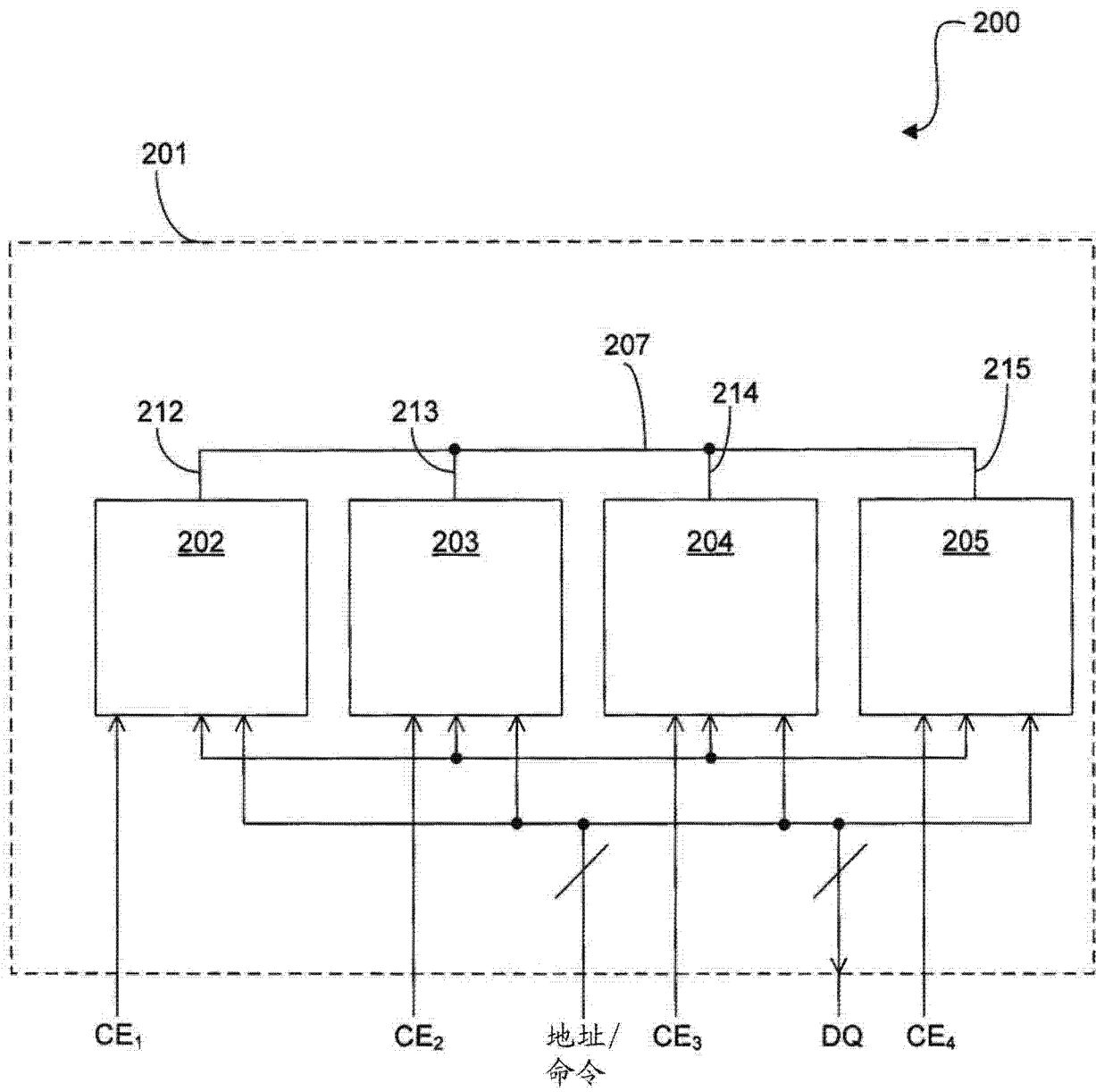
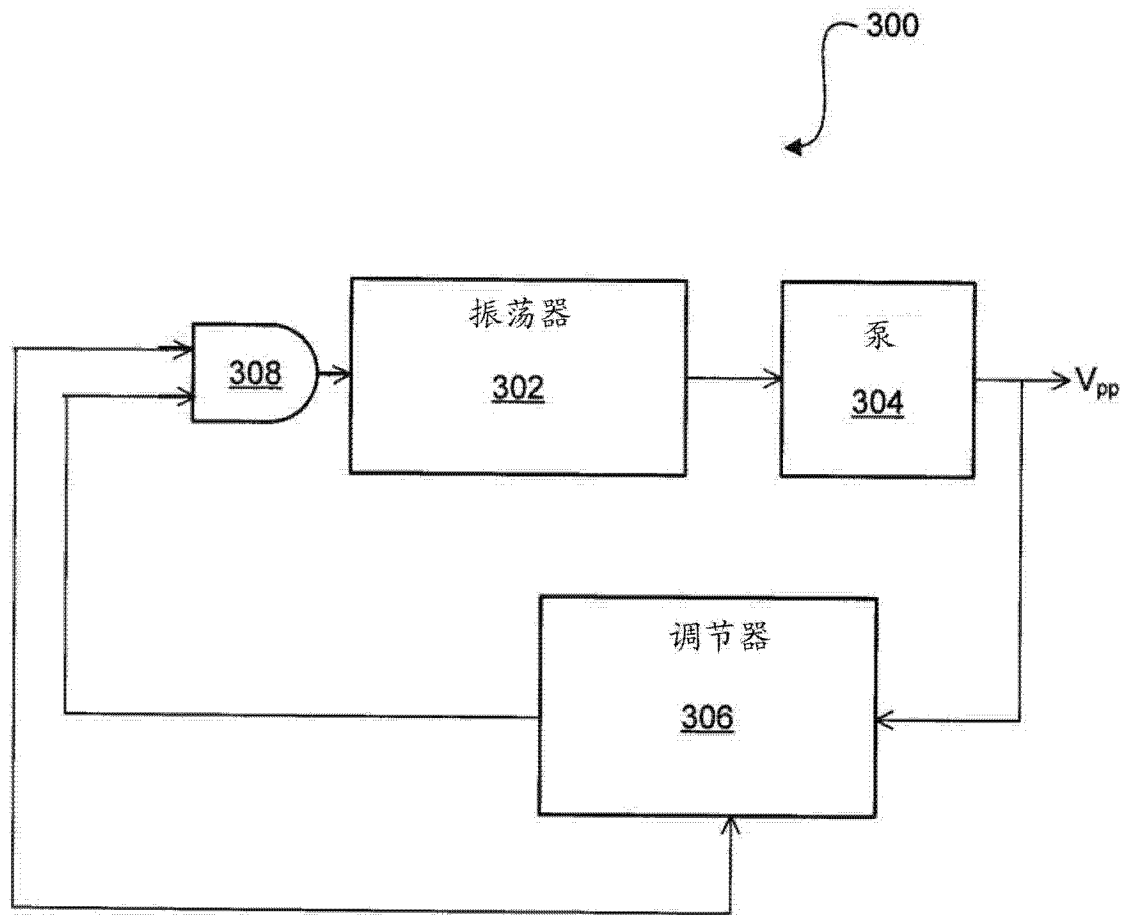


图 2



现有技术

图 3

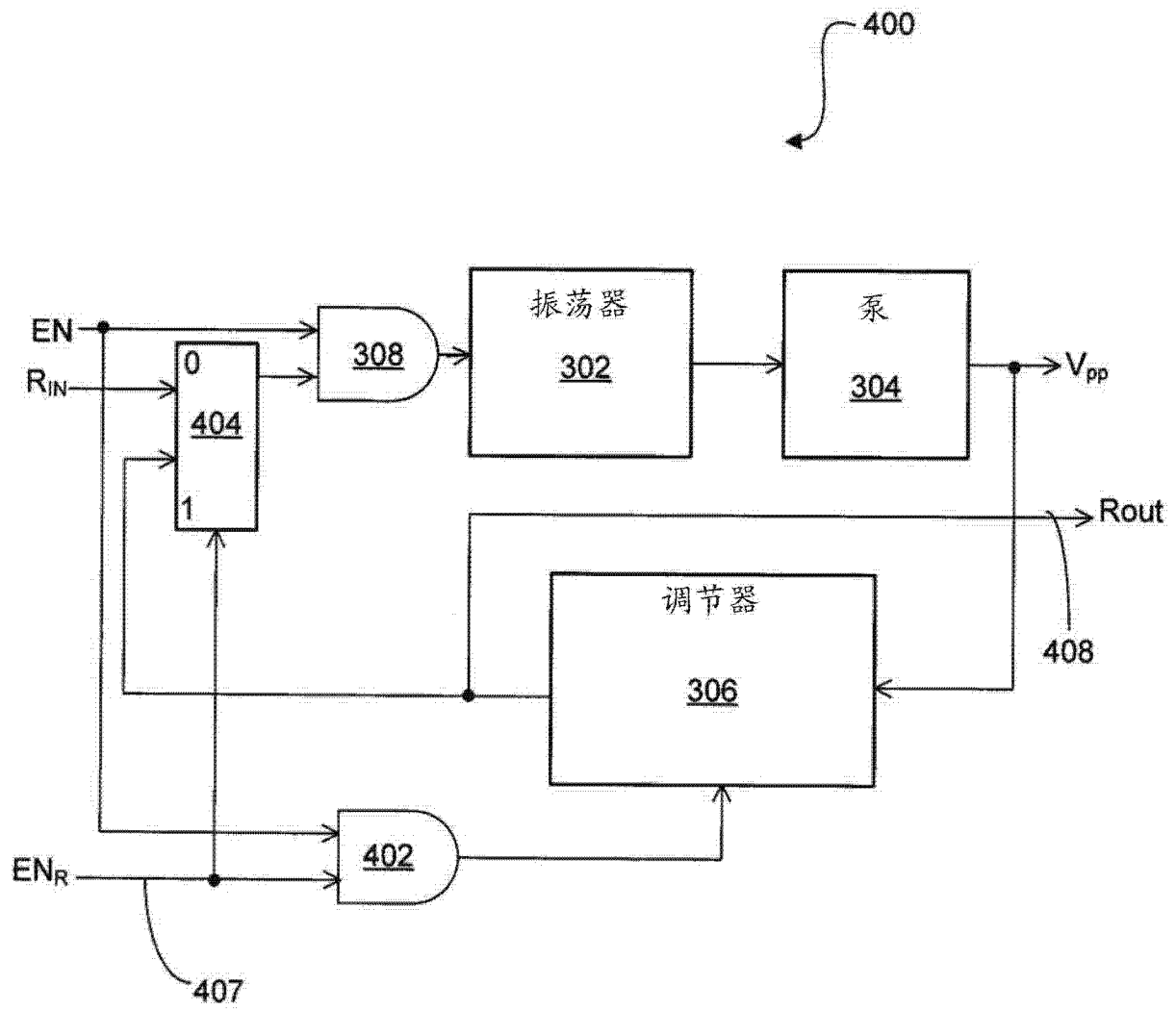


图 4

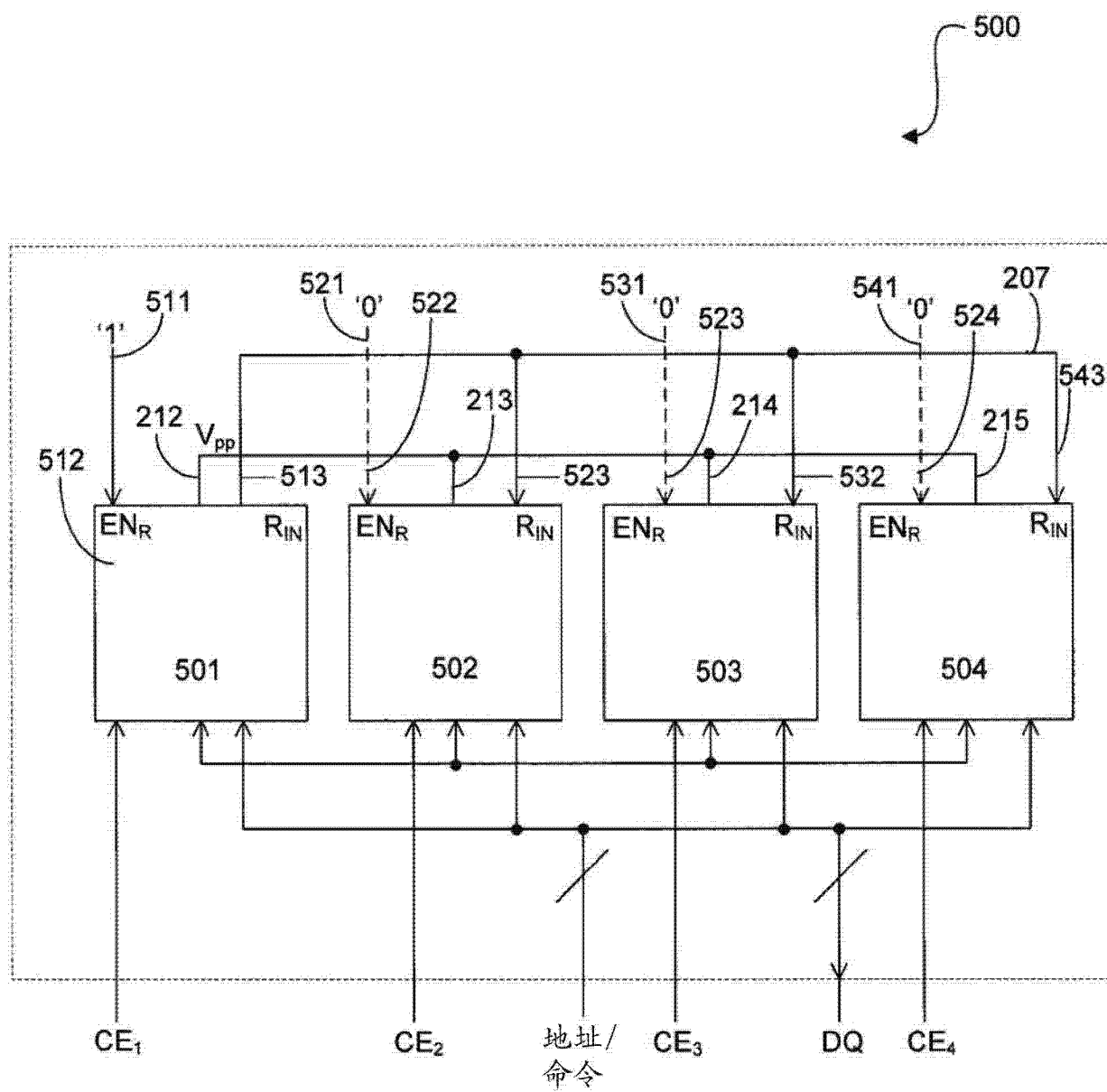


图 5

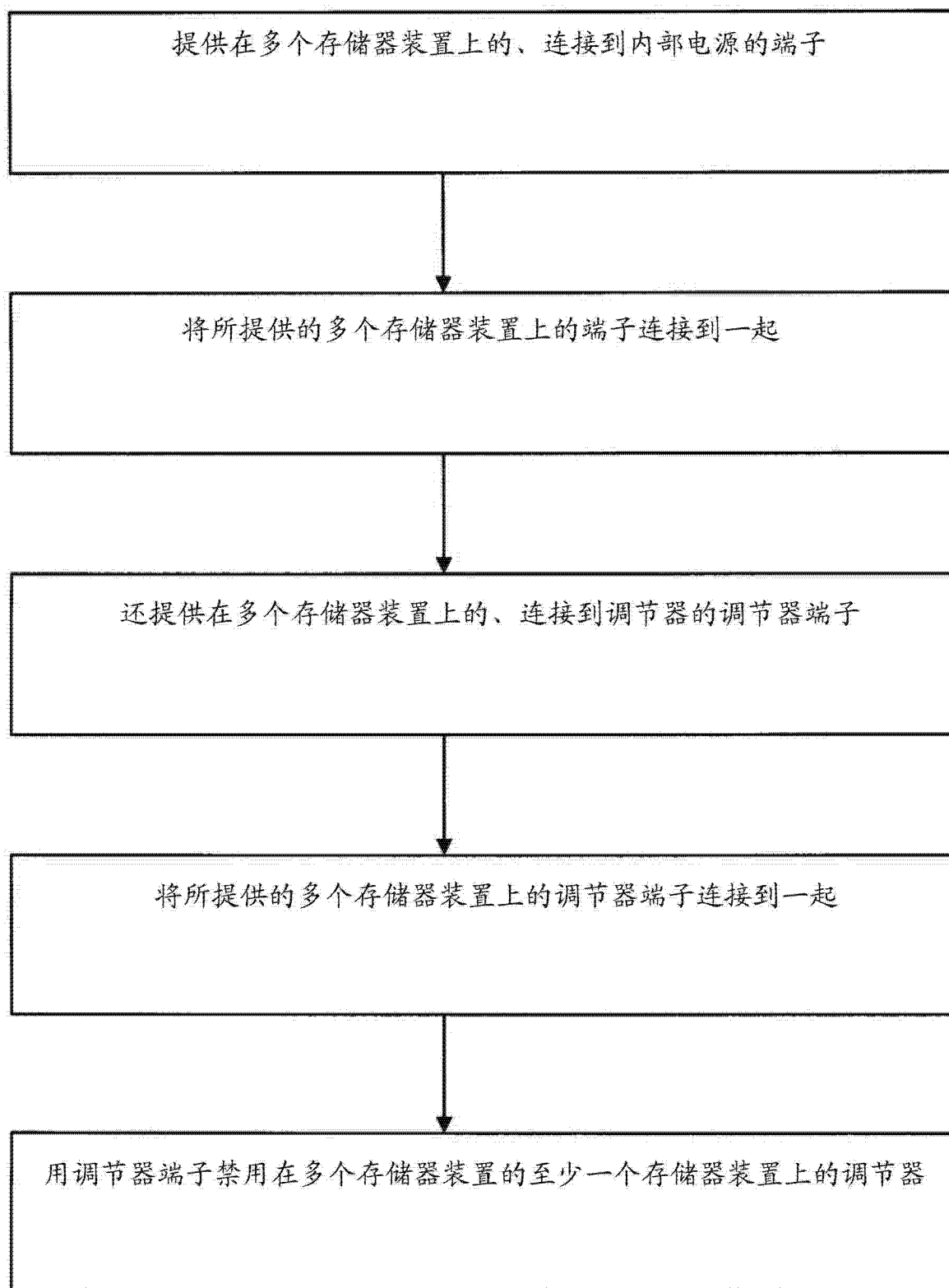


图 6