

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月8日(08.08.2024)



(10) 国際公開番号

WO 2024/162015 A1

- (51) 国際特許分類:
G06V 10/82 (2022.01) H04N 23/60 (2023.01)
G06T 7/00 (2017.01) H04N 25/70 (2023.01)
- (21) 国際出願番号: PCT/JP2024/001199
- (22) 国際出願日: 2024年1月18日(18.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-015027 2023年2月3日(03.02.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

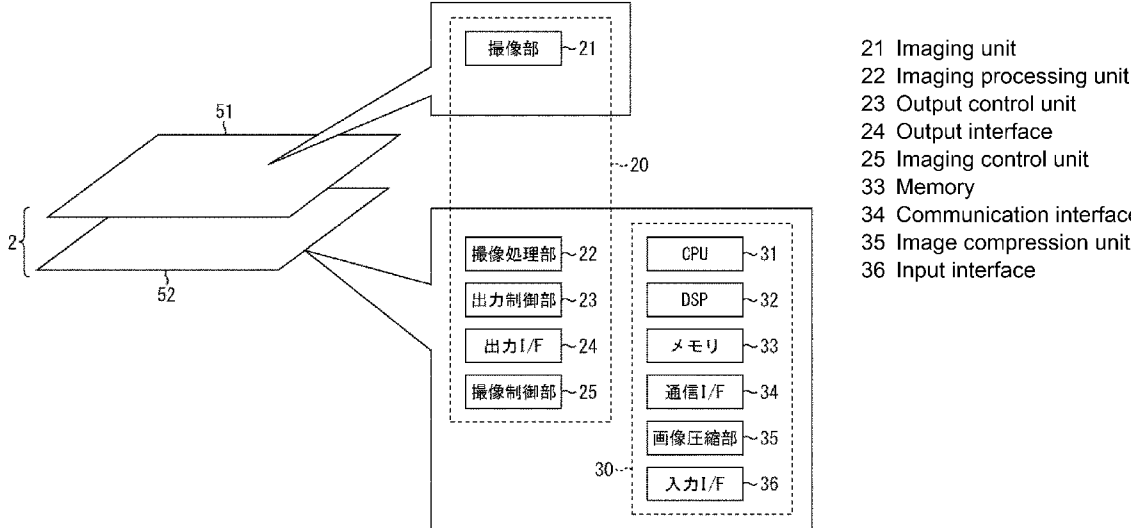
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 松田 航平 (MATSUDA Kohei); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 半澤 克彦(HANZAWA Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 榎原 雅樹(SAKAKIBARA Masaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 加藤 昭彦(KATO Akihiko); 〒2430014 神奈川県厚木市旭町四丁目14

(54) Title: IMAGING DEVICE, DATA PROCESSING METHOD, AND RECORDING MEDIUM

(54) 発明の名称: 撮像装置、データ処理方法、及び、記録媒体

【図3】



(57) Abstract: The present technology relates to an imaging device, a data processing method, and a recording medium with which it is possible to increase information security in an imaging device incorporating a processing circuit that performs an inference process. An image is captured, an inference process is performed using the captured image as an input, and a training process for an inference model that is used in the inference process is performed.

(57) 要約: 本技術は、推論処理を行う処理回路が内蔵された撮像装置の情報セキュリティを向上させるようにすることができる撮像装置、データ処理方法、及び、記録媒体に関する。画像が撮像され、撮像した撮像画像を入力とした推論処理が行われ、前記推論処理に用いられる推論モデルの学習処理が行われる。

番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 西 川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋 3 丁目 9 番 1 0 号 池袋 F N ビル 4 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 撮像装置、データ処理方法、及び、記録媒体

技術分野

[0001] 本技術は、撮像装置、データ処理方法、及び、記録媒体に関し、推論処理を行う処理回路が内蔵された撮像装置の情報セキュリティを向上させるようにした撮像装置、データ処理方法、及び、記録媒体に関する。

背景技術

[0002] 特許文献1ないし4には、撮像素子より得られた画像に対して推論処理により補完画像の生成や、画像認識処理等を1チップ内で行う技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-004358号公報
特許文献2：特開2020-039123号公報
特許文献3：特開2020-182219号公報
特許文献4：特開2021-064882号公報

発明の概要

発明が解決しようとする課題

[0004] 撮像素子等の経年変化や性能向上等のため、推論処理のプログラム（パラメータ等）のデータに外部からアクセスすることが可能であり、プログラムが改竄されたり、データが盗まれる等のリスクがある。

[0005] 本技術はこのような状況に鑑みてなされたものであり、推論処理を行う処理回路が内蔵された撮像装置の情報セキュリティを向上させるようにする。

課題を解決するための手段

[0006] 本技術の第1の側面の撮像装置、または記録媒体は、画像を撮像する撮像部と、一体化されたチップに前記撮像部とともに搭載された処理部であって、前記撮像部が撮像した撮像画像を入力とした推論処理を行う処理部とを有

し、前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う撮像装置、又は、そのような処理部として、コンピュータを機能させるためのプログラムが記録された記録媒体である。

[0007] 本技術のデータ処理方法は、撮像部と、一体化されたチップに前記撮像部とともに搭載された処理部とを有するデータ処理装置の前記撮像部が、画像を撮像し、前記処理部が、前記撮像部が撮像した撮像画像を入力とした推論処理を行い、かつ、前記推論処理に用いられる推論モデルの学習処理を行うデータ処理方法である。

[0008] 本技術の第1の側面の撮像装置、データ処理方法、および記録媒体においては、画像が撮像され、撮像した撮像画像を入力とした推論処理が行われ、前記推論処理に用いられる推論モデルの学習処理が行われる。

[0009] 本技術の第2の側面の撮像装置は、画像を撮像する撮像部と、推論処理を行う処理部とを有し、前記処理部は、素子の特性を示す素子特性値を入力として前記推論処理を行う撮像装置である。

[0010] 本技術の第2の側面の撮像装置においては、画像が撮像され、素子の特性を示す素子特性値が入力として推論処理が行われる。

図面の簡単な説明

[0011] [図1]本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[図2]図1の撮像装置の基本的構成例を示すブロック図である。

[図3]図1の撮像装置の外観構成例の概要を示す斜視図である。

[図4]図1の撮像装置の外観構成例の概要を示す斜視図である。

[図5]図1の撮像装置の外観構成例の概要を示す斜視図である。

[図6]撮像装置におけるDNN処理についての説明図である。

[図7]DNN処理による回路設定値の更新処理に関するログの一例を示した図である。

[図8]本技術が適用された撮像装置の実施の形態の構成例を示したブロック図である。

[図9]撮像装置の他の実施の形態の構成例を示したブロック図である。

[図10]撮像装置の積層型センサとしての回路構成例を示した図である。

[図11]撮像画像を入力として物体検出を行う推論モデルの推論処理の手順例を示したフローチャートである。

[図12]撮像画像を入力とする推論モデルの学習処理の手順例を示したフローチャートである。

[図13]内部素子特性を入力として回路設定値をフィードバックする推論モデルの入出力データに関して説明する図である。

[図14]内部素子特性を入力として回路設定値を出力する推論モデルの推論処理の手順例を示したフローチャートである。

[図15]内部素子特性を入力として回路設定値をフィードバックする推論モデルの学習時の入出力データに関して説明する図である。

[図16]内部素子特性を入力とする推論モデルの学習処理の手順例を示したフローチャートである。

[図17]撮像画像および内部素子特性を入力として物体検出を行う推論モデルの推論モデルの入出力データに関して説明する図である。

[図18]撮像画像および内部素子特性を入力として物体検出を行う推論モデルの推論処理の手順例を示したフローチャートである。

[図19]撮像画像および内部素子特性を入力として画像認識を行う推論モデルの学習時の入出力データに関して説明する図である。

[図20]撮像画像および内部素子特性を入力として画像認識を行う推論モデルの学習処理の手順例を示したフローチャートである。

[図21]撮像画像に含まれる物体検出する推論処理において、推論結果から学習タイミングを判断する処理の手順例を示したフローチャートである。

[図22]設置環境（配置環境）の変化を検出して学習タイミングを判断する処理の手順例を示した図である。

[図23]本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

発明を実施するための形態

[0012] 以下、図面を参照しながら本技術の実施の形態について説明する。

[0013] <<本技術の背景>>

スマートフォンや監視カメラ等のデバイスにおいて、イメージセンサで取得された画像に対して、機械学習技術を用いて物体検出や認識処理等の推論処理を行う機能を持つものが多く発売されている。また、より発展的な機能として、取得された画像を用いて、対象の推論モデルの学習を行うものも学会等で多く提案がなされている。

[0014] 推論モデルの学習を行うためには、推論処理と比較して多くの演算量が必要になるため、イメージセンサとは別のクラウド環境を用いて、デバイス側と通信を行いつつ、学習処理を行うことが一般的である。しかし、このようなシステムでは、外部のセキュリティが確保されていない通信経路において、悪意ある攻撃者から画像を盗聴されたり、改竄されたりするセキュリティ上のリスクが存在する。これに対する、より発展的な対策として、AIプロセッサを同一基板上に実装し、エッジデバイス内で学習処理を完結させるものがある。

[0015] しかし、前述のような同一基板上の実装でも、基板上のワイヤラインへの直接プロービング攻撃のリスクが存在する。これを避けるために、構成要素となるとデバイスを、1チップに積層化することを考える。しかし、このようなデバイスは構成要素が複雑であり、設計段階において撮像特性やデバイスの信頼性を正確にシミュレートすることは困難であった。また、量産されているデバイスにおいて、様々な素子特性を、生産時に個別にチューニングすることは、現実的には難しいことも分かった。加えて、経年劣化に伴う特性の変化もあり、特に有機センサ等では大きな課題であった。上記の課題を解決に向け、製品製造時から長期間の使用後においても、変化しない撮像特性・機能を提供するために、チップ自身で自身の特性を把握し、チューニングする手法が必要となる。

[0016] <<本技術の概要>>

近年のイメージセンサにおいては有機膜の活用や、MRAM (Magnetoresistive Random Access Memory : 磁気抵抗メモリ) 等の新規不揮発メモリデバイスの活用が進んでいる。これらのデバイスにおいて、製造時の特性ばらつきの補正や、使用中の特性変化への対応が課題となる。

[0017] 本技術では、機械学習技術を用いて、センサデバイス上で取得される各素子特性値や環境情報(電圧・電流・温度等)から、デバイスの異常を検出したり、対象となるデバイスにおいて最適な制御を実現するための回路設定値をフィードバックするイメージセンサ(撮像装置)を示す。

[0018] 本技術が適用された撮像装置は、画素部、センサ制御回路、AI処理回路、及びメモリデバイスを有する。撮像装置には、これらの画素部、センサ制御回路、メモリデバイスに対して、素子特性値を取得するためのモニタ回路が搭載され、モニタ回路の出力値がAI処理回路へ供給される。AI処理部は、モニタ回路の出力値等からデバイスの異常や、最適な回路設定値等を推論処理により検出する。

[0019] また、撮像装置の画素部、センサ制御回路、AI処理回路、及びメモリデバイスは、積層チップに設けることができる。この場合、撮像装置内の通信経路が外部から遮蔽されるので、セキュリティが確保され、悪意ある攻撃者から画像を盗聴されたり、改竄されたりするセキュリティ上のリスクが低減され、情報セキュリティが向上する。

[0020] AI処理回路においては、下記の6つの処理を行うことが出来る。なお、ここでの学習処理は「推論モデルの係数更新処理」を指す。

- (1) 撮像画像に対する推論処理
- (2) 撮像画像を用いた学習処理
- (3) 内部素子特性に対する推論処理
- (4) 内部素子特性を用いた学習処理
- (5) 撮像画像と内部素子特性の両方に対する推論処理
- (6) 撮像画像と内部素子特性の両方を用いた学習処理

[0021] <<本技術が適用されたデジタルカメラの構成例>>

＜本技術が適用されたデジタルカメラの一実施の形態＞

- [0022] 図1は、本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。なお、デジタルカメラは、静止画、及び、動画のいずれも撮像することができる。図1において、デジタルカメラは、光学系1、撮像装置2、メモリ3、信号処理部4、出力部5、及び、制御部6を有する。
- [0023] 光学系1は、例えば、図示せぬズームレンズや、フォーカスレンズ、絞り等を有し、外部からの光を、撮像装置2に入射させる。
- [0024] 撮像装置2は、例えば、1チップで構成されるCMOS(Complementary Metal Oxide Semiconductor)イメージセンサであり、光学系1からの入射光を受光し、光電変換を行って、光学系1からの入射光に対応する画像データを出力する。
- [0025] また、撮像装置2は、画像データ等を用いて、例えば、所定の認識対象を認識する認識処理等のAI(Artificial Intelligence: 人工知能)処理、その他の信号処理を行い、その信号処理の信号処理結果を出力する。
- [0026] メモリ3は、撮像装置2が出力する画像データ等を一時記憶する。
- [0027] 信号処理部4は、メモリ3に記憶された画像データを用いたカメラ信号処理としての、例えば、ノイズの除去や、ホワイトバランスの調整等の処理を必要に応じて行い、出力部5に供給する。なお、メモリ3および信号処理部4が実施する処理の一部または全ては、撮像装置2が有するメモリおよび信号処理部が実施してもよい。
- [0028] 出力部5は、信号処理部4からの画像データやメモリ3に記憶された信号処理結果を出力する。すなわち、出力部5は、例えば、液晶等で構成されるディスプレイ(図示せず)を有し、信号処理部4からの画像データに対応する画像を、いわゆるスルー画として表示する。
- [0029] また、出力部5は、例えば、半導体メモリや、磁気ディスク、光ディスク等の記録媒体を駆動するドライバ(図示せず)を有し、信号処理部4からの画像データやメモリ3に記憶された信号処理結果を記録媒体に記録する。
- [0030] さらに、出力部5は、例えば、外部の装置との間でデータ伝送を行うI/F(I

nterface)として機能し、信号処理部4からの画像データや、記録媒体に記録された画像データ等を、外部の装置に伝送する。

[0031] 制御部6は、ユーザの操作等に従い、デジタルカメラを構成する各ブロックを制御する。

[0032] 以上のように構成されるデジタルカメラでは、撮像装置2が、画像を撮像する。すなわち、撮像装置2は、光学系1からの入射光を受光して光電変換を行い、その入射光に応じた画像データを取得して出力する。

[0033] 撮像装置2が出力する画像データは、メモリ3に供給されて記憶される。メモリ3に記憶された画像データについては、信号処理部4によるカメラ信号処理が施され、その結果得られる画像データは、出力部5に供給されて出力される。

[0034] また、撮像装置2は、撮像によって得られた画像（データ）等を用いて、信号処理を行い、その信号処理の信号処理結果を出力する。撮像装置2が出力する信号処理結果は、例えば、メモリ3に記憶される。

[0035] 撮像装置2では、撮像によって得られた画像そのものの出力、及び、その画像等を用いた信号処理の信号処理結果の出力は、選択的に行われる。

[0036] <撮像装置2の基本的構成例>

図2は、図1の撮像装置2の基本的構成例を示すブロック図である。図2において、撮像装置2は、撮像ブロック20及び信号処理ブロック30を有する。撮像ブロック20と信号処理ブロック30とは、接続線（内部バス）CL1、CL2、及び、CL3によって電氣的に接続されている。

[0037] 撮像ブロック20は、撮像部21、撮像処理部22、出力制御部23、出力I/F(Interface)24、及び、撮像制御部25を有し、画像を撮像する。

[0038] 撮像部21は、複数の画素が2次元に並んで構成される。撮像部21は、撮像処理部22によって駆動され、画像を撮像する。すなわち、撮像部21には、光学系1（図1）からの光が入射する。撮像部21は、各画素において、光学系1からの入射光を受光し、光電変換を行って、入射光に対応するアナログの画像信号を出力する。なお、撮像部21が出力する画像（信号）

のサイズは、例えば、12M (3968×2976) ピクセルや、VGA(Video Graphics Array)サイズ (640×480ピクセル) 等の複数のサイズの中から選択することができる。

[0039] また、撮像部21が出力する画像については、例えば、RGB (赤、緑、青) のカラー画像とするか、又は、輝度のみの白黒画像とするかを選択することができる。これらの選択は、撮影モードの設定の一種として行うことができる。

[0040] 撮像処理部22は、撮像制御部25の制御に従い、撮像部21の駆動や、撮像部21が出力するアナログの画像信号のAD(Analog to Digital)変換、撮像信号処理等の、撮像部21での画像の撮像に関連する撮像処理を行う。

[0041] ここで、撮像信号処理としては、例えば、撮像部21が出力する画像について、所定の小領域ごとに、画素値の平均値を演算すること等により、小領域ごとの明るさを求める処理や、撮像部21が出力する画像を、HDR(High Dynamic Range)画像に変換する処理、欠陥補正、現像等がある。

[0042] 撮像処理部22は、撮像部21が出力するアナログの画像信号のAD変換等によって得られるデジタルの画像信号（ここでは、例えば、12Mピクセル又はVGAサイズの画像）を、撮像画像として出力する。撮像処理部22が出力する撮像画像は、出力制御部23に供給されるとともに、接続線CL2を介して、信号処理ブロック30の画像圧縮部35に供給される。

[0043] 出力制御部23には、撮像処理部22から撮像画像が供給される他、信号処理ブロック30から、接続線CL3を介して、撮像画像等を用いた信号処理の信号処理結果が供給される。

[0044] 出力制御部23は、撮像処理部22からの撮像画像、及び、信号処理ブロック30からの信号処理結果を、(1つの)出力I/F24から外部（例えば、図1のメモリ3等）に選択的に出力させる出力制御を行う。すなわち、出力制御部23は、撮像処理部22からの撮像画像、又は、信号処理ブロック30からの信号処理結果を選択し、出力I/F24に供給する。

[0045] 出力I/F24は、出力制御部23から供給される撮像画像、及び、信号処理

結果を外部に出力するI/Fである。出力I/F 24としては、例えば、MIPI（登録商標）（Mobile Industry Processor Interface）等の比較的高速なパラレルI/F等を採用することができる。出力I/F 24では、出力制御部23の出力制御に応じて、撮像処理部22からの撮像画像、又は、信号処理ブロック30からの信号処理結果が、外部に出力される。したがって、例えば、外部において、信号処理ブロック30からの信号処理結果だけが必要であり、撮像画像そのものが必要でない場合には、信号処理結果だけを出力することができる、出力I/F 24から外部に出力するデータ量を削減することができる。

[0046] また、信号処理ブロック30において、外部で必要とする信号処理結果が得られる信号処理を行い、その信号処理結果を、出力I/F 24から出力することにより、外部で信号処理を行う必要がなくなり、外部のブロックの負荷を軽減することができる。

[0047] 撮像制御部25は、通信I/F 26及びレジスタ群27を有する。通信I/F 26は、例えば、I2C(Inter-Integrated Circuit)等のシリアル通信I/F等の第1の通信I/Fであり、外部（例えば、図1の制御部6等）との間で、レジスタ群27群に読み書きする情報等の必要な情報のやりとりを行う。

[0048] レジスタ群27は、複数のレジスタを有し、撮像部21での画像の撮像に関連する撮像情報、その他の各種情報を記憶する。例えば、レジスタ群27は、通信I/F 26において外部から受信された撮像情報や、撮像処理部22での撮像信号処理の結果（例えば、撮像画像の小領域ごとの明るさ等）を記憶する。

[0049] レジスタ群27に記憶される撮像情報としては、例えば、ISO感度（撮像処理部22でのAD変換時のアナログゲイン）や、露光時間（シャッタースピード）、フレームレート、フォーカス、撮影モード、切り出し範囲等（を表す情報）がある。

[0050] 撮影モードには、例えば、露光時間やフレームレート等が手動で設定される手動モードと、シーンに応じて自動的に設定される自動モードとがある。自動モードには、例えば、夜景や、人の顔等の各種の撮影シーンに応じたモ

ードがある。

[0051] また、切り出し範囲とは、撮像処理部 2 2 において、撮像部 2 1 が出力する画像の一部を切り出して、撮像画像として出力する場合に、撮像部 2 1 が出力する画像から切り出す範囲を表す。切り出し範囲の指定によって、例えば、撮像部 2 1 が出力する画像から、人が映っている範囲だけを切り出すこと等が可能になる。なお、画像の切り出しとしては、撮像部 2 1 が出力する画像から切り出す方法の他、撮像部 2 1 から、切り出し範囲の画像（信号）だけを読み出す方法がある。

[0052] 撮像制御部 2 5 は、レジスタ群 2 7 に記憶された撮像情報に従って、撮像処理部 2 2 を制御し、これにより、撮像部 2 1 での画像の撮像を制御する。なお、レジスタ群 2 7 は、撮像情報や、撮像処理部 2 2 での撮像信号処理の結果の他、出力制御部 2 3 での出力制御に関する出力制御情報を記憶することができる。出力制御部 2 3 は、レジスタ群 2 7 に記憶された出力制御情報に従って、撮像画像及び信号処理結果を選択的に出力させる出力制御を行うことができる。

[0053] また、撮像装置 2 では、撮像制御部 2 5 と、信号処理ブロック 3 0 の CPU 3 1 とは、接続線 CL1 を介して、接続されており、CPU 3 1 は、接続線 CL1 を介して、レジスタ群 2 7 に対して、情報の読み書きを行うことができる。すなわち、撮像装置 2 では、レジスタ群 2 7 に対する情報の読み書きは、通信 I/F 2 6 から行う他、CPU 3 1 からも行うことができる。

[0054] 信号処理ブロック 3 0 は、CPU (Central Processing Unit) 3 1、DSP (Digital Signal Processor) 3 2、メモリ 3 3、通信 I/F 3 4、画像圧縮部 3 5、および、入力 I/F 3 6 を有し、撮像ブロック 1 0 で得られた撮像画像等を用いて、所定の信号処理を行う。信号処理ブロック 3 0 を構成する CPU 3 1 ないし入力 I/F 3 6 は、相互にバスを介して接続され、必要に応じて、情報のやりとりを行うことができる。

[0055] CPU 3 1 は、メモリ 3 3 に記憶されたプログラムを実行することで、信号処理ブロック 3 0 の制御、接続線 CL1 を介しての、撮像制御部 2 5 のレジスタ群

27への情報の読み書き、その他の各種の処理を行う。例えば、CPU31は、プログラムを実行することにより、DSP32での信号処理により得られる信号処理結果を用いて、撮像情報を算出する撮像情報算出部として機能し、信号処理結果を用いて算出した新たな撮像情報を、接続線CL1を介して、撮像制御部25のレジスタ群27にフィードバックして記憶させる。したがって、CPU31は、結果として、撮像画像の信号処理結果に応じて、撮像部21での撮像や、撮像処理部22での撮像信号処理を制御することができる。

[0056] また、CPU31がレジスタ群27に記憶させた撮像情報は、通信I/F26から外部に提供（出力）することができる。例えば、レジスタ群27に記憶された撮像情報のうちのフォーカスの情報は、通信I/F26から、フォーカスを制御するフォーカスドライバ（図示せず）に提供することができる。

[0057] DSP32は、メモリ33に記憶されたプログラムを実行することで、撮像処理部22から、接続線CL2を介して、信号処理ブロック30に供給される撮像画像や、入力I/F36が外部から受け取る情報を用いた信号処理を行う信号処理部として機能する。

[0058] メモリ33は、SRAM(Static Random Access Memory)やDRAM(Dynamic RAM)等で構成され、信号処理ブロック30の処理上必要なデータ等を記憶する。例えば、メモリ33は、通信I/F34において、外部から受信されたプログラムや、画像圧縮部35で圧縮され、DSP32での信号処理で用いられる撮像画像、DSP32で行われた信号処理の信号処理結果、入力I/F36が受け取った情報等を記憶する。

[0059] 通信I/F34は、例えば、SPI(Serial Peripheral Interface)等のシリアル通信I/F等の第2の通信I/Fであり、外部（例えば、図1のメモリ3や制御部6等）との間で、CPU31やDSP32が実行するプログラム等の必要な情報のやりとりを行う。例えば、通信I/F34は、CPU31やDSP32が実行するプログラムを外部からダウンロードし、メモリ33に供給して記憶させる。したがって、通信I/F34がダウンロードするプログラムによって、CPU31やDSP32で様々な処理を実行することができる。

[0060] なお、通信I/F 3 4 は、外部との間で、プログラムの他、任意のデータのやりとりを行うことができる。例えば、通信I/F 3 4 は、DSP 3 2 での信号処理により得られる信号処理結果を、外部に出力することができる。また、通信I/F 3 4 は、CPU 3 1 の指示に従った情報を、外部の装置に出力し、これにより、CPU 3 1 の指示に従って、外部の装置を制御することができる。ここで、DSP 3 2 での信号処理により得られる信号処理結果は、通信I/F 3 4 から外部に出力する他、CPU 3 1 によって、撮像制御部 2 5 のレジスタ群 2 7 に書き込むことができる。レジスタ群 2 7 に書き込まれた信号処理結果は、通信I/F 2 6 から外部に出力することができる。CPU 3 1 で行われた処理の処理結果についても同様である。

[0061] 画像圧縮部 3 5 には、撮像処理部 2 2 から接続線 CL2 を介して、撮像画像が供給される。画像圧縮部 3 5 は、撮像画像を圧縮する圧縮処理を行い、その撮像画像よりもデータ量が少ない圧縮画像を生成する。画像圧縮部 3 5 で生成された圧縮画像は、バスを介して、メモリ 3 3 に供給されて記憶される。

[0062] ここで、DSP 3 2 での信号処理は、撮像画像そのものを用いて行う他、画像圧縮部 3 5 で撮像画像から生成された圧縮画像を用いて行うことができる。圧縮画像は、撮像画像よりもデータ量が少ないため、DSP 3 2 での信号処理の負荷の軽減や、圧縮画像を記憶するメモリ 3 3 の記憶容量の節約を図ることができる。

[0063] 画像圧縮部 3 5 での圧縮処理としては、例えば、12M (3968×2976) ピクセルの撮像画像を、VGA サイズの画像に変換するスケールダウンを行うことができる。また、DSP 3 2 での信号処理が輝度を対象として行われ、かつ、撮像画像が RGB の画像である場合には、圧縮処理としては、RGB の画像を、例えば、YUV の画像に変換する YUV 変換を行うことができる。なお、画像圧縮部 3 5 は、ソフトウェアにより実現することもできるし、専用のハードウェアにより実現することもできる。なお、撮像処理部 2 2 から接続線 CL2 を介して供給される撮像画像は、画像圧縮部 3 5 で圧縮処理されることなく、そのままメモリ 3 3 に記憶され得る。以下において、画像圧縮部 3 5 により圧縮処理され

た撮像画像であっても、圧縮処理されていない撮像画像と区別することなく、単に撮像画像と称する。

[0064] 入力I/F 36は、外部から情報を受け取るI/Fである。入力I/F 36は、例えば、外部のセンサから、その外部のセンサの出力（外部センサ出力）を受け取り、バスを介して、メモリ 33に供給して記憶させる。

[0065] 入力I/F 36としては、例えば、出力I/F 24と同様に、MIPI（登録商標）（Mobile Industry Processor Interface）等のパラレルI/F等を採用することができる。また、外部のセンサとしては、例えば、距離に関する情報をセンシングする距離センサを採用することができる、さらに、外部のセンサとしては、例えば、光をセンシングし、その光に対応する画像を出力するイメージセンサ、すなわち、撮像装置 2とは別のイメージセンサを採用することができる。

[0066] DSP 32では、撮像画像（から生成された圧縮画像）を用いる他、入力I/F 36が上述のような外部のセンサから受け取り、メモリ 33に記憶される外部センサ出力を用いて、信号処理を行うことができる。

[0067] 以上のように構成される1チップの撮像装置 2では、撮像部 21での撮像により得られる撮像画像（から生成される圧縮画像）を用いた信号処理がDSP 32で行われ、その信号処理の信号処理結果、及び、撮像画像が、出力I/F 24から選択的に出力される。したがって、ユーザが必要とする情報を出力する撮像装置を、小型に構成することができる。

[0068] なお、本技術では、DSP 32は、撮像画像や、後述の素子特性値に基づいてAI（Artificial Intelligence：人工知能）処理を行う。AI処理は、人工的にコンピュータ上などで人間と同様の知能を実現する処理であり、例えば、機械学習の技術におけるニューラルネットワーク（NN：Neural Network）、特にディープニューラルネットワーク（DNN：Deep Neural Network）の構造を有する推論モデル（機械学習モデル）による推論処理（DNNのアルゴリズムを用いた推論処理）を含む。本技術の説明では、AI処理として、DNNの推論モデルを用いた推論処理が行われることとする。また、信号処理ブロック 30の構

成は、図2の場合に限らず、AI処理がDSP 32で行われる場合に限らない。従って、AI処理（DNN処理）を行う構成部をDSP 32に限定することなく、信号処理ブロック30がAI処理を行うこととする。更に、本技術では信号処理ブロック30は、DNNの推論モデルを用いた推論処理の他に、推論モデルのパラメータ（重み、バイアス等）を更新（学習）する処理（推論モデルの更新処理または学習処理という）を行う。本技術の説明においてAI処理（DNN処理）という場合には、AIによる推論処理（DNNの推論モデルを用いた推論処理）と、推論処理のための学習処理（DNNの推論モデルのパラメータ（重み、バイアス等）の学習処理）とを含むこととする。

[0069] 図3は、図1の撮像装置2の外観構成例の概要を示す斜視図である。

[0070] 撮像装置2は、例えば、図3に示すように、複数のダイが積層された積層構造を有する1チップの半導体装置として構成することができる。図3では、撮像装置2は、ダイ51及び52の2枚のダイ（基板）が積層されて1チップ化（1チップに一体化）された積層型チップである。

[0071] 図3において、上側のダイ51には、撮像部21が搭載され、下側のダイ52には、撮像処理部22ないし撮像制御部25、及び、CPU31ないし入力I/F36が搭載されている。上側のダイ51と下側のダイ52とは、例えば、ダイ51を貫き、ダイ52にまで到達する貫通孔を形成することにより、又は、ダイ51の下面側に露出したCu配線と、ダイ52の上面側に露出したCu配線とを直接接続するCu-Cu接合を行うこと等により、電氣的に接続される。

[0072] ここで、撮像処理部22において、撮像部21が出力する画像信号のAD変換を行う方式としては、例えば、列並列AD方式やエリアAD方式を採用することができる。列並列AD方式では、例えば、撮像部21を構成する画素の列に対してADC(AD Converter)が設けられ、各列のADCが、その列の画素の画素信号のAD変換を担当することで、1行の各列の画素の画像信号のAD変換が並列に行われる。列並列AD方式を採用する場合には、その列並列AD方式のAD変換を行う撮像処理部22の一部が、上側のダイ51に搭載されることがある。

[0073] エリアAD方式では、撮像部21を構成する画素が、複数のブロックに区分

され、各ブロックに対して、ADCが設けられる。そして、各ブロックのADCが、そのブロックの画素の画素信号のAD変換を担当することで、複数のブロックの画素の画像信号のAD変換が並列に行われる。エリアAD方式では、ブロックを最小単位として、撮像部21を構成する画素のうちの必要な画素についてだけ、画像信号のAD変換（読み出し及びAD変換）を行うことができる。

[0074] なお、撮像装置2の面積が大になることが許容されるのであれば、撮像装置2は、1枚のダイ（チップ）で構成することができる。

[0075] また、図3では、2枚のダイ51及び52を積層して、1チップの撮像装置2を構成することとしたが、1チップの撮像装置2は、3枚以上のダイを積層して構成することができる。例えば、3枚のダイを積層して、1チップの撮像装置2を構成する場合には、図3のメモリ33を、別のダイに搭載することができる。

[0076] また、撮像装置2は、図4及び図5のように構成される場合であってもよい。なお、図4および図5において、図3と撮像装置2と共通する部分と、図4および図5の撮像装置2の互いに共通する部分とは同一の符号が付されており、適宜説明を省略する。図4の撮像装置2は、独立した2枚のプリント基板71Aおよび71Bを有する。プリント基板71Aには、2枚のダイ51および52Aと外部I/F53Aとが実装される。なお、ダイ51および52Aは積層されて1チップ化されている。また、ダイ51とダイ52Aとは、図3のダイ51とダイ52と同様にダイ51の下面側に露出したCu配線と、ダイ52Aの上面側に露出したCu配線とが直接接続されるCu-Cu接合により電氣的に接続される。ダイ52Aと外部I/F53Aとは、例えば、プリント基板71A上にプリントされた配線を介して電氣的に接続される。ダイ51には、図3のダイ51と同様に撮像部21が搭載され、ダイ52Aには、図3のダイ52に搭載された構成部の一部である撮像処理・制御部22、25が搭載される。撮像制御・処理部22、25は、撮像処理部22および撮像制御部25を含む構成部である。撮像処理・制御部22、25は、撮像処理部22から出力される撮像画像および撮像制御部25に入出力される情報を外

部I/F 5 3 Aに供給し、または外部I/F 5 3 Aから取得する。

[0077] プリント基板 7 1 Bには、ダイ 5 2 Bと外部I/F 5 3 Bとが実装される。ダイ 5 2 Bと外部I/F 5 3 Bとは、例えば、プリント基板 7 1 B上にプリントされた配線を介して電氣的に接続される。ダイ 5 2 Bには、図 5 のダイ 5 2 に搭載された構成部の一部である信号処理ブロック 3 0を含む構成部が搭載される。なお、ダイ 5 2 Bには、出力制御部 2 3および出力I/F 2 4が搭載される。また、ダイ 5 2 Aとダイ 5 2 Bとには、図 3 のダイ 5 2 に搭載される構成部が分割して搭載され、一部の構成部が重複して搭載される場合であってもよい。従って、ダイ 5 2 Bには、例えば、信号処理ブロック 3 0の処理のうち、DNN処理（AI処理）を行う処理部が搭載され、DNN処理以外の処理を行う処理部は、ダイ 5 1 Aに搭載される構成とすることもできる。

[0078] プリント基板 7 1 Aの外部I/F 5 3 Aと、プリント基板 7 1 Bの外部I/F 5 3 Bとは、例えばLAN（Local Area Network）により通信可能に接続される。これらの外部I/F 5 3 Aと外部I/F 5 3 Bとの間の通信により、ダイ 5 2 Aの撮像処理・制御部 2 5とダイ 5 2 Bの信号処理ブロック 3 0との間で撮像画像などの各種情報のやり取りが行われる。

[0079] 図 5 の撮像装置 2 は、単一のプリント基板 7 2を有する。プリント基板 7 2には、図 4 のダイ 5 1、5 2 A、および 5 2 Bと共通する 2 枚のダイ 5 1および 5 2 Aと外部I/F 5 3 Aとが実装される。なお、ダイ 5 1および 5 2 Aは積層されて 1 チップ化されている。また、ダイ 5 1とダイ 5 2 Aとは、図 3 のダイ 5 1とダイ 5 2と同様にダイ 5 1の下面側に露出したCu配線と、ダイ 5 2 Aの上面側に露出したCu配線とが直接接続されるCu-Cu接合により電氣的に接続される。ダイ 5 1、5 2 A、および 5 2 Bには、図 4 のダイ 5 1、5 2 A、および 5 2 Bと同様に、それぞれ撮像部 2 1、撮像処理・制御部 2 2、2 5、および信号処理部ロック 3 0が搭載される。ダイ 5 2 Aとダイ 5 2 Bとは、例えば、プリント基板 7 1 A上にプリントされた配線を介して電氣的に接続される。この配線の接続により、ダイ 5 2 Aの撮像制御・処理部 2 5とダイ 5 2 Bの信号処理ブロック 3 0との間で撮像画像などの各種情報の

やり取りが行われる。

[0080] ここで、信号処理ブロック 30 のDNN処理に用いられる推論モデルの学習には、推論モデルによる推論処理と比較して多くの演算量が必要になるため、クラウド環境を用いて、撮像装置 2 と通信を行いつつ、クラウドで学習処理を行うことが一般的である。しかしながら、そのようなシステムでは、外部のセキュリティが確保されていない通信経路において、悪意ある攻撃者から画像を盗聴されたり、改竄されたりするセキュリティ上のリスクが存在する。

[0081] これに対して、撮像装置 2 の内部（信号処理ブロック 30）で学習処理を実施ことで上述のようなセキュリティ上のリスクが低減される。特に、図 3 ないし図 5 の撮像装置 2 のうちで、図 3 の撮像装置 2 は、セキュリティ上のリスクが最も低い。例えば、図 4 の撮像装置 2 では、プリント基板 71 A（外部 I/F 53 A）とプリント基板 71 B（外部 I/F 53 B）との間を伝送する撮像画像等のデータがプロービングされるリスクがある。図 5 の撮像装置 2 では、ダイ 52 A とダイ 52 B との間を伝送する撮像画像等のデータがプロービングされるリスクがある。図 3 の撮像装置 2 では、このようなリスクが極めて低い。また、図 3 の撮像装置 2 は、図 4 および図 5 の撮像装置 2 と比較して、撮像装置 2 の小型化に有利であり、撮像処理部 22 から出力制御部 23 への撮像画像のデータ伝送の高速化に有利である。

[0082] なお、撮像装置 2 で行われる信号処理、すなわち、信号処理ブロック 30 のDSP 32 の信号処理としては、例えば、DNN処理（AI処理）の他に、フュージョン処理、自己位置推定処理（SLAM：Simultaneously Localization and Mapping）等が採用され得る。フュージョン処理では、例えば、撮像装置 2 は、その撮像装置 2 と所定の位置関係になるように配置されたToF（Time of Flight）センサ等の距離センサの出力を、入力 I/F 36 で受け取る。DSP 32 は、その距離センサの出力から得られる距離画像のノイズを、撮像画像を用いて除去する処理のような、距離センサの出力と撮像画像とを統合して、精度の良い距離を求める。自己位置推定処理では、例えば、撮像装置 2 は、その

撮像装置 2 と所定の位置関係になるように配置されたイメージセンサが出力する画像を、入力 I/F 3 6 で受け取る。DSP 3 2 は、その入力 I/F 3 6 からの画像と、撮像画像とをステレオ画像として用いた自己位置推定を行う。本実施の形態では、DSP 3 2 の信号処理として、DNN 処理が行われることとする。

[0083] <<撮像装置 2 における DNN 処理 (AI 処理) >>

図 6 を用いて撮像装置 2 における DNN 処理について説明する。撮像装置 2 における DNN 処理は図 2 の信号処理ブロック 3 0 により実施され、信号処理ブロック 3 0 には、撮像部 2 1 からの撮像画像と、後述のモニタ回路からの撮像装置 2 の内部素子特性（内部素子特性を示す素子特性値）とが入力され得る。信号処理ブロック 3 0 は、次の（１）ないし（４）のような DNN 処理を行うことができる。

[0084] （１）撮像画像に対する DNN 処理

撮像装置 2 における DNN 処理としては、畳み込みニューラルネットワーク（CNN: Convolutional Neural Network）、Generative Adversarial Network (GAN)、Transformer 技術等の機械学習の技術を用いた DNN 処理（推論処理）によるオブジェクト検出やセグメンテーション等の画像認識、画像圧縮や高解像度化（超解像）等の各種加工画像の生成等が実施され得る。この場合、DNN 処理で用いられる推論モデルへの入力、図 6 のように撮像部 2 1 において取得された撮像画像であり、推論モデルからの出力は DNN 処理により加工された画像（補正画像）、メタデータ（推論結果）のみ、または、これらの両方が考えられる。以下において、DNN 処理に用いられる推論モデルを、単に推論モデルともいう。

[0085] （２）内部素子特性に対する DNN 処理

撮像装置 2 における DNN 処理としては、撮像装置 2 を構成する様々な素子の異常の検出や、撮像装置 2 の内部回路にフィードバックする適切な回路設定値（撮像装置 2 の各モジュールに供給されるコア電源電圧やバイアス電圧/電流等）の推定等が実施され得る。この場合、推論モデルへの入力、図 6 のように撮像装置 2 を構成する素子の特性（内部素子特性）である。内部素子

特性を示す値（素子特性値）は、撮像装置 2 の内部に配置されたモニタ回路から取得され得る。推論モデルからの出力は、回路設定値、異常検出（の結果）、または、これらの両方が考えられる。

[0086] （素子特性値の具体例）

ここで、推論モデルに入力される素子特性値には、次のような例が該当する。なお、推論モデルに入力される素子特性値は 1 または任意の組合せの複数種の素子特性値であってよい。

- [0087] ・撮像装置 2 における、画素アレイ部からの各カラム（列）ごとの画素信号読み出し時の信号線電圧、電源ノイズ、周囲の環境情報（温度、ジャイロ等）
- ・メモリデバイス（メモリ 3 3）における、各ワード読み出し時の信号線電圧、電源ノイズ、周囲の環境情報（温度、ジャイロ等）
- ・各ブロック単位での供給電圧、消費電流波形（特に、低電力化技術として Dynamic Voltage and Frequency Scaling(DVFS)技術を適用した際の電源波形や消費電流値）

[0088] （回路設定値の具体例）

推論モデルから出力される回路設定値（制御パラメータ）には、次のような例が該当する。推論モデルから出力される回路設定値は 1 または任意の組合せの複数種の回路設定値であってよい。

- [0089] ・画素アレイ部への供給電源電圧、負バイアス電圧、ソースフォロワ部の負荷MOS電流源、読み出しパルス幅等
- ・メモリ読み出し回路におけるセンスアンプ用参照電圧値
- ・画素駆動タイミング（トリガパルスタイミング、立ち上がり幅等）

[0090] （適用例）

有機材料を用いたセンサデバイスにおいて、センサに対して強い光が当たった際の劣化が課題となるが、これに対して、センサ読み出し時の各カラムの信号電圧等をモニタリングし、推論モデルへの入力することで、現在の劣化状況に合わせた画素負バイアスの制御、負荷MOS電流量の制御、読み出しパルス幅の制御等を行うことができる。

[0091] (3) 撮像画像および内部素子特性に対するDNN処理

撮像装置2におけるDNN処理としては、(1)と同様にDNN処理による画像認識、補正画像の生成等が実施され得る。ただし、(1)の場合と異なり、推論モデルへの入力、撮像画像と内部素子特性との両方であり、推論モデルからの出力は、補正画像、メタデータ(推論結果)、または、これらの両方である。推論モデルに対して、撮像画像だけでなく、内部素子特性が入力されることで、素子ごとのばらつきや特性変化が加味されて、より高い精度の画像認識や加工画像の生成が可能になる。

[0092] (適用例)

画素アレイ部に対するセンサ読み出し時、各カラム回路における負荷MOSトランジスタの電流値をモニタリングし、推論モデルへの入力とすることで、リニアリティ特性の変化を含めたような形で撮像画像に対する推論処理を行うことができる。

[0093] (4) 学習処理(オンチップ学習)

撮像装置2におけるDNN処理としては、上記(1)ないし(4)のいずれが実施される場合においても、推論モデルの学習処理(更新処理)、すなわち、推論モデルのパラメータ(重み係数・バイアス等)の更新が実施され得る。例えば、推論モデルの学習処理としては、誤差逆伝播法が採用され得る。この場合に、撮像装置2の内部のメモリに撮像画像や素子特性値が学習データとして保存され、保存された学習データを用いて、推論モデルの最適なパラメータが誤差逆伝播法により算出される。学習処理後の推論モデルのパラメータは、その算出された最適なパラメータに更新される。

[0094] <推論モデルの学習処理を行うタイミング>

本技術の撮像装置2では、推論モデルの学習処理を行うタイミング(学習タイミング)がオンチップで決定され得る。学習タイミングの決定方法としては、例えば次のような方法が適用され得る。なお、推論モデルの学習処理に使用される撮像画像等の学習データ(教師データ)を新たに取得する場合には、学習処理には、学習データを取得(収集)する処理が含まれることとし、

学習タイミングは、学習データの取得を開始するタイミングであることとする。

- [0095] 第1の決定方法では、推論モデルが推論結果として、複数のクラスについての確信度を出力する場合に、推論モデルが出力する各クラスに対する確信度分布のピークが下がったと判定され場合（分布が大きなピークを持たず、有意な差を持ってオブジェクト（クラス）を推定できていないと判定された場合）、例えば、各クラスに対する確信度分布が既定の判定値よりも大きなピークを示さない場合や、いずれのクラスの確信度も他のクラスの確信度に対して既定の差よりも大きな確信度を示さない場合等に、学習タイミングとして決定（判定）される。また、各クラスについての確信度のうちの1番目と2番目に大きい確信度の差が閾値以下の場合、又は、その1番目に大きい（最大の確信度が閾値よりも小さい場合等に学習タイミングと判定されるようにしてもよい。
- [0096] 第2の決定方法では、撮像装置2の配置環境が更新（変更）された場合に学習タイミングとして決定（判定）される。撮像装置2の配置環境が更新された否かは、例えば、撮像装置2が配置された環境に関する情報（温度、明るさ、重力など）に基づいて判定され得る。環境に関する情報は、撮像装置2に内蔵されたセンサ、または、撮像装置2とは別体のセンサにより検出され、撮像装置2に供給される。
- [0097] 第3の決定方法では、撮像装置2の内部の素子特性値が異常値であると判定された場合、または、素子特性値の変化が既定の閾値を超えた場合に、学習タイミングとして決定（判定）される。
- [0098] 第4の決定方法では、撮像装置2と動き検出センサとの組み合わせにおいて、動き検出センサから撮像装置2に対して、定期的なオブジェクトの移動から外れるような入力があった場合に、学習タイミングとして決定（判定）される。
- [0099] なお、学習タイミングは、撮像装置2に供給される外部からの信号に基づいて決定される場合であってよい。

[0100] <DNN処理による回路設定値の更新処理に関する履歴（ログ）の保存・出力機構>

撮像装置2は、内部回路の適切な回路設定値を推論して内部回路にフィードバックするDNN処理（回路設定値の更新処理）を実施する場合において、回路設定値の更新処理に関する情報、すなわち、回路設定値がどのように推論、判断されたかを示す情報を履歴（ログ）として保存し、出力する機構（機能）を有するようにしてもよい。ログは、DNN処理による回路設定値の更新処理が実行された際に撮像装置2のメモリ33に保存され、外部装置からの要求時等に外部装置へ出力される。図7は、DNN処理による回路設定値の更新処理に関するログの一例を示した図である。図7において、ログの情報として、実行番号、処理コード、タイムスタンプ、入力情報（不図示）、および、処理結果等の情報が含まれる。実行番号は、回路設定値の更新処理に対して、実行された順序を示す順番である。処理コードは、回路設定値の更新処理の実行毎に割り振られたコードである。タイムスタンプは、回路設定値の変更処理が実行された時刻である。入力情報は、回路設定値の更新処理の際にDNN処理（推論モデル）に入力された内部素子特性（素子特性値）である。処理結果は、回路設定値の更新処理により更新された回路設定値である、図7には更新された回路設定値の例として、素子xxxのバイアス電圧の設定値、素子yyyの切り替えスイッチの設定値、素子zzzへのクロック周波数の設定値が示されている。

[0101] <推論モデルの学習処理のためのラベル>

一般に推論モデルの学習処理においては、事前に用意された入力データの推論モデルへの入力に対して、推論モデルから出力される出力データと、推論モデルからの出力としてあるべきラベル（正解データ）とを対応付け、それらの間の誤差を最小化する推論モデルのパラメータを求める学習処理が行われる。

[0102] 本技術の撮像装置2における推論モデルの学習処理では、一般的な上記の学習手法以外に次のような学習手法を用いることができる。例えば、DNN処理

として、メモリ素子（メモリ 33）についての回路設定値の変更処理が行われるとする。この場合に、回路設定値の推論に用いられる推論モデルの学習処理では、例えば、メモリ 33 のテスト用のセルに対するデータの読み書きを行い、正解となる出力データを得ることが可能な状態で推論モデルの学習処理が行われる。

[0103] DNN処理として、撮像装置 2 の内部素子の異常の検出（異常な動作の検出）が行われるとする。この場合に、内部素子の異常の検出に用いられる推論モデルの学習処理では、ユーザやシステムが定義する正常動作時のデータのみで学習が行われる。推論時には、推論モデルに入力されるデータが学習時のデータとどの程度異なるのかが推論モデルにより評価され、その評価結果に基づいて素子の異常な動作が検出される（非特許文献：J. Yu, et al., “FastFlow: Unsupervised Anomaly Detection and Localization via 2D Normalizing Flows,” arXiv:2111.07677等参照）。

[0104] DNN処理として、主に撮像画像を入力とする推論モデルを用いる処理が行われるとする。この場合、その推論モデルの学習処理では、特別に正解ラベルを用意することなく、教師ラベル無しの学習手法(Unsupervised Learning)が用いられ得る。教師ラベル無しの学習手法については、多くの技術が提案されているので説明は省略する（例えば、非特許文献：T. Chen, et al., “A Simple Framework for Contrastive Learning of Visual Representations” arXiv:2002.05709）。

[0105] <本技術が適用された撮像装置 2 の実施の形態>

図 8 は、本技術が適用された撮像装置 2 の実施の形態の構成例を示したブロック図である。図 8 には、図 2 乃至図 5 には図示されていない撮像装置 2 の構成要素が示されると共に、図 2 乃至図 5 の一部の構成要素を具体化又は抽象化した構成要素が示されている。

[0106] 図 8 において、撮像装置 2 は、画素アレイ部 101、垂直走査回路 102、AD変換回路 103、制御回路 104、信号処理回路 105、メモリ 106、入出力部 107、および素子特性モニタ回路 108 を有する。画素アレイ

部 101 は、図 2 の撮像部 21 としての機能を有する構成部である。画素アレイ部 101 は、例えば、水平方向（行方向）および垂直方向（列方向）に行列状の配列で配置された複数の画素回路を有する。各画素回路は、受光した光に対して光電変換を行う光電変換素子と、光電変換素子から電荷の読み出しを行う回路とを含む。画素アレイ部において、画素回路の行方向の並びをラインと称する。例えば、1 ラインあたりに X 個の画素回路を有し、Y 個のラインを有する画素アレイ部 100 では、1 フレームの撮像画像（画像データ）が、 $(X \cdot Y)$ 個の画素（画素信号）により形成され得る。なお、画素アレイ部 101 は、Dual PD(Photodiode)やToF、EVS(Event-based Vision Sensor)等が含まれていても良い。

[0107] 垂直走査回路 102 は、図 2 の撮像処理部 22 において撮像部 21 の駆動する回路の一部である。垂直走査回路 102 は、制御回路 104 からの制御に従い、画素アレイ部 101 の画素回路に対して、画素信号を読み出すための制御信号をラインごとに供給する。制御信号が供給されるラインは垂直方向に切り替えられ、画素信号がラインごとに画素回路から読み出されて AD 変換回路 103 に伝送される。

[0108] AD 変換回路 103 は、図 2 に撮像処理部 22 に含まれる回路部である。AD 変換回路 103 は、画素アレイ部 101 からの画素信号（アナログの画像信号）を AD 変換等によってデジタルの画像信号に変換し、撮像画像として信号処理回路 105 に供給する。

[0109] 制御回路 104 は、図 2 の撮像制御部 25 の処理を実行する回路部を含み、AD 変換回路 103、信号処理回路 105、メモリ 106、および入出力部 107、素子特性モニタ回路 108 を制御する。制御回路 104 は、垂直走査回路 102 や AD 変換回路 103 等を制御することにより、画素アレイ部 101 での画像の撮像を制御する。

[0110] 信号処理回路 105 は、図 2 の撮像処理部 22 における撮像処理、および信号処理ブロック 30 の処理等を実行する回路部である。信号処理回路 105 は、上述の DNN 処理（AI 処理）を実行する回路部（図 10 の DNN 処理回路 1

26)を含む。信号処理回路105で処理された撮像画像や信号処理結果は、入出力部107に供給される。なお、信号処理回路105は、複数の回路部（例えば、複数のプロセッサ）を有する場合であってもよい。例えば、後述する図10の撮像装置2の構成例では、信号処理回路105が、DNN処理を含む処理を実行するDNN処理回路126と、DNN処理回路126での処理以外の処理を実行する信号処理回路125とで構成された場合が例示されている。

- [0111] メモリ106は、図2の信号処理ブロック30のメモリ33に相当する。メモリ106は、画像や中間データのバッファ等のための揮発メモリや、DNN処理における推論モデルのパラメータ（重み等）等の記憶のための不揮発メモリを含む。
- [0112] 入出力部107は、図2の撮像ブロック20の出力制御部23および出力I/F24と、信号処理ブロック30の入力I/F36とを含む回路部である。なお、図2の通信I/F26および34は、入出力部107に含まれることとしてもよい。
- [0113] 素子特性モニタ回路108（以下、モニタ回路108という）は、撮像装置2の内部素子特性を検出する回路部である。モニタ回路108は、撮像装置2の画素アレイ部101ないし入出力部107のそれぞれのモジュールの素子特性を示す素子特性値を検出し、メモリ106に保存する。モニタ回路108で検出された素子特性値は、メモリ106に保存されるのではなく、信号処理回路105（DNN処理回路126）に供給されるようにしてもよい。モニタ回路108で検出された素子特性値は、信号処理回路105における内部素子特性に対するDNN処理において、撮像装置2を構成する素子（モジュール）の異常検出や、撮像装置2の内部回路にフィードバックする適切な回路設定値の推定を行う場合に、推論モデルへの入力として用いられる。また、メモリ106に保存された素子特性値は、推論モデルの学習処理に用いられる。なお、素子の異常が検出された場合には、その旨を示す異常検出信号が信号処理回路105（図10のDNN処理回路126）から外部システムや制

御回路 104 に出力される。

[0114] <撮像装置 2 の他の実施の形態>

図 9 は、撮像装置 2 の他の実施の形態の構成例を示したブロック図である。図中、図 8 の撮像装置 2 と共通する部分には同一の符号が付されており、その説明を適宜省略する。

[0115] 図 9 の撮像装置 2 は、画素アレイ部 101、垂直走査回路 102、AD変換回路 103、制御回路 104、信号処理回路 105、メモリ 106、入出力部 107、およびモニタ回路 108A ないし 108G を有する。したがって、図 9 の撮像装置 2 は、画素アレイ部 101、垂直走査回路 102、AD変換回路 103、制御回路 104、信号処理回路 105、メモリ 106、および入出力部 107 を有する点で、図 8 の撮像装置 2 と共通する。ただし、図 9 の撮像装置 2 は、図 8 の撮像装置 2 のモニタ回路 108 の代わりに新たにモニタ回路 108A ないし 108G を有する点で、図 8 の撮像装置 2 と相違する。

[0116] モニタ回路 108A ないし 108G は、それぞれ、画素アレイ部 101、垂直走査回路 102、AD変換回路 103、制御回路 104、信号処理回路 105、メモリ 106、および入出力部 107 に設けられる。モニタ回路 108A ないし 108G は、それぞれが設けられたモジュール（構成要素）の素子特性を示す素子特性値を検出する。モニタ回路 108A ないし 108G で検出された素子特性値は、メモリ 106 に保存され、または、信号処理回路 105（DNN処理回路 126）に供給される。モニタ回路 108A ないし 108G で検出された素子特性値は、図 8 の撮像装置 2 と同様に、信号処理回路 105 における内部素子特性に対する DNN処理において用いられる。なお、画素アレイ部 101 に設けられたモニタ回路 108A は、AD変換回路 103 を通してテスト素子の素子特性値を読み出してもよい。

[0117] （モニタ回路の具体例）

図 8 のモニタ回路 108、および図 9 のモニタ回路 108A ないし 108G（以下、全てを総称してモニタ回路 108 という）は、具体例として、参

照文献 1（特開 2018-101966 号公報）、参照文献 2（特開 2006-202383 号公報）、参照文献 3（特開 2021-67473 号公報）、および、参照文献 4（T. Hashida, et al., “An On-Chip Waveform Capturer and Application to Diagnosis of Power Delivery in SoC Integration,” Journal of Solid-State Circuits, vol.46, No.4, Apr. 2011.）に記載の技術が適用され得る。

[0118] 例えば、参考文献 1 によれば、画素アレイ周辺に設けられる、メタル配線により物理的に遮光される画素が開示されており、その画素がモニタ回路 108 に適用され得る。モニタ回路 108 は、画素アレイが持つ黒レベル出力特性を素子特性値として取得する。参照文献 2 によれば、メモリセル内にダミーセルを配置し、特性をモニタリングする手法が開示されており、その手法がモニタ回路 108 に適用され得る。参照文献 3 によれば、CMOS イメージセンサにおける高精度な温度測定を行うための回路が開示されている。その回路がモニタ回路 108 に適用され得る。参照文献 4 によれば、System on Chip (SoC) において、チップ内で電圧波形を取得する技術が開示されている。その技術がモニタ回路 108 に適用され得る。

[0119] <撮像装置 2 の積層型センサとしての回路構成例>

図 10 は、撮像装置の積層型センサとしての回路構成例を示した図である。

なお、積層型チップとしての撮像装置 2 の構成例は、図 3 ないし図 5 に示されており、図 10 は、図 3 の構成例における回路単位での配置例を例示した図である。図 10 において、撮像装置 2 は、上側のダイ 51 と下側のダイ 52 とが積層されて 1 つの積層型チップとして構成される。ダイ 51 は、画素アレイ部 101 が搭載された画素チップであり、ダイ 52 は、撮像装置 2 の画像アレイ部 101 以外が搭載された回路チップである。ダイ 51 とダイ 52 との間を接続する配線は、ダイ 51 の接続部 111A および 112A と、これらに対向するダイ 51 の接続部 111B および 112B との間に配置される。ダイ 51 の画素アレイ部 101 には、各画素の受光素子には例えば

R（レッド）、G（グリーン）、B（ブルー）の原色からなる図中（A）ないし（C）のようなベイヤー配列のカラーフィルタが設置される。図中（A）ないし（C）は、それぞれ、1画素ごと、隣接する4画素ごと、および隣接する9画素ごとにRGBのフィルタがベイヤー配列で配置されたカラーフィルタである。また、各画素の受光素子に設置されるフィルタは、図中（D）のような4色のカラーフィルタの場合や、IR透過フィルタ、偏光フィルタ、または補色フィルタ等の場合であってもよく、特に限定されない。

[0120] ダイ52には、図8および図9に示された垂直走査回路102、AD変換回路103（図中、ADCと表記）、および制御回路104が搭載される。また、ダイ52には、水平走査回路103、PLL（周波数生成回路）121、LD0（電源回路）122、CP（昇圧回路）123、BC（バイアス電圧回路）124、信号処理回路125、およびDNN処理回路126が搭載される。水平走査回路103は、図8および図9のAD変換回路103に含まれるものとしてAD変換回路103と同一符号が付されている。信号処理回路125及びDNN処理回路126は、図8および図9の信号処理回路105に含まれ、信号処理回路105のうち、主にDNN処理を実施する処理回路をDNN処理回路126とし、DNN処理回路126以外の回路を信号処理回路125としている。

[0121] <<DNN処理の手順例>>

<撮像画像に対するDNN処理>

撮像画像に対するDNN処理として、撮像画像に対して推論モデルによる推論処理により、物体検出を行う場合の推論処理および学習処理の手順例について説明する。なお、以下の図11ないし図22は、図8の構成の撮像装置2に基づいて説明を行うが、図8の信号処理回路105の処理については、図10のDNN処理回路126が行うものとする。

[0122] （推論処理の手順例）

図11は、撮像画像を入力として物体検出を行う推論モデルの推論処理の手順例を示したフローチャートである。ステップS11では、撮像装置2の各部のリセット動作が行われる。ステップS12では、画素アレイ部101

は、撮像を行う。ステップS 1 3では、DNN処理回路1 2 6は、画素アレイ部1 0 1から撮像画像（データ）を読み出す。ステップS 1 4では、DNN処理回路1 2 6は、読み出した撮像画像をメモリ1 0 6に記憶させる。ステップS 1 5では、DNN処理回路1 2 6は、物体検出を行うか否かを判定する。ステップS 1 5において、肯定された場合には処理はステップS 1 6に進む。ステップS 1 5において、否定された場合には処理は終了する。ステップS 1 6では、DNN処理回路1 2 6は、メモリ1 0 6から撮像画像を取得して推論モデル（ニューラルネットワーク）への入力とし、推論モデルによる推論処理により物体検出を行い、推論モデルの出力として物体検出結果を出力する。ステップS 1 7では、DNN処理回路1 2 6は、物体検出結果をメモリ1 0 6に書き戻す。ステップS 1 7の処理が終了すると、本フローチャートの処理が終了する。

[0123] （学習処理の手順例）

図1 2は、撮像画像を入力とする推論モデルの学習処理の手順例を示したフローチャートである。ステップS 3 1では、DNN処理回路1 2 6は、学習用画像の取得処理を開始する。ステップS 3 2では、撮像装置2の各部のリセット動作が行われる。ステップS 3 3では、画素アレイ部1 0 1は、撮像を行う。ステップS 3 4では、DNN処理回路1 2 6は、画素アレイ部1 0 1から撮像画像（データ）を読み出す。ステップS 3 5では、DNN処理回路1 2 6は、読み出した撮像画像をメモリ1 0 6に記憶させる。ステップS 3 6では、DNN処理回路1 2 6は、学習用画像の取得は終了したか否かを判定する。すなわち、DNN処理回路1 2 6は、推論モデルの学習処理に必要な数の撮像画像が取得されたか否かを判定する。ステップS 3 6において、肯定された場合には処理はステップS 3 7に進む。ステップS 3 6において、否定された場合には処理はステップS 3 1に戻り、ステップS 3 1から繰り返す。ステップS 3 7では、DNN処理回路1 2 6は、学習用画像を使用して、誤差逆伝播法を用いたモデル更新処理を行う。ステップS 3 8では、DNN処理回路1 2 6は、学習完了時のモデルパラメータを生成する。ステップS 3 9では、DNN処理回

路 1 2 6 は、生成したモデルパラメータをメモリ 1 0 6 に書き戻す。ステップ S 3 9 の処理が終了すると、本フローチャートの処理が終了する。

[0124] <内部素子特性に対するDNN処理>

内部素子特性に対するDNN処理として、内部素子特性に対して推論モデルによる推論処理により、回路設定値（素子制御パラメータ）をフォードバックする場合の推論処理および学習処理の手順例について説明する。

[0125] （推論処理の入出力データの例）

図 1 3 は、内部素子特性を入力として回路設定値をフィードバックする推論モデルの入出力データに関して説明する図である。図 1 3 の撮像装置 2 には、図 8 及び図 1 0 に示した画素アレイ部 1 0 1、制御回路 1 0 4、メモリ 1 0 6、モニタ回路 1 0 8、およびDNN処理回路 1 2 6 が示されている。DNN処理回路 1 2 6 は、メモリ 1 0 6 からモデルパラメータを読み出して推論モデルを設定（構築）する。モニタ回路 1 0 8 は、画素アレイ部 1 0 1、制御回路 1 0 4、およびメモリ 1 0 6 のそれぞれのプローブ点から素子特性値を検出し、DNN処理回路 1 2 6 に供給する。DNN処理回路 1 2 6 は、モニタ回路 1 0 8 からの素子特性値を推論モデルへの入力とする。DNN処理回路 1 2 6 は、推論モデルの推論結果として出力された回路設定値（制御パラメータ）を画素アレイ部 1 0 1、制御回路 1 0 4、メモリ 1 0 6 に供給する。画素アレイ部 1 0 1、制御回路 1 0 4、およびメモリ 1 0 6 は、DNN処理回路 1 2 6 からの回路設定値にしたがって動作する。なお、メモリ 1 0 6 は、1 つのメモリで構成する他、制御値格納メモリ 1 0 6 A 及び補正対象メモリ 1 0 6 B の 2 つのメモリに分けて構成することができる。制御値格納メモリ 1 0 6 A は、モデルパラメータや回路設定値等の制御のためのデータを記憶するメモリである。補正対象メモリ 1 0 6 B は、モデルパラメータ等以外のデータ、例えば、画像データ等を記憶するメモリである。補正対象メモリ 1 0 6 B は、経年劣化や故障等により正常なデータ読み出しが出来なくなった場合に、DNN処理回路 1 2 6 の推論結果の回路設定値によって、補正の対象となる。その他、メモリ 1 0 6 は、1 つのメモリに、制御値格納メモリ 1 0 6 A 及び補正

対象メモリ 106B それぞれとしての領域を設けて構成することができる。

[0126] 次の図 14 の推論処理の処理手順の例では、推論モデルは、推論結果の回路設定値として、メモリ読み出し用センスアンプのバイアス電圧（参照電圧）を出力することとする。

[0127] （推論処理の手順例）

図 14 は、内部素子特性を入力として回路設定値を出力する推論モデルの推論処理の手順例を示したフローチャートである。ステップ S51 では、メモリ 106（制御値格納メモリ 106A）に記憶されている値で、制御回路 104 のコンフィグレーション（設定）が行われる。ステップ S52 では、制御回路 104 は、メモリ 106（補正対象メモリ 106B）に記憶されている既知のテスト用データを読み出す。ステップ S53 では、モニタ回路 108 は、プローブ点の電圧や温度情報等を素子特性値として取得する。ここで、ステップ S52 及び S53 の処理は同期して並列に行うことができる。ステップ S54 では、制御回路 104 は、メモリ 106（補正対象メモリ 106B）から読み出されたテスト用データが既知の値と異なるかどうかを判定する。ステップ S54 において、テスト用データが既知の値と異ならないと判定された場合、処理は終了する。ステップ S54 において、テスト用データが既知の値と異なると判定された場合、処理は、ステップ S55 に進む。ステップ S55 では、DNN 処理回路 126 は、モニタ回路 108 で取得された素子特性値を推論モデルに入力し、推論モデルにより回路設定値として参照電圧（補正対象メモリ 106B の読み出し回路の参照電圧）等を推論する。ステップ S55 では、DNN 処理回路 126 は、推論モデルにより推論された参照電圧値をメモリ 106（制御値格納メモリ 106A）に書き戻し、制御回路 104 が次に回路設定値として使用する参照電圧値を更新する。ステップ S55 の処理が終了すると、本フローチャートの処理が終了する。

[0128] （学習処理の入出力データの例）

図 15 は、内部素子特性を入力として回路設定値をフィードバックする推論モデルの学習時の入出力データに関して説明する図である。尚、図中、図

13と共通する部分には、同一符号が付されており、その説明を省略する。DNN処理回路126は、メモリ106からモデルパラメータを読み出して推論モデルを設定（構築）する。モニタ回路108は、画素アレイ部101、制御回路104、およびメモリ106のそれぞれのプローブ点から素子特性値を検出し、推論期待値と共にDNN処理回路126に供給する。推論期待値は、プローブ点から検出された素子特性値の推論モデルへの入力に対する推論モデルの出力の正解データであり、素子特性値に対応した推論期待値が事前に用意されている。DNN処理回路126は、モニタ回路108からの素子特性値と、推論期待値とを学習用データとして使用してモデルパラメータを更新する。DNN処理回路126は、学習後、更新されたモデルパラメータをメモリ106に書き戻し、次回からの推理処理においてそのモデルパラメータで推論モデルを設定する。

[0129] 次の図16の学習処理の処理手順の例では、経年劣化に伴うメモリ読み出し特性の変化を学習（検出）し、推論モデルは、メモリ読み出し用センスアンプのバイアス電圧（参照電圧）等の回路設定値を推論結果として出力することとする。

[0130] （学習処理の手順例）

図16は、内部素子特性を入力とする推論モデルの学習処理の手順例を示したフローチャートである。ステップS71では、撮像装置2の各部のリセット動作が行われる。ステップS72では、制御回路104は、メモリ106（制御値格納メモリ106A）から回路設定値を読み出し、その回路設定値で、メモリ106（補正対象メモリ106B）のコンフィグレーション（設定）を行う。ステップS73では、DNN処理回路126は、メモリ106（補正対象メモリ106B）に既知のテスト用データを書き込む。ステップS74では、DNN処理回路126は、メモリ106（補正対象メモリ106B）に書き込んだテスト用データを読み出す。ステップS75では、モニタ回路108は、プローブ点の電圧（参照電圧等を含む）や温度情報等を素子特性値として取得する。ここで、ステップS74及びS75の処理は同期して並

列に行うことができる。ステップS 7 6では、DNN処理回路1 2 6は、テスト用データの読み出し期待値（ステップS 7 3のテスト用データ）と、読み出したテスト用データ（ステップS 7 4のテスト用データ）と、参照電圧等の素子特性値（ステップS 7 5で取得された素子特性値）とを学習用データとしてメモリ1 0 6（制御値格納メモリ1 0 6 A）に記憶させる。

[0131] ステップS 7 7では、DNN処理回路1 2 6は、学習用データの取得を終了するか否かを判定する。ステップS 7 7において、肯定された場合には処理はステップS 7 8に進む。ステップS 7 7において、否定された場合には処理はステップS 7 2に戻り、ステップS 7 2から繰り返す。ステップS 7 8では、DNN処理回路1 2 6は、学習用データを使用して、誤差逆伝播法を用いたモデル更新処理を行う。すなわち、例えば、経年劣化等でメモリ1 0 6（補正対象メモリ1 0 6 B）の特性が変わり、メモリ1 0 6（補正対象メモリ1 0 6 B）に記憶されたデータを正しく読み出すことができなくなった場合に備えて、既知のテスト用データとモニタ回路1 0 8からの素子特性値を用いて、テスト用データを正しく読み出すことができる参照電圧を推論することができるように、推論モデルが出力する参照電圧の誤差を最小化するモデルパラメータの学習が行われる。ステップS 7 9では、DNN処理回路1 2 6は、学習完了時のモデルパラメータを生成する。ステップS 8 0では、DNN処理回路1 2 6は、生成したモデルパラメータをメモリ1 0 6（制御値格納メモリ1 0 6 A）に書き戻す。ステップS 8 0の処理が終了すると、本フローチャートの処理が終了する。

[0132] <撮像画像および内部素子特性に対するDNN処理>

撮像画像および内部素子特性に対するDNN処理として、撮像画像および内部素子特性に対して推論モデルによる推論処理により、物体検出を行う場合の推論処理および学習処理の手順例について説明する。

[0133] （推論処理の入出力データの例）

図1 7は、撮像画像および内部素子特性を入力として物体検出を行う推論モデルの入出力データに関して説明する図である。尚、図中、図1 5と共通

する部分には、同一符号が付されており、その説明を省略する。DNN処理回路126は、メモリ106からモデルパラメータを読み出して推論モデルを設定（構築）する。モニタ回路108は、画素アレイ部101、制御回路104、およびメモリ106のそれぞれのプローブ点から素子特性値を検出し、DNN処理回路126に供給する。メモリ106は、画素アレイ部101により撮像されてメモリ106に記憶された撮像画像をDNN処理回路126に供給する。DNN処理回路126は、モニタ回路108からの素子特性値と、メモリ106からの撮像画像とを推論モデルへの入力とする。DNN処理回路126は、推論モデルの推論結果として出力された認識結果、メタデータ、または補正画像を外部システム等に出力する。

[0134] （推論処理の手順例）

図18は、撮像画像および内部素子特性を入力として物体検出を行う推論モデルの推論処理の手順例を示したフローチャートである。ステップS101では、撮像装置2の各部のリセット動作が行われる。ステップS102では、画素アレイ部101は、撮像を行う。ステップS103では、DNN処理回路126は、画素アレイ部101から撮像画像（データ）を読み出す。ステップS104では、DNN処理回路126は、読み出した撮像画像をメモリ106に記憶させる。ステップS105では、モニタ回路108は、プローブ点の電圧や温度情報等を素子特性値として取得する。ステップS106では、モニタ回路108は、取得した素子特性値をメモリ106に記憶させる。なお、ステップS103とステップS105は同期して開始され、ステップS104とステップS106の両方の処理が終了すると、処理はステップS107に進む。

ステップS107では、DNN処理回路126は、メモリ106から撮像画像と素子特性値とを取得して推論モデル（ニューラルネットワーク）に入力する。ステップS108では、DNN処理回路126は、推論モデルによる推論処理により物体検出を行い、推論モデルの出力として物体検出結果を出力する。ステップS109では、DNN処理回路126は、物体検出結果をメモリ10

6に書き戻す。ステップS 1 0 9の処理が終了すると、本フローチャートの処理が終了する。

[0135] (学習処理の入出力データの例)

図19は、撮像画像および内部素子特性を入力として画像認識（物体検出に限らない）を行う推論モデルの学習時の入出力データに関して説明する図である。尚、図中、図15と共通する部分には、同一符号が付されており、その説明を省略する。DNN処理回路126は、メモリ106からモデルパラメータを読み出して推論モデルを設定（構築）する。モニタ回路108は、画素アレイ部101、制御回路104、およびメモリ106のそれぞれのプローブ点から素子特性値を検出し、DNN処理回路126に供給する。メモリ106は、画素アレイ部101により撮像されてメモリ106に記憶された撮像画像をDNN処理回路126に供給する。DNN処理回路126は、モニタ回路108からの素子特性値と、メモリ106からの撮像画像とを学習用データとして用いて推論モデルの教師無しの学習を行う。DNN処理回路126は、学習後、更新されたモデルパラメータをメモリ106に書き戻し、次回からの推理処理においてそのモデルパラメータで推論モデルを設定する。

[0136] (学習処理の手順例)

図20は、撮像画像および内部素子特性を入力として画像認識を行う推論モデルの学習処理の手順例を示したフローチャートである。ステップS 1 2 1では、撮像装置2の各部のリセット動作が行われる。ステップS 1 2 2では、DNN処理回路126は学習用データの取得を開始する。ステップS 1 2 3では、画素アレイ部101は、撮像を行う。ステップS 1 2 4では、DNN処理回路126は、画素アレイ部101から撮像画像（データ）を読み出す。ステップS 1 2 5では、DNN処理回路126は、読み出した撮像画像をメモリ106に記憶させる。ステップS 1 2 6では、モニタ回路108は、プローブ点の電圧や温度情報等を素子特性値として取得する。ステップS 1 2 7では、モニタ回路108は、取得した素子特性値をメモリ106に記憶させる。なお、ステップS 1 2 4とステップS 1 2 6は同期して開始され、ステップ

S 1 2 5 とステップ S 1 2 7 の両方の処理が終了すると、処理はステップ S 1 2 8 に進む。

[0137] ステップ S 1 2 8 では、DNN処理回路 1 2 6 は、学習用データの取得は終了したか否かを判定する。ステップ S 1 2 8 において、肯定された場合には処理はステップ S 1 2 9 に進む。ステップ S 1 2 8 において、否定された場合には処理はステップ S 1 2 2 に戻り、ステップ S 1 2 2 から繰り返す。ステップ S 1 2 9 では、DNN処理回路 1 2 6 は、メモリ 1 0 6 から撮像画像と素子特性値とを取得して推論モデル（ニューラルネットワーク）に入力し、誤差逆伝播法によるモデル更新処理を行う。ステップ S 1 3 0 では、DNN処理回路 1 2 6 は、学習完了時のモデルパラメータを生成する。ステップ S 1 3 1 では、DNN処理回路 1 2 6 は、生成したモデルパラメータをメモリ 1 0 6（制御値格納メモリ 1 0 6 A）に書き戻す。

ステップ S 1 3 1 の処理が終了すると、本フローチャートの処理が終了する。

[0138] <学習処理実行>

（形態1）

撮像画像に含まれる物体検出する推論処理において、推論結果から学習タイミングを判断する処理の手順例を図 2 1 のフローチャートに示す。なお、図 2 1 のステップ S 1 5 1 ないしステップ S 1 5 6 は、図 1 1 のステップ S 1 1 ないしステップ S 1 6 と共通し、図 2 1 のステップ S 1 5 9 ないしステップ S 1 6 7 は、図 1 2 のステップ S 3 1 ないしステップ S 3 9 と共通するので説明を省略する。なお、メモリ 1 0 6 が、制御値格納メモリ 1 0 6 A と補正対象メモリ 1 0 6 B とに別れている場合、ステップ S 1 6 7 のモデルパラメータを書き戻しは、制御値格納メモリ 1 0 6 A に対して行われる。ステップ S 1 5 7 では、DNN処理回路 1 2 6 は、推論モデルによる物体検出の結果、確信度の分布ピークが閾値以上か否かを判定する。ステップ S 1 5 7 において、肯定された場合には処理はステップ S 1 5 8 に進む。ステップ S 1 5 7 において、否定された場合には処理はステップ S 1 5 9 に進む。ステップ

S 1 5 8 では、DNN処理回路 1 2 6 は、物体検出結果をメモリ 1 0 6 に書き戻す。ステップ S 1 5 8 の処理が終了すると、本フローチャートの処理が終了する。ステップ S 1 5 9 ないしステップ S 1 6 7 では推論モデルの学習処理が行われて、学習が完了すると、本フローチャートの処理が終了する。

[0139] (形態2)

設置環境（配置環境）の変化を検出して学習タイミングを判断する処理の手順例を図 2 2 に示す。なお、図 2 2 のステップ S 1 9 1 ないしステップ S 1 9 9 は、図 1 2 のステップ S 3 1 ないしステップ S 3 9 と共通するので説明を省略する。ステップ S 1 8 1 では、撮像装置 2 の各部のリセット動作が行われる。ステップ S 1 8 2 では、DNN処理回路 1 2 6 は、撮像装置 2 の外部の温度センサから温度情報を取得する。ステップ S 1 8 3 では、DNN処理回路 1 2 6 は、取得した温度情報をメモリ 1 0 6（制御値格納メモリ 1 0 6 A）に記憶させる。ステップ S 1 8 4 では、DNN処理回路 1 2 6 は、撮像装置 2 の外部の照度センサから周辺輝度情報を取得する。周辺輝度情報は、撮像画像から取得してもよい。ステップ S 1 8 5 では、DNN処理回路 1 2 6 は、取得した輝度情報をメモリ 1 0 6（制御値格納メモリ 1 0 6 A）に記憶させる。ステップ S 1 8 6 では、DNN処理回路 1 2 6 は、撮像装置 2 の外部のジャイロセンサからジャイロ情報を取得する。ステップ S 1 8 7 では、DNN処理回路 1 2 6 は、取得したジャイロ情報をメモリ 1 0 6（制御値格納メモリ 1 0 6 A）に記憶させる。なお、ステップ S 1 8 2 とステップ S 1 8 4 とステップ S 1 8 6 は同期して開始され、ステップ S 1 8 3 とステップ S 1 8 5 とステップ S 1 8 7 の全ての処理が終了すると、処理はステップ S 1 8 8 に進む。

[0140] ステップ S 1 8 8 では、DNN処理回路 1 2 6 は、環境情報（温度情報、輝度情報、ジャイロ情報）をメモリ 1 0 6（制御値格納メモリ 1 0 6 A）から読み出す。ステップ S 1 8 9 では、DNN処理回路 1 2 6 は、環境情報に基づいて撮像装置 2 の設置環境（配置環境）の変化を検出する。ステップ S 1 9 0 では、DNN処理回路 1 2 6 は、撮像装置 2 の設置場所が変更されていないかを判定する。ステップ S 1 9 0 において、肯定された場合には本フローチャート

の処理が終了する。ステップS 1 9 0において、否定された場合には処理はステップS 1 9 1に進み、ステップS 1 9 1ないしステップS 1 9 9では推論モデルの学習処理が行われて、学習が完了すると本フローチャートの処理が終了する。なお、メモリ1 0 6が、制御値格納メモリ1 0 6 Aと補正対象メモリ1 0 6 Bとに別れている場合、ステップS 1 9 9のモデルパラメータを書き戻しは、制御値格納メモリ1 0 6 Aに対して行われる。

[0141] <コンピュータの構成例>

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどが含まれる。

[0142] 図2 3は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

[0143] コンピュータにおいて、CPU (Central Processing Unit) 5 0 1, ROM (Read Only Memory) 5 0 2, RAM (Random Access Memory) 5 0 3は、バス5 0 4により相互に接続されている。

[0144] バス5 0 4には、さらに、入出力インタフェース5 0 5が接続されている。入出力インタフェース5 0 5には、入力部5 0 6、出力部5 0 7、記憶部5 0 8、通信部5 0 9、及びドライブ5 1 0が接続されている。

[0145] 入力部5 0 6は、キーボード、マウス、マイクロフォンなどよりなる。出力部5 0 7は、ディスプレイ、スピーカなどよりなる。記憶部5 0 8は、ハードディスクや不揮発性のメモリなどよりなる。通信部5 0 9は、ネットワークインタフェースなどよりなる。ドライブ5 1 0は、磁気ディスク、光ディスク、光磁気ディスク、又は半導体メモリなどのリムーバブルメディア5 1 1を駆動する。

- [0146] 以上のように構成されるコンピュータでは、CPU 501が、例えば、記憶部508に記憶されているプログラムを、入出力インタフェース505及びバス504を介して、RAM 503にロードして実行することにより、上述した一連の処理が行われる。
- [0147] コンピュータ（CPU 501）が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブルメディア511に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することができる。
- [0148] コンピュータでは、プログラムは、リムーバブルメディア511をドライブ510に装着することにより、入出力インタフェース505を介して、記憶部508にインストールすることができる。また、プログラムは、有線または無線の伝送媒体を介して、通信部509で受信し、記憶部508にインストールすることができる。その他、プログラムは、ROM 502や記憶部508に、あらかじめインストールしておくことができる。
- [0149] なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。
- [0150] ここで、本明細書において、コンピュータがプログラムに従って行う処理は、必ずしもフローチャートとして記載された順序に沿って時系列に行われる必要はない。すなわち、コンピュータがプログラムに従って行う処理は、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含む。
- [0151] また、プログラムは、1のコンピュータ（プロセッサ）により処理されるものであっても良いし、複数のコンピュータによって分散処理されるものであっても良い。さらに、プログラムは、遠方のコンピュータに転送されて実行されるものであっても良い。

- [0152] さらに、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。
- [0153] また、例えば、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。
- [0154] また、例えば、本技術は、1つの機能を、ネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。
- [0155] また、例えば、上述したプログラムは、任意の装置において実行することができる。その場合、その装置が、必要な機能（機能ブロック等）を有し、必要な情報を得ることができるようにすればよい。
- [0156] また、例えば、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。換言するに、1つのステップに含まれる複数の処理を、複数のステップの処理として実行することもできる。逆に、複数のステップとして説明した処理を1つのステップとしてまとめて実行することもできる。
- [0157] なお、コンピュータが実行するプログラムは、プログラムを記述するステップの処理が、本明細書で説明する順序に沿って時系列に実行されるように

しても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで個別に実行されるようにしても良い。つまり、矛盾が生じない限り、各ステップの処理が上述した順序と異なる順序で実行されるようにしてもよい。さらに、このプログラムを記述するステップの処理が、他のプログラムの処理と並列に実行されるようにしても良いし、他のプログラムの処理と組み合わせて実行されるようにしても良い。

[0158] なお、本明細書において複数説明した本技術は、矛盾が生じない限り、それぞれ独立に単体で実施することができる。もちろん、任意の複数の本技術を併用して実施することもできる。例えば、いずれかの実施の形態において説明した本技術の一部または全部を、他の実施の形態において説明した本技術の一部または全部と組み合わせて実施することもできる。また、上述した任意の本技術の一部または全部を、上述していない他の技術と併用して実施することもできる。

[0159] <構成の組み合わせ例>

なお、本技術は以下のような構成も取ることができる。

(1)

画像を撮像する撮像部と、

一体化されたチップに前記撮像部とともに搭載された処理部であって、前記撮像部が撮像した撮像画像を入力とした推論処理を行う処理部と

を有し、

前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う撮像装置。

(2)

前記推論モデルは、機械学習技術におけるニューラルネットワークの構造を有する

前記(1)に記載の撮像装置。

(3)

前記処理部は、前記撮像部が撮像した前記撮像画像を用いて前記学習処理

を行う

前記（１）又は（２）に記載の撮像装置。

（４）

前記処理部は、誤差逆伝播法を用いて前記学習処理を行う

前記（１）乃至（３）のいずれかに記載の撮像装置。

（５）

前記処理部は、前記学習処理を行う学習タイミングを決定する

前記（１）乃至（４）のいずれかに記載の撮像装置。

（６）

前記処理部は、環境情報に基づいて前記推論処理により出力される各クラスの確信度に基づいて前記学習タイミングを決定する

前記（５）に記載の撮像装置。

（７）

前記処理部は、前記チップに搭載された素子の特性を示す素子特性値に基づいて前記学習タイミングを決定する

前記（５）又は（６）に記載の撮像装置。

（８）

前記処理部は、前記素子特性値の変化に基づいて前記学習タイミングを決定する

前記（７）に記載の撮像装置。

（９）

前記処理部は、前記推論処理により前記撮像画像に対する画像認識を行う

前記（１）乃至（８）のいずれかに記載の撮像装置。

（１０）

画像を撮像する撮像部と、

推論処理を行う処理部と

を有し、

前記処理部は、素子の特性を示す素子特性値を入力として前記推論処理を

行う

撮像装置。

(11)

前記処理部は、前記推論処理の推論結果として、回路の動作にかかわる回路設定値を出力する

前記(10)に記載の撮像装置。

(12)

前記処理部は、前記素子特性値として、前記撮像部の画素アレイ、制御回路、および、記憶素子のうちのいずれかの素子特性値を取得する

前記(10)又は(11)に記載の撮像装置。

(13)

前記処理部は、前記素子特性値として、電流値、電圧値、及び、温度情報のうちのいずれかを取得する

前記(10)乃至(12)のいずれかに記載の撮像装置。

(14)

前記処理部は、前記撮像部が撮像した撮像画像と前記素子特性値とを入力として前記推論処理を行う

前記(10)乃至(13)のいずれかに記載の撮像装置。

(15)

前記処理部は、前記推論処理により前記撮像画像に対する画像認識を行う

前記(14)に記載の撮像装置。

(16)

前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う

前記(10)乃至(15)のいずれかに記載の撮像装置。

(17)

前記撮像部と前記処理部とは一体化されたチップに搭載された

前記(10)乃至(16)のいずれかに記載の撮像装置。

(18)

撮像部と、
一体化されたチップに前記撮像部とともに搭載された処理部と
を有するデータ処理装置の
前記撮像部が、画像を撮像し、
前記処理部が、前記撮像部が撮像した撮像画像を入力とした推論処理を行
い、かつ、前記推論処理に用いられる推論モデルの学習処理を行う
データ処理方法。

(19)

コンピュータを
画像を撮像する撮像部とともに一体化されたチップに搭載された処理部で
あって、前記撮像部が撮像した撮像画像を入力とした推論処理を行い、かつ
、前記推論処理に用いられる推論モデルの学習処理を行う処理部
として機能させるためのプログラムが記録された記録媒体。

符号の説明

[0160] 1 撮像装置, 101 画素アレイ部, 104 制御回路, 105
信号処理回路, 108 メモリ, 126 DNN回路

請求の範囲

- [請求項1] 画像を撮像する撮像部と、
一体化されたチップに前記撮像部とともに搭載された処理部であって、前記撮像部が撮像した撮像画像を入力とした推論処理を行う処理部と
を有し、
前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う
撮像装置。
- [請求項2] 前記推論モデルは、機械学習技術におけるニューラルネットワークの構造を有する
請求項 1 に記載の撮像装置。
- [請求項3] 前記処理部は、前記撮像部が撮像した前記撮像画像を用いて前記学習処理を行う
請求項 1 に記載の撮像装置。
- [請求項4] 前記処理部は、誤差逆伝播法を用いて前記学習処理を行う
請求項 1 に記載の撮像装置。
- [請求項5] 前記処理部は、前記学習処理を行う学習タイミングを決定する
請求項 1 に記載の撮像装置。
- [請求項6] 前記処理部は、環境情報に基づいて前記推論処理により出力される各クラスの確信度に基づいて前記学習タイミングを決定する
請求項 5 に記載の撮像装置。
- [請求項7] 前記処理部は、前記チップに搭載された素子の特性を示す素子特性値に基づいて前記学習タイミングを決定する
請求項 5 に記載の撮像装置。
- [請求項8] 前記処理部は、前記素子特性値の変化に基づいて前記学習タイミングを決定する
請求項 7 に記載の撮像装置。

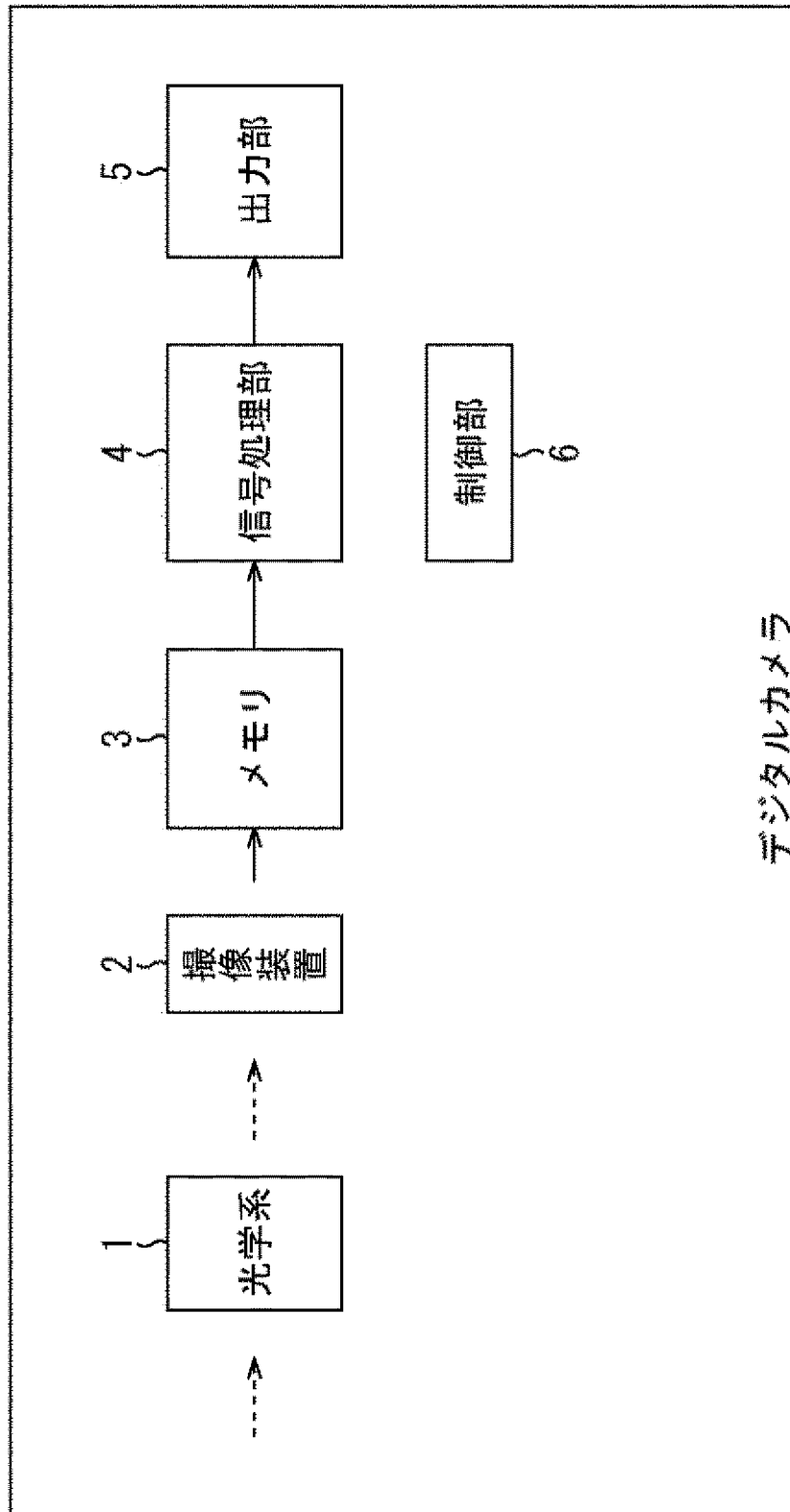
- [請求項9] 前記処理部は、前記推論処理により前記撮像画像に対する画像認識を行う
請求項1に記載の撮像装置。
- [請求項10] 画像を撮像する撮像部と、
推論処理を行う処理部と
を有し、
前記処理部は、素子の特性を示す素子特性値を入力として前記推論処理を行う
撮像装置。
- [請求項11] 前記処理部は、前記推論処理の推論結果として、回路の動作にかかわる回路設定値を出力する
請求項10に記載の撮像装置。
- [請求項12] 前記処理部は、前記素子特性値として、前記撮像部の画素アレイ、制御回路、および、記憶素子のうちのいずれかの素子特性値を取得する
請求項10に記載の撮像装置。
- [請求項13] 前記処理部は、前記素子特性値として、電流値、電圧値、及び、温度情報のうちのいずれかを取得する
請求項10に記載の撮像装置。
- [請求項14] 前記処理部は、前記撮像部が撮像した撮像画像と前記素子特性値とを入力として前記推論処理を行う
請求項10に記載の撮像装置。
- [請求項15] 前記処理部は、前記推論処理により前記撮像画像に対する画像認識を行う
請求項14に記載の撮像装置。
- [請求項16] 前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う
請求項10に記載の撮像装置。

[請求項17] 前記撮像部と前記処理部とは一体化されたチップに搭載された請求項10に記載の撮像装置。

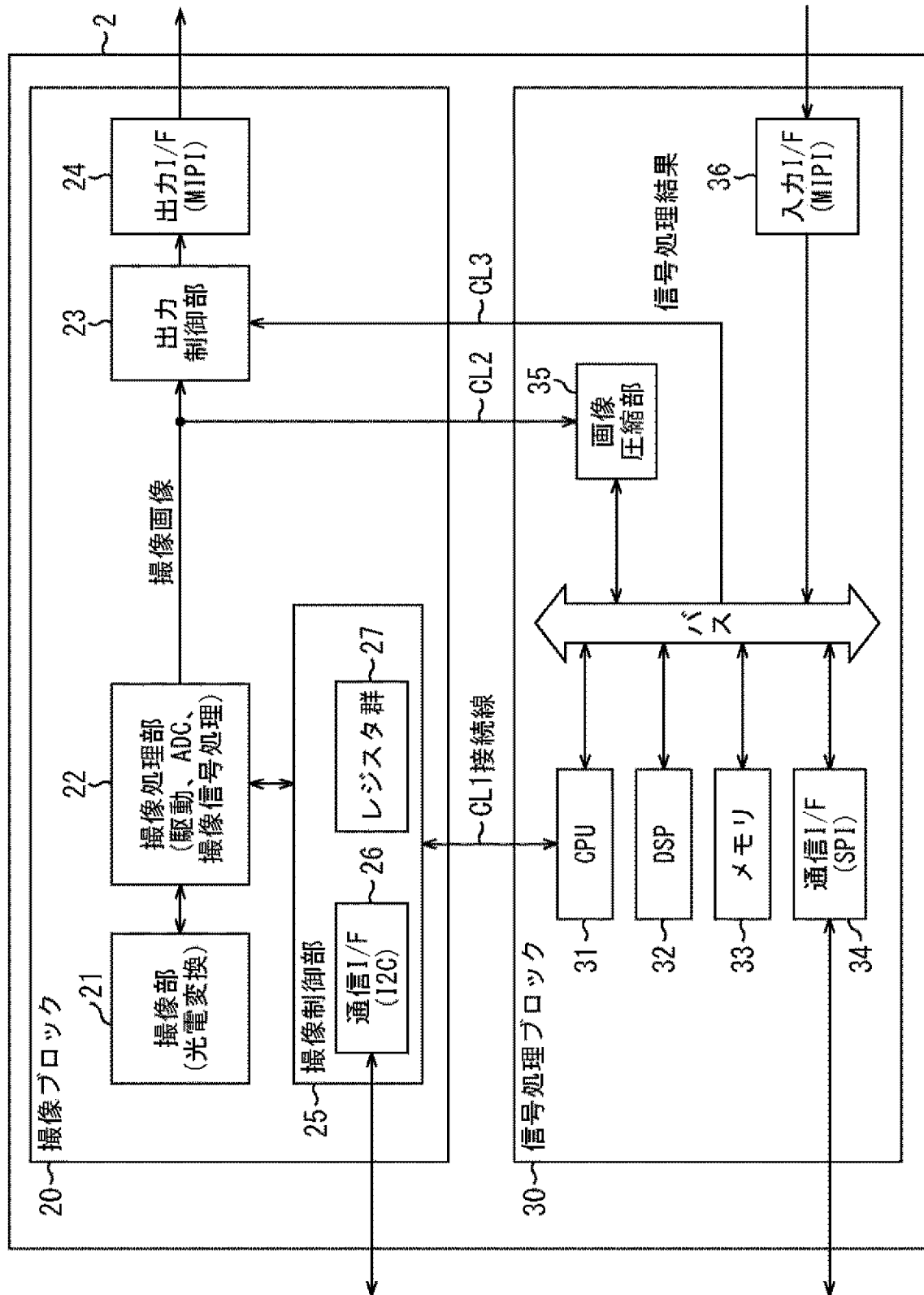
[請求項18] 撮像部と、
一体化されたチップに前記撮像部とともに搭載された処理部と
を有するデータ処理装置の
前記撮像部が、画像を撮像し、
前記処理部が、前記撮像部が撮像した撮像画像を入力とした推論処理を行い、かつ、前記推論処理に用いられる推論モデルの学習処理を行う
データ処理方法。

[請求項19] コンピュータを
画像を撮像する撮像部とともに一体化されたチップに搭載された処理部であって、前記撮像部が撮像した撮像画像を入力とした推論処理を行い、かつ、前記推論処理に用いられる推論モデルの学習処理を行う処理部
として機能させるためのプログラムが記録された記録媒体。

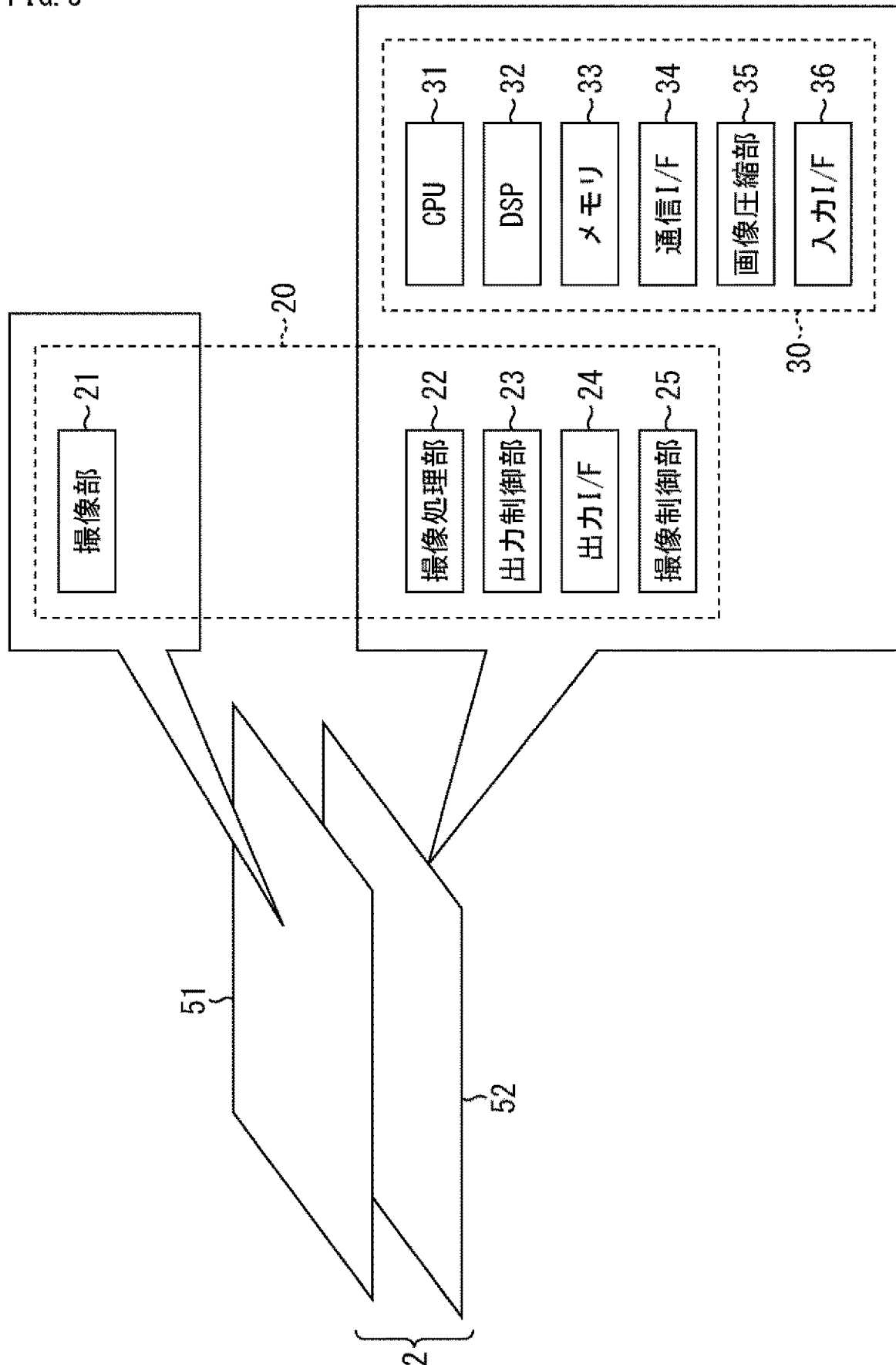
[図1]
FIG. 1



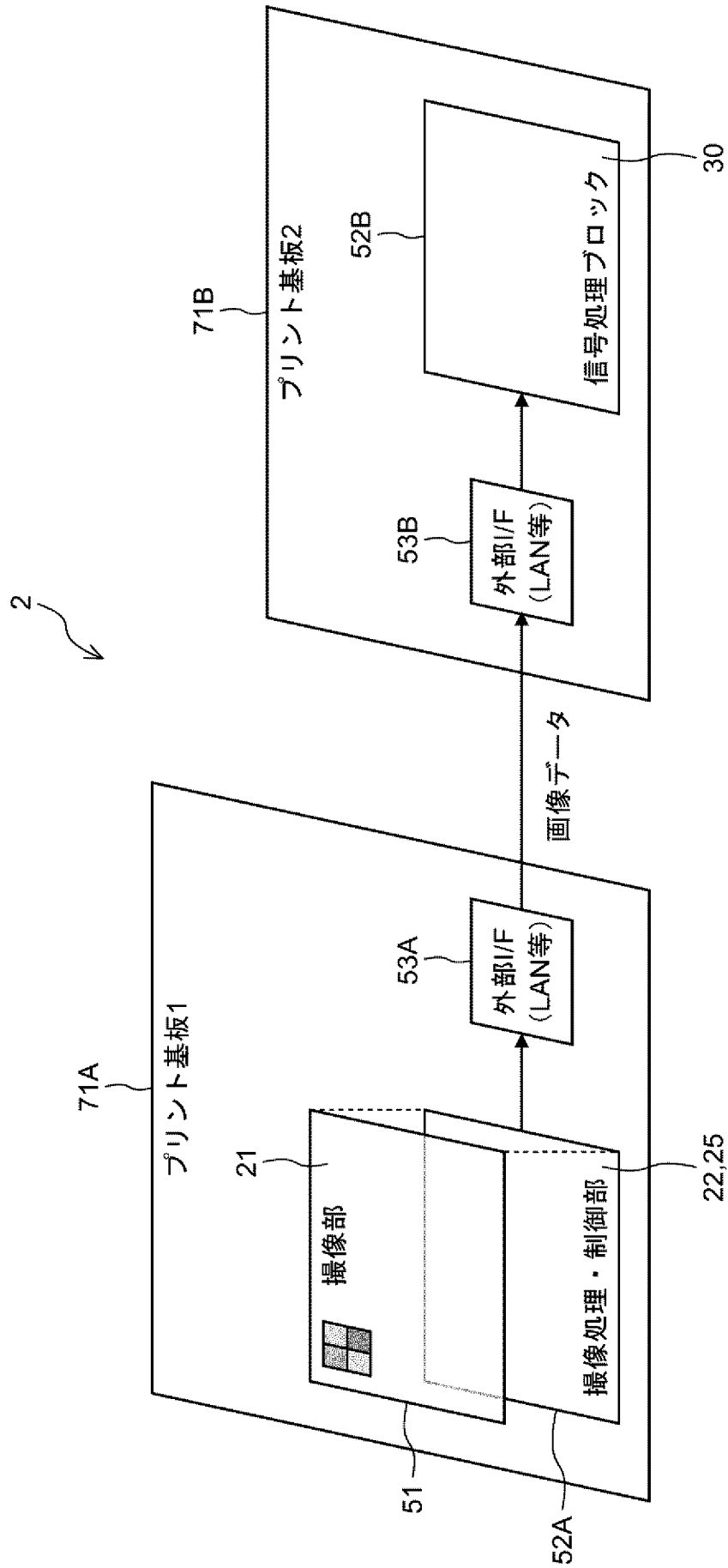
[図2]
FIG. 2



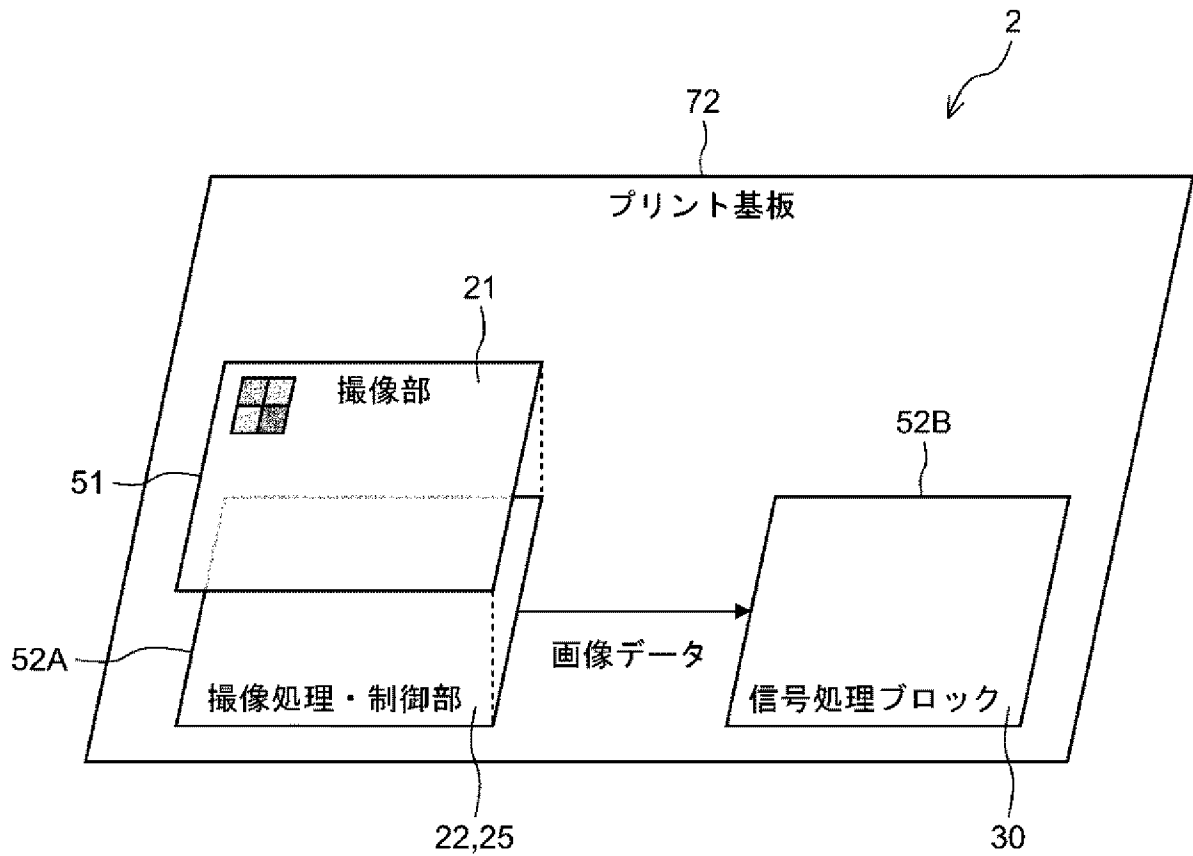
[図3]
FIG. 3



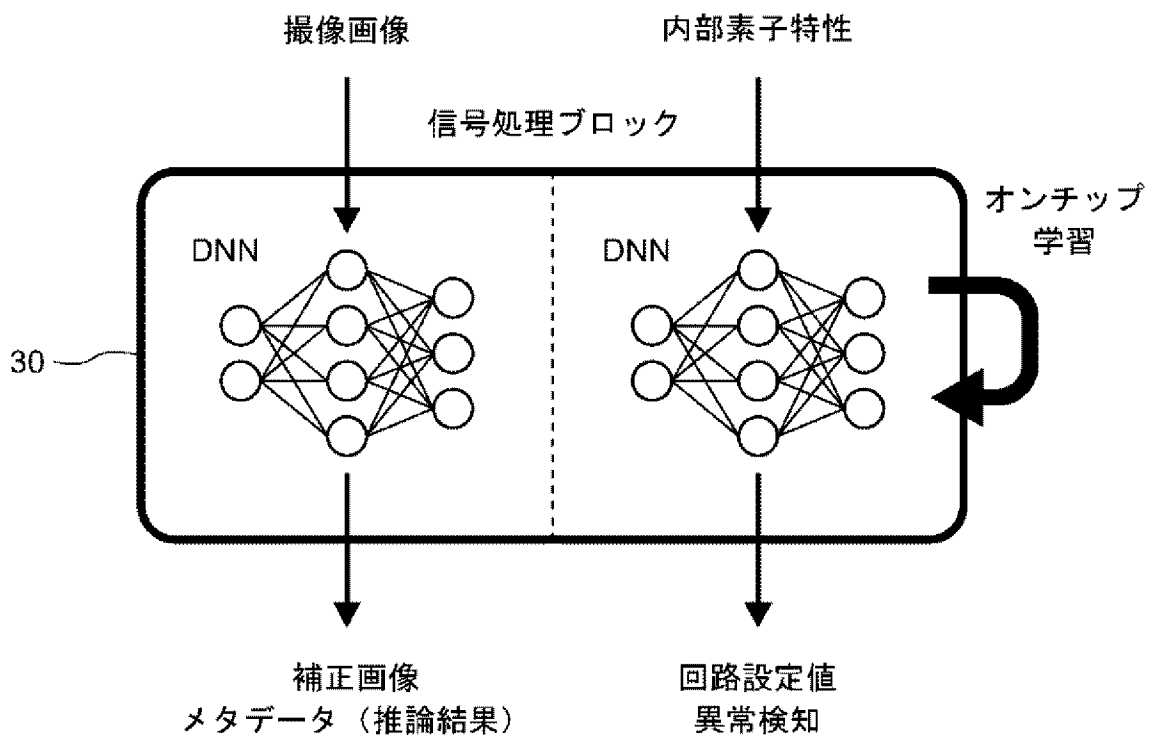
[図4]
FIG.4



[図5]
FIG.5



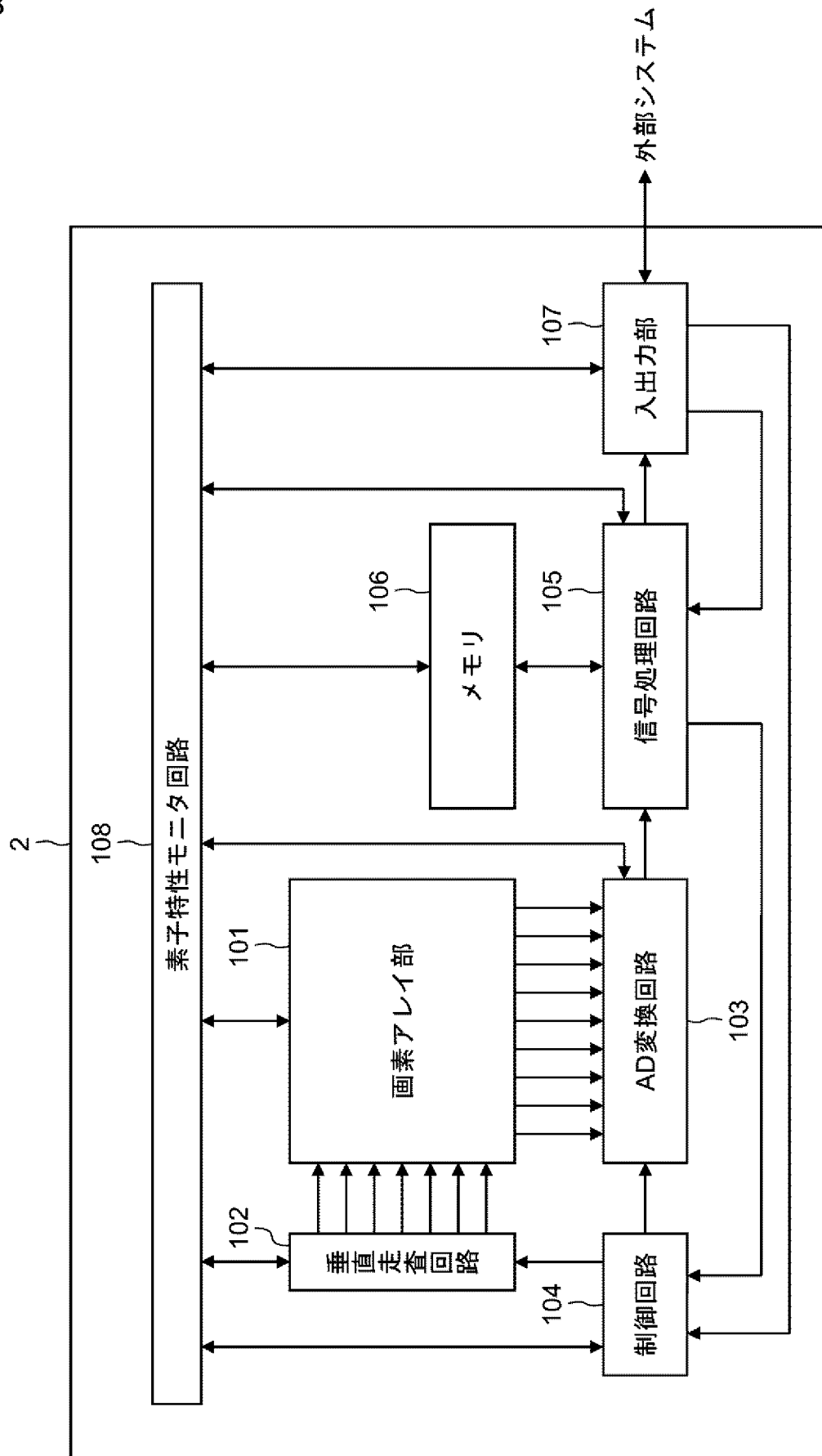
[図6]
FIG.6

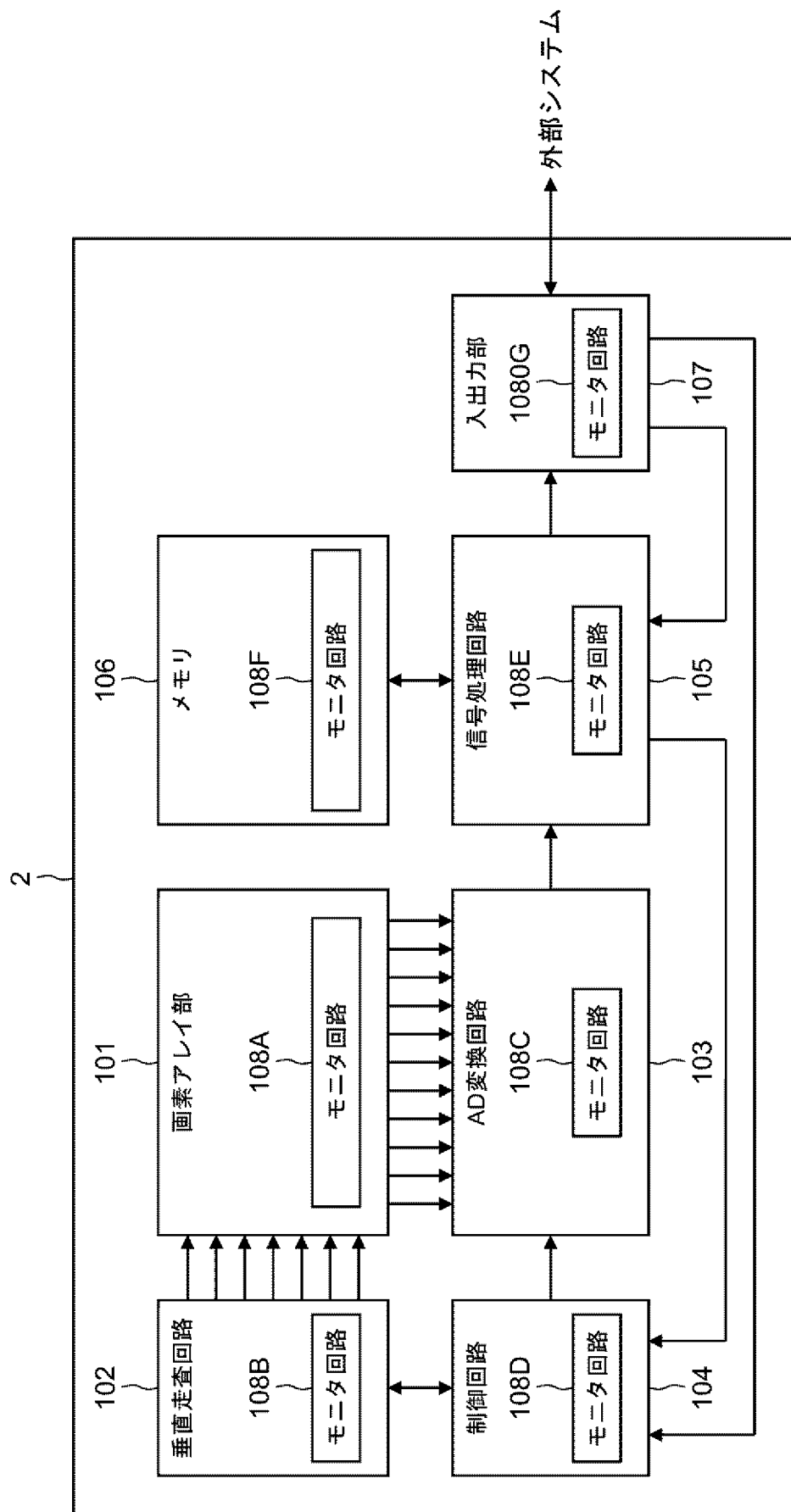


[図7]
FIG.7

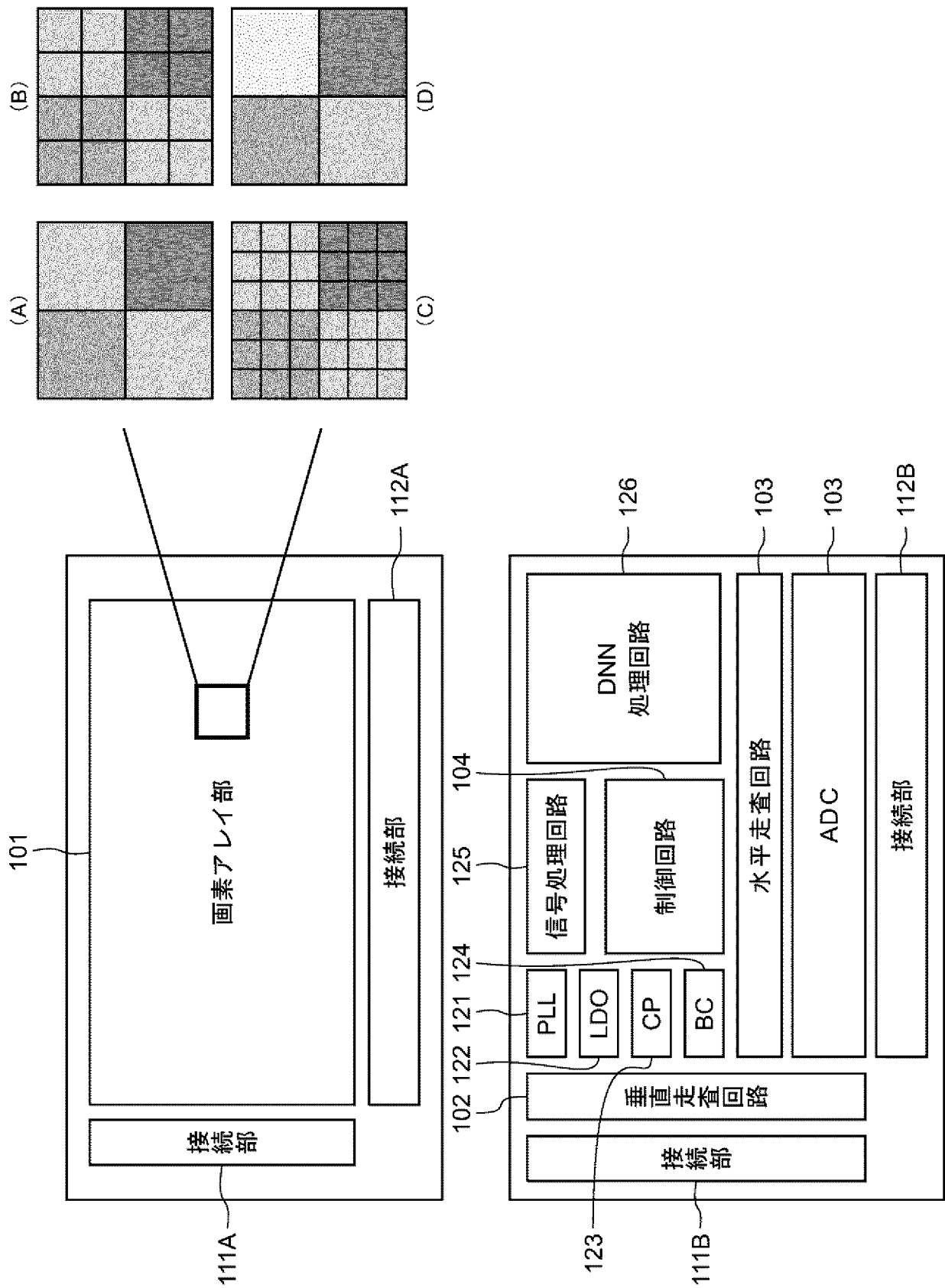
実行番号	処理コード	タイムスタンプ	処理結果
1	[022000]	2022/09/27 09:38:45	素子XXXのバイアス電圧をXX Vに設定
2	[022030]	2022/09/27 09:40:21	素子YYYの切り替えスイッチを"011"に設定
3	[021030]	2022/09/27 09:46:10	素子ZZZへのクロック周波数をAA MHzに設定
..	..	..	..

[図8]
FIG.8

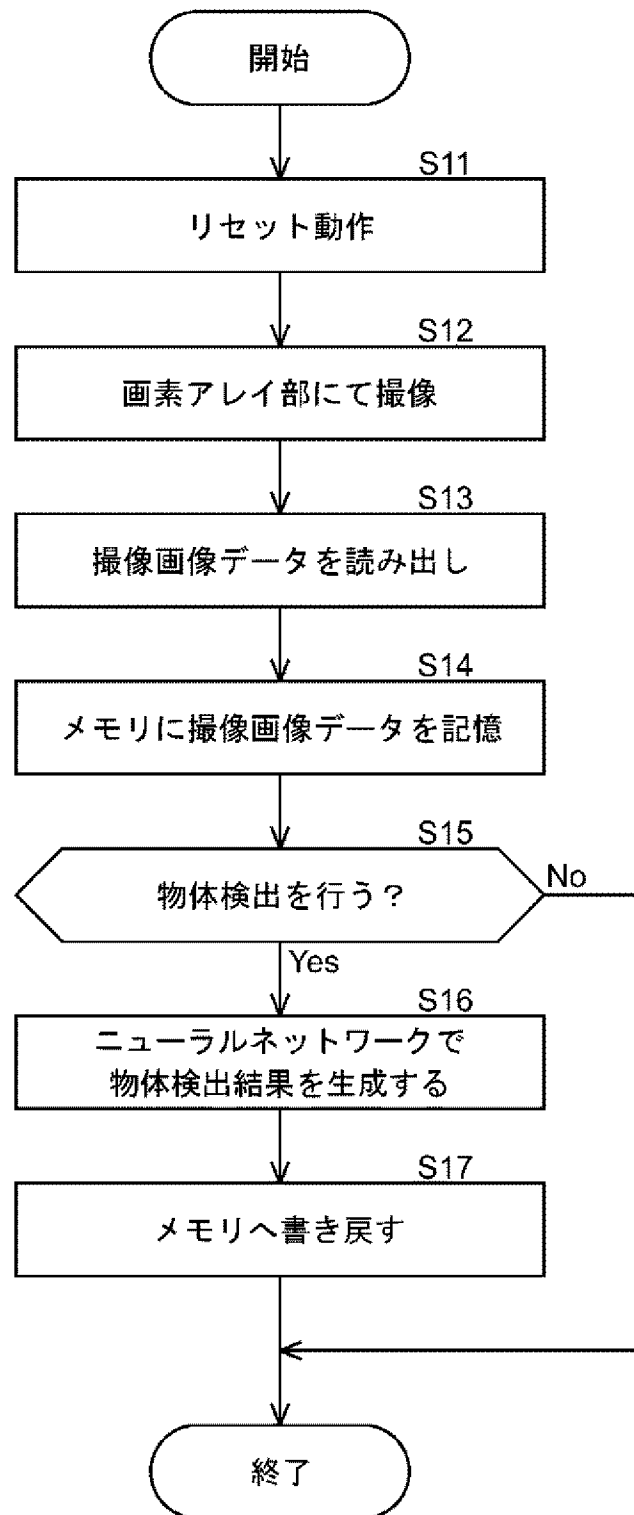


[図9]
FIG.9

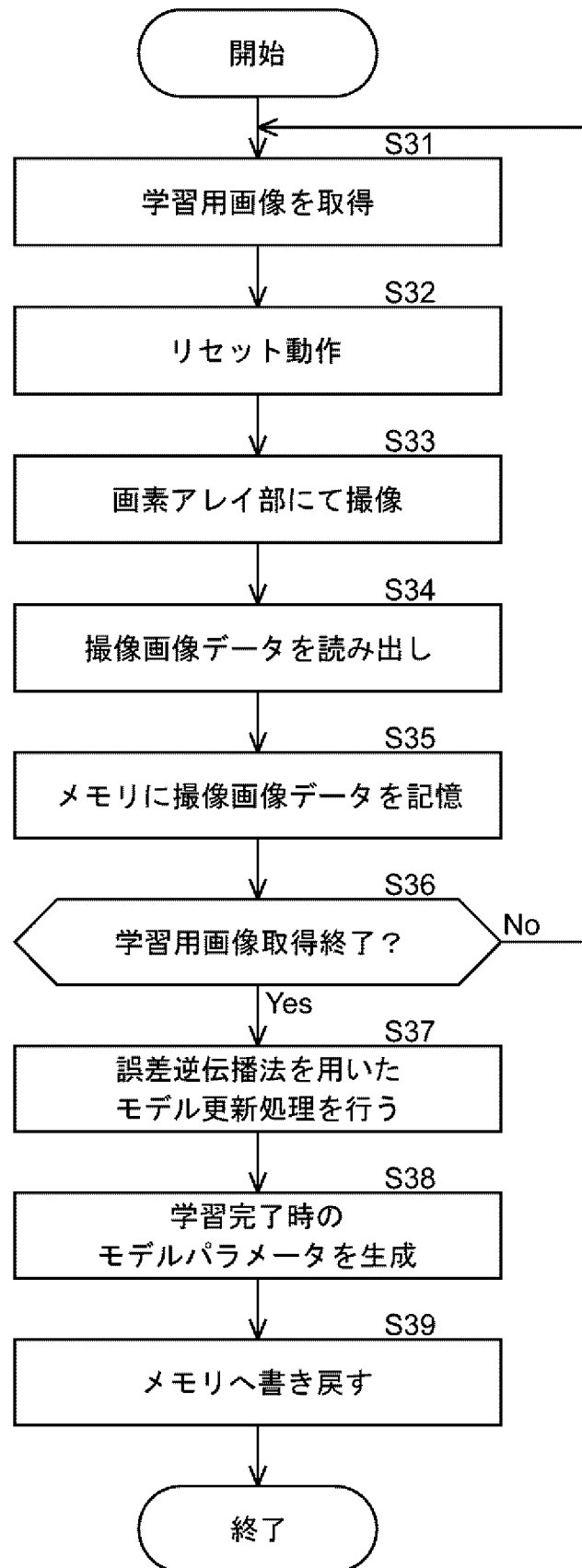
[図10]
FIG.10



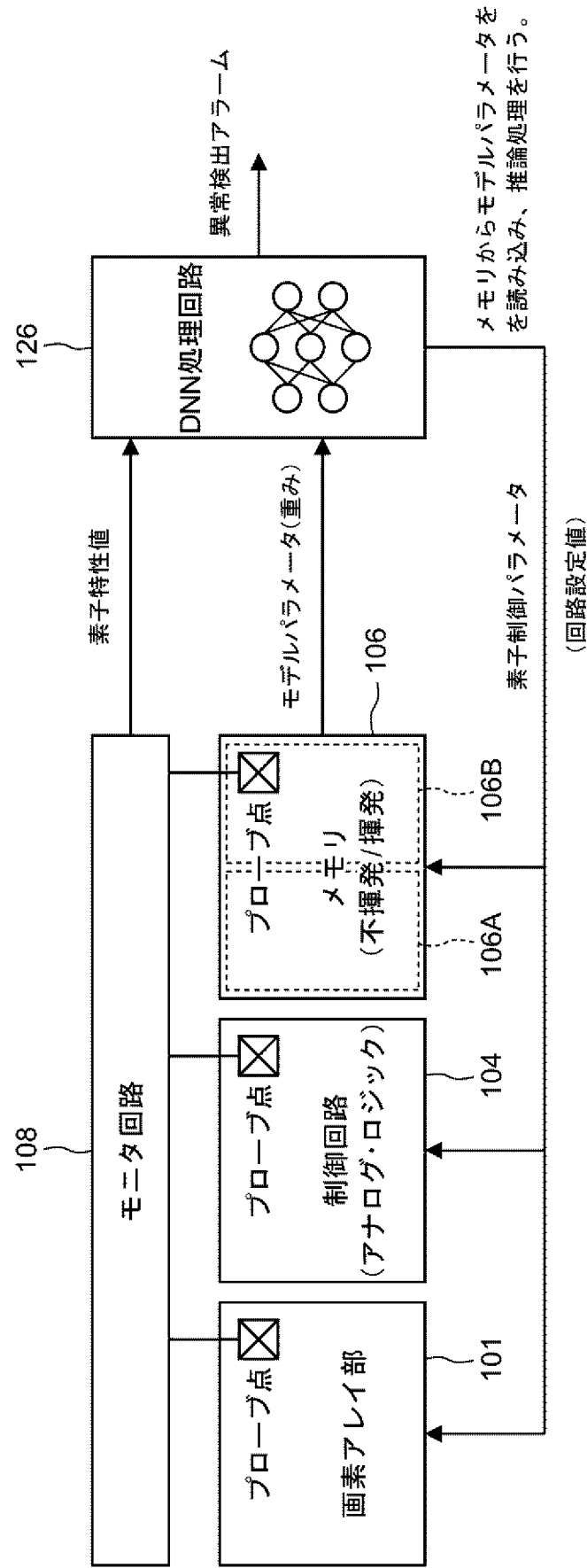
[図11]
FIG.11



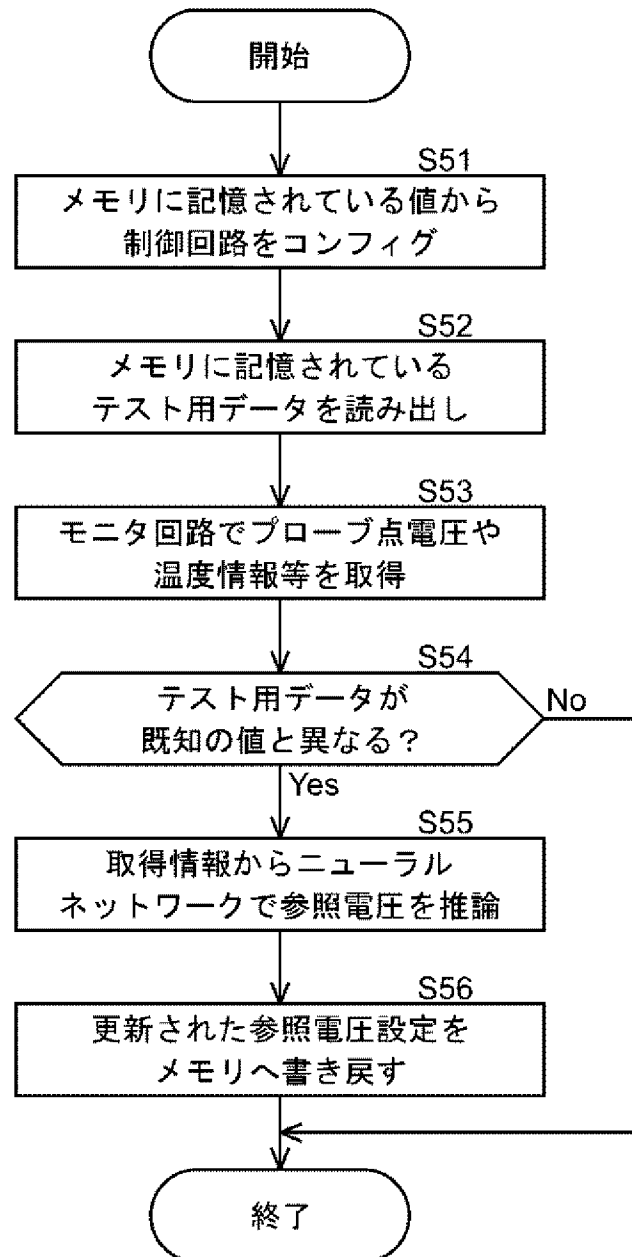
[図12]
FIG.12

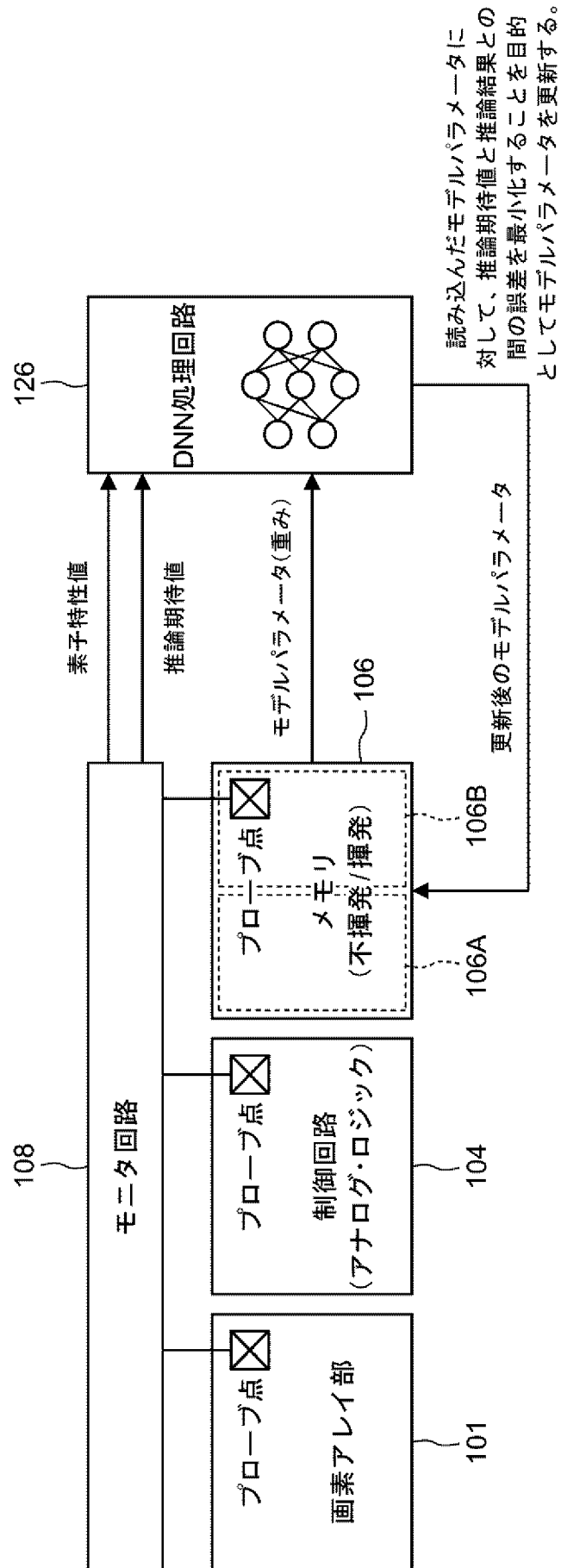


[図13]
FIG.13

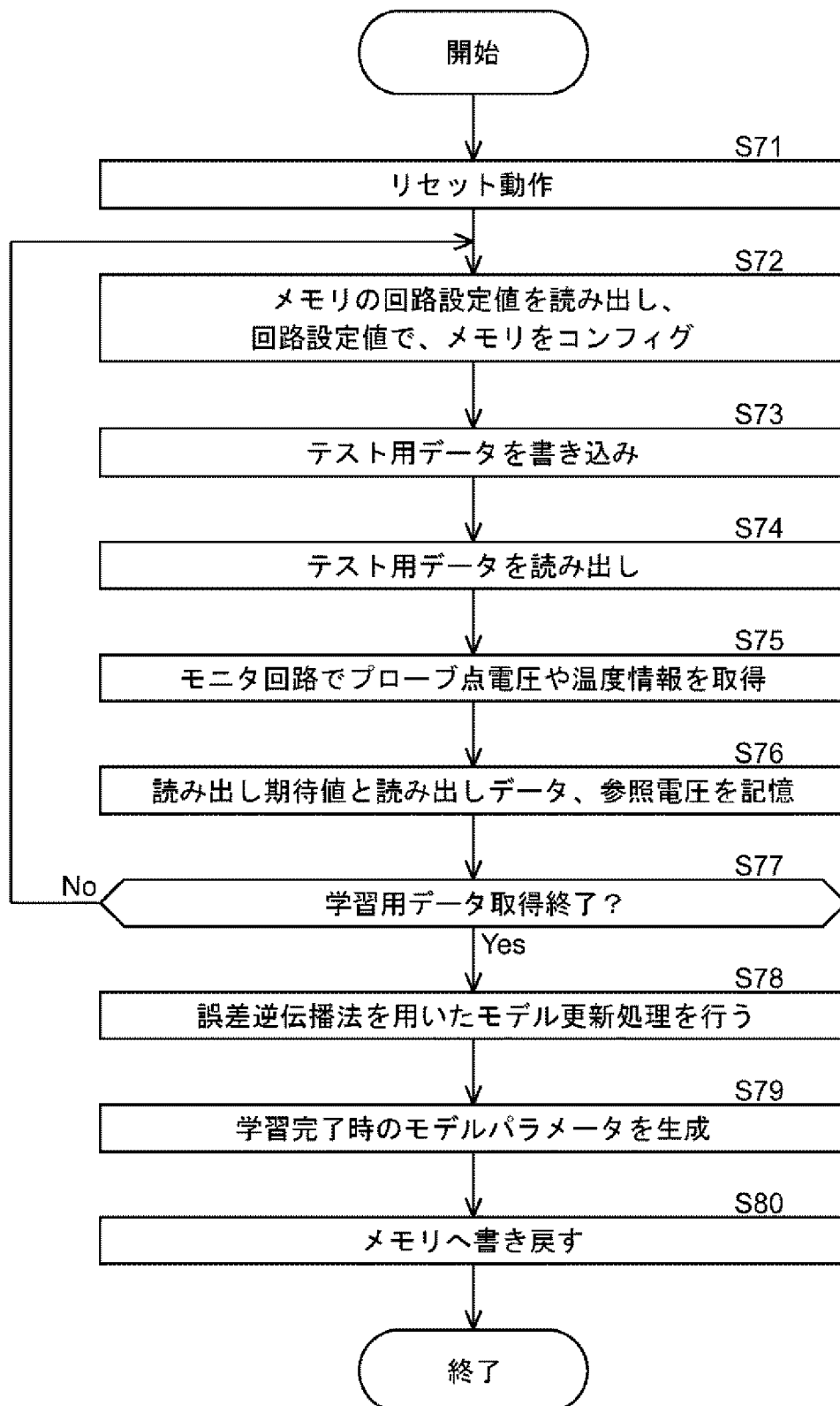


[図14]
FIG.14

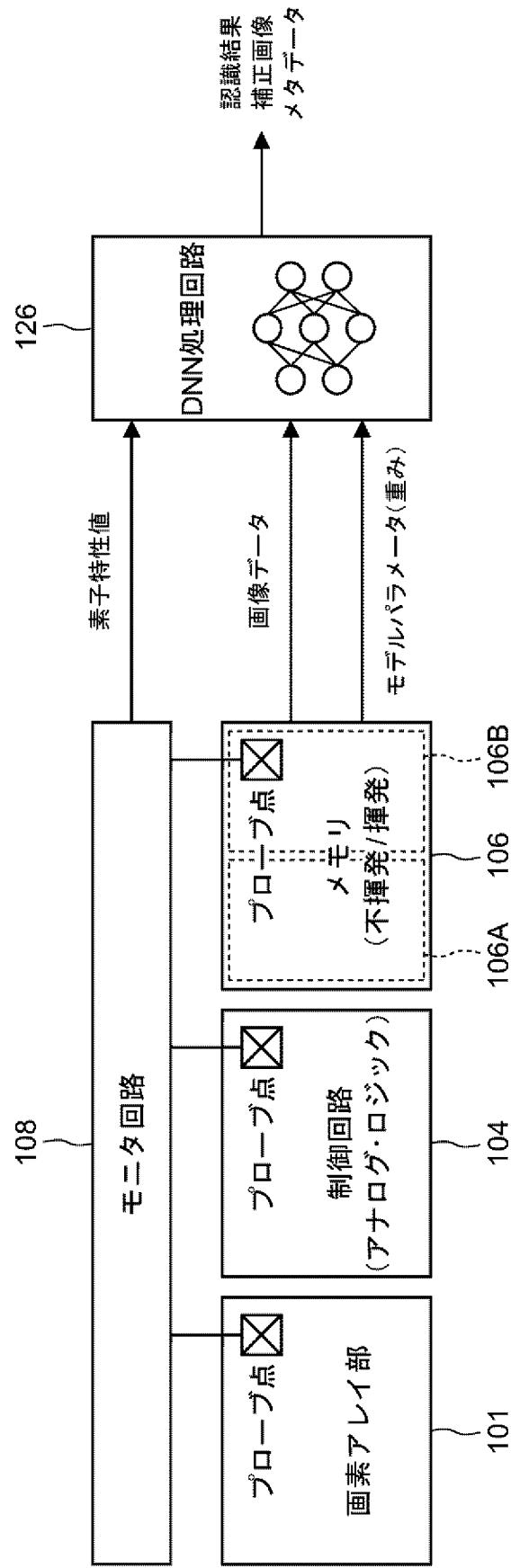


[図15]
FIG.15

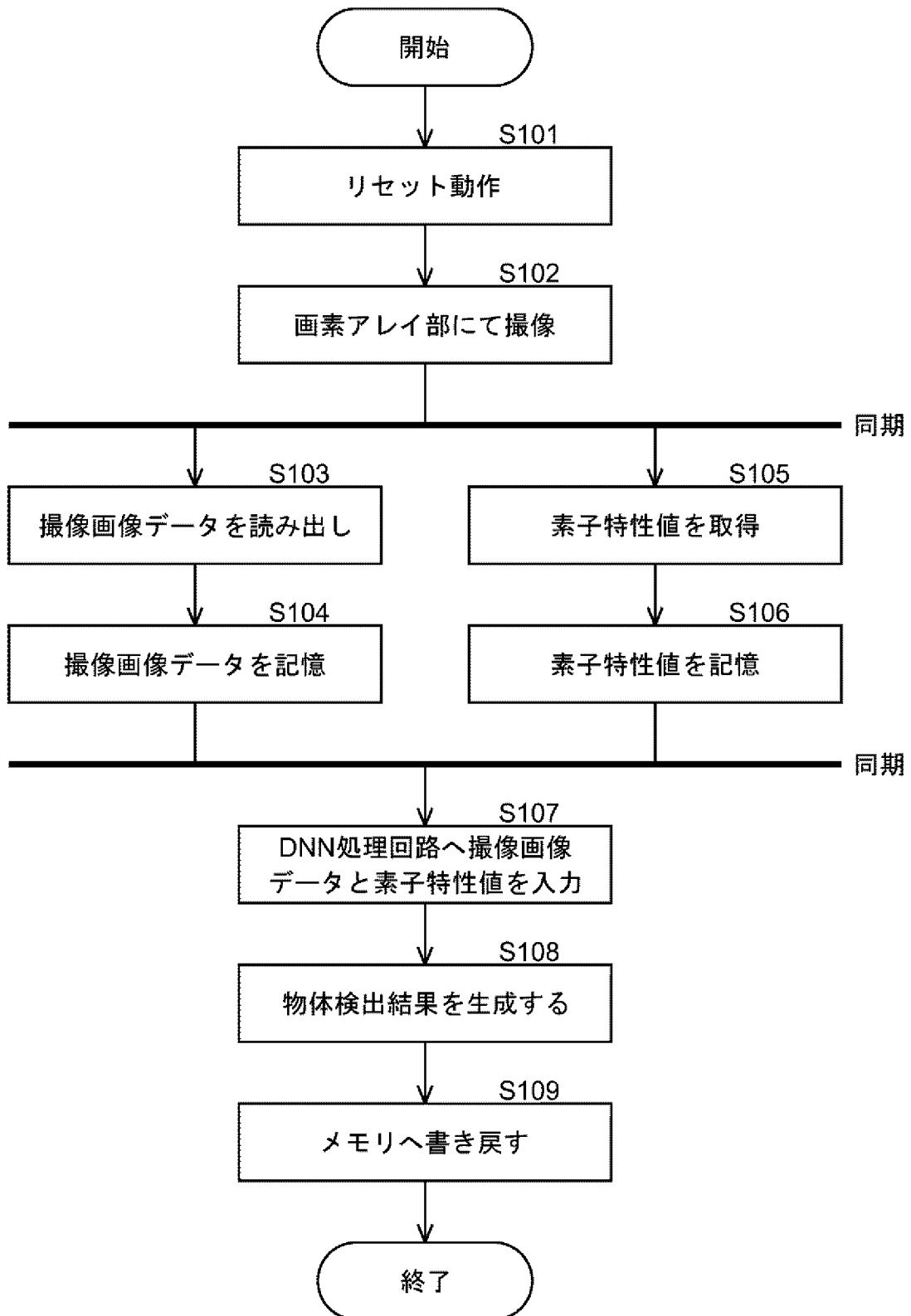
[図16]
FIG.16



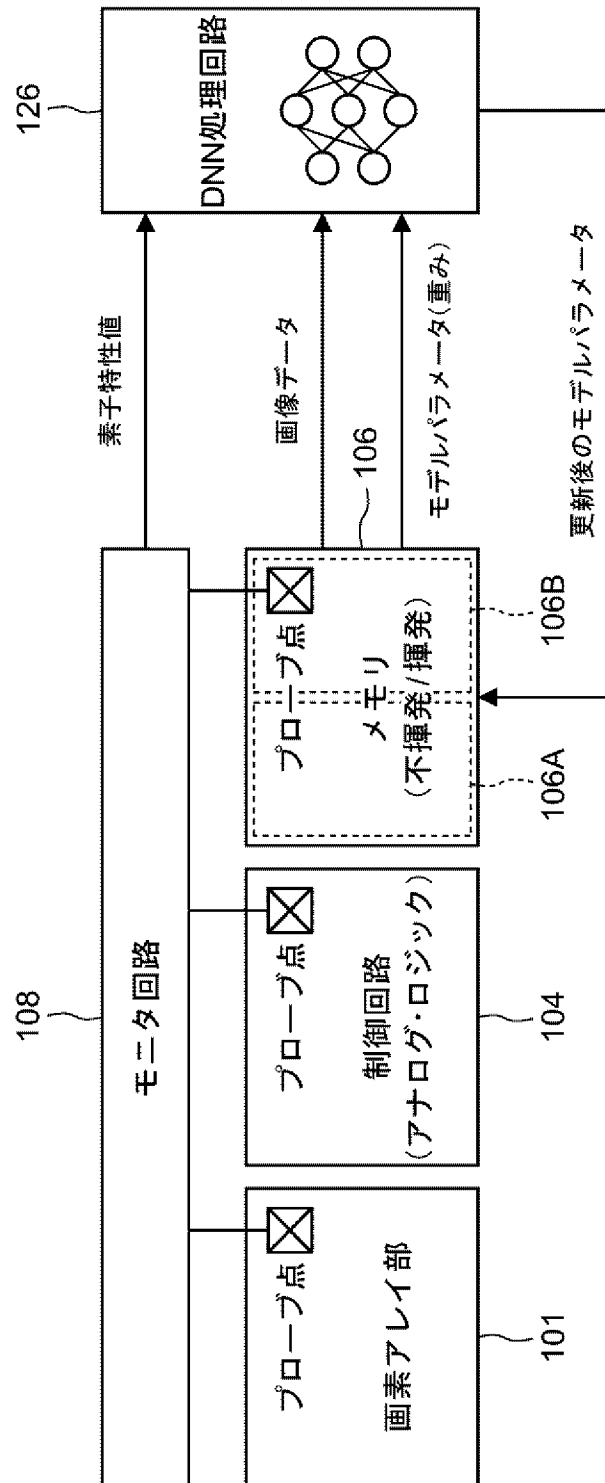
[図17]
FIG.17



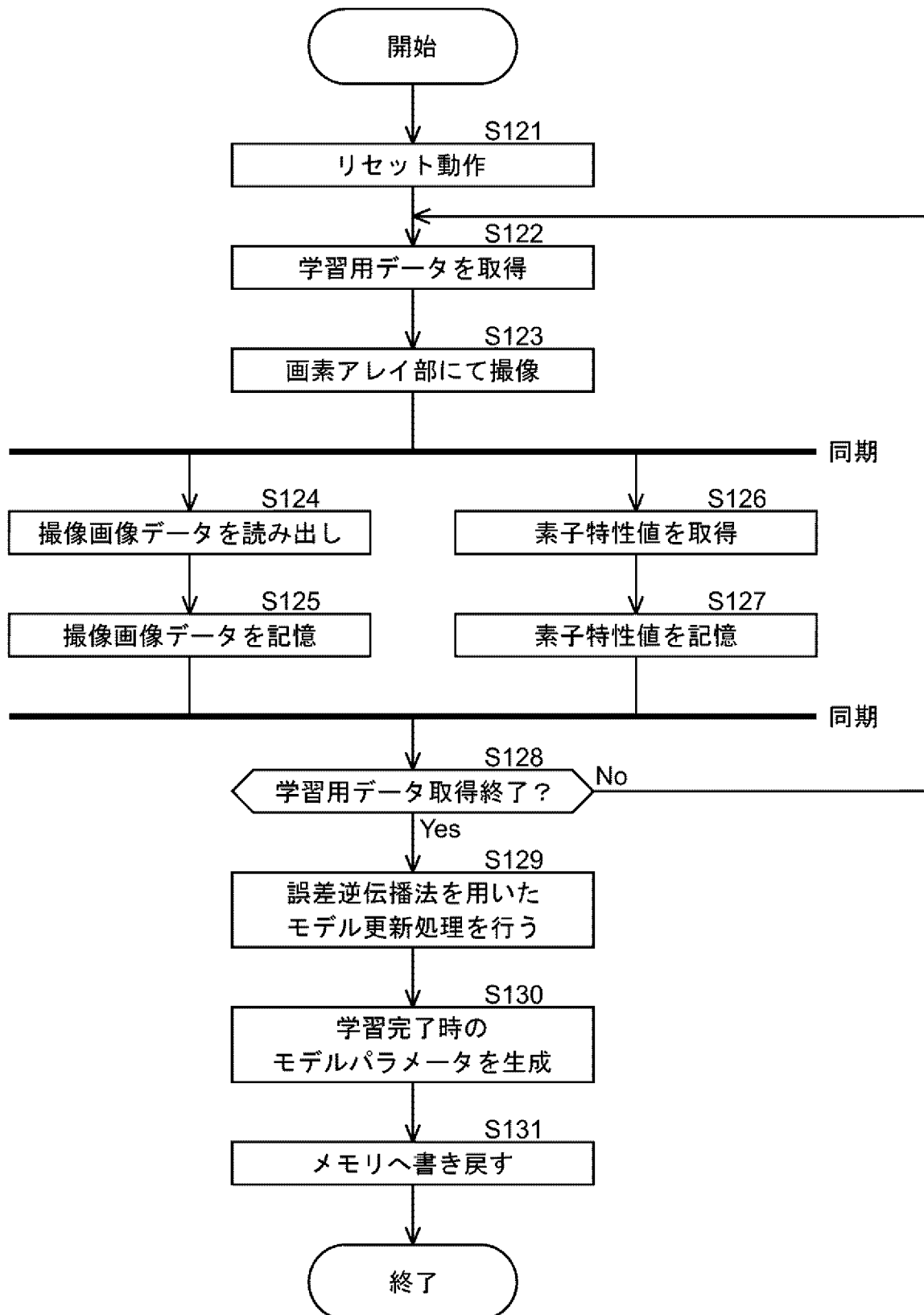
[図18]
FIG.18



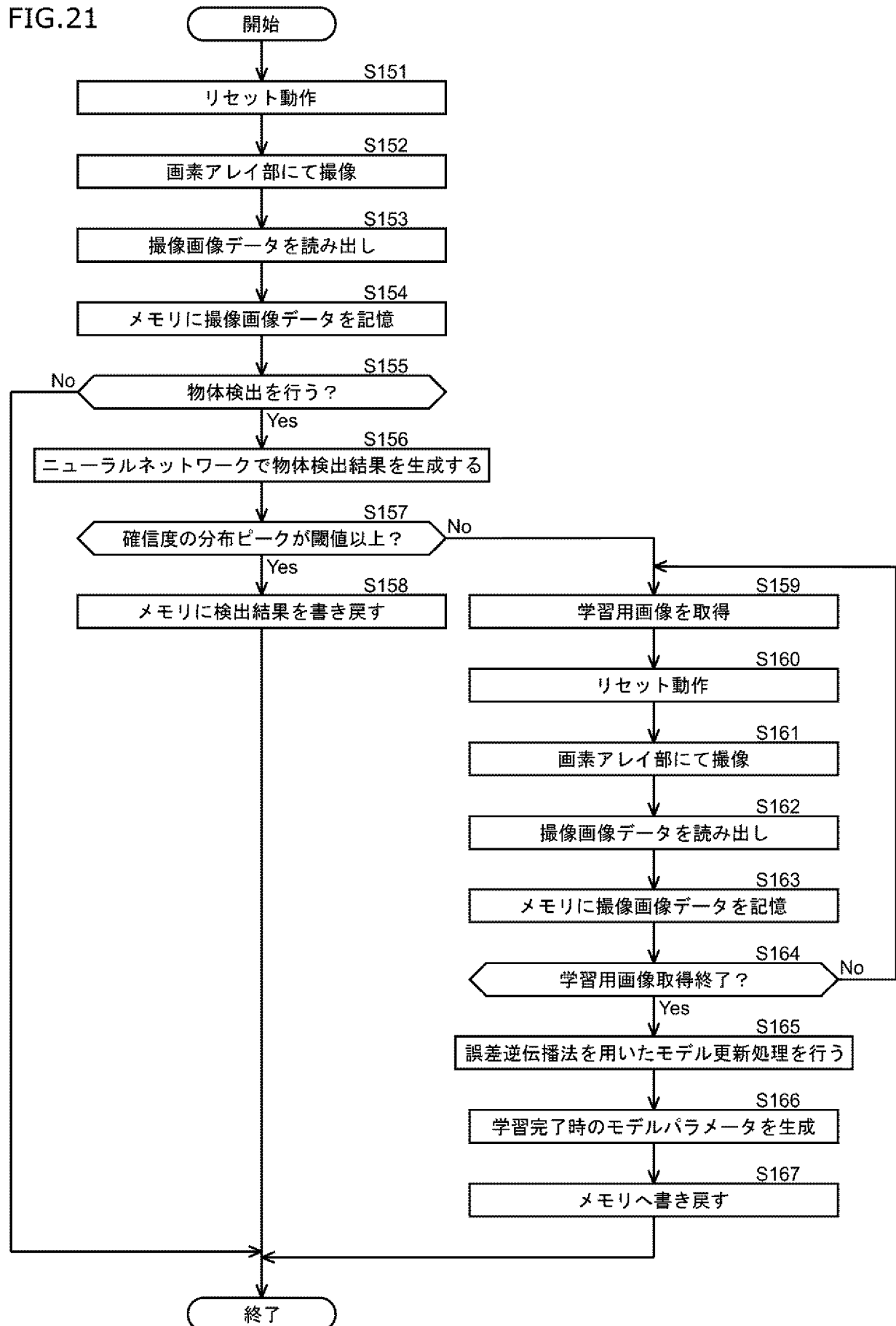
[図19]
FIG.19



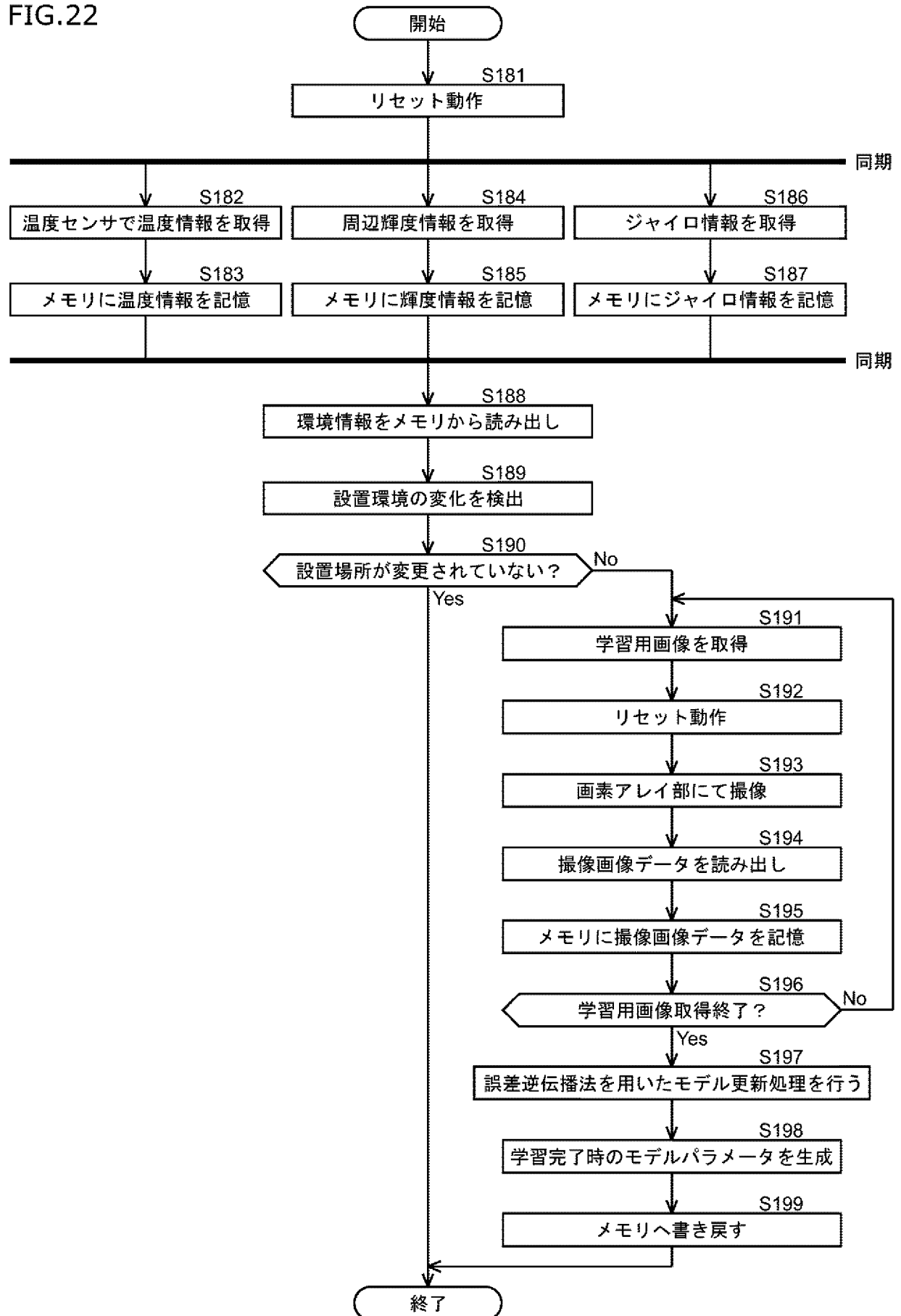
[図20]
FIG.20



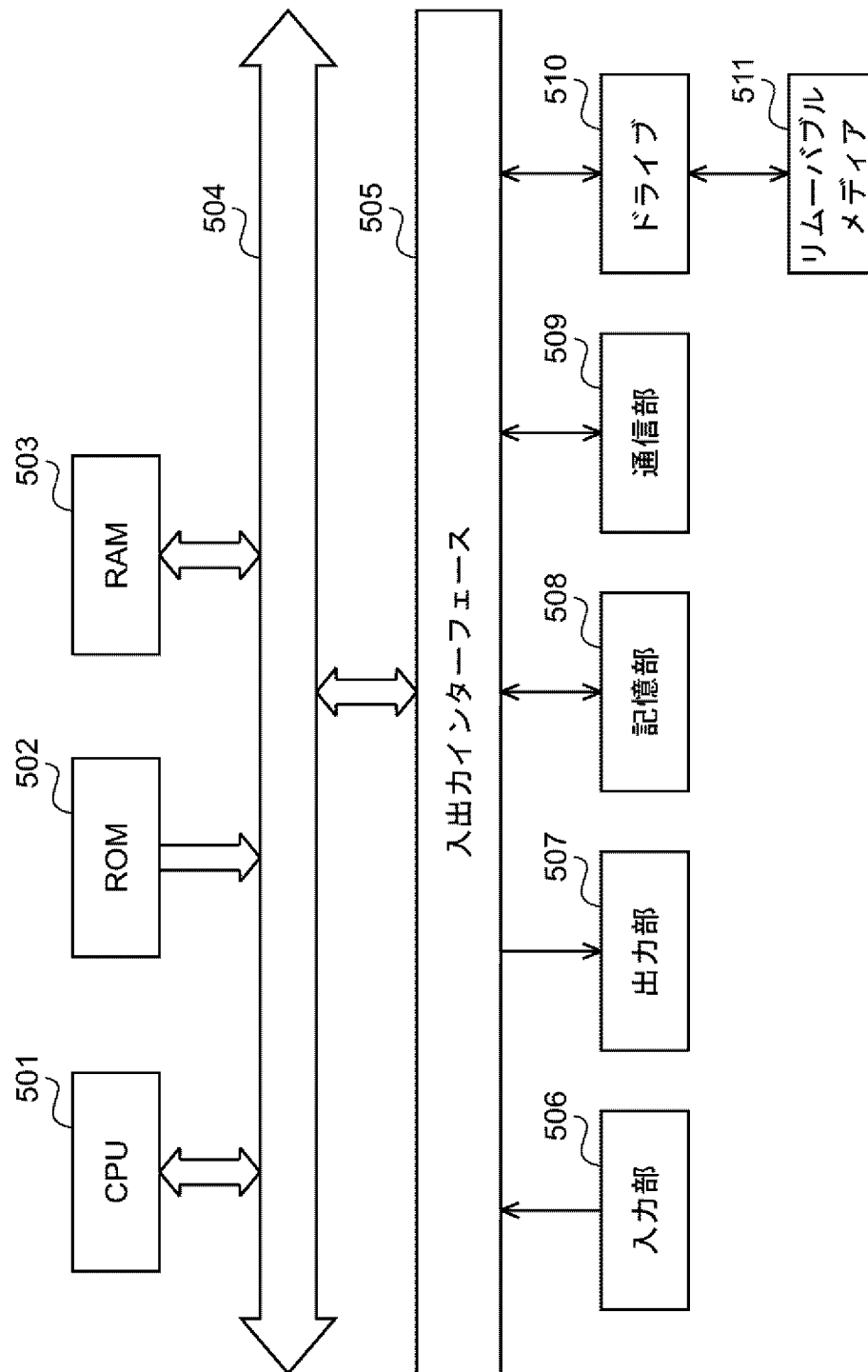
[図21]
FIG.21



[図22]
FIG.22



[図23]
FIG.23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001199

A. CLASSIFICATION OF SUBJECT MATTER G06V 10/82 (2022.01)i; G06T 7/00 (2017.01)i; H04N 23/60 (2023.01)i; H04N 25/70 (2023.01)i FI: G06V10/82; G06T7/00 350C; H04N23/60 500; H04N25/70 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06V10/82; G06T7/00; H04N23/60; H04N25/70 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2021/187365 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 September 2021 (2021-09-23) paragraphs [0075]-[0093], [0139]-[0140], fig. 7-8	1-4, 18-19
Y	paragraphs [0075]-[0093], [0139]-[0140], fig. 7-8	5-6, 9, 17
A	paragraphs [0075]-[0093], [0139]-[0140], fig. 7-8	7-8
Y	JP 2020-182219 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 05 November 2020 (2020-11-05) paragraphs [0065]-[0091]	5-6, 9, 17
Y	JP 2022-128256 A (HITACHI, LTD.) 01 September 2022 (2022-09-01) paragraphs [0011], [0057]-[0059]	5-6
Y	KR 10-2018-0138558 A (SK TELECOM CO., LTD.) 31 December 2018 (2018-12-31) paragraphs [0045]-[0048]	5-6
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 04 March 2024		Date of mailing of the international search report 12 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/070947 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 07 April 2022 (2022-04-07) paragraphs [0036]-[0037], [0054]	1-9, 18-19
X	JP 2001-54027 A (NIKON CORPORATION) 23 February 2001 (2001-02-23) paragraphs [0045]-[0054]	10-13
Y	paragraphs [0045]-[0054]	17
X	JP 2021-122106 A (CANON INC.) 26 August 2021 (2021-08-26) paragraphs [0014]-[0044]	10, 12-16
Y	paragraphs [0014]-[0044]	17
A	JP 2008-182419 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 07 August 2008 (2008-08-07) paragraphs [0007], [0052]	10-17

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: WO 2021/187365 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 September 2021 (2021-09-23), paragraphs [0075]-[0093], [0139]-[0140], tables 7-8 & US 2023/0267707 A1, paragraphs [0086]-[0104], [0155]-[0156], fig. 7-8 & EP 4124016 A1 & CN 115280754 A

The claims are classified into the following two inventions.

(Invention 1) Claims 1-9 and 18-19

Document 1 discloses "an imaging device including an imaging unit that captures an image, and a processing unit mounted, together with the imaging unit, on an integrated chip, the processing unit performing inference processing that uses, as input, a captured image captured by the imaging unit, the processing unit performing learning processing of an inference model used in the inference processing", wherein "the inference model has a neural network structure in machine learning technology", the processing unit performs the learning processing using the captured image captured by the imaging unit", and "the processing unit performs the learning processing using backpropagation" (see, in particular, paragraphs [0075]-[0093], [0139], [0140], fig. 7-8). Accordingly, claims 1-4 lack novelty in the light of document 1 and thus do not have a special technical feature. However, claim 5 depending from claim 1 has the special technical feature of "an imaging device including an imaging unit that captures an image, and a processing unit mounted, together with the imaging unit, on an integrated chip, the processing unit performing inference processing that uses, as input, a captured image captured by the imaging unit, the processing unit performing learning processing of an inference model used in the inference processing", wherein "the processing unit determines a learning timing for performing the learning processing". Claims 6-8 also have the same special technical feature as claim 5. Therefore, claims 1-8 are classified as invention 1.

Furthermore, claim 9 depends from claim 1 and is inventively related to claim 1, and thus is classified as invention 1. Additionally, claims 18-19 are substantially identical to or similarly closely related to claim 1, and thus are classified as invention 1.

(Invention 2) Claims 10-17

Claims 10-17 share, with claim 1 classified as invention 1, the feature of "an imaging device having an imaging unit that captures an image, and a processing unit that performs inference processing". However, this feature does not make a contribution over the prior art in the light of the content disclosed in document 1 (see, in particular, paragraphs [0075]-[0093], [0139], [0140], fig. 7-8), and thus cannot be said to be a special technical feature. Furthermore, there are no other identical or corresponding special technical features between claims 10-17 and claim 1. Additionally, claims 10-17 do not depend from claim 1. Moreover, claims 10-17 are not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Therefore, claims 10-17 cannot be classified as invention 1.

Claims 10-17 are classified as invention 2.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001199

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/001199

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/187365	A1	23 September 2021	US 2023/0267707 A1 paragraphs [0086]-[0104], [0155]-[0156], fig. 7-8 EP 4124016 A1 CN 115280754 A	
JP	2020-182219	A	05 November 2020	US 2023/0234503 A1 paragraphs [0191]-[0219] EP 3833005 A1 KR 10-2021-0030359 A CN 112544073 A	
JP	2022-128256	A	01 September 2022	US 2022/0269988 A1 paragraphs [0010], [0072]- [0074] EP 4047603 A1 CN 114970657 A	
KR	10-2018-0138558	A	31 December 2018	(Family: none)	
WO	2022/070947	A1	07 April 2022	US 2023/0333816 A1 paragraphs [0105]-[0106], [0132] CN 116210228 A	
JP	2001-54027	A	23 February 2001	US 6963368 B1 column 12, line 17 to column 14, line 62	
JP	2021-122106	A	26 August 2021	US 2021/0243395 A1 paragraphs [0018]-[0048]	
JP	2008-182419	A	07 August 2008	US 2008/0174671 A1 paragraphs [0009], [0070] CN 101232582 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

G06V 10/82(2022.01)i; G06T 7/00(2017.01)i; H04N 23/60(2023.01)i; H04N 25/70(2023.01)i

FI: G06V10/82; G06T7/00 350C; H04N23/60 500; H04N25/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G06V10/82; G06T7/00; H04N23/60; H04N25/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2021/187365 A1（ソニーセミコンダクタソリューションズ株式会社）23.09.2021 (2021 - 09 - 23)	1-4, 18-19
Y	[0075]-[0093], [0139]-[0140], [図7]-[図8]	5-6, 9, 17
A	[0075]-[0093], [0139]-[0140], [図7]-[図8]	7-8
Y	JP 2020-182219 A（ソニーセミコンダクタソリューションズ株式会社）05.11.2020 (2020 - 11 - 05)	5-6, 9, 17
	[0065]-[0091]	
Y	JP 2022-128256 A（株式会社日立製作所）01.09.2022 (2022 - 09 - 01)	5-6
	[0011], [0057]-[0059]	
Y	KR 10-2018-0138558 A（SK TELECOM CO LTD）31.12.2018 (2018 - 12 - 31)	5-6
	[0045]-[0048]	

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

04.03.2024

国際調査報告の発送日

12.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

片岡 利延 5H 4881

電話番号 03-3581-1101 内線 3531

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2022/070947 A1 (ソニーセミコンダクタソリューションズ株式会社) 07.04.2022 (2022 - 04 - 07) [0036]-[0037], [0054]	1-9, 18-19
X	JP 2001-54027 A (株式会社ニコン) 23.02.2001 (2001 - 02 - 23) [0045]-[0054]	10-13
Y	[0045]-[0054]	17
X	JP 2021-122106 A (キャノン株式会社) 26.08.2021 (2021 - 08 - 26) [0014]-[0044]	10, 12-16
Y	[0014]-[0044]	17
A	JP 2008-182419 A (松下電器産業株式会社) 07.08.2008 (2008 - 08 - 07) [0007], [0052]	10-17

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献1: W0 2021/187365 A1 (ソニーセミコンダクタソリューションズ株式会社)
23.09.2021(2021-09-23) [0075]-[0093], [0139]-[0140], [図7]-[図8] & US 2023/0267707 A1 [0086]-[0104], [0155]-[0156], FIGs. 7-8 & EP 4124016 A1 & CN 115280754 A

請求の範囲は、以下の2つの発明に区分される。

（発明1） 請求項1-9, 18-19

文献1には「画像を撮像する撮像部と、一体化されたチップに前記撮像部とともに搭載された処理部であって、前記撮像部が撮像した撮像画像を入力とした推論処理を行う処理部とを有し、前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う撮像装置」であって「前記推論モデルは、機械学習技術におけるニューラルネットワークの構造を有」し、「前記処理部は、前記撮像部が撮像した前記撮像画像を用いて前記学習処理を行」い、「前記処理部は、誤差逆伝播法を用いて前記学習処理を行う」「撮像装置」が記載されており（特に[0075]-[0093], [0139]-[0140], [図7]-[図8]参照）、請求項1-4は、文献1により新規性が欠如しているため、特別な技術的特徴を有しない。しかしながら、請求項1の従属請求項である請求項5は、「画像を撮像する撮像部と、一体化されたチップに前記撮像部とともに搭載された処理部であって、前記撮像部が撮像した撮像画像を入力とした推論処理を行う処理部とを有し、前記処理部は、前記推論処理に用いられる推論モデルの学習処理を行う撮像装置」において「前記処理部は、前記学習処理を行う学習タイミングを決定する」という特別な技術的特徴を有しており、請求項6-8 も、請求項5と同一の特別な技術的特徴を有している。したがって、請求項1-8を発明1に区分する。

また、請求項9は請求項1の従属請求項であり、請求項1に対して発明の連関を有しているので、発明1に区分する。

さらに、請求項18-19は請求項1と実質同一又はそれに準ずる関係にあるので、発明1に区分する。

（発明2） 請求項10-17

請求項10-17は、発明1に区分された請求項1と、「画像を撮像する撮像部と、推論処理を行う処理部とを有（する）撮像装置」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1の開示内容（特に[0075]-[0093], [0139]-[0140], [図7]-[図8]参照）に照らして、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴であるとはいえない。また、請求項10-17と請求項1に、他に同一の又は対応する特別な技術的特徴は存在しない。さらに、請求項10-17は請求項1の従属請求項でもない。また、請求項10-17は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項10-17は発明1に区分できない。

請求項10-17は、発明2に区分する。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/001199

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/187365	A1	23.09.2021	US	2023/0267707	A1	
					[0086]-[0104], [0155]-		
					[0156], FIGs. 7-8		
				EP	4124016	A1	
				CN	115280754	A	

JP	2020-182219	A	05.11.2020	US	2023/0234503	A1	
					[0191]-[0219]		
				EP	3833005	A1	
				KR	10-2021-0030359	A	
				CN	112544073	A	

JP	2022-128256	A	01.09.2022	US	2022/0269988	A1	
					[0010], [0072]-[0074]		
				EP	4047603	A1	
				CN	114970657	A	

KR	10-2018-0138558	A	31.12.2018	(ファミリーなし)			

WO	2022/070947	A1	07.04.2022	US	2023/0333816	A1	
					[0105]-[0106], [0132]		
				CN	116210228	A	

JP	2001-54027	A	23.02.2001	US	6963368	B1	
					column12 line17 -		
					column14 line62		

JP	2021-122106	A	26.08.2021	US	2021/0243395	A1	
					[0018]-[0048]		

JP	2008-182419	A	07.08.2008	US	2008/0174671	A1	
					[0009], [0070]		
				CN	101232582	A	
