



## [12] 发明专利申请公开说明书

H01L 21/336 G02F 1/1368

[21] 申请号 200410005375.3

[43] 公开日 2004 年 8 月 25 日

[11] 公开号 CN 1523679A

[22] 申请日 2004. 2. 11

[74] 专利代理机构 中科专利商标代理有限责任公司  
代理人 刘晓峰

[21] 申请号 200410005375.3

[30] 优先权

[32] 2003. 2. 20 [33] JP [31] 2003 - 042083

[71] 申请人 日本电气株式会社

地址 日本东京都

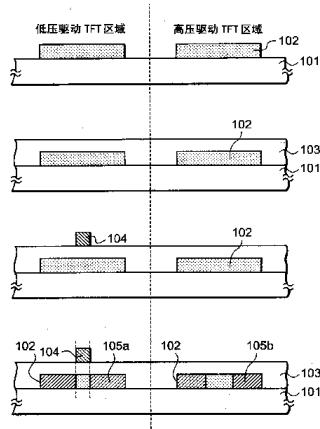
[72] 发明人 奥村展

权利要求书 5 页 说明书 12 页 附图 8 页

[54] 发明名称 薄膜晶体管衬底及其制造方法

[57] 摘要

提供一种薄膜晶体管衬底，包括第一薄膜晶体管和第二薄膜晶体管。第一薄膜晶体管包括第一激活层、第一栅极绝缘薄膜和第一栅电极。第二薄膜晶体管包括形成的第二激活层、第二栅极绝缘薄膜和第二栅电极。第二栅极绝缘薄膜的厚度大于第一栅极绝缘薄膜的厚度，第二激活层具有至少两个叠置第二栅电极的杂质掺杂区域，第一激活层具有至少两个相对于第一栅电极以自对准方式形成的杂质掺杂区域，以及第二栅电极包括半导体层。



1. 一种薄膜晶体管衬底，包括：

5 绝缘衬底；

形成在所述绝缘衬底之上的第一薄膜晶体管，其中所述第一薄膜晶体管包括形成在所述绝缘衬底之上的第一激活层、形成在所述第一激活层上的第一栅极绝缘薄膜和形成在所述第一栅极绝缘薄膜上的第一栅电极；以及

10 形成在所述绝缘衬底之上的第二薄膜晶体管，其中所述第二薄膜晶体管包括形成在所述绝缘衬底之上的第二激活层、形成在所述第二激活层上的第二栅极绝缘薄膜和形成在所述第二栅极绝缘薄膜上的第二栅电极，

15 其中，所述第二栅极绝缘薄膜的厚度大于所述第一栅极绝缘薄膜的厚度，

其中，所述第二激活层具有至少两个叠盖所述第二栅电极的杂质掺杂区域，

其中，所述第一激活层具有至少两个相对于所述第一栅电极以自对准方式形成的杂质掺杂区域，以及

20 其中，所述第二栅电极包括半导体层。

2. 根据权利要求 1 所述的薄膜晶体管衬底，

其中，所述第二栅极绝缘薄膜包括所述第一绝缘薄膜和形成在所述第一栅极绝缘薄膜之上的栅极覆盖薄膜。

3. 根据权利要求 1 所述的薄膜晶体管衬底，

25 其中，以自对准方式形成的所述杂质掺杂区域被形成，以叠盖住所述第一栅电极  $0.1 \mu m$  或更少。

4. 根据权利要求 1 所述的薄膜晶体管衬底，

其中，相对于所述第一栅电极以自对准方式形成的所述杂质掺杂区域中的至少一个区域包括 LDD 结构。

30 5. 根据权利要求 1 所述的薄膜晶体管衬底，

其中，叠盖所述第二栅电极的所述杂质掺杂区域被形成，以叠盖住所述第二栅电极  $2.0 \mu m$  或更少。

6. 根据权利要求 1 所述的薄膜晶体管衬底，

其中，叠盖所述第二栅电极的所述杂质掺杂区域中的至少一个区域  
5 包括 LDD 结构。

7. 根据权利要求 1 所述的薄膜晶体管衬底，

其中，所述第一栅电极包括两层结构，所述两层结构包括半导体层和金属或金属硅化物层。

8. 根据权利要求 1 所述的薄膜晶体管衬底，

10 其中，所述第二栅电极包括两层结构，所述两层结构包括半导体层和金属或金属硅化物层。

9. 根据权利要求 1 所述的薄膜晶体管衬底，

其中，所述第二薄膜晶体管进一步包括形成在第二激活层与所述第二栅电极之间的第三栅电极。

15 10. 根据权利要求 2 所述的薄膜晶体管衬底，

其中，所述第二薄膜晶体管进一步包括形成在所述第一栅极绝缘薄膜上的第三栅电极。

11. 一种薄膜晶体管衬底，包括：

绝缘衬底；

20 形成在所述绝缘衬底之上的第一薄膜晶体管，其中所述第一薄膜晶体管包括形成在所述绝缘衬底之上的第一激活层、形成在所述第一激活层上的第一栅极绝缘薄膜和形成在所述第一栅极绝缘薄膜上的第一栅电极；以及

25 形成在所述绝缘衬底之上的第二薄膜晶体管，其中所述第二薄膜晶体管包括形成在所述绝缘衬底之上的第二激活层、形成在所述第二激活层上的第二栅极绝缘薄膜和形成在所述第二栅极绝缘薄膜上的第二栅电极，

其中，所述第二栅极绝缘薄膜的厚度大于所述第一栅极绝缘薄膜的厚度，

30 其中，所述第二激活层具有至少两个叠盖所述第二栅电极的杂质掺

杂区域，

其中，所述第一激活层具有至少两个相对于所述第一栅电极以自对准方式形成的杂质掺杂区域，以及

5 其中，所述第二薄膜晶体管进一步包括形成在第二激活层与所述第  
二栅电极之间的第三栅电极。

12. 根据权利要求 11 所述的薄膜晶体管衬底，

其中，形成所述第三栅电极的材料与所述第一栅电极的材料相同，  
以及

其中，所述第三栅电极的厚度与所述第一栅电极的相同。

10 13. 根据权利要求 11 所述的薄膜晶体管衬底，

其中，以自对准方式形成的所述杂质掺杂区域被形成，以叠盖住所  
述第一栅电极  $0.1 \mu m$  或更少。

14. 根据权利要求 11 所述的薄膜晶体管衬底，

其中，相对于所述第一栅电极以自对准方式形成的所述杂质掺杂区  
15 域中的至少一个区域包括 LDD 结构。

15. 根据权利要求 11 所述的薄膜晶体管衬底，

其中，叠盖所述第二栅电极的所述杂质掺杂区域被形成，以叠盖住  
所述第二栅电极  $2.0 \mu m$  或更少。

16. 根据权利要求 11 所述的薄膜晶体管衬底，

20 其中，叠盖所述第二栅电极的杂质掺杂区域中的至少一个区域包括  
LDD 结构。

17. 根据权利要求 11 所述的薄膜晶体管衬底，

其中，所述第三栅电极包括两层结构，所述两层结构包括半导体层  
和金属或金属硅化物层。

25 18. 一种用于制造薄膜晶体管衬底的方法，包括：

提供绝缘衬底；

在所述绝缘衬底之上形成第一激活层；

在所述绝缘衬底之上形成第二激活层；

在所述第一激活层和所述第二激活层上形成第一栅极绝缘薄膜；

30 在所述第一激活层之上形成第一栅电极；

通过掺杂杂质而在所述第一激活层中形成杂质掺杂区域，相对于所述第一栅电极以自对准的方式形成所述杂质掺杂区域；

通过掺杂杂质在所述第二激活层中形成杂质掺杂区域；

在所述第一栅极绝缘薄膜和所述第一栅电极之上形成栅极覆盖薄膜；以及

在所述第二激活层之上形成第二栅电极，

其中，所述第二栅电极包括至少两个部分，所述两个部分中的每个部分叠盖所述第二激活层中所述杂质掺杂区域中的每个区域，以及

其中，所述第二栅电极包括至少一半导体层。

10 19. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，

其中，通过等离子体增强型化学汽相沉积方法沉积所述半导体层。

20. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，进一步包括：

在形成所述栅极覆盖薄膜之前，在所述第二激活层之上形成第三栅电极。

15 21. 根据权利要求 20 所述的用于制造薄膜晶体管衬底的方法，

其中，所述第三栅电极在与形成所述第一栅电极的所述步骤相同的步骤中被形成。

20 22. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，进一步包括：

在所述第一激活层和所述第二激活层中形成杂质掺杂区域的所述步骤之后，激活掺杂入所述第一激活层和所述第二激活层中的所述杂质掺杂区域中的杂质。

25 23. 根据权利要求 22 所述的用于制造薄膜晶体管衬底的方法，

其中，通过光致辐照或加热气体被喷溅的快速加热方法实施激活所述杂质的所述步骤。

24. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，进一步包括：

在形成第二栅电极的所述步骤之前实施加氢过程。

30 25. 根据权利要求 24 所述的用于制造薄膜晶体管衬底的方法，

其中，所述加氢过程实施一次。

26. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，

其中，依据等离子体增强型化学汽相沉积方法通过沉积半导体薄膜而形成所述第一栅电极。

5 27. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，

其中，在依据等离子体增强型化学汽相沉积方法沉积半导体薄膜之后，通过沉积金属或金属硅化物形成所述第一栅电极和所述第二栅电极。

28. 根据权利要求 18 所述的用于制造薄膜晶体管衬底的方法，

其中，在所述绝缘衬底上以岛状形状形成所述第一激活层和所述第  
10 二激活层。

## 薄膜晶体管衬底及其制造方法

5

### 技术领域

本发明涉及薄膜晶体管衬底及其制造方法，尤其涉及多种薄膜晶体管形成在绝缘衬底上的一种薄膜晶体管衬底，其中所述多种晶体管在例如驱动电路、电源升压电路以及电平移相电路中的驱动电压不同。

10

### 背景技术

近些年来，通过使用多晶硅（poly-Si）薄膜晶体管（TFT），像素开关元件以及驱动电路可以形成在液晶设备、有机场致发光显示设备等类似物中的相同衬底上，其中所述液晶设备、有机场致发光显示设备等类似物形成在低成本的玻璃衬底上。希望在驱动电路中的操作电压较低，以降低功率消耗。然而，在像素操作中需要具有相同电平或更高电平的电压。因此，需要这样的技术：其中具有不同操作电压的多种 TFT 混合制造在衬底上，以形成包括电源升压电路、电平移相电路等类似物的驱动电路。

20

一般，为了形成具有不同操作电压的 TFT，考虑到耐压而采用了改变栅极绝缘薄膜厚度的技术。例如，日本已公布申请 H05-335573A（现有技术 1）公开了一种技术，如图 1 所示，其中岛状激活层 302 形成在绝缘衬底 301 上。将成为源极/漏极区域的杂质掺杂区域 305a、305b 形成在激活层中，栅极绝缘薄膜 303 形成在整个表面上，外围电路 TFT401 的栅电极 304 形成在栅极绝缘薄膜上。然后，第一夹层绝缘薄膜 306 形成在整个表面上，矩阵电路（开关）TFT402 的栅电极 307 形成。其后，第二夹层绝缘薄膜 308 被沉积，金属线 309 形成。

25

日本已公布申请 2003-45892（现有技术 2）公开了一种技术，其中根据与现有技术 1 中公开的技术相类似的方式，低压驱动 TFT 和高压驱动 TFT 形成在绝缘衬底上。在低压驱动 TFT 中，源极和漏极区域之间的

沟道区域不叠覆栅电极，而在高压驱动 TFT 中，沟道区域叠覆栅电极。

此外，日本已公布申请 H08-250742A（现有技术 3）公开了一种技术，其中岛状激活层形成在绝缘衬底上，第一栅极绝缘薄膜有选择地形成在开关 TFT 的岛状激活层上。然后，第二栅极绝缘薄膜沉积在整个表面上，开关 TFT 的栅电极和外围电路 TFT 的栅电极同时形成，利用激光实现杂质离子的掺杂和激活过程。  
5

然而，现有技术 3 中公开的方法涉及这样的问题：其中附加提供绝缘薄膜的包括有光刻步骤的蚀刻步骤。此外，在制造 TFT 过程中，每个杂质掺杂步骤和激活步骤非常依赖于激活层上绝缘薄膜的厚度。这样，  
10 在利用厚度不同的绝缘薄膜（栅极绝缘薄膜）执行各个步骤的情况下，很难获得满意的电路操作，因为很难匹配 TFT 特性，尤其是多种 TFT 中的阈值电压。

在杂质掺杂步骤中，产生这样的问题：即在对于所有多种 TFT 以自对准方式掺杂杂质时，光刻步骤的数量和杂质掺杂步骤的数量增加。并且，当激活层上绝缘薄膜的厚度超过 120nm 时，还会产生这样的问题：  
15 即磷很难被掺杂，因为磷的绝缘薄膜传输能力低。为了避免以上问题，在紧随激活层形成之后，可以相对于多种 TFT 同时掺杂杂质，例如如现有技术 1 中所公开的一样。然而，在杂质不以自对准方式沉积的情况下，栅极对准引起叠盖或偏移结构，这样导致阈值电压的变化。并且，叠盖  
20 结构会使寄生电容增加，偏移结构会使 TFT 的导通电流（ON current）减小。两种结构都会降低电路操作频率。

在激活步骤中，利用炉子的普通热激活方法需要 10 个小时或长时间的处理时间，并且吞吐量（throughput）低。这样，利用光致辐照的激活方法（诸如激光激活方法）、或灯加热方法、或在大约 600°C 或更高温度  
25 下加热的气体被喷射的快速加热方法被用作具有高吞吐量的激活方法。

然而，具有高吞吐量的以上激活方法涉及大的热冲击，因此，这会产生问题：即栅电极有可能被剥离。并且，与热激活方法相比，在热扩散影响下，由直接在激活层之上的绝缘薄膜引起的、作用在激活层上的冷却效应非常大。这引起这样的问题：即根据绝缘薄膜的厚度，热滞后被改变，这样导致激活层的最大升温改变。由此，除了会改变激活率的问题  
30

外，尤其在以大约 600°C 或更低温度制造的玻璃衬底上的低温多晶硅 TFT 中，激活步骤中的诸如多晶硅薄膜的缺陷密度减小和绝缘薄膜的致密化减小等等的二次效应 (secondary effect) 受到影响并发生改变。此外，在激光激活方法中，产生这样的问题：即光反射根据绝缘薄膜的厚度而改  
5 变。即，在现有技术 3 中，当激活步骤中激活层上的绝缘薄膜的厚度不同时，在激活率方面产生差异，从而使激活层中的沟道区域和杂质掺杂区域形成有不同的薄膜电阻。结果，形成迁移率、阈值电压、可靠性等不同的 TFT。

可以采用这样的方法：其中在形成绝缘薄膜之前实施杂质掺杂和激活，  
10 如图现有技术 1 所公开的一样，以便避免沟道区域和杂质掺杂区域的层电阻依据绝缘薄膜的厚度而发生改变。然而，在这种情况下，在激活步骤中不能获得上述的二次效应。

## 发明内容

15 本发明的目的是提供一种包括至少两种薄膜晶体管的薄膜晶体管衬底，所述薄膜晶体管的绝缘薄膜具有不同的厚度，所述衬底涉及具有高可靠性的电路操作，本发明还涉及用于制造所述薄膜晶体管衬底的方法。

根据本发明的第一实施例，一种薄膜晶体管衬底包括：绝缘衬底；形成在绝缘衬底之上的第一薄膜晶体管，以及形成在绝缘衬底之上的第二薄膜晶体管。第一薄膜晶体管包括形成在绝缘衬底之上的第一激活层、形成在第一激活层上的第一栅极绝缘薄膜和形成在第一栅极绝缘薄膜上的第一栅电极。第二薄膜晶体管包括形成在绝缘衬底之上的第二激活层、形成在第二激活层上的第二栅极绝缘薄膜和形成在第二栅极绝缘薄膜上的第二栅电极。根据第一实施例，第二栅极绝缘薄膜的厚度大于第一栅极绝缘薄膜的厚度，第二激活层具有至少两个叠置第二栅电极的杂质掺杂区域，第一激活层具有至少两个相对于第一栅电极以自对准方式形成的杂质掺杂区域，以及第二栅电极包括半导体层。  
20  
25

根据本发明的第二实施例，一种用于制造薄膜晶体管衬底的方法包括：提供绝缘衬底；在绝缘衬底之上形成第一激活层；在绝缘衬底之上形成第二激活层；在第一激活层和第二激活层上形成第一栅极绝缘薄膜；  
30

以及在第一激活层上形成第一栅电极。用于制造薄膜晶体管衬底的方法还包括：通过掺杂杂质而在第一激活层中形成杂质掺杂区域，相对于第一栅电极以自对准的方式形成所述杂质掺杂区域；通过掺杂杂质在所述第二激活层中形成杂质掺杂区域；在第一栅极绝缘薄膜和第一栅电极之上形成栅极覆盖薄膜；以及在第二激活层之上形成第二栅电极。第二栅电极包括至少两个部分，所述两个部分中的每个部分叠盖第二激活层中所述杂质掺杂区域中的每个区域，以及第二栅电极包括至少一半导体层。  
5

## 附图说明

10 图 1 是传统例子中 TFT 的剖视图；  
图 2 (a) 至 (d) 是示出根据本发明第一实施例的方法步骤的剖视图；  
图 3 (a) 至 (c) 是示出根据本发明第一实施例的方法步骤的剖视图；  
图 4 (a) 至 (d) 是示出根据本发明第二实施例的方法步骤的剖视图；  
图 5 (a) 至 (c) 是示出根据本发明第二实施例的方法步骤的剖视图；  
15 图 6 是示出在本发明第一实施例中的 TFT 特性的简图；  
图 7 是根据本发明的第一实施例的另一个例子的局部剖视图；  
图 8 是根据本发明的第二实施例的另一个例子的局部剖视图；  
图 9 是本发明的第二实施例的另一个例子的局部剖视图；  
图 10 是本发明的第二实施例的另一个例子的局部剖视图。

20

## 具体实施方式

### (第一实施例)

图 2 和图 3 是示出根据本发明第一实施例的方法步骤的剖视图。在绝缘衬底 101 上形成低压驱动 TFT 和高压驱动 TFT 的过程中，首先，使利用激光退火方法形成的多晶硅薄膜形成图案，通过这样形成岛状激活层 102 (图 2 (a))。接着，绝缘薄膜 103 被沉积 (图 2 (b))。这里，绝缘薄膜 103 用作低压驱动 TFT 的栅极绝缘薄膜。接着，形成第一栅电极 104 (图 2 (c))。这里，第一栅电极 104 采用两层结构，下层是具有通过等离子增强型化学汽相沉积 (CVD) 方法沉积的非单晶半导体，而上层是金属或金属硅化物，这样的结构对于降低 TFT 阈值电压并且具有高  
25  
30

均匀性是有效的。

接着，杂质掺杂在岛状激活层 102 中，从而形成杂质掺杂区域 105a (图 2 (d))。这里，在低压驱动 TFT 中，通过使用栅电极 104 以自对准的方式形成杂质掺杂区域 105a。在高压驱动 TFT 中，形成杂质掺杂区域 105b，以在随后的第二栅电极 107 形成过程中、基于对准精度的考虑、利用例如光刻胶膜作为掩模而具有叠盖结构。在通过混合地提供采用多种驱动电压的 TFT 而形成电路的情况下，对应逻辑电路、移位寄存器等的主要器件由低压驱动 TFT 构造对于电路的低功率消耗是有益的。电平移相电路设置在尽可能靠近输出的一侧，高压驱动 TFT 主要用于电平移相电路、输出缓冲器等。因此，最好避免低压驱动 TFT 中的寄生电容，不过依赖于高压驱动 TFT 中的电路设计，寄生电容不会带来大的问题。然而，在高压驱动 TFT 中，偏移结构会使驱动能力降低。在本发明第一实施例中，低压驱动 TFT 是自对准型的，而高压驱动 TFT 是叠盖型的。因此，可以形成这样的薄膜晶体管衬底：所述衬底包括由多种 TFT 构成而且吞吐量高、并且能以高速、低功率消耗被驱动的电路。杂质掺杂区域 105a 和 105b 可以具有带低浓度区域的 LDD (轻微被掺杂漏极) 结构。在现有技术 1 公开的技术中，两种 TFT 采用叠盖结构，如图 1 所示，这样，在寄生电容的影响下不能获得具有高速操作的电路。

接着，栅极覆盖薄膜 106 被沉积 (图 3 (a))。在使用具有高吞吐量的激活方法中，栅极覆盖薄膜 106 用于帮助保护栅电极，并且与绝缘薄膜 103 一起用作高压驱动 TFT 的栅极绝缘薄膜。随后，通过光致辐照或加热气体被喷射的快速加热方法激活杂质。在该热处理中，栅极覆盖薄膜 106 避免第一栅电极 104 的膜剥离。此外，绝缘薄膜 103 和栅极覆盖薄膜 106 的杂质激活率和致密化水平在 TFT 之间是相同的。因此，两个 TFT 之间的阈值电压和可靠性大致相同。

随后，执行加氢作用。接着，第二栅电极 107 被形成，以相对杂质掺杂区域 105b 具有叠盖结构 (图 3 (b))。这里，第二栅电极 107 可以由包括半导体层的层组成。

在加氢步骤中，激活层中不成对电子的钝化效率根据氢原子或氢原子团扩散的影响依赖于绝缘薄膜的厚度而被改变。即，在加氢步骤中，

当激活层上的绝缘薄膜的厚度不同时，如现有技术 1 和现有技术 2 所公开的一样，不成对电子的钝化效率产生差异，这导致激活层中沟道区域和杂质掺杂区域的薄膜电阻产生差异。现有技术 1 和现有技术 2 中未指出伴随加氢步骤而出现的问题，其中在所述加氢步骤中形成诸如 TFT 阈值等各种特性不相同的 TFT。此外，TFT 的可靠性也依赖于不成对电子的钝化效率。因此，绝缘薄膜的厚度较厚的 TFT 较早变坏。然而，在本实施例中，通过对第二栅电极 107 使用半导体层可以减少加氢步骤的时间，因为用于形成半导体层的源气体包含氢，在绝缘薄膜 103 中的缺陷是形成半导体层时氢原子团引起的钝化。

另外，第二栅电极 107 可以是两层结构，这样除了降低 TFT 阈值电压并使 TFT 阈值电压均匀外，还能减少上述加氢步骤所用的时间。两层结构中，下层为利用等离子增强型化学汽相沉积方法沉积的非单晶半导体，而上层为金属或金属硅化物。在岛状激活层 102、绝缘薄膜 103 和栅极覆盖薄膜 106 中的缺陷是利用等离子增强型化学汽相沉积方法形成非单晶半导体薄膜时氢原子团引起的钝化。可以根据例如日本已公布申请 H11-307777A 所公开的方法形成结晶半导体层。

接着，沉积夹层绝缘薄膜 108，形成接触孔，并且形成金属线 109，从而形成低压驱动 TFT201 和高压驱动 TFT202（图 3（c））。在该实施例中，为了除形成低压驱动 TFT 以外又形成高压驱动 TFT，只需附加形成第二栅电极 107 的步骤。不需要附加的薄膜形成步骤、蚀刻步骤、杂质掺杂步骤等等。其后，作为形成 TFT 衬底的结果，形成了各种布线、电极、夹层薄膜等等。

这里描述了同时形成两种 TFT 的方法，然而，在三种或更多种 TFT 的情况下，第二栅极覆盖薄膜、第三栅电极、第三栅极覆盖薄膜和第四栅电极可以在图 3（c）步骤之后的步骤中依次形成。这里，对于第二栅极覆盖薄膜以及后续电极和薄膜的致密化缺陷和钝化缺陷，第三栅电极以及后续薄膜和电极可以被形成为：它们的下层包含利用等离子增强型化学汽相沉积方法以 300℃ 或更高温度沉积的非单晶半导体。

并且，低压驱动 TFT201 和高压驱动 TFT202 可以是 n 沟道型和 p 沟道型之一。此外，两种导电类型的低压驱动 TFT201 和高压驱动 TFT202

可以形成在相同的绝缘衬底上。

如上所述，低压驱动 TFT 的源极/漏极区域以自对准的方式形成，高压驱动 TFT 的源极/漏极区域被形成以与栅电极叠盖。这样，可以了解到，低压驱动 TFT 的操作速度不会降低，高压驱动 TFT 的驱动能力也不会降低。  
5 并且，可以在相同的条件下，在两种 TFT 的激活层之间实施杂质掺杂和激活以及加氢过程。因此，可以形成包括多种薄膜晶体管的薄膜晶体管衬底并且吞吐量高，其中阈值特性相匹配，并且电路的操作高度可靠。

#### (第二实施例)

10 图 4 和 5 是示出根据本发明第二实施例的方法步骤的剖视图。低压驱动 TFT 的结构与第一实施例中低压驱动 TFT 的结构相同。因此，适当地省略对它的描述，并且将描述具有副栅极 (sub-gate) 结构的高压驱动 TFT。副栅极的低栅电压下的输出可控性非常好，因此，对于用于电平移相电路的高耐压 TFT 较适合。

15 岛状激活层 102 通过激光退火方法形成在绝缘衬底 101 上(图 4(a))。接着，沉积绝缘薄膜 103 (图 4 (b))。随后，形成第一栅电极 104 和低压栅电极 110 (图 4 (c))。两个电极可以同时形成。这里，第一栅电极 104 和低压栅电极 110 均形成为两层结构，以降低 TFT 阈值电压并具有高的均匀性。两层结构中，下层为利用等离子增强型化学汽相沉积方法沉积的非单晶半导体，而上层为金属或金属硅化物。  
20

接着，形成光刻胶掩模，杂质掺杂在岛状激活层 102 中，光刻胶掩模和栅电极用作掩模，从而形成杂质掺杂区域 105a、105b 和 105c (图 4 (d))。这里，在低压栅电极 110 一侧的杂质掺杂区域 105c 相对栅电极以自对准的方式形成，随后形成的在第二栅电极 107 一侧的杂质掺杂区域 105b 被形成以具有相对于栅电极的叠盖结构。每个杂质掺杂区域 105a 至 105c 可以具有带低浓度区域的 LDD 结构。随后，栅极覆盖薄膜 106 被沉积 (图 5 (a))。然后，通过光致辐照或加热气体被喷射的快速加热方法激活杂质。其后，执行加氢。  
25

接着，第二栅电极 107 被形成以相对于杂质掺杂区域 105b 具有叠盖结构 (图 5 (b))。随后，夹层绝缘包括 108 被沉积，形成接触孔，并且

形成金属布线 109，从而形成低压驱动 TFT201 和具有副栅极结构的高压驱动 TFT203。在具有副栅极结构的高压驱动 TFT 中，在低压栅电极 110 一侧的杂质掺杂区域 105c 用作源极，而在第二栅电极 107 一侧的杂质引入区域 105b 用作漏极。然而，也可以响应耐压的需求而将副栅极（在与第二栅电极相同的层上）设置在源极侧。其后如果需要，作为 TFT 衬底被形成的结果，形成了各种布线、电极、夹层薄膜等等。

参考图 2 和 3 示出的剖视图，基于第二实施例，将描述本发明的解释性第一例子。对于绝缘衬底 101，厚度为 200nm 的  $\text{SiO}_2$  被沉积作为无碱玻璃衬底上的基薄膜。对于岛状激活层 102，使用多晶硅薄膜，所述多晶硅薄膜是通过将作为前驱（precursor）薄膜的非晶硅（a-Si）薄膜沉积 50nm 的厚度而获得，在光束直径为  $200 \times 0.4\text{mm}^2$ 、能量密度为  $350\text{mJ/cm}^2$  以及叠盖率为 90% 的照射条件下，利用准分子激光扫描辐照所述膜。在非晶硅薄膜中，通过离子注入方法掺杂用于控制 TFT 阈值电压的硼，硼的配量条件为： $8\text{E}11\text{cm}^{-2}$ 。

对于绝缘薄膜 103，使用通过等离子增强型化学汽相沉积方法而被沉积的  $\text{SiO}_2$  薄膜。它的厚度设置在大约 40nm，以便将低压驱动 TFT201 的驱动电压设置在 3.3V。对于第一栅电极 104，使用包括下层和上层的两层薄膜。对于下层，通过等离子增强型化学汽相沉积方法沉积微晶硅（ $\mu\text{ c-Si}$ ）薄膜以具有 70nm 的厚度，而对于上层，利用溅射方法沉积 Cr 薄膜以具有 100nm 的厚度。使用硅烷（ $\text{SiH}_4$ ）气体、三氢化磷（ $\text{PH}_3$ ）气体、氢气等等作为微晶硅薄膜的源气体。这里，栅极导线的宽度，即沟道的长度设置为  $1\mu\text{m}$ 。

使用离子掺杂方法形成杂质掺杂区域 105a、105b，配量为  $1\text{E}15\text{cm}^{-2}$  的磷在 40keV 的加速电压下被沉积在 n 沟道 TFT 中。在考虑磷的掺杂能力的基础上，第一栅极绝缘薄膜的厚度具有大约 120nm 的界限。配量为  $2\text{E}15\text{cm}^{-2}$  的硼在 30keV 的加速电压下被沉积在 p 沟道 TFT 中。这里，在考虑 TFT 驱动电压为 20V 的基础上，将对应沟道长度的高压驱动 TFT 的杂质掺杂区域 105 之间的距离设置为  $4\mu\text{m}$ 。这里，虽然以自对准的方式将杂质掺杂入杂质掺杂区域 105a 中，但在某些情况下，根据衬底与光束之间的角度将杂质掺杂在栅极之下的区域中。然而，在该实施例中，

范围设置为大约  $0.1 \mu m$  或更小。

对于栅极覆盖薄膜 106，使用通过等离子增强型化学汽相沉积方法而被沉积的  $SiO_2$  薄膜。考虑到第一栅电极 104 的保护能力，它的厚度可以是 50nm 或更多。这里，栅极覆盖薄膜 106 的厚度设置在大约 110nm，这样考虑到高压驱动 TFT 的驱动电压为 20V，栅极绝缘薄膜的厚度总共为大约 150nm。接着，利用激光激活方法实施杂质激活。利用准分子激光器的扫描辐照在光束直径为  $200 \times 0.4 mm^2$ 、能量密度为  $200 mJ/cm^2$  以及叠盖率为 90% 的辐照条件下被实施。然后，通过将衬底暴露在氢等离子体下 10 分钟来执行加氢。

对于第二栅电极 107，使用包括下层和上层的两层薄膜。通过等离子增强型化学汽相沉积方法而被沉积以具有 70nm 厚度的微晶硅薄膜用于下层，通过溅射方法而被沉积以具有 100nm 厚度的 Cr 薄膜用于上层。这里，栅极导线宽度设置为  $5 \mu m$ ，在左右端处与杂质引入区域 105b 的叠盖距离设置为大约  $0.5 \mu m$ 。如果认为对准精度为  $0.3 \mu m$  或更小，则将叠盖距离设置为  $0.5 \mu m$  足够了。考虑到寄生电容，叠盖距离为大约  $2 \mu m$  或更小。

对于夹层绝缘薄膜 108，使用利用等离子增强型化学汽相沉积方法而被沉积的  $SiN$  薄膜，并且厚度设置为 400nm。对于金属线 109，使用 Al-2%Si 薄膜，并且厚度设置为 600nm。

如上所述形成的低压驱动 TFT201 和高压驱动 TFT202 的栅电压一漏极电流示出在图 6。图中示出适当匹配的阈值电压。并且，确定可靠性高，能确保 100,000 小时的操作时间。在第一栅电极 104 和第二栅电极 107 由 Cr 薄膜的单层形成的情况下，阈值电压升高大约 0.5 到 3V，加氢时间增加至 40 分钟，以便获得相同的可靠性。

参考图 7 中的剖视图，基于第一实施例，将描述本发明的解释性第二例子。在图 7 中，与图 3 中那些部分相同的部分用相同的附图标记示出。TFT 衬底的形成方式与第一例子中的形成方式大致相同，第二例子与第一例子之间的差别在于：高压驱动 TFT202 的漏极采用 LDD 结构。即，漏极被形成为由杂质掺杂区域 105d 和低杂质浓度区域 105e 构成，其中杂质掺杂区域 105d 是高浓度区域。通过离子掺杂方法将  $1E13 cm^{-2}$

配量的磷或硼掺杂入低杂质浓度区域 105e 中。低杂质浓度区域 105e 的长度（在图中所示区域中的长度）设置为  $2 \mu m$ 。并且，采用弧光灯光致辐照方法作为激活方法，在  $700^{\circ}C$  下执行激活过程 1 分钟。

漏极形成为具有 LDD 结构。这样，漏电流被减小，耐压极限增加，  
5 在高压驱动 TFT202 中的可靠性进一步增加。源极可以采用 LDD 结构，或者低压驱动 TFT201 的源极/漏极均可以采用 LDD 结构。在考虑漏电流、耐压以及 TFT 可靠性的基础上，源极和漏极中的一个或两者可以采用 LDD 结构。

参考图 4 和图 5 中所示的剖视图，基于第二实施例，将描述本发明  
10 的解释性第三例子。对于绝缘衬底 101，使用厚度为  $100nm$  的 SiN 薄膜和厚度为  $100nm$  的  $SiO_2$  薄膜依次沉积在无碱玻璃衬底上的衬底。对于岛状激活层 102，使用多晶硅薄膜，所述多晶硅薄膜是通过沉积厚度为  $60nm$  的作为前驱薄膜的非晶硅（a-Si）薄膜而获得，然后，在光束直径为  $200 \times 0.4mm^2$ 、能量密度为  $380mJ/cm^2$  以及叠盖率为 95% 的照射条件下，利用准分子激光扫描辐照所述膜。通过离子注入方法掺杂用于控制 TFT 阈值电压的硼，硼的配量为： $1E12cm^{-2}$ 。  
15

对于绝缘薄膜 103，使用通过等离子增强型化学汽相沉积方法而被沉积的  $SiO_2$  薄膜。它的厚度设置在大约  $50nm$ ，以便将低压驱动 TFT201 的驱动电压设置在  $5V$ 。对于第一栅电极 104 和低压栅电极 110，使用包括下层和上层的两层薄膜。通过等离子增强型化学汽相沉积方法而被沉积以具有  $70nm$  厚度的微晶硅（ $\mu c-Si$ ）薄膜用于下层，利用溅射方法而被沉积以具有  $150nm$  厚度的 WSi 薄膜用于上层。这里，栅极导线的宽度，即沟道的长度设置为大约  $2 \mu m$ 。低压栅电极 110 的宽度也设置为大约  $2 \mu m$ 。  
20

使用离子掺杂方法形成杂质掺杂区域 105a 至 105c，配量为  $1E15cm^{-2}$  的磷在  $40keV$  的加速电压下被沉积在 n 沟道 TFT 中。配量为  $2E15cm^{-2}$  的硼在  $30keV$  的加速电压下被沉积在 p 沟道 TFT 中。这里，在考虑高压侧的 TFT 驱动电压为  $40V$  的基础上，将副栅极型高压驱动 TFT203 的杂质掺杂区域之间的距离（从 105c 至 105b 的距离）设置为大约  $8 \mu m$ 。  
25

对于栅极覆盖薄膜 106，使用通过等离子增强型化学汽相沉积方法

而被沉积的  $\text{SiO}_2$  薄膜。栅极覆盖薄膜 106 的厚度设置为大约 150nm，这样考虑到高压侧的驱动电压为 40V，栅极绝缘薄膜的厚度总共为 200nm。接着，利用加热气体被喷溅的快速加热方法激活杂质。氮气用作所述气体，在 650°C 下执行激活过程 2 分钟。然后，通过将衬底暴露在氢等离子体下 12 分钟来执行加氢。

对于第二栅电极 107，使用两层薄膜，其中通过等离子增强型化学汽相沉积方法而被沉积以具有 70nm 厚度的微晶硅薄膜用于下层，通过溅射方法而被沉积以具有 150nm 厚度的 WSi 薄膜用于上层。这里，栅极导线宽度设置为  $7 \mu\text{m}$ ，与低压栅电极 110 以及与杂质引入区域 105b 的叠盖距离均设置为大约  $0.5 \mu\text{m}$ 。即，在副栅极高耐压 TFT203 中，低压栅电极 110 中沟道区域的沟道长度是  $2 \mu\text{m}$ ，而高压第二栅电极 107 中沟道区域的沟道长度为  $6 \mu\text{m}$ 。

对于夹层绝缘薄膜 108，使用利用等离子增强型化学汽相沉积方法而被沉积的  $\text{SiO}_2$  薄膜，并且厚度设置为 400nm。对于金属线 109，使用 Al-2%Si 薄膜，并且厚度设置为 800nm。由此，可以同时形成低压驱动 TFT201 和具有副栅极结构的高压驱动 TFT203。

图 8、9 和图 10 是基于第二实施例而示出本发明第四、第五、第六实施例的剖视图。在图 8 至 10 中，与图 5 和图 7 中部分相同的部分用相同的附图标记示出。

如图 8 所示，在第四例子中，具有副栅极结构的高压驱动 TFT203 与第三例子中的相同，然而在这里，漏极被形成为具有 LDD 结构。即，漏极被形成为由杂质掺杂区域 105d 和低杂质浓度区域 105e 构成，其中杂质掺杂区域 105d 是高浓度区域。形成 LDD 结构的方法与第二例子中的相同。低杂质浓度区域 105e 的长度（图 8 所示部分中的长度）是大约 0.5 至  $2 \mu\text{m}$ 。

图 9 示出第五例子，其中具有副栅极结构的高压驱动 TFT203 与第四实施例中的相同。然而，漏极形成为具有 LDD 结构，此外，低杂质浓度区域 105f 以自对准的方式相对于低压栅电极 110 形成在沟道区域中。低杂质浓度区域 105f 由相同的导电型形成，并且与低杂质浓度区域 105e 中的浓度相同，这里，低杂质浓度区域 105e 和 105f 的长度均为大约 0.5

至  $2 \mu m$ 。

图 10 示出第六实施例，其中漏极形成为具有 LDD 结构与第五实施例相同，并且低杂质浓度区域 105f 形成在沟道区域中。低杂质浓度区域 105f 由相同的导电型形成，并且与低杂质浓度区域 105e 中的浓度相同。

5 这里，第二栅电极 107 被形成以相对低压栅电极 110 被偏移。偏移量可以是低杂质浓度区域 105f 的长度或更小（大约 0.5 至  $2 \mu m$ ）。

提供实施例的以上描述，以使本领域技术人员能制造和使用本发明。并且，这些实施例的各种改变将被本领域技术人员容易地理解，在不使用创造能力的情况下，限定在这里的一般原理和具体例子可以应用于其他实施例。因此，本发明不限于这里所述的实施例，而是具有由权利要求以及等同物所限定的最宽的范围。

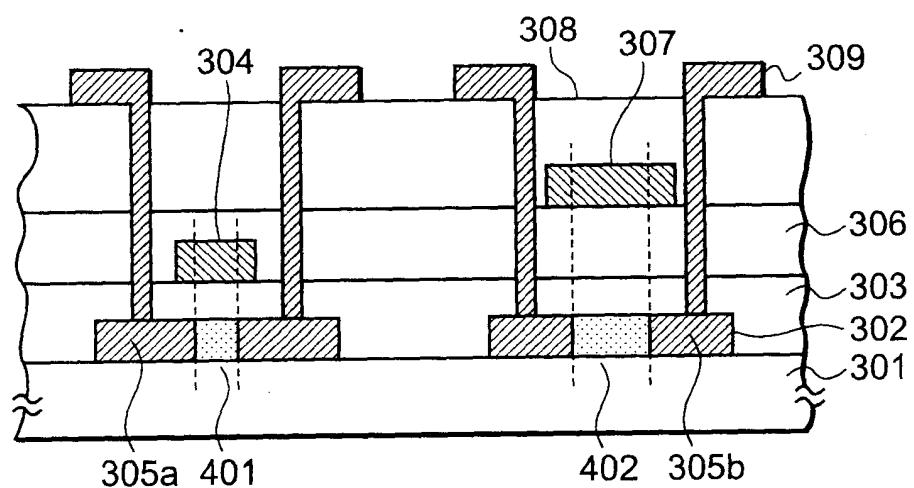


图 1

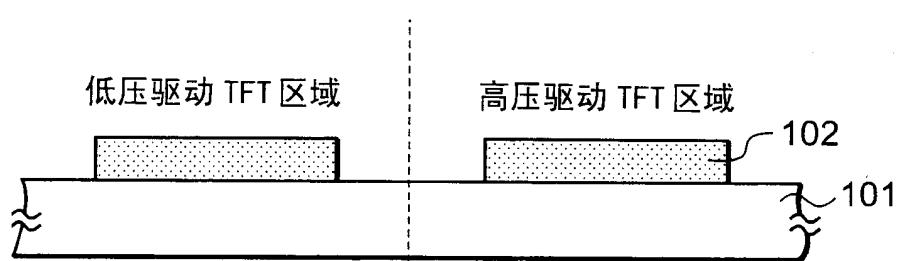


图 2(a)

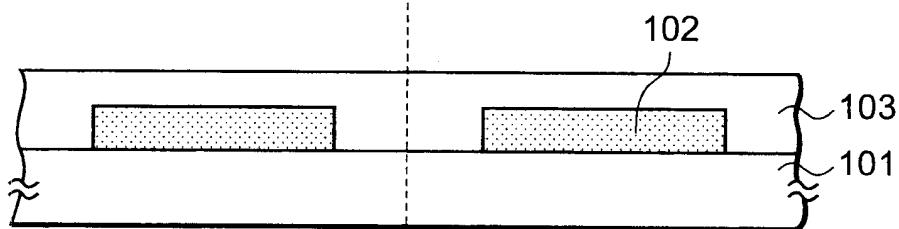


图 2(b)

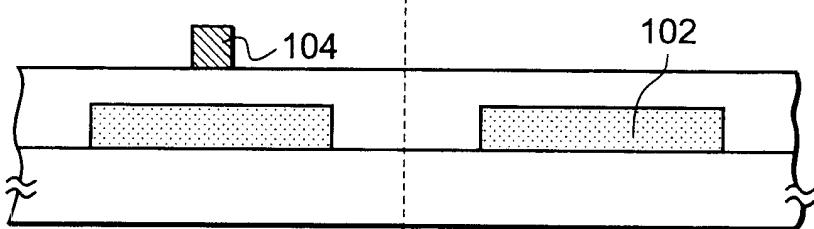


图 2(c)

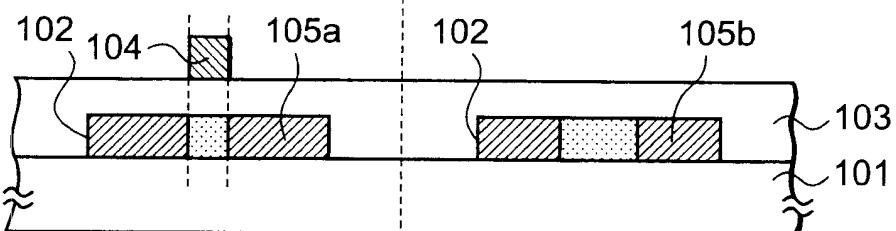


图 2(d)

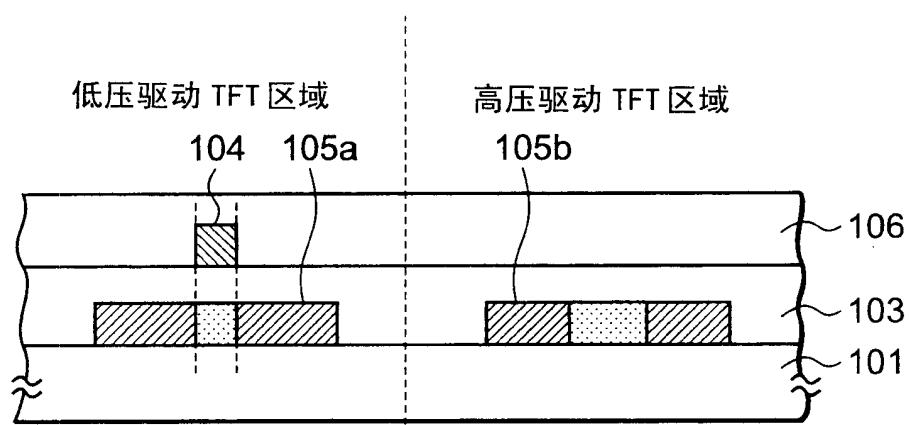


图 3(a)

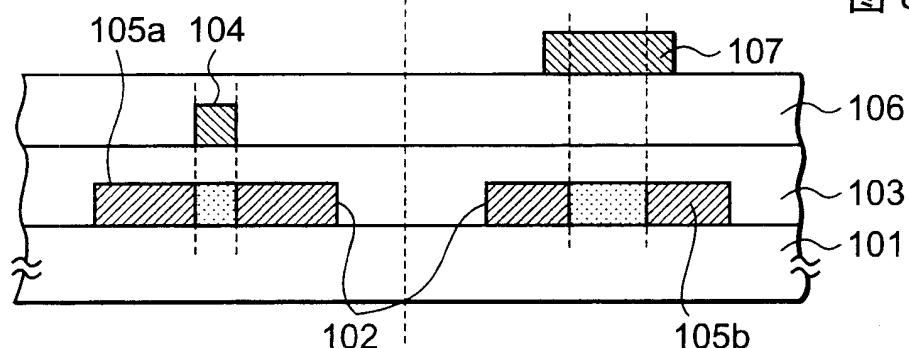


图 3(b)

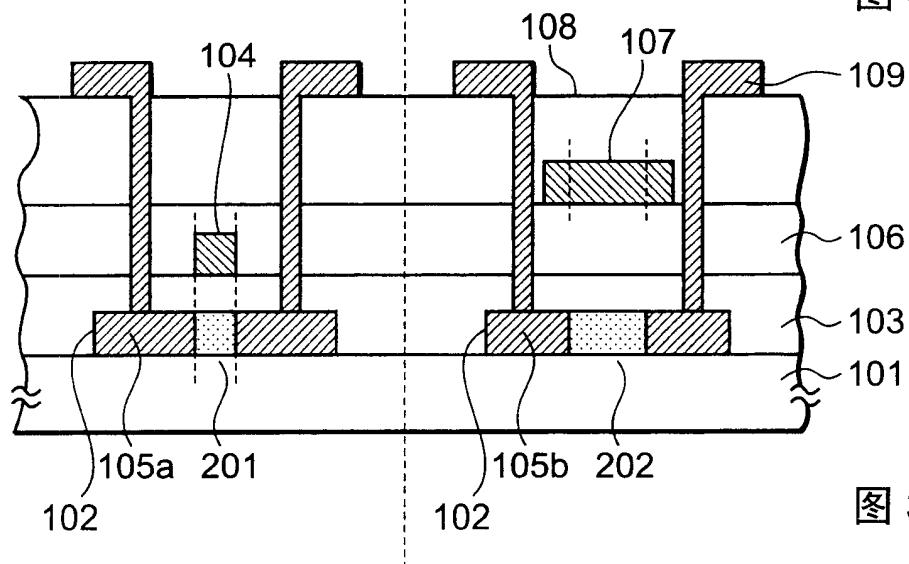


图 3(c)

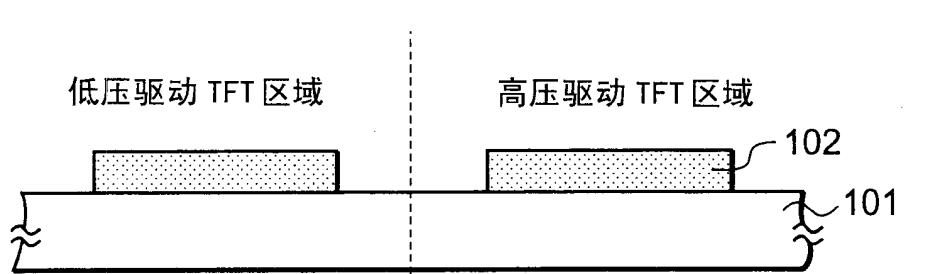


图 4(a)

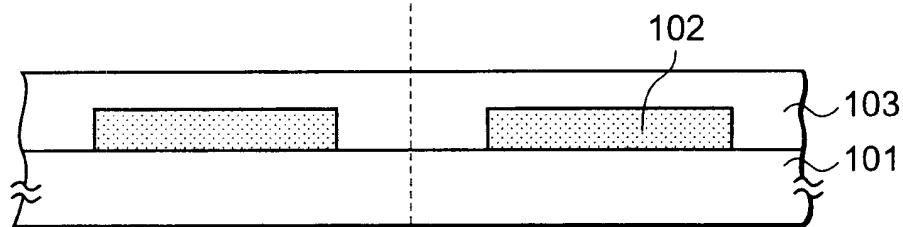


图 4(b)

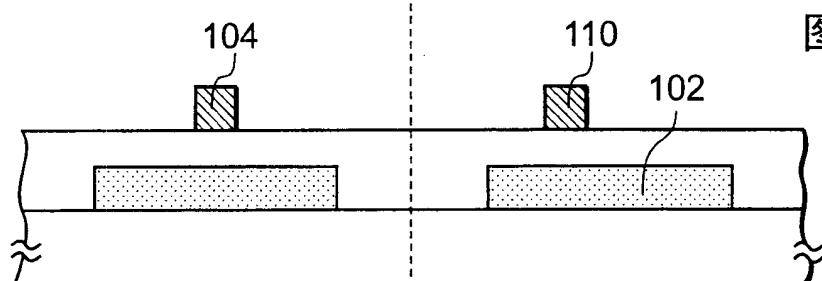


图 4(c)

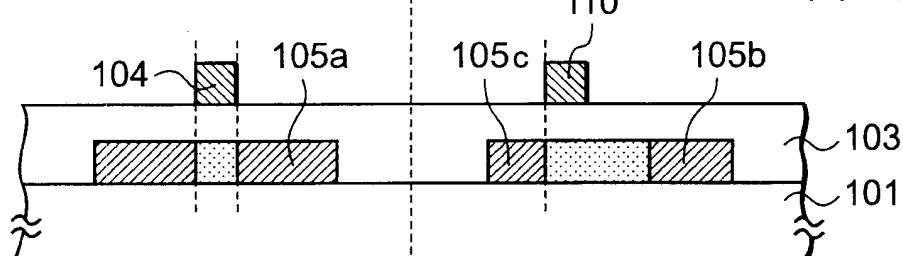
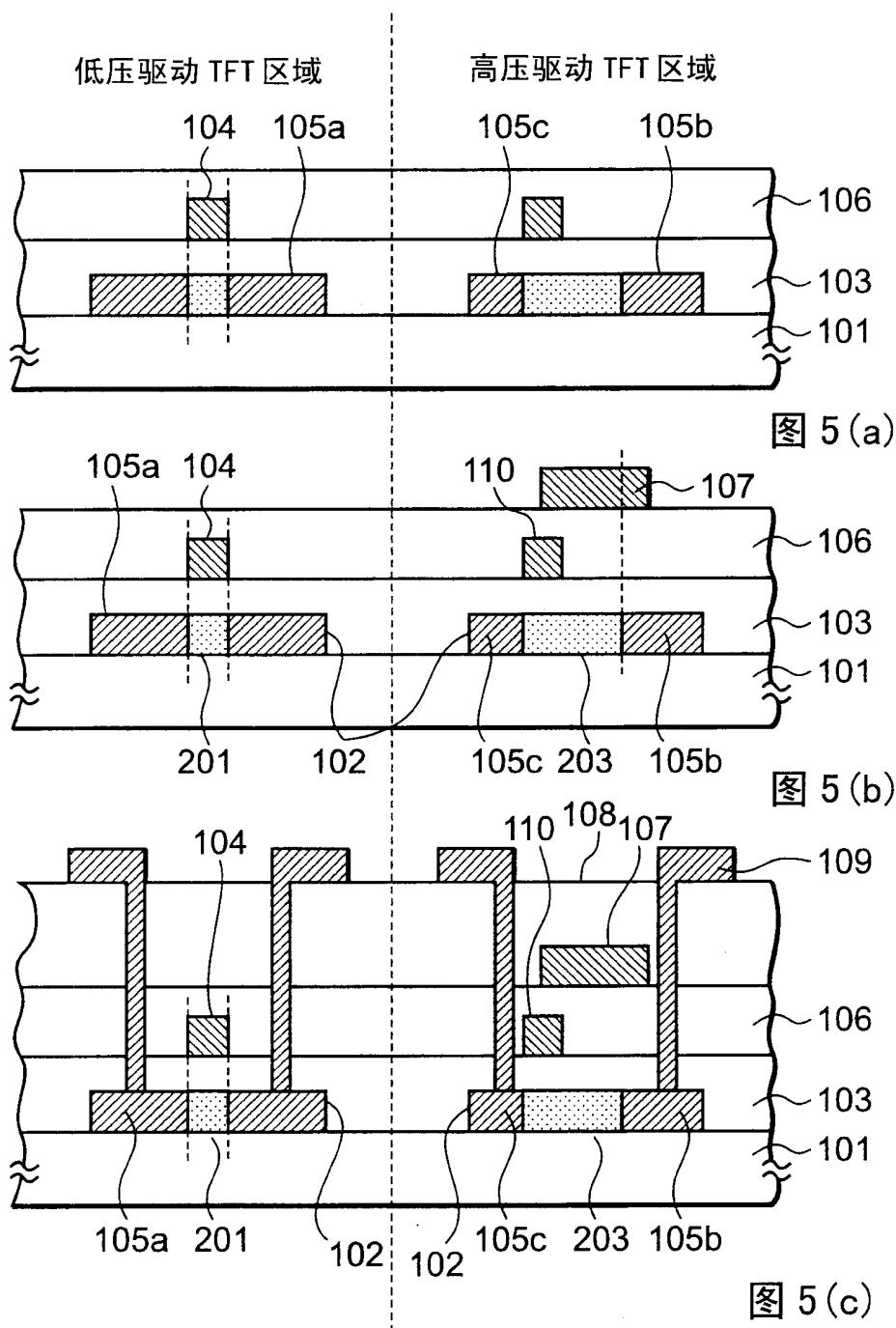


图 4(d)



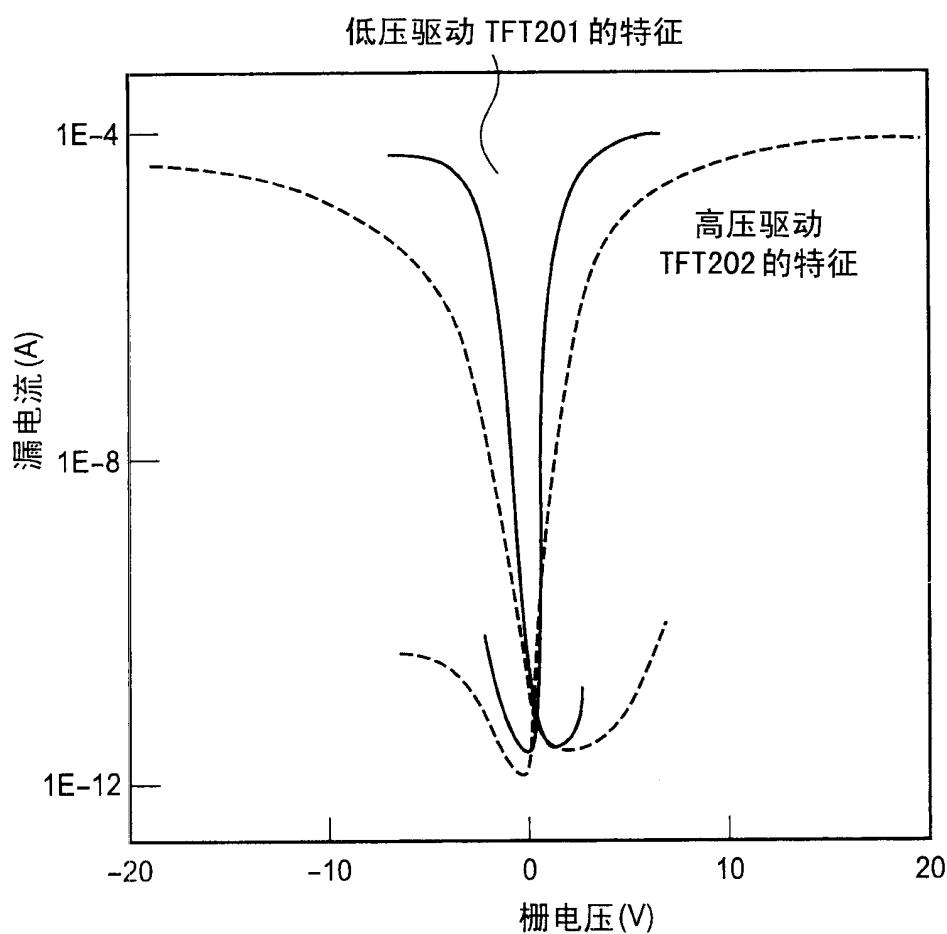


图 6

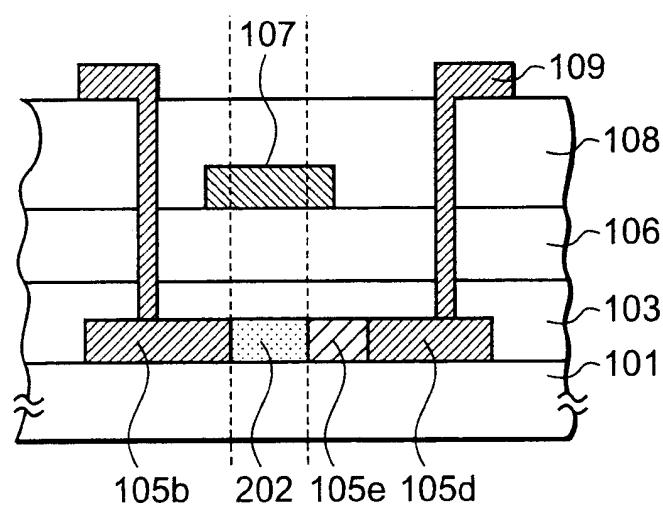


图 7

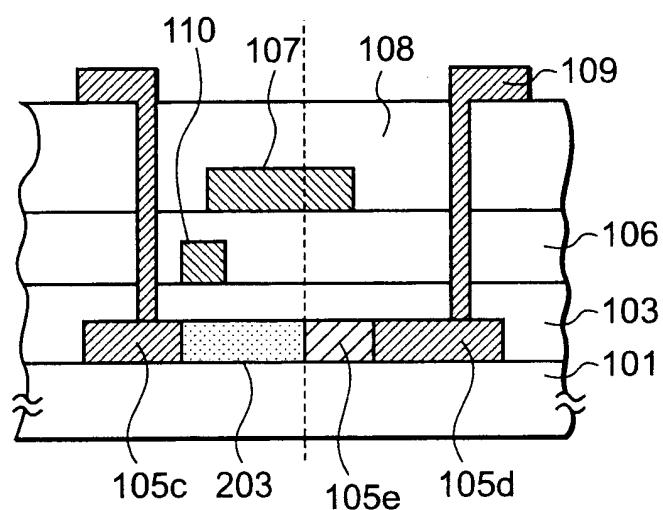


图 8

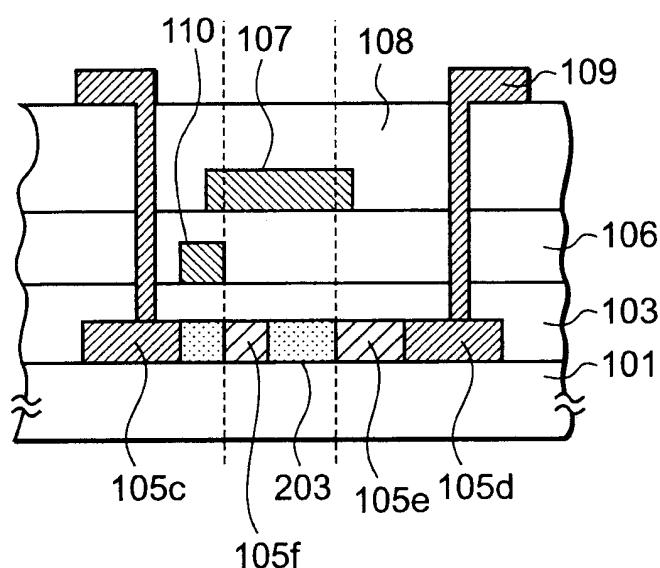


图 9

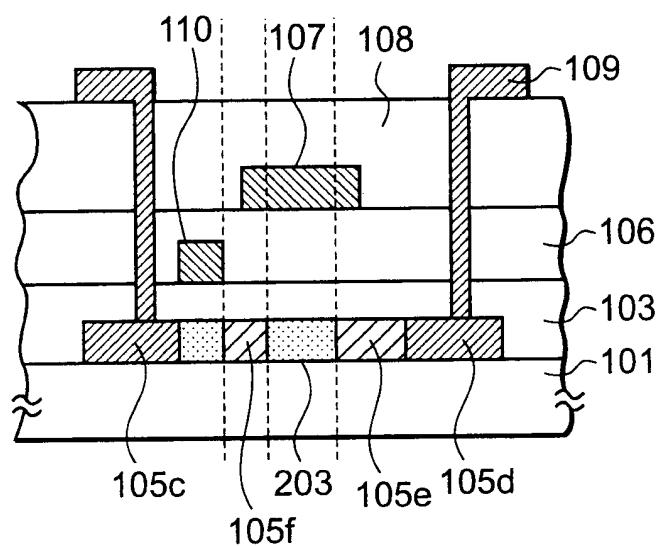


图 10