

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018년 5월 31일 (31.05.2018) WIPO | PCT



(10) 국제공개번호
WO 2018/097667 A1

(51) 국제특허분류:

H01L 33/50 (2010.01) H01L 33/40 (2010.01)
H01L 33/02 (2010.01) H01L 33/62 (2010.01)
H01L 33/58 (2010.01) H05B 33/14 (2006.01)
H01L 33/38 (2010.01)

(21) 국제출원번호: PCT/KR2017/013560

(22) 국제출원일: 2017년 11월 24일 (24.11.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2016-0157703 2016년 11월 24일 (24.11.2016) KR
10-2016-0160753 2016년 11월 29일 (29.11.2016) KR

(71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 후암로 98, Seoul (KR).

(72) 발명자: 이상열 (LEE, Sang Youl); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 김청송 (KIM,

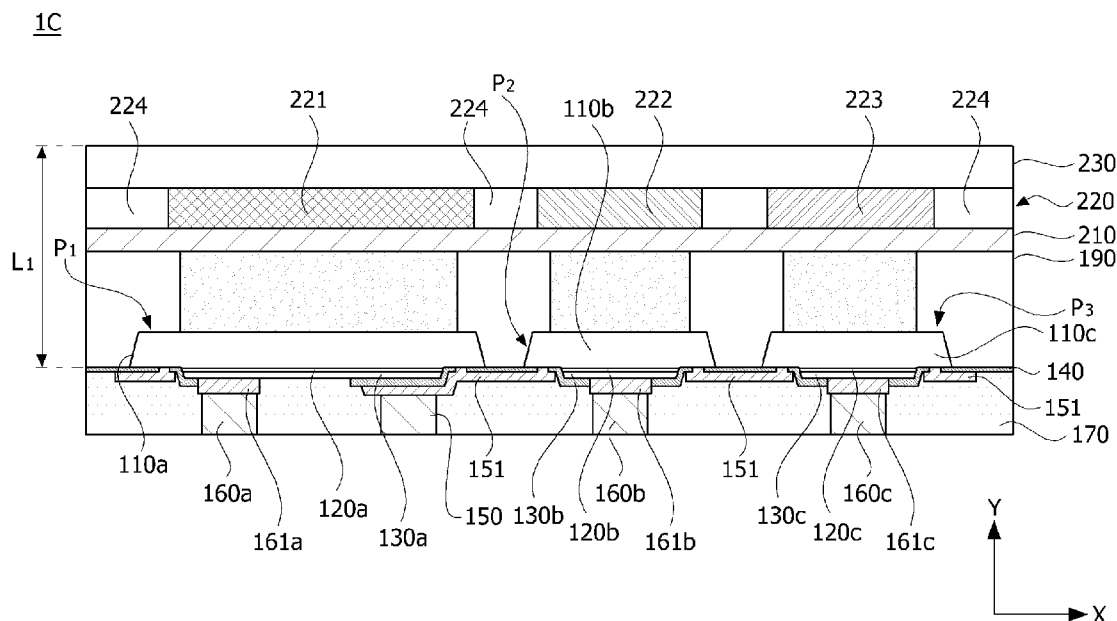
Chung Song); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 문지형 (MOON, Ji Hyung); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 박선우 (PARK, Sun Woo); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 조현민 (CHO, Hyeon Min); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR).

(74) 대리인: 특허법인 다나 (DANA PATENT LAW FIRM); 06242 서울시 강남구 역삼로 3길 11, 광성빌딩 신관 4~6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: SEMICONDUCTOR DEVICE AND DISPLAY DEVICE COMPRISING SAME

(54) 발명의 명칭: 반도체 소자 및 이를 포함하는 표시 장치



(57) Abstract: One embodiment discloses a semiconductor device comprising: a plurality of light-emitting units; a plurality of wavelength conversion layers each disposed on the plurality of light-emitting units; partitions disposed between the plurality of light-emitting units and between the plurality of wavelength conversion layers; a plurality of color filters each disposed on the plurality of wavelength conversion layers; and black matrices disposed between the plurality of color filters.

(57) 요약서: 실시 예는, 복수 개의 발광부; 상기 복수 개의 발광부 상에 각각 배치되는 복수 개의 파장 변환층; 상기 복수 개의 발광부 사이, 및 상기 복수 개의 파장 변환층 사이에 배치되는 격벽; 상기 복수 개의 파장 변환층 상에 각각 배치되는 복수 개의 컬러필터; 및 상기 복수 개의 컬러필터 사이에 배치되는 블랙 매트릭스를 포함하는 반도체 소자를 개시한다.

[다음 쪽 계속]



WO 2018/097667 A1

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 반도체 소자 및 이를 포함하는 표시 장치

기술분야

- [1] 실시 예는 반도체 소자 및 이를 포함하는 표시장치에 관한 것이다.

배경기술

- [2] 발광 다이오드(Light Emitting Diode: LED)는 전류가 인가되면 광을 방출하는 발광 소자 중 하나이다. 발광 다이오드는 저 전압으로 고효율의 광을 방출할 수 있어 에너지 절감 효과가 뛰어나다. 최근, 발광 다이오드의 휘도 문제가 크게 개선되어, 액정표시장치의 백라이트 유닛(Backlight Unit), 전광판, 표시기, 가전 제품 등과 같은 각종 기기에 적용되고 있다.
- [3] 일반적인 액정표시장치는 발광 다이오드로부터 방출된 광과 액정의 투과율을 제어하여 컬러필터를 통과하는 빛으로 이미지 또는 영상을 표시한다. 최근에는 HD 이상의 고화질 및 대 화면의 표시장치가 요구되고 있으나, 일반적으로 주로 사용되고 있는 복잡한 구성들을 갖는 액정표시장치 및 유기전계 표시장치는 수율 및 비용에 의해 고화질의 대화면 표시장치를 구현하기에 어려움이 있다.

발명의 상세한 설명

기술적 과제

- [4] 실시 예는 색순도가 향상된 반도체 소자를 제공한다.
- [5] 실시 예는 광도가 향상된 반도체 소자를 제공한다.
- [6] 실시 예는 개별적으로 구동되는 제1 내지 제3 발광부를 포함하는 칩 레벨의 발광 소자가 표시 장치의 픽셀로 제공될 수 있다. 이 때, 제1 내지 제3 발광부가 픽셀의 각 서브 픽셀로 기능하여 고해상도의 대형 표시 장치를 구현할 수 있다.
- [7] 실시 예에서 해결하고자 하는 과제는 이에 한정 되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

과제 해결 수단

- [8] 본 발명의 일 실시 예에 따른 반도체 소자는 복수 개의 발광부를 포함하는; 상기 복수 개의 발광부 상에 각각 배치되는 복수 개의 과장 변환층; 상기 복수 개의 발광부 사이, 및 상기 복수 개의 과장 변환층 사이에 배치되는 격벽 및 상기 복수 개의 과장 변환층 상에 각각 배치되는 복수 개의 컬러필터; 및 상기 복수 개의 컬러필터 사이에 배치되는 블랙 매트릭스를 포함한다.
- [9] 상기 복수 개의 과장 변환층 사이의 폭은 상기 복수 개의 발광부 사이의 최대 폭보다 클 수 있다.
- [10] 상기 각각의 발광부는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함할 수 있다.

- [11] 상기 복수 개의 발광부의 상기 제1 도전형 반도체층의 폭은 상기 과장 변환층에 가까워질수록 좁아질 수 있다.
- [12] 상기 복수 개의 발광부의 상기 제2 도전형 반도체층의 폭은 상기 과장 변환층에 가까워질수록 커질 수 있다.
- [13] 상기 복수 개의 발광부에 공통적으로 연결되는 제1 범프 전극; 상기 복수 개의 발광부에 각각 전기적으로 연결되는 복수 개의 제2 범프 전극; 및 상기 복수 개의 발광부의 제1 도전형 반도체층을 전기적으로 연결하는 제2 전극을 포함할 수 있다.
- [14] 상기 복수 개의 발광부의 하부를 덮는 제1 절연층을 더 포함할 수 있다.
- [15] 상기 제1 전극은 상기 제1 절연층을 관통하여 상기 제1 도전형 반도체층과 전기적으로 연결될 수 있다.
- [16] 상기 제1 전극은 상기 제1 범프 전극과 전기적으로 연결될 수 있다.
- [17] 상기 복수 개의 발광부에 각각 전기적으로 연결되는 복수 개의 제1 범프 전극; 상기 복수 개의 발광부에 공통적으로 연결되는 제2 범프 전극; 및 상기 복수 개의 발광부의 제2 도전형 반도체층을 전기적으로 연결하는 제2 전극을 포함할 수 있다.
- [18] 상기 제2 전극은 상기 제2 범프 전극과 전기적으로 연결될 수 있다.
- [19] 상기 복수 개의 발광부의 하부를 덮는 제1 절연층을 더 포함할 수 있다.
- [20] 상기 제1 절연층을 관통하고, 상기 복수 개의 발광부의 제2 도전형 반도체층 하부에 각각 배치되는 복수 개의 반사 전극을 더 포함하고, 상기 제2 전극은 상기 복수 개의 반사 전극을 전기적으로 연결할 수 있다.
- [21] 상기 이웃한 과장 변환층 사이의 폭은 $30\mu\text{m}$ 내지 $50\mu\text{m}$ 일 수 있다.
- [22] 상기 격벽은 반사 입자를 포함할 수 있다.
- [23] 상기 과장 변환층 상에 배치된 컬러 필터층을 더 포함하고,
- [24] 상기 컬러 필터층은 상기 복수 개의 컬러필터 및 상기 블랙 매트릭스를 포함할 수 있다.
- [25] 본 발명의 일 실시 예에 따른 표시 장치는 상기 반도체 소자를 포함할 수 있다.
- [26] 복수 개의 공통 배선과 복수 개의 구동 배선이 교차하여 정의된 복수 개의 픽셀 영역을 포함하는 패널을 포함하며, 상기 픽셀 영역마다 상기 반도체 소자가 배치되어 상기 제 1, 제 2 및 제 3 발광부가 각각 녹색, 적색 및 청색 과장대의 광을 방출하는 제 1, 제 2 및 제 3 서브 픽셀일 수 있다.

발명의 효과

- [27] 실시 예의 반도체 소자는 색순도가 향상될 수 있다.
- [28] 실시 예의 반도체 소자는 상대적 광도가 향상될 수 있다.
- [29] 실시 예의 반도체 소자는 개별적으로 구동되는 제1 내지 제3 발광부를 포함하는 칩 레벨의 발광 소자가 표시 장치의 픽셀로 제공될 수 있다. 이 때, 제1 내지 제3 발광부가 픽셀의 각 서브 픽셀로 기능하여 고해상도의 대형 표시

장치를 구현할 수 있다.

- [30] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [31] 도 1은 본 발명의 제1실시예에 따른 반도체 소자의 평면도이고,
 [32] 도 2는 도 1의 A-A 방향 단면도이고,
 [33] 도 3은 본 발명의 제2실시예에 따른 반도체 소자의 단면도이고,
 [34] 도 4a 및 도 4b는 실시 예에 따른 반도체 소자의 격벽의 폭에 따른 광속 및 색순도의 변화를 측정한 그래프이고,
 [35] 도 5는 본 발명의 제3실시예에 따른 반도체 소자의 단면도이고,
 [36] 도 6은 도 5의 변형예이고,
 [37] 도 7a 내지 도 7f는 제3실시 예에 따른 반도체 소자의 제조 방법을 보여주는 도면이고,
 [38] 도 8은 본 발명의 제4실시 예에 따른 반도체 소자의 단면도이고,
 [39] 도 9a 내지 도 9d는 제4실시 예에 따른 반도체 소자의 제조 방법을 보여주는 도면이고,
 [40] 도 10은 도 8에 도시한 제4실시 예에 따른 반도체 소자의 변형예의 단면도이고,
 [41] 도 11은 본 발명의 제5실시 예에 따른 반도체 소자의 단면도이고,
 [42] 도 12는 본 발명의 제6실시 예에 따른 반도체 소자의 단면도이고,
 [43] 도 13은 본 발명의 제7실시 예에 따른 반도체 소자의 단면도이고,
 [44] 도 14는 본 발명의 일 실시 예에 따른 디스플레이 장치의 평면도이고,
 [45] 도 15는 반도체 소자와 회로기판이 전기적으로 연결된 상태를 보여주는 도면이다.

발명의 실시를 위한 형태

- [46] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 각각의 실시 예로 한정되는 것은 아니다.
- [47] 특정 실시 예에서 설명된 사항이 다른 실시 예에서 설명되어 있지 않더라도, 다른 실시 예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.
- [48] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였다면, 구성 A와 구성 B가 결합된 실시 예가 명시적으로 기재되지 않더라도 반대되거나 모순되는 설명이 없는 한, 본 발명의 권리범위에 속하는 것으로 이해되어야 한다.
- [49] 실시 예의 설명에 있어서, 어느 한 element가 다른 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나

이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

- [50] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [51] 반도체 소자는 발광 소자, 수광 소자 등 각종 전자 소자를 포함할 수 있으며, 발광 소자와 수광 소자는 모두 제1 도전형 반도체층(110a, 110b, 110c)과 활성층(120a, 120b, 120c) 및 제2 도전형 반도체층(130a, 130b, 130c)을 포함할 수 있다.
- [52] 본 실시 예에 따른 반도체 소자는 발광 소자일 수 있다.
- [53] 발광 소자는 전자와 정공이 재결합함으로써 빛을 방출하게 되고, 이 빛의 파장은 물질 고유의 에너지 밴드갭에 의해서 결정된다. 따라서, 방출되는 빛은 상기 물질의 구성에 따라 다를 수 있다.
- [54] 이하, 첨부된 도면을 참조하여 실시 예의 반도체 소자를 상세히 설명하면 다음과 같다.
- [55] 도 1은 본 발명의 제1 실시 예에 따른 반도체 소자의 평면도이고, 도 2는 도 1의 A-A 방향 단면도이다.
- [56] 도 1을 참고하면, 반도체 소자는 복수 개의 발광부(P1, P2, P3)를 포함할 수 있다. 복수 개의 발광부(P1, P2, P3)는 각각 동일하거나 또는 다른 파장의 광을 출사할 수 있다. 복수 개의 발광부(P1, P2, P3)는 서로 독립적으로 제어될 수 있는 영역으로 정의할 수 있다. 예시적으로 복수 개의 발광부(P1, P2, P3) 중에서 선택적으로 전류를 인가하여 제1 내지 제3 발광부(P1, P2, P3) 중 어느 하나만을 독립적으로 점등할 수 있다.
- [57] 복수 개의 발광부(P1, P2, P3)는 제1 파장대의 광을 출사하는 제1 발광부(P1), 제2 파장대의 광을 출사하는 제2 발광부(P2), 및 제3 파장대의 광을 출사하는 제3 발광부(P3)를 포함할 수 있다.
- [58] 제1 발광부(P1)는 녹색광을 출사할 수 있으며, 제2 발광부(P2)와 제3 발광부(P3)는 청색광을 출사할 수 있으나 이에 한정하지 않는다. 예시적으로 제1 발광부(P1)는 청색광을 출사하고, 제2 발광부(P2)와 제3 발광부(P3)는 녹색광을 출사할 수도 있다. 또한, 제1 내지 제3 발광부(P1, P2, P3)는 모두 청색광을 출사할 수도 있다. 제1 내지 제3 발광부(P1, P2, P3)는 주입되는 전류에 따라 서로 다른 파장대의 광을 출사할 수도 있다.
- [59] 도 2를 참조하면, 반도체 소자(1A)는 제1 내지 제3 발광부(P1, P2, P3), 분리된 제1 도전형 반도체층(110a, 110b, 110c)을 전기적으로 연결하는 제1 전극(151)과, 제1 전극(151)에 연결된 제1 범프 전극(150), 및 분리된 제2 도전형 반도체(130a, 130b, 130c)와 각각 전기적으로 연결된 복수의 제2 범프 전극(160a, 160b, 160c)을

포함할 수 있다.

- [60] 반도체 소자의, 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)은 복수 개의 발광부(P1, P2, P3)의 하부에 배치될 수 있다. 도면에서는 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)은 제2도전형 반도체층(130a, 130b, 130c)의 하부에 배치된 것으로 도시하였으나 반드시 이에 한정하지 않는다. 예시적으로 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)이 제1 도전형 반도체층(110a, 110b, 110c)의 상부에 배치될 수도 있다.
- [61] 제1 내지 제3발광부(P1, P2, P3)는 각각 제1 도전형 반도체층(110a, 110b, 110c), 활성층(120a, 120b, 120c) 및 제2 도전형 반도체층(130a, 130b, 130c)을 포함할 수 있다.
- [62] 예시적으로 제1발광부(P1)는 제1 도전형 반도체층(110a), 활성층(120a) 및 제2 도전형 반도체층(130a)을 포함하고, 제2발광부(P2)는 제1 도전형 반도체층(110b), 활성층(120b) 및 제2 도전형 반도체층(130b)을 포함하고, 제3발광부(P3)는 제1 도전형 반도체층(110c), 활성층(120c) 및 제2 도전형 반도체층(130c)을 포함할 수 있다.
- [63] 제1 내지 제3발광부(P1, P2, P3)의 제1 도전형 반도체층(110a, 110b, 110c)은 상부로 갈수록 폭이 좁아지게 배치될 수 있고, 제1 내지 제3발광부(P1, P2, P3)의 제2 도전형 반도체층(130a, 130b, 130c)은 하부로 갈수록 폭이 좁아지게 배치될 수 있다. 즉, 제1도전형 반도체층(110a, 110b, 110c)과 제2도전형 반도체층(130a, 130b, 130c)은 서로 반대 방향으로 갈수록 폭이 좁아지게 제작될 수 있다.
- [64] 제1 도전형 반도체층(110a, 110b, 110c)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, n형 도펀트가 도핑될 수 있다. 제1 도전형 반도체층(110a, 110b, 110c)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질 또는 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{P}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 형성될 수 있다. 예를 들어, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있으나, 이에 한정하지 않는다. n형 도펀트는 Si, Ge, Sn, Se, Te 등에서 선택될 수 있으며, 이에 한정하지 않는다.
- [65] 활성층(120a, 120b, 120c)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(120a, 120b, 120c)의 구조는 이에 한정하지 않는다. 활성층(120a, 120b, 120c)이 우물 구조로 형성되는 경우, 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 우물층과 $\text{In}_a\text{Al}_b\text{Ga}_{1-a-b}\text{N}$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 \leq a+b \leq 1$)의 조성식을 갖는 장벽층을 갖는 단일 또는 양자우물구조를 가질 수 있다.
- [66] 또한, 활성층(120a, 120b, 120c)은 우물층의 조성이 $(\text{Al}_p\text{Ga}_{1-p})_q\text{In}_{1-q}\text{P}$ 층(단, $0 \leq p \leq 1, 0 \leq q \leq 1$)일 수 있으며, 장벽층의 조성이 $(\text{Al}_{p1}\text{Ga}_{1-p1})_{q1}\text{In}_{1-q1}\text{P}$ 층(단, $0 \leq p1 \leq 1, 0 \leq q1 \leq 1$)일 수 있으나 이에 한정되는 것은 아니다. 예컨대, 활성층(120a, 120b, 120c)은 InGaN/GaN, InGaN/InGaIn, GaN/AlGaIn, InAlGaIn/GaN,

GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 패어 구조로 형성될 수 있으나 이에 한정되지 않는다. 우물층은 장벽층의 밴드 갭보다 작은 밴드 갭을 갖는 물질로 형성될 수 있다.

- [67] 활성층(120a, 120b, 120c)은 제1 도전형 반도체층(110a, 110b, 110c)을 통해서 주입되는 전자(또는 정공)와 제2 도전형 반도체층(130a, 130b, 130c)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(120a, 120b, 120c)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다. 예를 들어, 제 1, 제 2 및 제 3 발광부(P1, P2, P3)의 활성층(120a, 120b, 120c)은 청색 파장대의 광을 생성할 수 있다.
- [68] 제2 도전형 반도체층(130a, 130b, 130c)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, p형 도펀트가 도핑될 수 있다. 제2 도전형 반도체층(130a, 130b, 130c)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질 또는 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{P}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 형성될 수 있다. 예를 들어, 제2 도전형 반도체층(130a, 130b, 130c)은 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있으나 이에 한정하지 않는다. P형 도펀트는 Mg, Zn, Ca, Sr, Ba 등에서 선택될 수 있으며, 이에 한정하지 않는다.
- [69] 제 1 내지 제 3 발광부(P1, P2, P3)는 제1 도전형 반도체층(110a, 110b, 110c)을 통해 청색 파장대의 광이 방출될 수 있다.
- [70] 제1 절연층(140)은 제1 내지 제3 발광부(P1, P2, P3) 하부에 배치될 수 있다. 제 1 절연층(140)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으며, 이에 한정하지 않는다. 제1 절연층(140)은 제1 전극(151)을 제2도전형 반도체층(130a, 130b, 130c) 및 활성층(120a, 120b, 120c)과 전기적으로 절연시킬 수 있다.
- [71] 제1절연층(140)은 Si 산화물이나 Ti 화합물을 포함하는 다층 구조의 DBR(distributed Bragg reflector) 일 수도 있다. 그러나, 반드시 이에 한정하지 않고 제1절연층(140)은 다양한 반사 구조를 포함할 수 있다.
- [72] 제1 전극(151)은 분리된 제1 도전형 반도체층(110a, 110b, 110c) 사이에 배치될 수 있다. 그리고 제1 전극(151)은 분리된 제1 도전형 반도체층(110a, 110b, 110c)을 전기적으로 연결할 수 있다. 예를 들어, 제1 전극(151)은 제1 절연층(140)을 관통하여 제1 도전형 반도체층(110a, 110b, 110c)과 전기적으로 연결될 수 있다.
- [73] 제1 전극(151)은 제2 범프 전극(160a, 160b, 160c)과 이격 배치될 수 있다. 그리고 제1 전극(151)은 각 발광구조물의 제1 도전형 반도체층(110a, 110b, 110c)을 전기적으로 연결할 수 있다. 제1 전극(151)은 제1 도전형 반도체층(110a, 110b, 110c)과 일부 중첩되게 배치되어 전기적으로 연결될 수 있다. 제1 전극(151)은 오믹 전극일 수도 있으나, 이에 한정하지 않는다.
- [74] 제1 범프 전극(150)은 제1 전극(151)과 전기적으로 연결될 수 있다. 따라서,

- 서로 이격되어 배치된 제1 도전형 반도체층(110a, 110b, 110c)은 제1 범프 전극(150)과 전기적으로 연결될 수 있다. 제1 범프 전극(150)과 제1 전극(151)은 공통 전극으로 기능할 수 있으나, 이에 한정하지 않는다.
- [75] 복수 개의 제2 범프 전극(160a, 160b, 160c)은 제2 도전형 반도체층(130a, 130b, 130c)과 전기적으로 연결될 수도 있다. 예시적으로 제2-1 범프 전극(160a)은 제2-1 도전형 반도체층(130a)과 전기적으로 연결되고, 제2-2 범프 전극(160b)은 제2-2 도전형 반도체층(130b)과 전기적으로 연결되고, 제2-3 범프 전극(160c)은 제2-3 도전형 반도체층(130c)과 전기적으로 연결될 수 있다.
- [76] 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf, Cu 등과 같은 금속으로 형성될 수 있다. 또한, 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)은 전도성 산화막과 금속이 혼합된 하나 또는 복수 개의 층으로 형성될 수 있으며, 이에 한정하지 않는다.
- [77] 제2 도전형 반도체층(130a, 130b, 130c) 하부에는 반사층이 더 배치될 수 있으나, 이에 한정되지 않는다.
- [78] 복수 개의 제2 범프 전극(160a, 160b, 160c)과 제2 도전형 반도체층(130a, 130b, 130c) 사이에는 제2 전극(161a, 161b, 161c)이 배치될 수 있다. 그러나 반드시 이에 한정하는 것은 아니고 제2 범프 전극(160a, 160b, 160c)이 제2 도전형 반도체층(130a, 130b, 130c)과 오믹 접촉하는 물질을 포함할 수도 있다.
- [79] 지지층(170)은 절연층(140), 제1 전극(151), 제1 도전형 반도체층(110a, 110b, 110c), 활성층(120a, 120b, 120c) 및 제2 도전형 반도체층(130a, 130b, 130c)를 지지하도록 반도체 소자의 하부에 배치될 수 있다. 또한, 지지층(170)은 빛의 투과도가 낮고, 광반사층 및/또는 광흡수층의 역할을 수행할 수 있다.
- [80] 지지층(170)은 기재에 반사 입자가 분산된 구조일 수 있다. 기재는 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 중 어느 하나 이상일 수 있다. 일 예로, 고분자 수지는 실리콘 수지일 수 있다. 반사 입자는 TiO_2 또는 SiO_2 와 같은 무기물 입자를 포함할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 지지층은 EMC(Epoxy Molding Compound) 또는 SMC(Silicone Molding Compound) 수지일 수도 있다.
- [81] 지지층(170)은 10 내지 50wt%, 또는 15 내지 30wt%의 무기물 입자를 포함할 수 있다. 입자의 함량이 10wt%보다 작은 경우 투과도를 20%이하로 제어하기 어렵고 함량이 50 wt%보다 큰 경우 무기물 입자의 함량이 높아 크랙이 발생할 수 있다.
- [82] 지지층(170)은 열 팽창 계수(CTE)가 50ppm/°C 이하일 수 있다. 지지층(170)의 두께가 70 μm 이상인 경우에 지지층(170)의 투과도는 20% 이하일 수 있다. 이로써, 지지층(170)은 제1 내지 제 3 발광부(P1, P2, P3)에서 발생한 빛이 제1 도전형 반도체층(110a, 110b, 110c)의 상부를 향해 반사될 수 있다. 이로써, 실시예에 따른 반도체 소자는 향상된 발광 효율을 제공할 수 있다.
- [83] 도 3은 본 발명의 제2 실시 예에 따른 반도체 소자의 단면도이고, 도 4a 및 도

4b는 실시 예에 따른 반도체 소자의 격벽의 폭에 따른 광속 및 색순도의 변화를 측정한 그래프이다.

- [84] 도 3을 참조하면, 제2 실시 예에 따른 반도체 소자(1B)는 제1 내지 제3 발광부(P1, P2, P3) 상에 배치된 파장 변환층(181, 182, 183), 및 격벽(190)을 더 포함할 수 있다.
- [85] 파장 변환층(181, 182, 183)은 제1 내지 제3 발광부(P1, P2, P3)에서 방출되는 광의 파장을 변환할 수 있다.
- [86] 예시적으로 제1파장 변환층(181)은 제1발광부(P1)에서 출사되는 광을 녹색광으로 변환할 수 있고, 제2파장 변환층(182)은 제2발광부(P2)에서 출사되는 광을 적색광으로 변환할 수 있고, 제3파장 변환층(183)은 제3발광부(P3)에서 출사되는 광을 청색광으로 변환할 수 있다. 만약 제3발광부(P3)에서 청색광을 출사하는 경우 제3파장 변환층(183)은 파장을 변화시키지 않거나 배치되지 않을 수도 있다.
- [87] 그러나, 반드시 이에 한정하는 것은 아니고, 제1 내지 제3파장 변환층(181, 182, 183)은 제1 내지 제3 발광부(P1, P2, P3)에서 방출되는 청색(B) 파장대의 광을 흡수하여 백색(White: W) 파장대의 광으로 변환할 수도 있다.
- [88] 파장 변환층(181, 182, 183)은 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 등에서 선택된 고분자 수지에 파장 변환 입자가 분산된 구조일 수 있으며, 이에 한정하지 않는다.
- [89] 파장 변환 입자는 형광체, QD(Quantum Dot) 중 어느 하나 이상을 포함할 수 있다. 이하에서는 파장 변환 입자를 형광체로 설명한다.
- [90] 형광체는 YAG계, TAG계, Silicate계, Sulfide계 또는 Nitride계 중 어느 하나의 형광 물질이 포함될 수 있으나, 실시 예는 형광체의 종류에 제한되지 않는다.
- [91] 예시적으로, YAG 및 TAG계 형광 물질은 $(Y, Tb, Lu, Sc, La, Gd, Sm)_3(Al, Ga, In, Si, Fe)_5(O, S)_{12}:Ce$ 중에서 선택될 수 있으며, Silicate계 형광 물질은 $(Sr, Ba, Ca, Mg)_2SiO_4:(Eu, F, Cl)$ 중에서 선택 사용 가능하다. 또한, Sulfide계 형광 물질은 $(Ca, Sr)S:Eu$, $(Sr, Ca, Ba)(Al, Ga)_2S_4:Eu$ 중 선택 가능하며, Nitride계 형광체는 $(Sr, Ca, Si, Al, O)N:Eu$ (예, $CaAlSiN_4:Eu$ β - $SiAlON:Eu$) 또는 $Ca-\alpha$ $SiAlON:Eu$ 계인 $(Cax, My)(Si, Al)_{12}(O, N)_{16}$ 일 수 있다. 이 때, M은 Eu, Tb, Yb 또는 Er 중 적어도 하나의 물질이며 $0.05 < (x+y) < 0.3$, $0.02 < x < 0.27$ and $0.03 < y < 0.3$ 을 만족하는 형광체 성분 중에서 선택될 수 있다.
- [92] 상기와 같은 파장 변환층(181, 182, 183)은 격벽(190)에 의해 제1 내지 제3 발광부(P1, P2, P3)와 수직 방향으로 중첩되는 영역별로 분리될 수 있다. 격벽(190)은 파장 변환층(181, 182, 183) 사이 및 발광부(P1, P2, P3) 사이에 배치될 수 있다. 격벽(190)은 카본 블랙(carbon black), 그래파이트(Graphite)와 같이 광 흡수물질을 포함할 수도 있으나, 광을 반사하는 반사물질을 포함할 수도 있다.
- [93] 격벽(190)은 기체에 반사 입자가 분산된 구조일 수 있다. 기체는 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 중 어느 하나 이상일

수 있다. 일 예로, 고분자 수지는 실리콘 수지일 수 있다. 반사 입자는 TiO_2 또는 SiO_2 와 같은 무기물 입자를 포함할 수 있으나, 이에 한정하지 않는다.

- [94] 격벽(190)은 무기물 입자를 20wt% 이상 포함할 수 있다. 예시적으로 격벽의 무기물 입자는 20wt% 내지 70wt%일 수 있다. 무기물 입자를 20wt% 미만으로 포함하는 경우 격벽(190)의 반사도가 낮아져 색순도가 낮아지는 문제가 있다. 예를 들면, 제1 발광부(P1)만을 점등시켜 녹색광을 출력하는 경우 제1 발광부(P1)에서 출사된 광의 일부는 격벽(190)을 통과하여 제2과장 변환층(182)에 의해 적색광으로 변환될 수 있다. 이로 인하여 색순도가 낮아질 수 있다. 격벽(190)은 무기물 입자가 70wt%를 초과하면 고분자 수지의 함량이 작아지므로 크랙(Crack)이 발생할 수 있다.
- [95] 격벽(190)은 과장 변환층(181, 182, 183) 사이에 배치되는 제1 영역, 및 제1 내지 제3 발광부(P1, P2, P3) 사이에 배치되는 제2 영역을 포함할 수 있다.
- [96] 예시적으로 제1 영역의 폭(d1)은 제2 영역의 폭(d2)보다 클 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제1 영역의 폭(d1)과 제2 영역의 폭(d2)은 동일할 수도 있다.
- [97] 제1 영역과 제2 영역의 폭(d1, d2)은 복수 개의 발광부(P1, P2, P3)의 두께 방향과 수직한 방향(X축 방향)의 거리일 수 있다.
- [98] 격벽(190)의 제1 영역의 폭(d1)은 $10\mu\text{m}$ 이상 일 수 있다. 제1 영역의 폭(d1)은 $10\mu\text{m}$ 내지 $50\mu\text{m}$ 일 수 있다. 제1 영역의 폭(d1)이 $10\mu\text{m}$ 이상인 경우에, 격벽(190)은 제1 내지 제3 발광부(P1, P2, P3)에서 방출되는 광을 차단하여 색순도를 향상시킬 수 있다.
- [99] 예시적으로 무기물 입자의 함량이 20wt% 이상이고 두께가 $30\mu\text{m}$ 이상인 경우, 격벽(190)은 제1 내지 제3 발광부(P1, P2, P3)에서 방출되는 광을 차단하여 광의 중첩 및 혼색을 방지할 수 있다.
- [100] 제1 영역의 폭(d1)이 $50\mu\text{m}$ 보다 큰 경우, 제1 내지 제3 발광부(P1, P2, P3) 사이의 폭이 넓어져 반도체 소자의 사이즈가 커질 수 있다. 격벽(190)의 형성 방법은 특별히 제한되지 않는다. 예를 들어, 격벽(190)은 포토리소그래피, 임프린팅, 롤투롤 프린팅, 및 잉크젯 프린팅 등을 이용하여 형성할 수 있다.
- [101] 제1 영역의 폭(d1)은 제2 영역의 최대 폭(d2)보다 클 수 있다. 따라서, 각각의 제1 내지 제3 과장 변환층(181, 182, 183)의 X축 방향 폭은 제1 내지 제3 발광부(P1, P2, P3)의 폭보다 작을 수 있다. 이러한 구성에 의하면, 반도체 소자의 사이즈를 동일하게 제작하면서도 격벽의 폭(d1)을 증가시킬 수 있다. 예시적으로 각각의 제1 내지 제3 과장 변환층(181, 182, 183)의 X축 방향 폭은 제1 내지 제3 발광부(P1, P2, P3)의 폭의 80% 내지 90%일 수 있다.
- [102] 도 4a 및 도 4b를 참조하면, 제1 영역의 폭이 증가할수록 복수 개의 발광부의 광속은 다소 감소하나, 색 순도가 크게 향상됨을 확인할 수도 있다. 즉, 제1 영역의 폭이 $20\mu\text{m}$ 인 경우 색순도는 102% 향상되고, 제1 영역의 폭이 $30\mu\text{m}$ 인 경우 105%로, 제1 영역의 폭이 $50\mu\text{m}$ 인 경우 106%로 향상되었다.

- [103] 도 5는 본 발명의 제3실시 예에 따른 반도체 소자의 단면도이고, 도 6은 도 5의 변형예이다.
- [104] 도 5를 참조하면, 제3실시 예에 따른 반도체 소자(1C)는 파장 변환층(181, 182, 183) 및 격벽(190) 상에 배치된 컬러 필터층(220)을 포함할 수 있다.
- [105] 컬러 필터층(220)은 복수의 컬러필터(221, 222, 223)와 블랙 매트릭스(224)를 포함할 수 있다. 컬러 필터층(220)에는 제1 내지 제3 컬러 필터(221, 222, 223)가 배치될 수 있다. 예시적으로 제1 컬러 필터(221)는 녹색 필터일 수도 있고, 제2 컬러 필터(222)는 적색 필터일 수도 있고, 제3 컬러 필터(223)는 청색 필터일 수 있다.
- [106] 복수 개의 컬러 필터(221, 222, 223)는 Methylmethacrylate-Butadiene-Styrene(MBS)와 같은 아크릴 계열의 수지에 녹색/적색/청색 피그먼트(pigment)를 혼합하여 제작할 수 있다. 예시적으로 컬러 필터층(220)은 포토레지스트에 분산된 안료 조성물을 코팅, 노광, 현상 및 경화(소성)함으로써 형성할 수 있다.
- [107] 컬러 필터층(220)은 파장 변환층(181, 182, 183)에 의해 변환된 광의 색순도를 향상시킬 수 있다. 예시적으로 제1 컬러 필터(221)는 제1 파장 변환층(181)에 의해 변환된 녹색광 이외의 광을 차단하여 녹색 광의 색순도를 향상시킬 수 있다.
- [108] 또한, 파장 변환층(181, 182, 183)이 제1 내지 제3 발광부(P1, P2, P3)의 광을 백색광으로 변환한 경우, 컬러 필터층(220)은 백색(W) 파장대의 광을 청색(B), 녹색(G) 및 적색(R) 파장대의 광으로 분리할 수 있다.
- [109] 컬러 필터층(220)은 제 1 내지 제3 컬러 필터(221, 222, 223) 사이에 배치되는 블랙 매트릭스(224)를 포함할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제 1 내지 제3 컬러 필터(221, 222, 223) 사이에 배치되어 구획할 수 있는 구조이면 특별히 제한하지 않는다.
- [110] 블랙 매트릭스(224)의 두께는 $5\mu\text{m}$ 내지 $55\mu\text{m}$ 일 수 있다. 두께가 $5\mu\text{m}$ 보다 작은 경우 너무 얇아 제 1 내지 제3 컬러 필터(221, 222, 223)를 구획하지 못할 수 있고, 두께가 $55\mu\text{m}$ 보다 큰 경우 전체적인 필터의 두께가 두꺼워지는 문제가 있다. 그러나, 블랙 매트릭스(224)의 두께는 반드시 이에 한정하지 않는다.
- [111] 또한, 블랙 매트릭스(224)의 폭은 블랙 매트릭스(224) 하부에 배치된 격벽(190)의 제1 영역의 폭(d1)의 $\pm 5\mu\text{m}$ 범위를 가질 수 있다. 블랙 매트릭스(224)의 폭은 $5\mu\text{m}$ 내지 $55\mu\text{m}$ 일 수 있다.
- [112] 제1 중간층(210)은 컬러 필터층(220)과 파장 변환층(181, 182, 183) 사이에 배치되어 이들을 접착하는 역할을 수행할 수 있다. 진술한 바와 같이 컬러 필터(221, 222, 223)는 아크릴 수지를 주 원료로 사용하고, 격벽과 파장 변환층(181, 182, 183)은 실리콘 수지를 주 원료로 사용할 수 있다. 그러나, 아크릴 수지와 실리콘 수지는 물성 차이에 의해 접착성이 좋지 않으므로 파장 변환층(181, 182, 183) 상에 직접 컬러 필터(221, 222, 223)를 제작하는 것이 용이하지 않을 수 있다.

- [113] 제1 중간층(210)은 무기질 재료로서 산화물 또는 질화물을 포함할 수 있다. 예시적으로, 제1 중간층(210)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, ZnO, SiO₂, Si_xO_y, Si₃N₄, SixNy, SiOxNy, Al₂O₃, TiO₂, AlN 중 적어도 하나를 포함하여 단층 또는 다층으로 형성할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제1 중간층(210)은 아크릴 수지 및 실리콘 수지와 모두 접착력이 우수한 물질이면 제한없이 선택될 수 있다.
- [114] 제1 중간층(210)의 두께는 5nm 내지 1,000nm, 또는 40nm 내지 200nm일 수 있다. 두께가 5nm보다 작은 경우 아크릴 수지가 형광체로 확산되는 것을 방지하기 어렵고, 두께가 1000nm보다 큰 경우 투과율이 70%보다 작아져 광속이 감소하는 문제가 있다.
- [115] 격벽(190), 제1 중간층(210), 컬러 필터층(220) 및 봉지층(230)의 전체 두께(L₁)은 30 μ m 내지 100 μ m일 수 있다. 이때, 격벽(190), 제1 중간층(210), 컬러 필터층(220) 및 봉지층(230)의 전체 두께(L₁)가 30 μ m보다 작은 경우, 파장 변환층(181, 182, 183) 내의 입자 수가 적어 색 변환 적어질 수 있으며, 공정이 어려울 수 있다. 그리고 격벽(190), 제1 중간층(210), 컬러 필터층(220) 및 봉지층(230)의 전체 두께(L₁)가 100 μ m보다 큰 경우, 두께에 따른 광 투과도가 감소할 수 있다. 여기서, 두께는 Y축 방향 거리를 의미한다.
- [116] 도 6을 참고하면, 변형예의 반도체 소자(1C')는 제2 중간층(240)이 제1 중간층(210)과 파장 변환층(181, 182, 183) 사이에 배치될 수 있다. 파장 변환층(181, 182, 183)은 공정에 의해 또는 수지에 형광체 입자가 분산되므로 표면이 평탄하지 않을 수 있다. 따라서, 파장 변환층(181, 182, 183)의 표면 위에 컬러 필터층을 형성하는 경우 신뢰성이 저하되는 문제가 있다. 제1 중간층(210)은 제2 중간층(240) 상에 배치되어 평탄면을 제공할 수 있다.
- [117] 그러나, 반드시 이에 한정되는 것은 아니고 제2 중간층(240)의 구성은 생략될 수도 있다. 예시적으로, 파장 변환층(181, 182, 183) 및 격벽(190)의 표면 거칠기가 10 μ m 이하 또는 5 μ m 이하인 경우 제2 중간층(240)은 생략될 수도 있다. 이때, 제1 중간층(210)의 표면 거칠기는 파장 변환층(181, 182, 183) 및 격벽(190)의 표면 거칠기에 의해 결정될 수 있다. 파장 변환층(181, 182, 183) 및 격벽(190)의 표면 거칠기를 제어하기 위해 레벨링 또는 연마 공정을 수행할 수 있다.
- [118] 제2 중간층(240)은 파장 변환층(181, 182, 183)과의 접착력을 위해 동일한 재질을 포함할 수 있다. 예시적으로, 제2 중간층(240)과 파장 변환층(181, 182, 183)은 모두 실리콘 수지를 포함할 수 있다.
- [119] 제2 중간층(240)의 두께는 3,000nm 내지 20,000nm일 수 있다. 제2 중간층(240)의 두께가 3,000nm보다 작은 경우 표면의 평탄화가 불량할 수

있으며, 두께가 20,000nm보다 큰 경우 광 투과율이 감소하는 문제가 있다. 따라서, 제1 중간층(210)과 제2 중간층(240)의 두께 비는 1:4000 내지 1:3일 수 있다.

- [120] 봉지층(230)은 컬러 필터층(220) 상에 배치될 수 있다. 봉지층(230)은 화소와 반도체 소자를 덮도록 컬러 필터층(220) 상에 배치되어, 복수 개의 발광부(P1, P2, P3), 파장 변환층(181, 182, 183) 및 격벽(190)을 보호할 수 있다.
- [121] 봉지층(230)은 열 및/또는 광 경화성 수지로 이루어져 액상 상태로 컬러 필터층(220) 상에 코팅되고, 열 및/또는 광을 이용한 경화 공정에 의해 경화될 수 있다. 이때, 봉지층(230)은 외부의 눌림을 완충하는 역할도 할 수 있다.
- [122] 도 7a 내지 도 7f는 제3 실시 예에 따른 반도체 소자의 제조 방법을 보여주는 도면이다.
- [123] 도 7a를 참고하면, 기판(1)상에 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순차로 형성할 수 있다. 기판(1)은 사파이어(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [124] 도시하지는 않았으나, 제 1 도전형 반도체층(110)과 기판(1) 사이에 버퍼층(미도시)이 더 구비될 수 있다. 버퍼층은 제 1 도전형 반도체층(110), 활성층(120)(120) 및 제 2 도전형 반도체층(130)과 기판(1) 사이의 격자 부정합을 완화할 수 있다. 버퍼층은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 버퍼층에는 도펀트가 도핑될 수도 있으나, 이에 한정하지 않는다.
- [125] 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)은 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 화학 증착법(Chemical Vapor Deposition; CVD), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition; PECVD), 분자선 성장법(Molecular Beam Epitaxy; MBE), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy; HVPE), 스퍼터링(Sputtering) 등의 방법을 이용하여 형성할 수 있으며, 이에 한정하지 않는다.
- [126] 도 7b를 참고하면, 제2 도전형 반도체층(130) 상에 제1 절연층(140), 제1 전극(151), 및 제2 전극(161a, 161b, 161c)을 형성할 수 있다. 이후, 지지층(170)을 형성한 후 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)를 관통 형성할 수 있다. 다만, 이에 한정되지 않으며, 제1 범프 전극(150)과 제2 범프 전극(160a, 160b, 160c)를 형성하고, 이후에 지지층(170)을 형성할 수도 있다.
- [127] 이때, 제2 도전형 반도체층(130a, 160b, 160c)과 활성층(120a, 120b, 120c)은 mesa 식각되어 서로 분리될 수 있다. 따라서, 제2 도전형 반도체층(130a, 160b, 160c) 과 활성층(120a, 120b, 120c)은 기판(1)과 멀어지는 방향으로 폭이 좁아지게 형성될 수 있다.
- [128] 도 7c를 참고하면, 기판(1)을 제거할 수 있다. 기판(1)은 레이저 리프트

오프(LLO) 방식을 이용할 수 있으나 반드시 이에 한정하지 않는다. 이후, 제1 도전형 반도체층(110)을 각 발광부(P1, P2, P3) 단위로 분리할 수 있다. 따라서, 제1 도전형 반도체층(110)은 메사 식각하는 과정에서 제2 도전형 반도체층(130)과 반대 방향으로 폭이 좁아지게 형성될 수 있다.

[129] 도 7d를 참고하면, 제1 도전형 반도체층(110) 상에 파장 변환층(181, 182, 183)과 격벽(190)을 형성할 수 있다. 이때, 파장 변환층(181, 182, 183)을 먼저 형성한 후 격벽(190)을 형성할 수도 있으나 반드시 이에 한정되는 것은 아니고, 격벽(190)을 먼저 형성한 후 관통홀을 형성하여 그 안에 파장 변환층(181, 182, 183)을 형성할 수도 있다.

[130] 도 7e를 참고하면, 파장 변환층(181, 182, 183) 상에 제1 중간층(210)을 형성하고, 그 위에 제1 내지 제3 컬러 필터(221, 222, 223)를 형성할 수 있다. 이때, 블랙 매트릭스를 먼저 형성하여 파장 변환층(181, 182, 183)과 정렬한 후, 제1 내지 제3 컬러 필터(221, 222, 223)를 형성할 수도 있으나, 이에 한정되는 것은 아니다.

[131] 구체적으로, 녹색 안료(pigment)를 스핀코팅(spin coating) 또는, 바 코팅(bar coating) 등의 방법으로 전면 도포하고, 마스크 공정을 진행하여 제1 파장 변환층(181)과 대응되는 영역에 제1 컬러 필터(221)를 형성할 수 있다.

[132] 이후, 적색 안료(pigment)를 스핀코팅(spin coating) 또는, 바 코팅(bar coating) 등의 방법으로 전면 도포하고, 마스크 공정을 진행하여 제2 파장 변환층(182)과 대응되는 영역에 제2 컬러 필터(222)를 형성할 수 있다.

[133] 또한, 청색 안료(pigment)를 스핀코팅(spin coating) 또는, 바 코팅(bar coating) 등의 방법으로 전면 도포하고, 마스크 공정을 진행하여 제3 파장 변환층(183)과 대응되는 영역에 제3 컬러 필터(223)를 형성할 수 있다. 이후, 도 7f와 같이 컬러 필터층(220) 상에 봉지층(230)을 형성할 수 있다.

[134] 도 8은 본 발명의 제4 실시 예에 따른 반도체 소자의 단면도이다.

[135] 도 8을 참조하면, 반도체 소자(1D)는 파장 변환층(181, 182, 183)의 사이, 및 제1 내지 제3 발광부(P1, P2, P3)의 사이에 배치된 차단층(200)을 더 포함할 수 있다. 차단층(200)은 제1 절연층(140)상에도 배치될 수 있다.

[136] 차단층(200)은 제1 내지 제3 발광부(P1, P2, P3)로부터 방출된 광이 인접한 파장 변환층(181, 182, 183)으로 방출되는 것을 차단할 수 있다. 예시적으로 차단층(200)은 제1 발광부(P1)에서 방출된 광이 제2 파장 변환층(182)으로 입사하는 것을 방지할 수 있다. 이러한 구성에 의하여, 차단층(200)은 광의 중첩 및 혼색을 방지할 수 있다.

[137] 차단층(200)은 금속을 포함할 수 있다. 차단층(200)은 광을 반사시키는 금속을 포함하여 인접한 파장 변환층(181, 182, 183)으로 이동하는 광을 반사시킬 수 있다. 일례로, 금속은 Ag, Ni, Ti, Al를 포함할 수 있으나, 이에 한정되는 것은 아니다.

[138] 차단층(200)의 폭(d3)은 20nm 이상일 수 있다, 바람직하게, 차단층(200)의

폭(d3)은 100nm 내지 1000nm일 수 있다. 차단층(200)의 폭(d3)이 100nm 보다 작은 경우 차단층(200)의 고정 어려움 표면 거칠기가 커질 수 있다. 또한, 차단층(200)의 폭(d3)이 1000nm보다 크면 무게 등에 의한 스트레스로 박리가 발생할 수 있다.

- [139] 차단층(200)은 금속의 증착에 의해 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [140] 컬러 필터층(220)은 복수의 컬러 필터(221, 222, 223)와 블랙 매트릭스(224)를 포함할 수 있다. 컬러 필터층(220)에는 제1 내지 제3 컬러 필터(221, 222, 223)가 배치될 수 있다. 예시적으로 제1 컬러 필터(221)는 녹색 필터일 수도 있고, 제2 컬러 필터(222)는 적색 필터일 수도 있고, 제3 컬러 필터(223)는 청색 필터일 수 있다.
- [141] 제1 중간층(210)은 컬러 필터층(220)과 파장 변환층(181, 182, 183) 사이에 배치되어 이들을 접착하는 역할을 수행할 수 있다. 컬러 필터층(220)과 제1 중간층(210)은 도 5에서 설명한 특징이 그대로 적용될 수 있다. 또한, 도 6의 제2중간층이 더 배치될 수도 있다.
- [142] 도 9a 내지 도 9d는 제4 실시 예에 따른 반도체 소자의 제조 방법을 보여주는 도면이다.
- [143] 도 9a에 따른 발광소자는 도 7a 내지 도 7c에서 설명한 제조 과정이 그대로 적용될 수 있다. 즉, 기판을 제거한 후, 제1 도전형 반도체층(110)을 각 발광부(P1, P2, P3) 단위로 분리할 수 있다. 따라서, 제1 도전형 반도체층(110)은 메사 식각하는 과정에서 제2 도전형 반도체층(130)과 반대 방향으로 폭이 좁아지게 형성될 수 있다.
- [144] 도 9b를 참조하면, 제1 도전형 반도체층(110) 상에 파장 변환층(181, 182, 183)과 감광층(S)을 형성할 수 있다. 이때, 파장 변환층(181, 182, 183)을 먼저 형성한 후 감광층(S)을 형성할 수도 있으나 반드시 이에 한정되는 것은 아니고, 감광층(S)을 먼저 형성한 후 관통홀을 형성하여 그 안에 파장 변환층(181, 182, 183)을 형성할 수도 있다.
- [145] 도 9c를 참조하면, 파장 변환층(181, 182, 183), 제1 내지 제3 발광부(P1, P2, P3) 및 제1 전극(151)과 격벽(190) 사이에 차단층(200)이 형성될 수 있다. 일 예로, 차단층(200)은 감광층(S)을 제거한 후에 증착될 수 있다.
- [146] 차단층(200)은 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 화학 증착법(Chemical Vapor Deposition; CVD), 스퍼터링(Sputtering) 등의 방법을 이용하여 형성할 수 있으며, 이에 한정하지 않는다.
- [147] 차단층(200)이 형성되고 차단층(200) 상에 격벽(190)이 형성될 수 있다.
- [148] 도 9d를 참조하면, 파장 변환층(181, 182, 183), 격벽(190) 및 차단층(200)의 각각이 상부면에 노출되도록 파장 변환층(181, 182, 183), 격벽(190) 및 차단층(200)의 일부를 제거할 수 있다. 제거 방법은 레벨링, 폴리싱 공정을 적용할 수 있으나, 반드시 이에 한정되는 것은 아니다.

- [149] 도 10은 도 8에 도시한 제4실시 예에 따른 반도체 소자의 변형예의 단면도이다.
- [150] 도 10을 참조하면, 반도체 소자(1D')의 차단층(200)은 파장 변환층(181, 182, 183) 및 제1 내지 제3 발광부(P1, P2, P3)과 격벽(190) 사이에 배치될 수 있다. 이때, 제1 절연층(140)은 차단층(200) 사이로 노출될 수 있다.
- [151] 차단층(200)은 제1 내지 제3 발광부(P1, P2, P3)로부터 방출된 광이 인접한 파장 변환층(181, 182, 183)으로 방출되는 것을 차단할 수 있다. 이러한 구성에 의하여, 차단층(200)은 광의 중첩 및 혼색 방지를 제공할 수 있다. 차단층(200)은 상기 설명이 동일하게 적용될 수 있다.
- [152] 도 11는 본 발명의 제5실시 예에 따른 반도체 소자의 단면도이다.
- [153] 도 11을 참조하면, 반도체 소자(1E)는 제1 발광부 내지 제3 발광부(P1, P2, P3), 이격된 제1 도전형 반도체층(110a, 110b, 110c)과 각각 전기적으로 연결된 제1 범프 전극(150a, 150b, 150c), 분리된 제2 도전형 반도체층(130a, 130b, 130c)를 전기적으로 연결하는 제2 전극(162), 및 제2 전극(162)과 전기적으로 연결된 제2 범프 전극(160)을 포함할 수 있다.
- [154] 실시 예에 따른 반도체 소자(1E)는 제1 범프 전극(150a, 150b, 150c)이 제1 도전형 반도체층(110a, 110b, 110c)에 각각 전기적으로 연결되고, 제2 범프 전극(160)은 제2 전극(162)을 통해 제2 도전형 반도체층(130a, 130b, 130c)과 전기적으로 연결될 수 있다.
- [155] 제2 전극(162)은 제1 내지 제3 발광부(P1, P2, P3)에서 이격된 제2 도전형 반도체층 사이(130a, 130b, 130c)에 배치될 수 있다. 그리고 제2 전극(162)은 이격된 제2 도전형 반도체층(130a, 130b, 130c)을 전기적으로 연결할 수 있다.
- [156] 또한, 제1 내지 제3 발광부(P1, P2, P3) 하부에 제1 절연층(140)이 배치될 수 있다. 그리고 제2 도전형 반도체층(130a, 130b, 130c) 하부에는 반사 전극(161)이 배치될 수 있다.
- [157] 일 예로, 제1 발광부 내지 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110a, 110b, 110c)과 제1 범프 전극(150a, 150b, 150c) 사이에는 각각 제1 전극(151a, 151b, 151c)이 배치될 수 있다. 반사 전극(161)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 및 Hf 등과 같이 반사율이 높은 물질로 형성되거나, 상기 반사율이 높은 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 전도성 물질이 혼합되어 단층 또는 다층으로 형성될 수 있으며, 이에 한정하지 않는다.
- [158] 그리고 제2 전극(162)은 반사 전극(161) 사이에 배치되어 제2 도전형 반도체층(130a, 130b, 130c)과 제2 범프 전극(160)을 전기적으로 연결할 수 있다. 제2 전극(162)은 제1 내지 제3 발광부(P1, P2, P3)에 전원을 인가하는 공통전극 역할을 수행할 수 있다.
- [159] 다시 도 11를 참고하면, 제1 절연층(140)은 제1 내지 제3 발광부(P1, P2, P3) 하부를 덮도록 배치될 수 있다. 제2 절연층(141)은 제1 전극(151a, 151b, 151c)의 일부, 반사전극(161)의 일부, 및 제2 전극(162)의 전체를 덮을 수 있다.
- [160] 제1 절연층(140)과 제2 절연층(141)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃,

TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으며, 이에 한정하지 않는다.

- [161] 제1절연층(140)은 Si 산화물이나 Ti 화합물을 포함하는 다층 구조의 DBR(distributed Bragg reflector) 일 수도 있다. 그러나, 반드시 이에 한정하지 않고 제1절연층(140)은 다양한 반사 구조를 포함할 수 있다.
- [162] 지지층(170)은 복수 개의 발광부(P1, P2, P3)와 제2 전극(162)을 지지하도록 복수 개의 발광부(P1, P2, P3)의 하부에 배치될 수 있다. 또한, 지지층(170)은 빛의 투과도가 낮고, 광반사층 및/또는 광흡수층의 역할을 수행할 수 있다.
- [163] 지지층(170)은 기재에 반사 입자가 분산된 구조일 수 있다. 기재는 광 투과성에 폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 중 어느 하나 이상일 수 있다. 일 예로, 고분자 수지는 실리콘 수지일 수 있다. 반사 입자는 TiO₂ 또는 SiO₂와 같은 무기물 입자를 포함할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 지지층은 EMC(Epoxy Molding Compound) 또는 SMC(Silicone Molding Compound) 수지일 수도 있다.
- [164] 지지층(170)은 10 내지 50wt%, 또는 15 내지 30wt%의 무기물 입자를 포함할 수 있다. 입자의 함량이 10wt%보다 작은 경우 투과도를 20%이하로 제어하기 어렵고 함량이 50 wt%보다 큰 경우 무기물 입자의 함량이 높아 크랙이 발생할 수 있다.
- [165] 지지층(170)은 열 팽창 계수(CTE)가 50ppm/°C 이하일 수 있다. 이에, 지지층(170)의 두께가 70 μ m 이상인 경우에 지지층(170)의 투과도는 20% 이하일 수 있다. 이로써, 지지층(170)은 제1 내지 제 3 발광부(P1, P2, P3)에서 발생한 빛이 제1 도전형 반도체층(110a, 110b, 110c)의 상부를 향해 반사될 수 있다. 이로써, 일 실시 예에 따른 반도체 소자는 향상된 발광 효율을 제공할 수 있다.
- [166] 제1 범프 전극(150a, 150b, 150c)은 지지층(170)을 관통하여 제1 전극(151a, 151b, 151c)과 전기적으로 연결될 수 있다.
- [167] 제2 범프 전극(160)은 지지층(170)을 관통하여 반사 전극(161)과 전기적으로 연결될 수 있다. 반사 전극(161)은 제2 전극(162)에 의해 서로 전기적으로 연결될 수 있다. 다만, 이에 한정되는 것은 아니다.
- [168] 그리고 제2 범프 전극(160)은 반사 전극(161)과 제2 전극(162)을 통해 제1 내지 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(130a, 130b, 130c)과 전기적으로 연결될 수 있다.
- [169] 도 12는 본 발명의 제6실시 예에 따른 반도체 소자의 단면도이고, 도 13은 본 발명의 제7실시 예에 따른 반도체 소자의 단면도이다.
- [170] 도 12를 참조하면, 실시 예에 따른 반도체 소자(1F)는 제1 내지 제3 발광부(P1, P2, P3) 상에 배치된 파장 변환층(181, 182, 183), 및 격벽(190)을 더 포함할 수 있다.
- [171] 파장 변환층(181, 182, 183)은 제1 내지 제3 발광부(P1, P2, P3)에서 방출되는 광의 파장을 변환할 수 있다.

- [172] 예시적으로 제1과장 변환층(181)은 제1발광부(P1)에서 출사되는 광을 녹색광으로 변환할 수 있고, 제2과장 변환층(182)은 제2발광부(P2)에서 출사되는 광을 적색광으로 변환할 수 있고, 제3과장 변환층(183)은 제3발광부(P3)에서 출사되는 광을 청색광으로 변환할 수 있다. 만약 제3발광부(P3)에서 청색광을 출사하는 경우 제3과장 변환층(183)은 파장을 변화시키지 않을 수도 있다.
- [173] 그러나, 반드시 이에 한정하는 것은 아니고, 제1 내지 제3과장 변환층(181, 182, 183)은 제1 내지 제3 발광부(P1, P2, P3)에서 방출되는 청색(B) 과장대의 광을 흡수하여 백색(White: W) 과장대의 광으로 변환할 수도 있다.
- [174] 과장 변환층(181, 182, 183)은 투과성 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 등에서 선택된 고분자 수지에 과장 변환 입자가 분산된 구조일 수 있으며, 이에 한정하지 않는다.
- [175] 과장 변환 입자는 형광체, QD(Quantum Dot) 중 어느 하나 이상을 포함할 수 있다. 이하에서는 과장 변환 입자를 형광체로 설명한다.
- [176] 형광체는 YAG계, TAG계, Silicate계, Sulfide계 또는 Nitride계 중 어느 하나의 형광 물질이 포함될 수 있으나, 실시 예는 형광체의 종류에 제한되지 않는다.
- [177] 예시적으로, YAG 및 TAG계 형광 물질은 $(Y, Tb, Lu, Sc, La, Gd, Sm)_3(Al, Ga, In, Si, Fe)_5(O, S)_{12}:Ce$ 중에서 선택될 수 있으며, Silicate계 형광 물질은 $(Sr, Ba, Ca, Mg)_2SiO_4:(Eu, F, Cl)$ 중에서 선택 사용 가능하다. 또한, Sulfide계 형광 물질은 $(Ca, Sr)S:Eu$, $(Sr, Ca, Ba)(Al, Ga)_2S_4:Eu$ 중 선택 가능하며, Nitride계 형광체는 $(Sr, Ca, Si, Al, O)N:Eu$ (예, $CaAlSiN_4:Eu$ β - $SiAlON:Eu$) 또는 $Ca-\alpha$ $SiAlON:Eu$ 계인 $(Cax, My)(Si, Al)_{12}(O, N)_{16}$ 일 수 있다. 이 때, M은 Eu, Tb, Yb 또는 Er 중 적어도 하나의 물질이며 $0.05 < (x+y) < 0.3$, $0.02 < x < 0.27$ and $0.03 < y < 0.3$ 을 만족하는 형광체 성분 중에서 선택될 수 있다.
- [178] 상기와 같은 과장 변환층(181, 182, 183)은 격벽(190)에 의해 제1 내지 제3 발광부(P1, P2, P3)와 수직 방향으로 중첩되는 영역별로 분리될 수 있다. 격벽(190)은 과장 변환층(181, 182, 183) 사이 및 발광부(P1, P2, P3) 사이에 배치될 수 있다. 격벽(190)은 카본 블랙(carbon black), 그래파이트(Graphite)와 같이 광 흡수물질을 포함할 수도 있으나, 광을 반사하는 반사물질을 포함할 수도 있다.
- [179] 격벽(190)은 기체에 반사 입자가 분산된 구조일 수 있다. 기체는 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 중 어느 하나 이상일 수 있다. 일 예로, 고분자 수지는 실리콘 수지일 수 있다. 반사 입자는 TiO_2 또는 SiO_2 와 같은 무기물 입자를 포함할 수 있으나, 이에 한정하지 않는다.
- [180] 격벽(190)은 무기물 입자를 20wt% 이상 포함할 수 있다. 예시적으로 격벽의 무기물 입자는 20wt% 내지 70wt%일 수 있다. 무기물 입자를 20wt% 미만으로 포함하는 경우 격벽(190)의 반사도가 낮아져 색순도가 낮아지는 문제가 있다. 예를 들면, 제1 발광부(P1)만을 점등시켜 녹색광을 출력하는 경우 제1 발광부(P1)에서 출사된 광의 일부는 격벽(190)을 통과하여 제2과장 변환층(182)에 의해 적색광으로 변환될 수 있다. 이로 인하여 색순도가 낮아질

- 수 있다. 격벽(190)은 무기물 입자가 70wt%를 초과하면 크랙(Crack)이 발생할 수 있다.
- [181] 격벽(190)은 파장 변환층(181, 182, 183) 사이에 배치되는 제1 영역, 및 제1 내지 제3 발광부(P1, P2, P3) 사이에 배치되는 제2 영역을 포함할 수 있다. 격벽(190)에 대한 설명은 상기와 동일하게 적용될 수 있다.
- [182] 도 13을 참조하면, 실시 예에 따른 반도체 소자(1G)는 파장 변환층(181, 182, 183) 및 격벽(190) 상에 배치된 컬러 필터층(220)을 포함할 수 있다.
- [183] 컬러 필터층(220)은 제1 내지 제3 컬러 필터(221, 222, 223)가 배치될 수 있다. 예시적으로 제1 컬러 필터(221)는 녹색 필터일 수도 있고, 제2 컬러 필터(222)는 적색 필터일 수도 있고, 제3 컬러 필터(223)는 청색 필터일 수도 있다.
- [184] 컬러 필터층(220)은 Methylmethacrylate-Butadiene-Styrene(MBS)와 같은 아크릴 수지에 녹색/적색/청색 피그먼트(pigment)를 혼합하여 제작할 수 있다. 예시적으로 컬러 필터층(220)은 포토레지스트에 분산된 안료 조성물을 코팅, 노광, 현상 및 경화(소성)함으로써 형성할 수 있다.
- [185] 컬러 필터층(220)은 파장 변환층(181, 182, 183)에 의해 변환된 광의 색순도를 향상시킬 수 있다. 예시적으로 제1 컬러 필터(221)는 제1 파장 변환층(181)에 의해 변환된 녹색광 이외의 광을 차단하여 녹색 광의 색순도를 향상시킬 수 있다.
- [186] 또한, 파장 변환층(181, 182, 183)이 제1 내지 제3 발광부(P1, P2, P3)의 광을 백색광으로 변환한 경우, 컬러 필터층(220)은 백색(W) 파장대의 광을 청색(B), 녹색(G) 및 적색(R) 파장대의 광으로 분리할 수 있다.
- [187] 컬러 필터층(220)은 제1 내지 제3 컬러 필터(221, 222, 223) 사이에 배치되는 블랙 매트릭스(224)를 포함할 수 있다.
- [188] 제1 중간층(210)은 컬러 필터층(220)과 파장 변환층(181, 182, 183) 사이에 배치될 수 있다. 전술한 바와 같이 컬러 필터층(220)은 아크릴 수지를 주 원료로 사용하고, 격벽과 파장 변환층(181, 182, 183)은 실리콘 수지를 주 원료로 사용할 수 있다. 그러나, 아크릴 수지와 실리콘 수지의 접착성이 좋지 않으므로 파장 변환층(181, 182, 183) 상에 직접 컬러 필터층(220)을 제작하는 것이 용이하지 않을 수 있다.
- [189] 제1 중간층(210)은 무기질 재료로서 산화물 또는 질화물을 포함할 수 있다. 예시적으로, 제1 중간층(210)은 ITO, ZnO, AZO, SiO₂를 포함할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제1 중간층(210)은 아크릴 수지 및 실리콘 수지와 모두 접착력이 우수한 물질이 선택될 수 있다.
- [190] 제1 중간층(210)의 두께는 5nm 내지 1000nm, 또는 40nm 내지 200nm일 수 있다. 두께가 5nm보다 작은 경우 아크릴 수지가 형광체로 확산되는 것을 방지하기 어렵고, 두께가 1000nm보다 큰 경우 투과율이 70%보다 작아져 광속이 감소하는 문제가 있다. 도시하지는 않았으나 제1 중간층(210)과 파장 변환층(181, 182, 183) 사이에는 제2 중간층이 배치될 수도 있다.
- [191] 봉지층(230)은 컬러 필터층(220) 상에 배치될 수 있다. 봉지층(230)은 화소와

- 반도체 소자를 덮도록 컬러 필터층(220) 상에 배치되어, 복수 개의 발광부(P1, P2, P3), 과장 변환층(181, 182, 183) 및 격벽(190)을 보호할 수 있다.
- [192] 봉지층(230)은 열 및/또는 광 경화성 수지로 이루어져 액상 상태로 컬러 필터층(220) 상에 코팅되고, 열 및/또는 광을 이용한 경화 공정에 의해 경화될 수 있다. 이때, 봉지층(230)은 외부의 눌림을 완충하는 역할도 한다.
- [193] 도 14는 본 발명의 일 실시 예에 따른 디스플레이 장치의 평면도이고, 도 15는 반도체 소자와 회로기판이 전기적으로 연결된 상태를 보여주는 도면이다.
- [194] 도 14 및 도 15를 참고하면, 표시 장치는 공통 배선(41)과 구동 배선(42)이 교차하는 영역으로 정의된 복수 개의 픽셀 영역을 포함하는 패널(40), 각 픽셀 영역에 배치된 반도체 소자, 공통 배선(41)에 구동 신호를 인가하는 제 1 드라이버(30), 구동 배선(42)에 구동 신호를 인가하는 제 2 드라이버(20), 및 제 1 드라이버(30)와 제 2 드라이버(20)를 제어하는 컨트롤러(50)를 포함할 수 있다.
- [195] 패널(40)에 배치된 제 2 격벽 (46)은 각 픽셀 영역에 배치된 반도체 소자 사이에 배치되어, 반도체 소자, 공통 배선(41) 및 구동 배선(42) 등을 지지할 수 있다. 따라서, 패널(44)이 대면적으로 커져도 공통 배선(41) 및 구동 배선(42)의 단선이 방지될 수 있다. 제2 격벽(46)은 카본 블랙(carbon black), 그래파이트(Graphite) 등과 같은 물질을 포함하여 이루어져, 인접한 픽셀 영역 사이의 빛샘을 방지할 수 있으며, 이에 한정하지 않는다.
- [196] 공통 배선(41)은 반도체 소자의 제 1 전극(150)과 전기적으로 연결될 수 있다. 그리고, 제 1, 제 2, 제 3 구동 배선(43, 44, 45)은 제 1, 제 2, 제 3 발광부(P1, P2, P3)의 제 2 전극(160a, 160b, 160c)과 각각 전기적으로 연결될 수 있다.
- [197] 제 1 전극(150)과 제 2 전극(160a, 160b, 160c)이 활성층(120a, 120b, 120c)을 기준으로 모두 반도체 소자의 제2 도전형 반도체층(130a, 130b, 130c)이 배치된 방향에서 노출되므로, 공통 배선(41)과 구동 배선(42)은 적어도 하나의 절연막을 사이에 두고 분리된 구조일 수 있으며, 이에 한정하지 않는다. 실시 예에서는 제 1, 제 2 절연막(1a, 1b)을 도시하였다.
- [198] 반도체 소자는 패널(40)의 픽셀 영역 마다 배치될 수 있다. 하나의 반도체 소자가 표시 장치의 픽셀로 기능할 수 있다. 그리고, 반도체 소자의 제 1 내지 제 3 발광부(P1, P2, P3)는 제 1, 제 2, 제 3 서브 픽셀로 기능할 수 있다. 예를 들어, 제 1 발광부(P1)는 청색 서브 픽셀로 기능할 수 있고, 제 2 발광부(P2)는 녹색 서브 픽셀로 기능할 수 있으며, 제 3 발광부(P3)는 적색 서브 픽셀로 기능할 수 있다. 따라서, 상기와 같은 하나의 반도체 소자에서 방출되는 청색, 녹색 및 적색 과장대의 광을 혼합하여 백색 광을 구현할 수 있다.
- [199] 또한, 반도체 소자는 기판 상에 칩 단위 패키지 (Chip Scale Package, CSP)로 배치될 수 있다.
- [200] 컨트롤러(50)는 공통 배선(41)과 구동 배선(42)에 선택적으로 전원이 인가되도록 제 1, 제 2 드라이버(30, 20)에 제어 신호를 출력할 수 있다. 이에 따라, 반도체 소자의 제 1 내지 제 3 발광부(P1, P2, P3)를 개별적으로 제어할 수 있다.

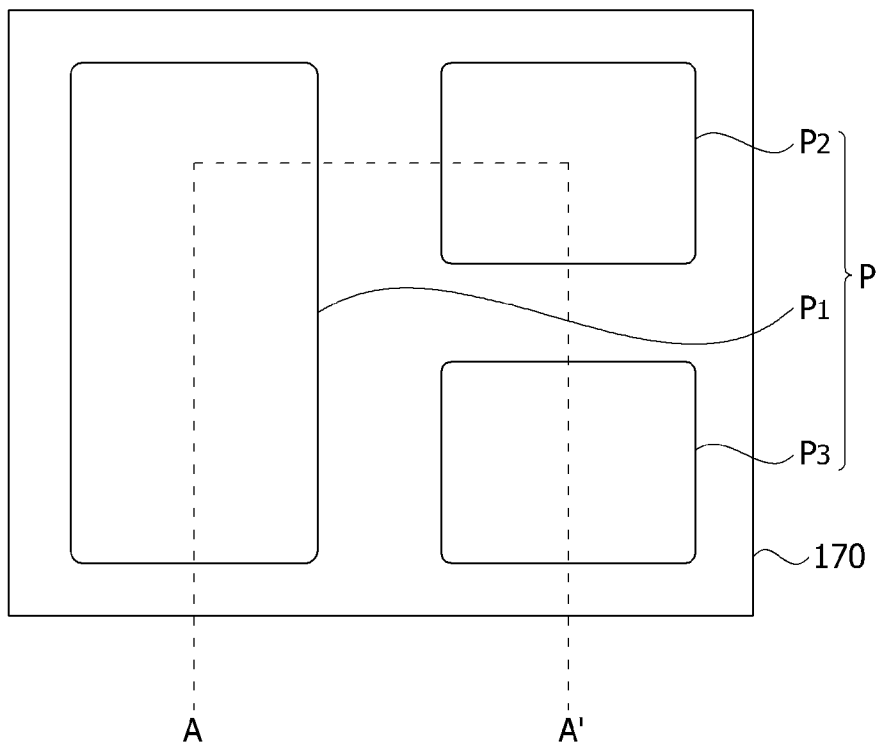
- [201] 일반적인 표시 장치는 픽셀의 각 서브 픽셀마다 발광 소자를 개별적으로 배치하거나, 다이 본딩(Die-Bonding) 및 와이어 본딩과 같은 추가적인 패키징 공정을 통해 패키징된 두 개 이상의 발광 소자를 포함하는 반도체 소자를 픽셀에 배치할 수 있다. 따라서, 일반적인 표시 장치는 패키징 면적을 고려해야 하므로, 패널의 전체 면적 중 실제로 발광하는 영역의 면적이 좁아 발광 효율이 낮다.
- [202] 반면에, 실시 예의 표시 장치는 픽셀 영역에 칩 레벨의 반도체 소자가 배치되고, 반도체 소자의 제 1, 제 2, 제 3 발광부(P1, P2, P3)가 R, G, B의 제 1 내지 제 3 서브 픽셀로 기능할 수 있다. 따라서, 제 1 내지 제 3 서브 픽셀로 기능하는 제 1 내지 제 3 발광부(P1, P2, P3)를 다이 본딩(Die-Bonding) 및 와이어 본딩과 같은 추가적인 공정으로 패키징할 필요가 없다. 이에 따라, 와이어 본딩 등을 수행할 면적이 제거되어, 반도체 소자의 제 1 내지 제 3 발광부(P1, P2, P3) 사이의 폭이 감소할 수 있다. 즉, 서브 픽셀 및 픽셀 영역의 피치 폭이 감소하여 표시 장치의 픽셀 밀도 및 해상도가 향상될 수 있다.
- [203] 특히, 제 1 전극(150)과 제 2 전극(160a, 160b, 160c)이 복수 개의 발광부(P1, P2, P3)와 수직 방향으로 중첩되므로, 실시 예의 반도체 소자는 상술한 패드 영역을 확보할 필요가 없다. 따라서, 발광 효율이 높으며, 상술한 바와 같이 제 1 내지 제 3 발광부(P1, P2, P3) 사이의 폭이 감소되어 반도체 소자의 크기를 감소시킬 수 있다.
- [204] 따라서, 실시 예의 반도체 소자를 포함하는 실시 예의 표시 장치는 SD(Standard Definition)급 해상도(760×480), HD(High definition)급 해상도(1180×720), FHD(Full HD)급 해상도(1920×1080), UH(Ultra HD)급 해상도(3480×2160), 또는 UHD급 이상의 해상도(예: 4K(K=1000), 8K 등)로 구현하는데 제약이 없다.
- [205] 더욱이, 실시 예의 표시 장치는 대각선 크기가 100인치 이상의 전광판이나 TV에도 적용할 수 있다. 이는 상술한 바와 같이 실시 예에 따른 반도체 소자가 각 픽셀로 기능하여, 전력 소비가 낮고, 낮은 유지 비용으로 긴 수명을 가질 수 있기 때문이다.
- [206] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [207]

청구범위

- [청구항 1] 복수 개의 발광부;
 상기 복수 개의 발광부 상에 각각 배치되는 복수 개의 파장 변환층;
 상기 복수 개의 발광부 사이, 및 상기 복수 개의 파장 변환층 사이에
 배치되는 격벽;
 상기 복수 개의 파장 변환층 상에 각각 배치되는 복수 개의 컬러필터; 및
 상기 복수 개의 컬러필터 사이에 배치되는 블랙 매트릭스를 포함하는
 반도체 소자.
- [청구항 2] 제1항에 있어서,
 상기 복수 개의 파장 변환층 사이의 폭은 상기 복수 개의 발광부 사이의
 최대 폭보다 큰 반도체 소자.
- [청구항 3] 제1항에 있어서,
 상기 각각의 발광부는,
 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형
 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을
 포함하고,
 상기 복수 개의 발광부의 상기 제1 도전형 반도체층의 폭은 상기 파장
 변환층에 가까워질수록 좁아지는 반도체 소자.
- [청구항 4] 제3항에 있어서,
 상기 복수 개의 발광부의 상기 제2 도전형 반도체층의 폭은 상기 파장
 변환층에 가까워질수록 커지는 반도체 소자.
- [청구항 5] 제3항에 있어서,
 상기 복수 개의 발광부에 공통적으로 연결되는 제1 범프 전극;
 상기 복수 개의 발광부에 각각 전기적으로 연결되는 복수 개의 제2 범프
 전극; 및
 상기 복수 개의 발광부의 제1 도전형 반도체층을 전기적으로 연결하는
 제2 전극을 더 포함하고,
 상기 복수 개의 발광부의 하부를 덮는 제1 절연층을 더 포함하는 반도체
 소자.
- [청구항 6] 제5항에 있어서,
 상기 제1 전극은 상기 제1 절연층을 관통하여 상기 제1 도전형
 반도체층과 전기적으로 연결되고,
 상기 제1 전극은 상기 제1 범프 전극과 전기적으로 연결되는 반도체 소자.
- [청구항 7] 제3항에 있어서,
 상기 복수 개의 발광부에 각각 전기적으로 연결되는 복수 개의 제1 범프
 전극;
 상기 복수 개의 발광부에 공통적으로 연결되는 제2 범프 전극; 및

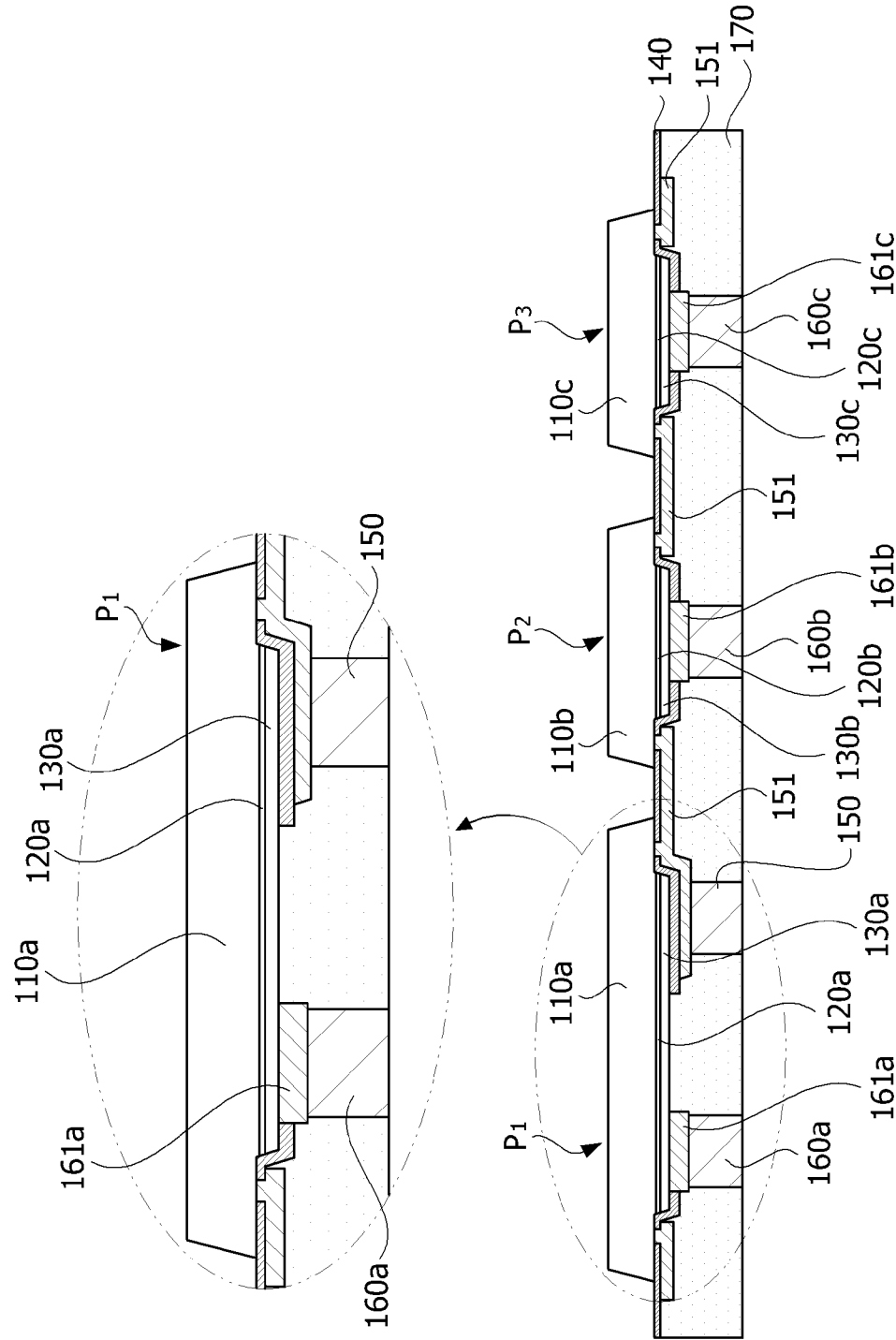
- 상기 복수 개의 발광부의 제2 도전형 반도체층을 전기적으로 연결하는 제2 전극을 더 포함하고,
 상기 제2 전극은 상기 제2 범프 전극과 전기적으로 연결되는 반도체 소자.
- [청구항 8] 제7항에 있어서,
 상기 복수 개의 발광부의 하부를 덮는 제1 절연층, 및
 상기 제1 절연층을 관통하고, 상기 복수 개의 발광부의 제2 도전형 반도체층 하부에 각각 배치되는 복수 개의 반사 전극을 더 포함하고,
 상기 제2 전극은 상기 복수 개의 반사 전극을 전기적으로 연결하는 반도체 소자.
- [청구항 9] 제1항에 있어서,
 상기 이웃한 파장 변환층 사이의 폭은 $30\ \mu\text{m}$ 내지 $50\ \mu\text{m}$ 이고,
 상기 격벽은 반사 입자를 포함하는 반도체 소자.
- [청구항 10] 제1항에 있어서,
 상기 파장 변환층과 상기 컬러 필터 사이에 배치되는 제1 중간층을 포함하고,
 상기 파장 변환층은 실리콘 수지를 포함하고, 상기 컬러필터는 아크릴 수지를 포함하고,
 상기 제1 중간층은 산화물 또는 질화물을 포함하는 반도체 소자.

[도1]



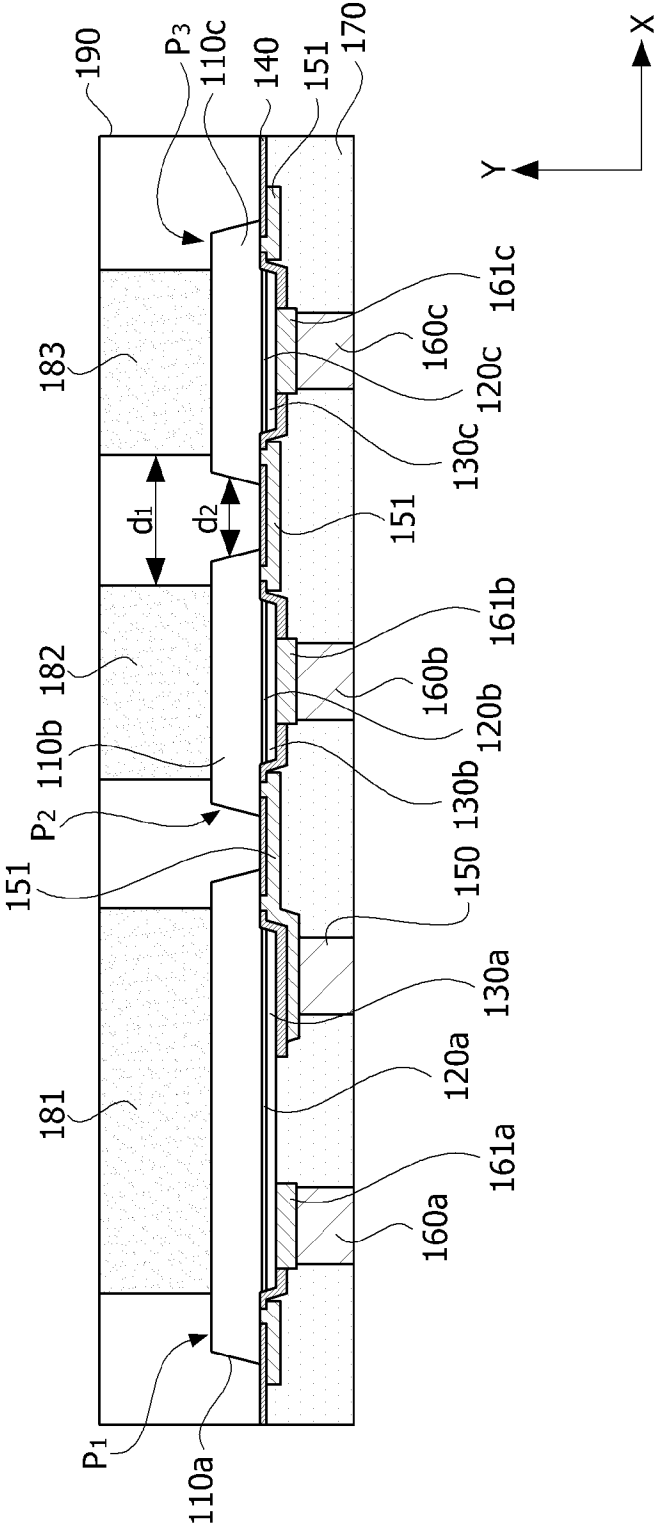
1A

[도2]

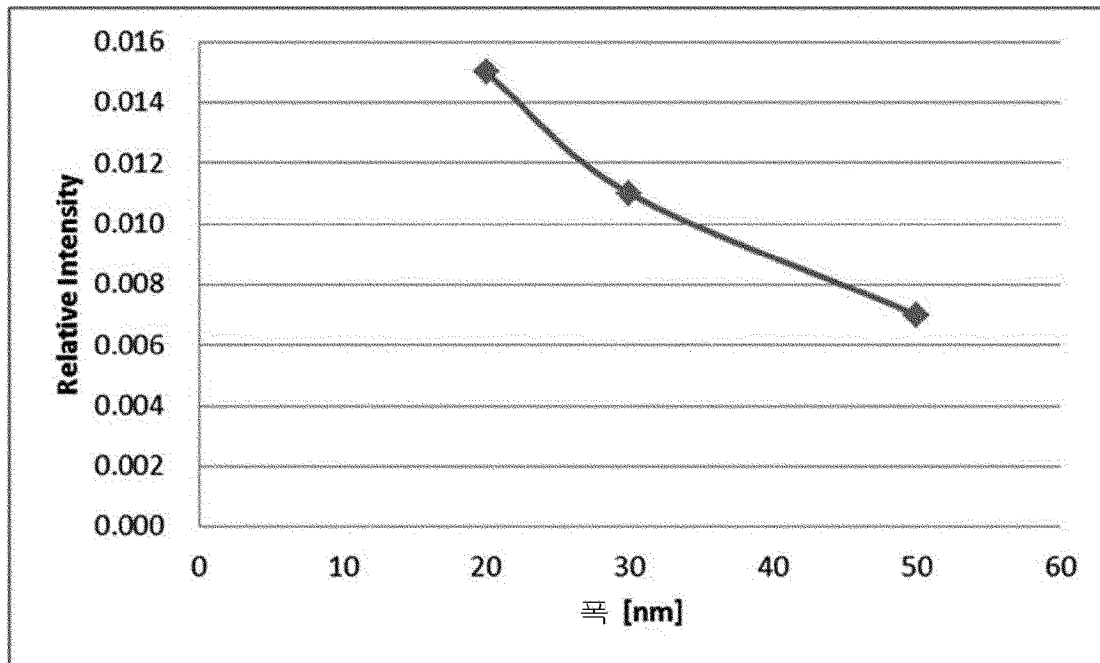


[도3]

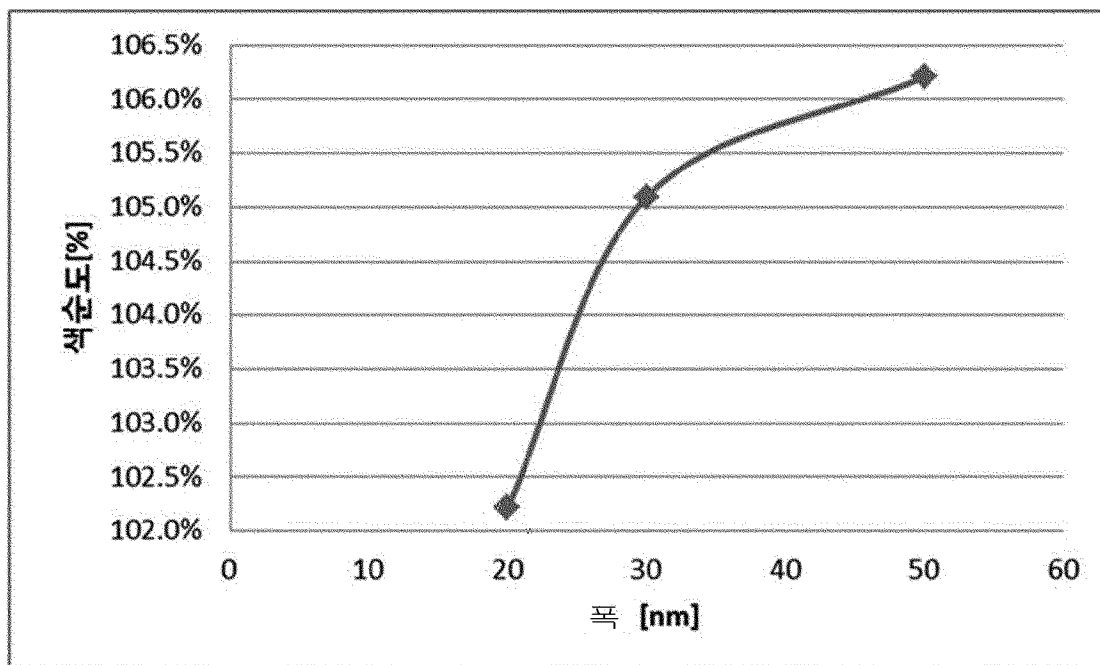
1B



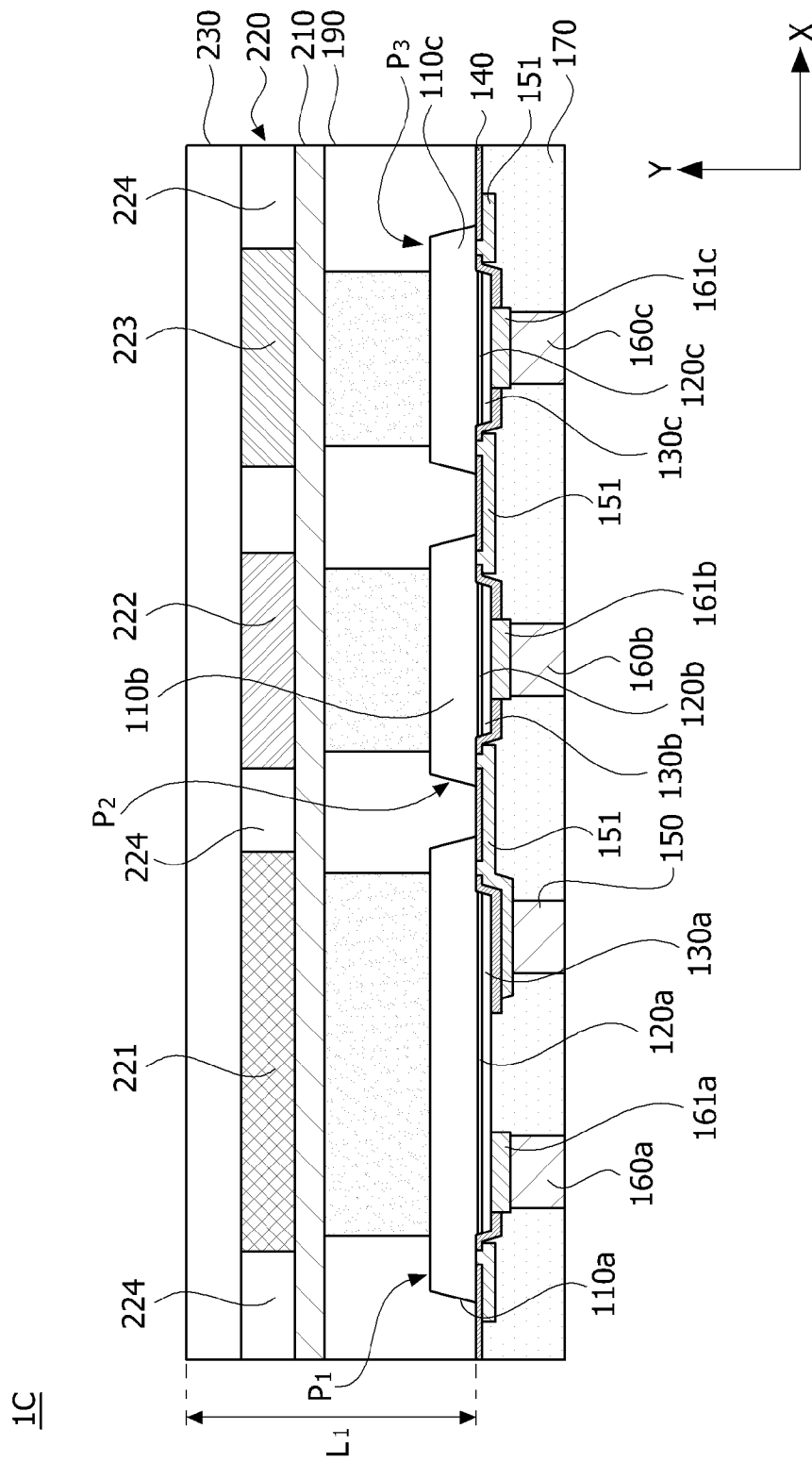
[도4a]



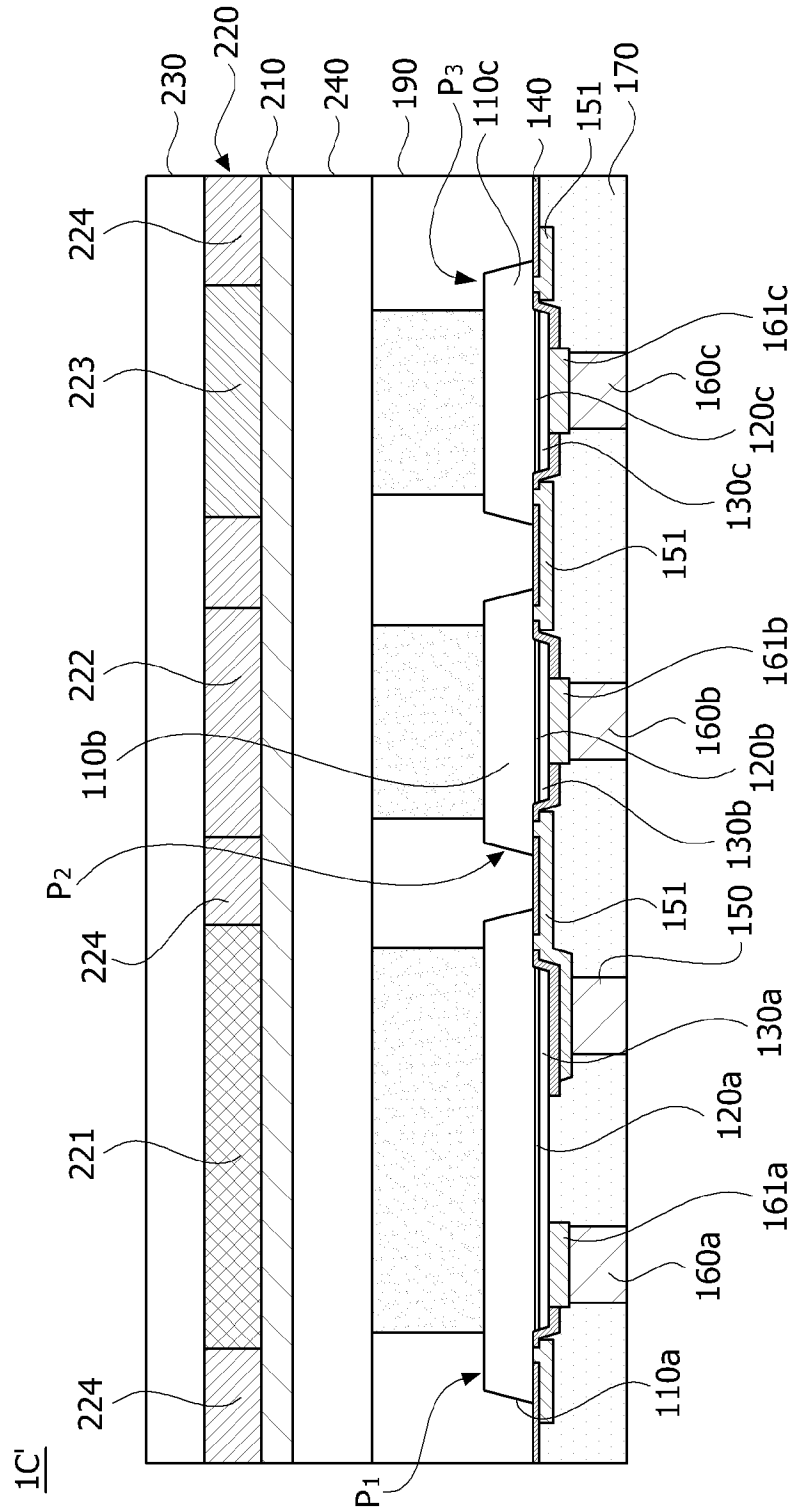
[도4b]



[도5]

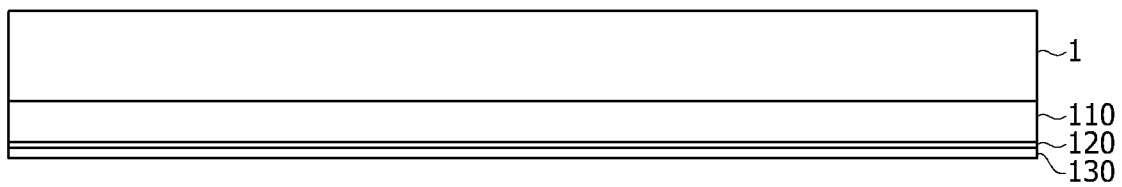


[도6]

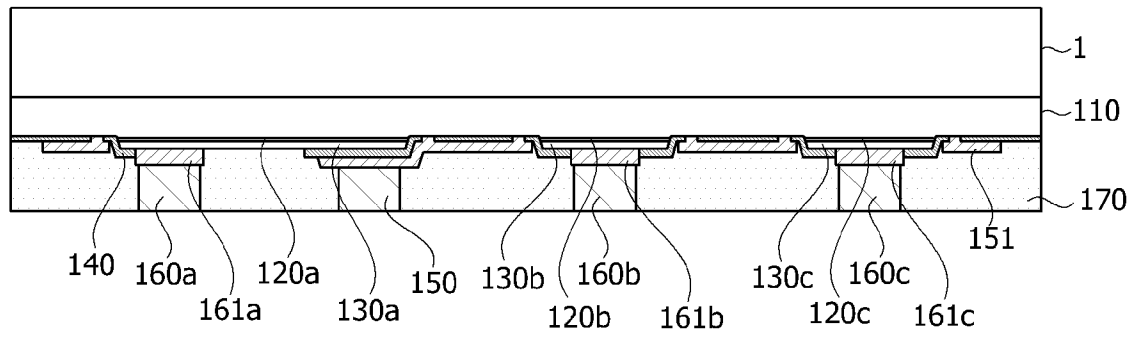


1C'

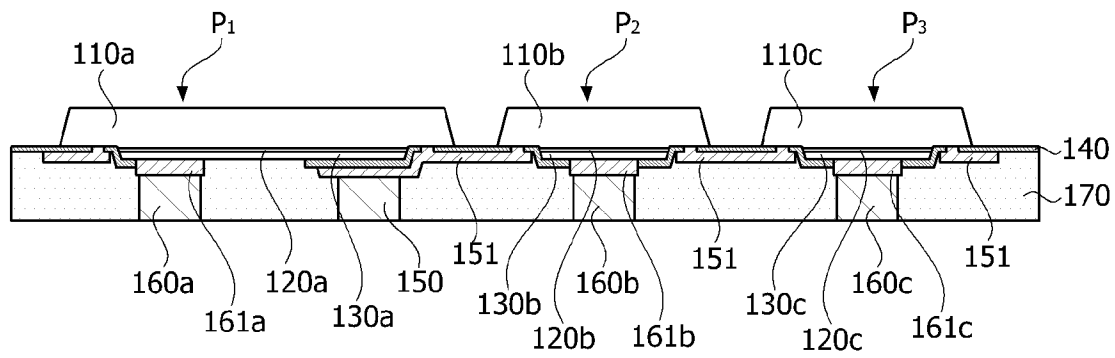
[도7a]



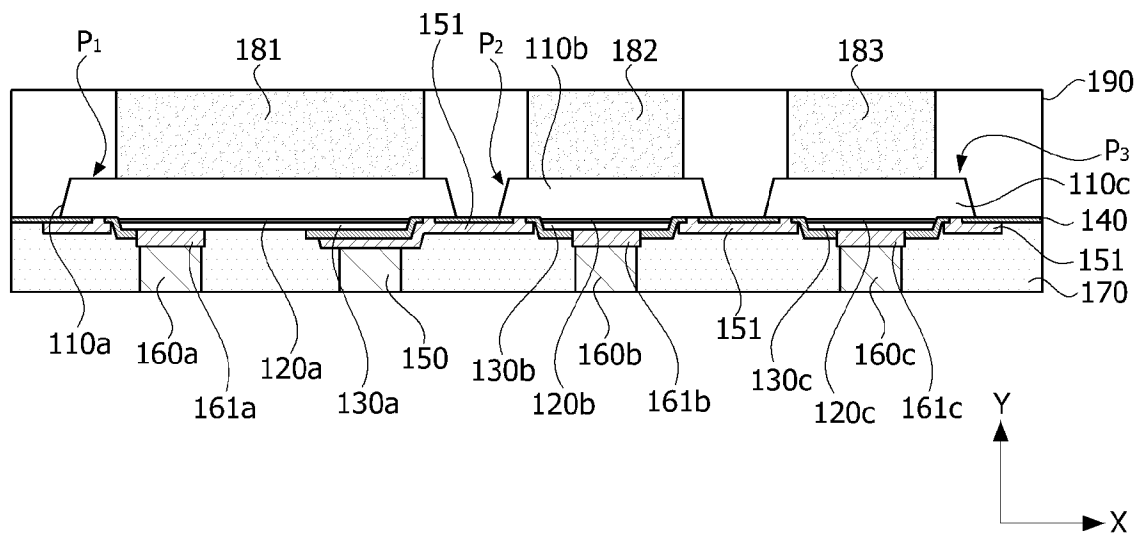
[도7b]



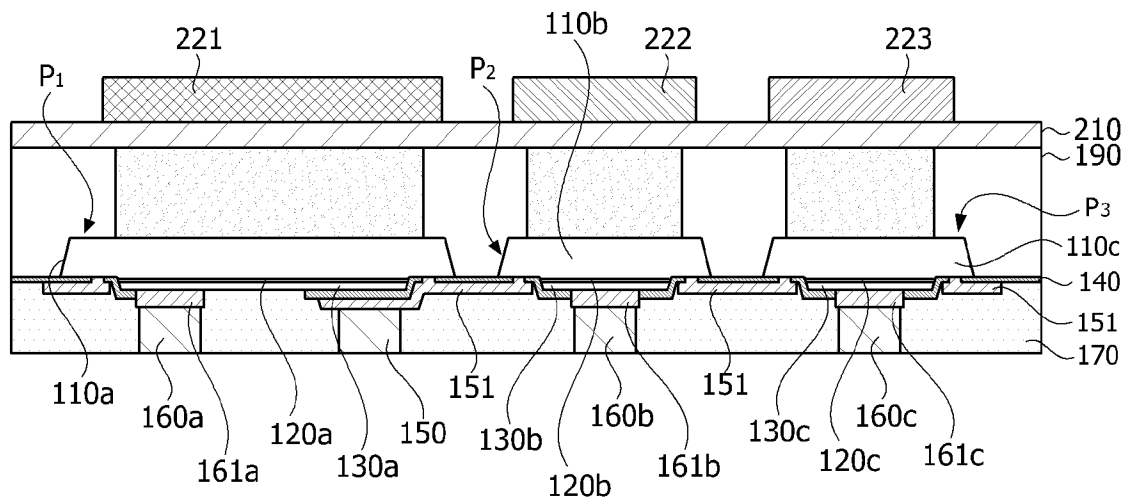
[도7c]



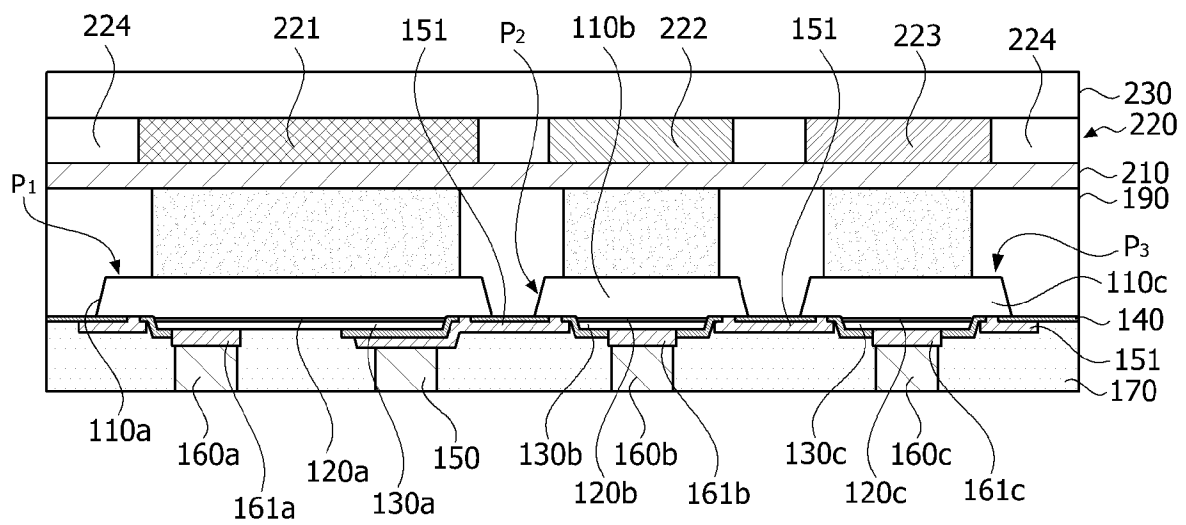
[도7d]



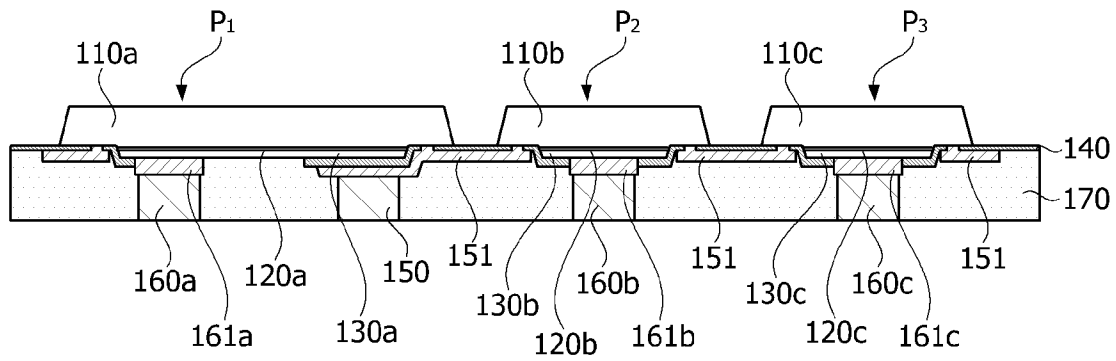
[도7e]



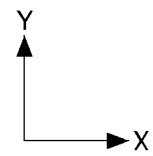
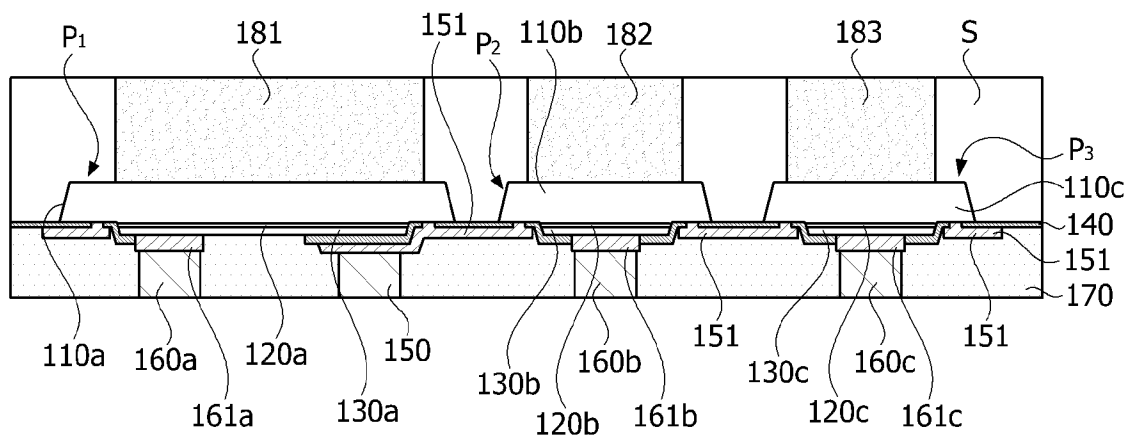
[도7f]



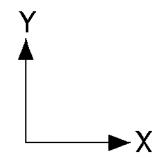
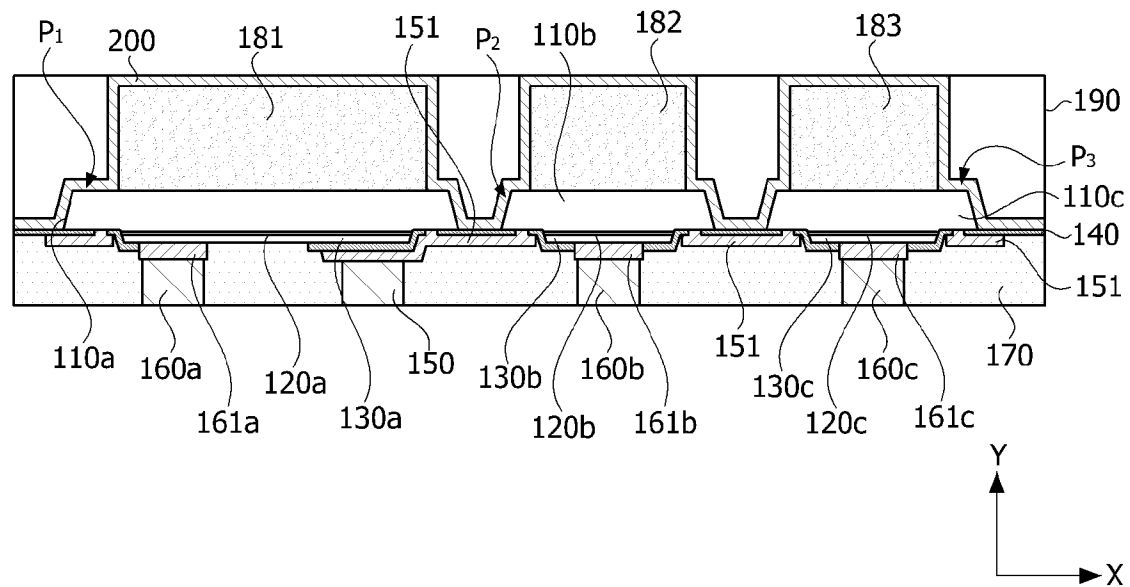
[도9a]



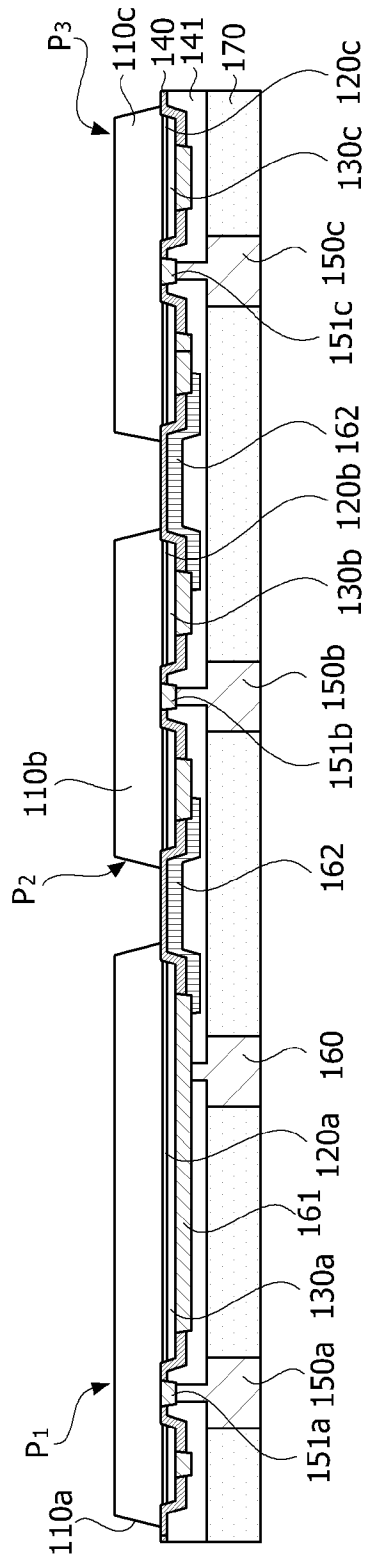
[도9b]



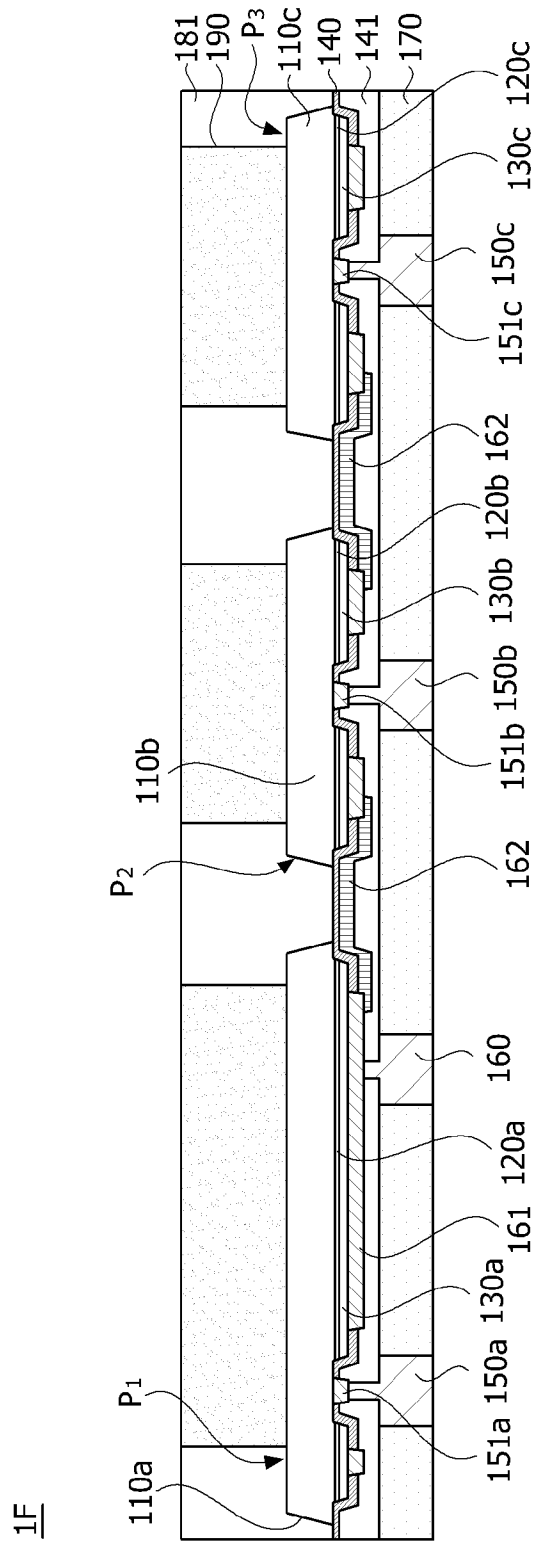
[도9c]



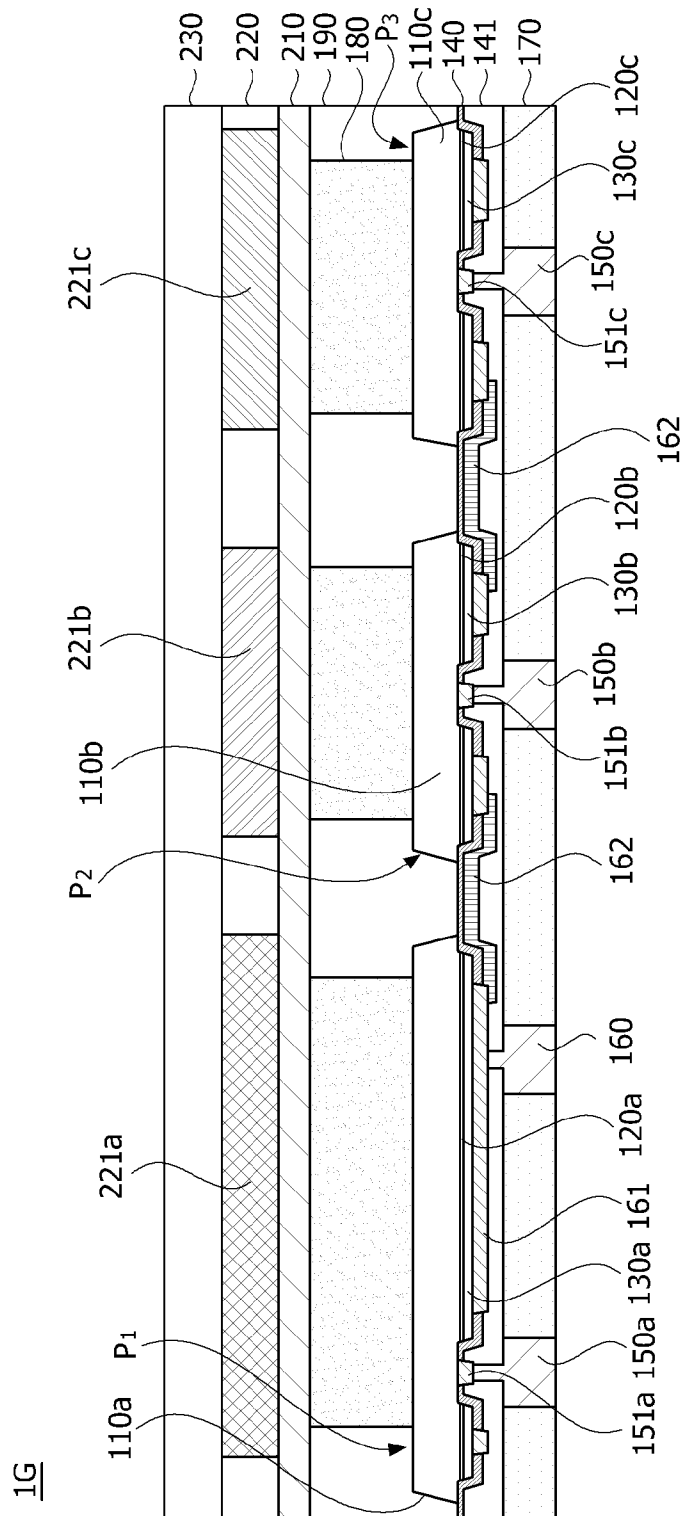
[도11]

1E

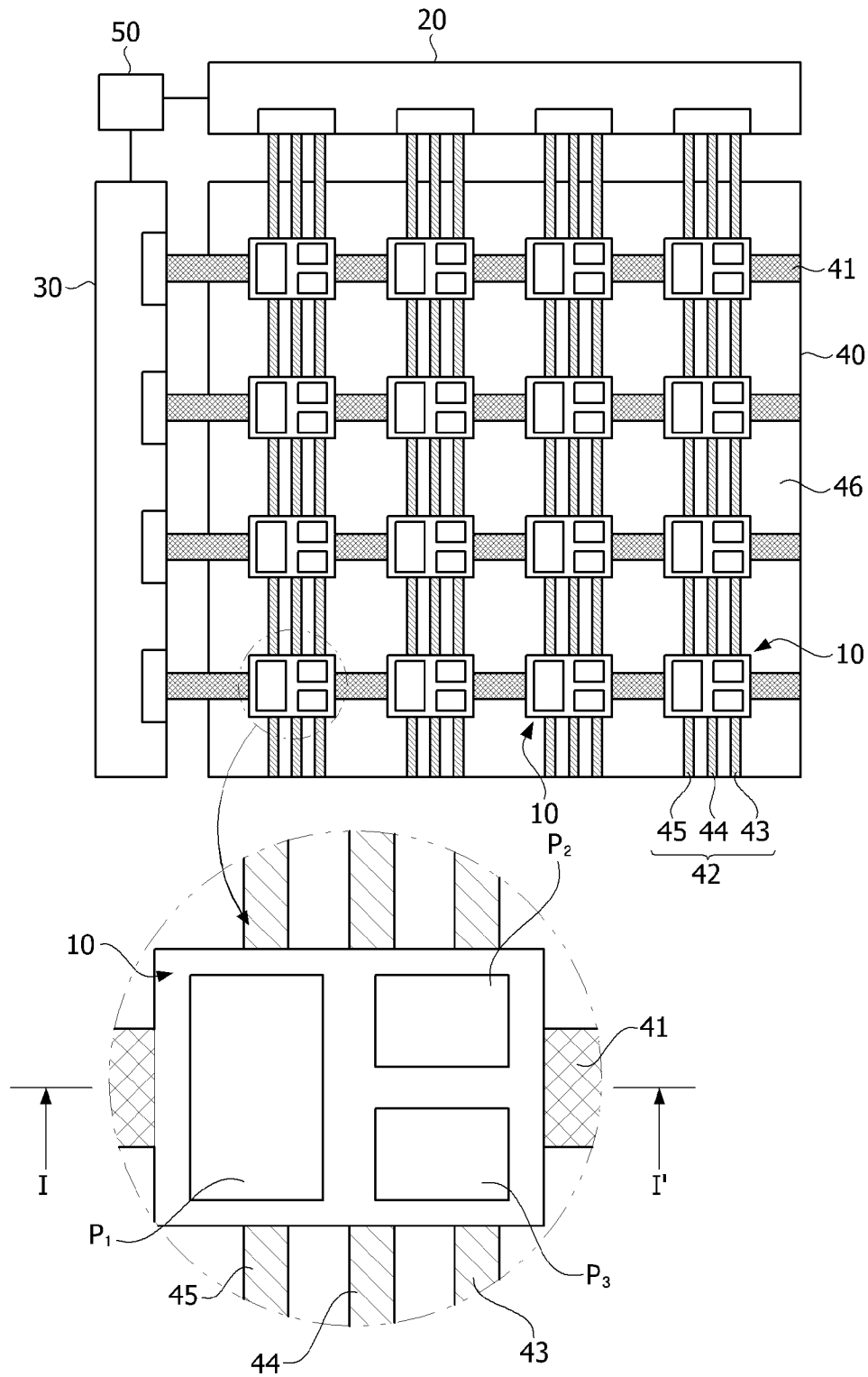
[도12]



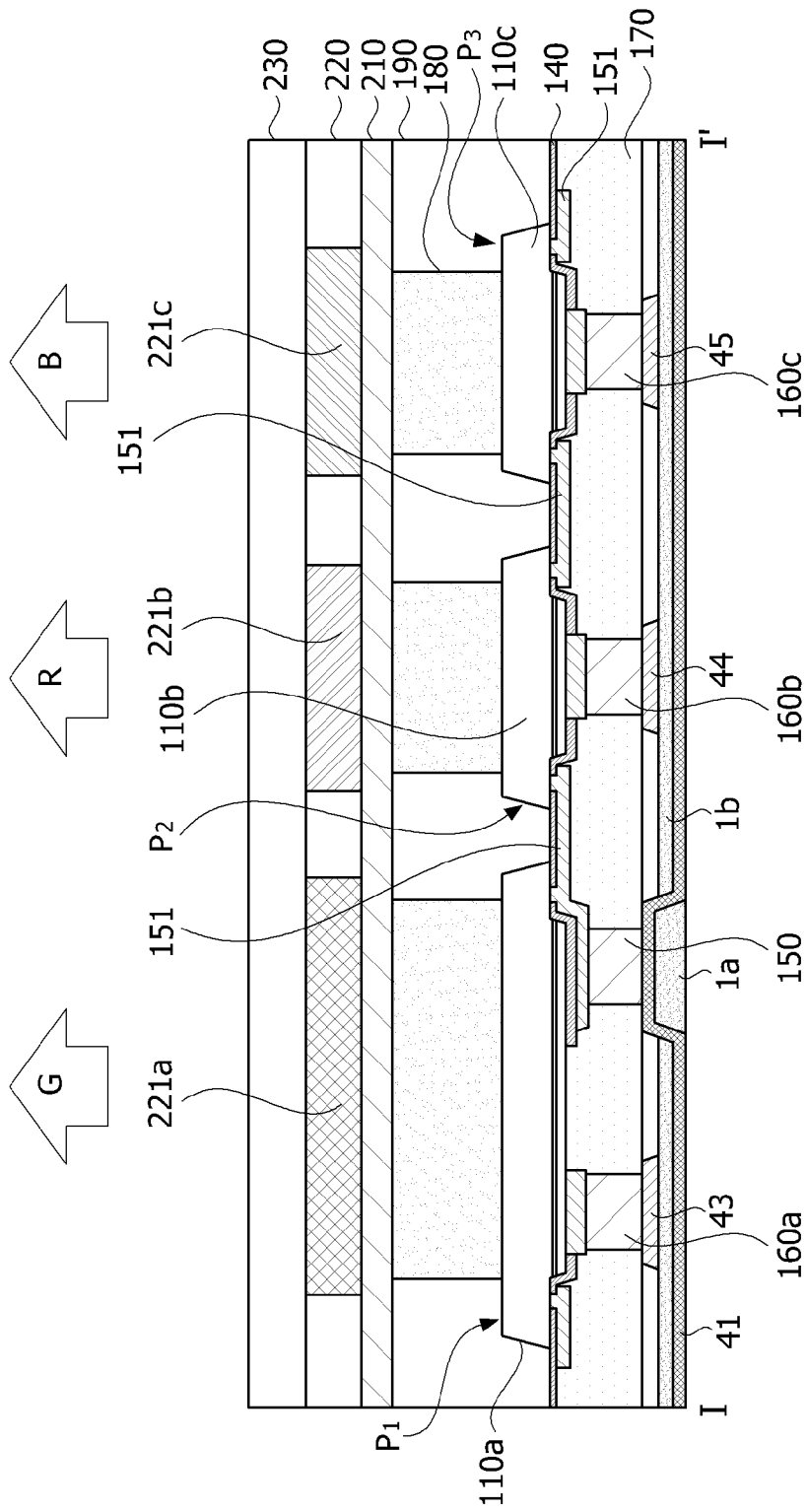
[도13]



[도14]



[도15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/013560**A. CLASSIFICATION OF SUBJECT MATTER****H01L 33/50(2010.01)i, H01L 33/02(2010.01)i, H01L 33/58(2010.01)i, H01L 33/38(2010.01)i, H01L 33/40(2010.01)i, H01L 33/62(2010.01)i, H05B 33/14(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/50; H01L 21/70; H01L 25/075; G02B 5/20; H01L 27/15; H01L 27/00; H01L 51/50; H01L 33/02; H01L 33/58; H01L 33/38; H01L 33/40; H01L 33/62; H05B 33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: luminescence, wavelength conversion, partition wall, color filter, black matrix, bump, reflection, common

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016-028227 A1 (HEPTAGON MICRO OPTICS PTE. LTD.) 25 February 2016 See paragraphs [21]-[33], claims 1-10, figures 1-41.	1-4,9-10
A		5-8
Y	KR 10-2009-0024191 A (IDEMITSU KOSAN CO., LTD.) 06 March 2009 See paragraphs [100]-[246], claims 1-13, figures 1-7.	1-4,9-10
Y	KR 10-2013-0007037 A (SEMIMATERIALS. CO., LTD. et al.) 18 January 2013 See paragraphs [57]-[71], figures 5a-5g.	3-4
A	KR 10-2014-0039606 A (SAMSUNG DISPLAY CO., LTD.) 02 April 2014 See the entire document.	1-10
A	WO 2016-079505 A1 (MLED LIMITED) 26 May 2016 See the entire document.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 MARCH 2018 (02.03.2018)

Date of mailing of the international search report

02 MARCH 2018 (02.03.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/013560

Patent document cited in search report	Publication date	Patent family member	Publication date
WO 2016-028227 A1	25/02/2016	CN 106796916 A EP 3183745 A1 JP 2017-531310 A KR 10-2017-0045259 A SG 11201700690 A TW 201620124 A US 2016-0056194 A1 US 2017-0287963 A1 US 9711552 B2	31/05/2017 28/06/2017 19/10/2017 26/04/2017 30/03/2017 01/06/2016 25/02/2016 05/10/2017 18/07/2017
KR 10-2009-0024191 A	06/03/2009	JP 2008-010298 A TW 200818977 A US 2008-0001528 A1 WO 2008-001660 A1	17/01/2008 16/04/2008 03/01/2008 03/01/2008
KR 10-2013-0007037 A	18/01/2013	NONE	
KR 10-2014-0039606 A	02/04/2014	CN 103682146 A TW 201414032 A US 2014-0084784 A1 US 8922114 B2	26/03/2014 01/04/2014 27/03/2014 30/12/2014
WO 2016-079505 A1	26/05/2016	CN 107210315 A EP 3221890 A1 JP 2017-538290 A KR 10-2017-0084139 A US 2017-0309798 A1	26/09/2017 27/09/2017 21/12/2017 19/07/2017 26/10/2017

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/50(2010.01)i, H01L 33/02(2010.01)i, H01L 33/58(2010.01)i, H01L 33/38(2010.01)i, H01L 33/40(2010.01)i, H01L 33/62(2010.01)i, H05B 33/14(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/50; H01L 21/70; H01L 25/075; G02B 5/20; H01L 27/15; H01L 27/00; H01L 51/50; H01L 33/02; H01L 33/58; H01L 33/38; H01L 33/40; H01L 33/62; H05B 33/14

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광, 파장 변환, 격벽, 컬러필터, 블랙 매트릭스, 범프, 반사, 공동

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	WO 2016-028227 A1 (HEPTAGON MICRO OPTICS PTE. LTD.) 2016.02.25 단락 21-33, 청구항 1-10, 도면 1-4I 참조.	1-4,9-10
A		5-8
Y	KR 10-2009-0024191 A (이데미쓰 고산 가부시키가이샤) 2009.03.06 단락 100-246, 청구항 1-13, 도면 1-7 참조.	1-4,9-10
Y	KR 10-2013-0007037 A ((주)세미퍼터리얼즈 등) 2013.01.18 단락 57-71, 도면 5a-5g 참조.	3-4
A	KR 10-2014-0039606 A (삼성디스플레이 주식회사) 2014.04.02 전체 문헌 참조.	1-10
A	WO 2016-079505 A1 (MLED LIMITED) 2016.05.26 전체 문헌 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 03월 02일 (02.03.2018)

국제조사보고서 발송일

2018년 03월 02일 (02.03.2018)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

장기정

전화번호 +82-42-481-8364



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2016-028227 A1	2016/02/25	CN 106796916 A EP 3183745 A1 JP 2017-531310 A KR 10-2017-0045259 A SG 11201700690 A TW 201620124 A US 2016-0056194 A1 US 2017-0287963 A1 US 9711552 B2	2017/05/31 2017/06/28 2017/10/19 2017/04/26 2017/03/30 2016/06/01 2016/02/25 2017/10/05 2017/07/18
KR 10-2009-0024191 A	2009/03/06	JP 2008-010298 A TW 200818977 A US 2008-0001528 A1 WO 2008-001660 A1	2008/01/17 2008/04/16 2008/01/03 2008/01/03
KR 10-2013-0007037 A	2013/01/18	없음	
KR 10-2014-0039606 A	2014/04/02	CN 103682146 A TW 201414032 A US 2014-0084784 A1 US 8922114 B2	2014/03/26 2014/04/01 2014/03/27 2014/12/30
WO 2016-079505 A1	2016/05/26	CN 107210315 A EP 3221890 A1 JP 2017-538290 A KR 10-2017-0084139 A US 2017-0309798 A1	2017/09/26 2017/09/27 2017/12/21 2017/07/19 2017/10/26