

1. 一种多个被测试存储器同时测试用的测试装置, 包括:

图样产生器, 其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于该地址信号和数据信号而应输出的期待值信号;

多个逻辑比较器, 其分别对应于多个被测试存储器而设置且对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较, 在该输出信号和期待值信号不一致时产生失效数据;

多个失效存储器, 其分别对应于多个被测试存储器而设置且将多个逻辑比较器所产生的失效数据对应地储存在地址信号所示的地址中;

多个存储器控制器, 其分别对应于多个被测试存储器而设置且依据多个失效存储器所储存的失效数据以产生该被测试存储器的不良地址显示用的不良地址资讯;

多个通用缓冲存储器, 其分别对应于多个被测试存储器而设置且储存着多个存储器控制器所产生的不良地址资讯; 以及

多个不良资讯写入部, 其分别对应于多个被测试存储器而设置且将规定的第 1 不良资讯同时写入至多个被测试装置的多个通用缓冲存储器中所储存的不良地址资讯所示的不良地址中。

2. 如权利要求 1 所述的多个被测试存储器同时测试用的测试装置, 其中另外具备多条第 1 总线, 其分别用来连接多个失效存储器和多个存储器控制器; 以及

多条第 2 总线, 其分别用来连接多个存储器控制器和多个通用缓冲存储器。

3. 如权利要求 1 所述的多个被测试存储器同时测试用的测试装置, 其中存储器控制器产生被测试存储器中固有的格式的不良地址资讯, 以供给至通用缓冲存储器中。

4. 如权利要求 3 所述的多个被测试存储器同时测试用的测试装置, 其中存储器控制器应产生被测试存储器中固有的格式的不良地址资讯, 且对应于被测试存储器的种类而依据已载入的程式来动作。

5. 如权利要求 1 所述的多个被测试存储器同时测试用的测试装置, 其中被测试存储器具备多个方块区, 各方块区分别具有多个页区, 各页区分别含有数据储存用的主区和规定的第 1 不良资讯储存用的扩张区,

失效存储器储存着被测试存储器每个方块区中的失效数据,

存储器控制器参考各失效存储器以产生不良地址资讯, 其显示被测试存储器所具有的不良的方块区的方块地址,

通用缓冲存储器储存着存储器控制器所产生的不良地址资讯, 以及不良资讯写入部使规定的第 1 不良资讯写入至通用缓冲存储器所储存的不良地址资讯所示的方块区所具有的扩张区中。

6. 如权利要求 5 所述的多个被测试存储器同时测试用的测试装置, 其中图样产生器产生页区显示用的页地址信号, 以供给至多个不良资讯写入部中, 以及

多个不良资讯写入部将规定的第 1 不良资讯写入至各别对应于多个被测试存储器而设置的多个通用缓冲存储器所储存的不良地址资讯所示的方块区所具有的扩张区中, 此扩张区亦是图样产生器所产生的页地址信号所示的页区的扩张区。

7. 如权利要求 1 所述的多个被测试存储器同时测试用的测试装置, 其中存储器控制器具有:

数据读出部, 其将失效存储器所定的地址中所储存的数据读出;

失效判断部, 其用来判断数据读出部已读出的数据中是否含有失效数据; 以及

不良地址资讯产生部, 若失效判断部判断数据读出部已读出的数据中含有失效数据, 则产生不良地址资讯。

8. 如权利要求 1 所述的多个被测试存储器同时测试用的测试装置, 其中多个存储器控制器依据多个失效存储器中所储存的失效数据以产生被测试存储器中固有的格式的规定的第 2 不良资讯,

多个通用缓冲存储器储存着多个存储器控制器所产生的规定的第 2 不良资讯, 以及

多个不良资讯写入部将多个通用缓冲存储器中所储存的规定的第 2 不良资讯写入至多个被测试存储器中。

9. 如权利要求 8 所述的多个被测试存储器同时测试用的测试装置, 其中存储器控制器应产生被测试存储器中固有的格式的规定的第 2 不良资讯, 且对应于被测试存储器的种类而依据已载入的程式来动作。

10. 如权利要求 8 所述的多个被测试存储器同时测试用的测试装置, 其中该测试装置更具备:

多个第 1 失效资讯存储器, 其分别对应于多个被测试存储器而设置着且储存着多个存储器控制器所产生的规定的第 2 不良资讯;

多个第 2 失效资讯存储器, 其分别对应于多个被测试存储器而设置着且储存着多个被测试存储器所读出的规定的第 2 不良资讯; 以及

良否判定部, 其藉由对第 1 失效资讯存储器所储存的规定的第 2 不良资讯和第 2 失效资讯存储器所储存的规定的第 2 不良资讯进行比较, 以判定多个被测试存储器的良否。

11. 如权利要求 10 所述的多个被测试存储器同时测试用的测试装置, 其中该测试装置另外具备多条第 1 总线, 其分别用来连接多个失效存储器和多个第 1 失效资讯存储器以及多个存储器控制器; 以及

多条第 2 总线, 其分别用来连接多个存储器控制器和多个通用缓冲存储器。

12. 如权利要求 11 所述的多个被测试存储器同时测试用的测试装置, 其中被测试存储器具备数据储存用的多个主区和规定的第 2 不良资讯储存用的特殊区, 以及

不良资讯写入部将规定的第 2 不良资讯写入至被测试存储器所具备的特殊区中。

13. 一种多个被测试存储器同时进行测试用的测试装置, 其具备:

图样产生器, 其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于地址信号和数据信号而应输出的期待值信号;

多个逻辑比较器, 其分别对应于多个被测试存储器而设置且对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较, 在该输出信号和期待值信号不一致时产生失效数据;

多个失效存储器, 其分别对应于多个被测试存储器而设置且将多个逻辑比较器所产生的失效数据对应地储存在地址信号所示的地址中;

多个存储器控制器, 其分别对应于多个被测试存储器而设置且依据多个失效存储器所储存的失效数据以产生该被测试存储器中固有的格式的规定的不良资讯;

多个通用缓冲存储器, 其分别对应于多个被测试存储器而设置且储存着多个存储器控制器所产生的规定的不良资讯; 以及

多个不良资讯写入部, 其分别对应于多个被测试存储器而设置且将多个通用缓冲存储器中所储存的规定的不良资讯写入至多个被测试存储器中。

14. 一种多个被测试存储器同时进行测试用的测试方法, 其包含以下步骤:

一产生步骤, 其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于该地址信号和数据信号而应输出的期待值信号;

另一产生步骤, 其藉由分别对应于多个被测试存储器而设置的多个逻辑比较器来对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较, 在该输出信号和期待值信号不一致时产生失效数据;

一储存步骤，其对应于地址信号所示的地址而使失效数据储存于分别对应于多个被测试存储器而设置的多个失效存储器中；

一不良地址资讯产生步骤，其藉由分别对应于多个被测试存储器而设置的多个存储器控制器，且依据多个失效存储器所储存的失效数据以产生该被测试存储器的不良地址显示用的不良地址资讯；

另一储存步骤，其使多个存储器控制器所产生的不良地址资讯储存在分别对应于多个被测试存储器而设置的多个通用缓冲存储器中；以及

一写入步骤，其藉由分别对应于多个被测试存储器而设置的多个不良资讯写入部，将规定的第 1 不良资讯同时写入至多个被测试存储器的多个通用缓冲存储器中所储存的不良地址资讯所示的不良地址中。

15. 一种多个被测试存储器同时进行测试用的测试方法，其包含以下步骤：

一产生步骤，其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于该地址信号和数据信号而应输出的期待值信号；

另一产生步骤，其藉由分别对应于多个被测试存储器而设置的多个逻辑比较器来对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较，在该输出信号和期待值信号不一致时产生失效数据；

一储存步骤，其藉由分别对应于多个被测试存储器而设置的多个失效存储器，使多个逻辑比较器所产生的失效数据对应地储存在地址信号所示的地址中；

一不良资讯产生步骤，其藉由分别对应于多个被测试存储器而设置的多个存储器控制器，且依据多个失效存储器所储存的失效数据以产生该被测试存储器中固有的格式的规定的不良资讯；

另一储存步骤，其藉由分别对应于多个被测试存储器而设置的多个通用缓冲存储器来储存多个存储器控制器所产生的规定的不良资讯；以及

一写入步骤，其藉由分别对应于多个被测试存储器而设置的多个规定的不良资讯写入部，将多个通用缓冲存储器中所储存的规定的不良资讯写入至多个被测试存储器中。

测试装置与测试方法

技术领域

本发明涉及一种测试装置与测试方法。本发明特别是涉及一种被测试存储器测试用的测试装置与测试方法。对藉由文献的参照而被认为可并入的指定国，则由参照下述申请案所记载的内容，并入本案作为本案的记载的一部份。

特愿 2004-87924

申请日 2004 年 3 月 24 日

背景技术

图 7 显示反及 (NAND) 型快闪存储器的构成。反及 (NAND) 型快闪存储器的存储单元阵列在构造上分成 3 大区域。第 1 种是作为储存数据用的数据储存区域时所使用的主区，第 2 种是判别主区是否正常时储存不良数据用的扩张区，第 3 种是制造资讯，识别 (ID) 管理资讯，不良方块的图形 (map) 资讯等的不良资讯储存用的特殊区。然后，反及型快闪存储器具备多个方块区，各方块区分别具有多个页 (page) 区，各页区分别含有主区和扩张区。

藉由采用上述方式所分割的构造，若特定的方块区内存在着一部份不良的单元，则方块区的扩张区中记录着显示“该方块区不良”所用的不良资讯的一例的不良码，使用者可进行控制以避免该方块区的使用。又，方块区的扩张区中记录着 ECC 补正用的错误订正码，可使用此种错误订正码来进行处理而使存储器成为良品。结果，有助于制造时成品率 (product yield) 的向上提升，且可使存储器单价降低。然而，对存在着不良单元的反及型快闪存储器作测试以进行救济时，复杂的测试项目是必要的，这样会使测试时间增多。因此，为了效率良好地对反及型快闪存储器作测试以进行救济，则须进一步开发其它的测试装置。

图 8 是先前技术所属的测试装置 800。测试装置 800 具备：图样产生器 802，主波形整形器 804，多个各别的测试单元 806，接口 808，CPU810 以及测试总线 812。多个各别的测试单元 806 分别具有：通用 (universal) 缓冲存储器 822，内部总线 823，方块失效存储器 824，不良方块计数器 826，次 (sub) 波形整形器 832，逻辑比较器 834，多任务器 836，驱动器 838 以及位准比较器 840。各别的测试单元 806 分别对应于多个被测试存储器 (以下称为“DUT”) 850 而设置着。

图样产生器 802 产生一种供给至多个 DUT850 中的地址信号和数据信号，这些信号亦供给至主波形整形器 804 中。又，图样产生器 802 使已产

生的地址信号供给至多个方块失效存储器 824 中。又, DUT850 对应于地址信号和数据信号而产生应输出的期待值信号, 图样产生器 802 将该期待值信号供给至逻辑比较器 834。主波形整形器 804 使图样产生器 802 所产生的地址信号和数据信号整形而成 DUT850 测试时所必要的格式(format)的波形, 以经由多任务器 836 和驱动器 838 而供给至 DUT850 中。

逻辑比较器 834 对已在位准比较器 840 中变换成 2 值的 DUT850 的输出信号和由图样产生器 802 所供给的期待值信号进行比较, 若该输出信号和期待值信号不一致时, 则产生一种失效数据以供给至方块失效存储器 824 中。方块失效存储器 824 使逻辑比较器 834 所产生的失效数据对应于图样产生器 802 所供给的地址信号所示的地址而储存着。不良方块计数器 826 藉由对该逻辑比较器 834 所产生的失效数据进行计数, 以算出 DUT850 所具有的不良方块区的数目。

CPU810 经由接口 808 来参考该方块失效存储器 824, 以读出方块失效存储器 824 中所储存的失效数据, 依据已读出的失效数据来产生不良地址资讯, 以显示 DUT850 所具有的不良方块区的方块地址。然后, CPU810 经由接口 808 将不良地址资讯供给至通用缓冲存储器 822 中。

该通用缓冲存储器 822 储存着 CPU810 所产生的不良地址资讯。然后, 通用缓冲存储器 822 将显示各方块地址用的不良地址资讯依序供给至次(sub)波形整形器 832 中。次波形整形器 832 依据由通用缓冲存储器 822 所供给的不良地址资讯所示的方块地址以产生一种供应至 DUT850 中的地址信号, 且经由多任务器 836 和驱动器 838 以供给至 DUT850 中, 则可使不良资讯写入至通用缓冲存储器 822 所储存的不良地址资讯所示的方块区所具有的扩张区中。

现在由于对先前技术文献的存在尚不清楚, 与先前技术文献有关的记载因此省略。

图 9 是先前技术所属的测试装置 800 中数据转送处理的概要图。CPU810 经由接口 808 以进行该通用缓冲存储器 822 和方块失效存储器 824 的数据转送。又, 此种数据转送由于是经由测试总线 812 来进行, 则在 DUT850 测试时不可进行, DUT850 测试终了之后应使上述的二种数据传送同时进行。又, CPU810 藉由依序进行处理以产生多个通用缓冲存储器 822 所储存的失效数据所分别对应的不良地址资讯。因此, 多个 DUT850 同时进行测试时, 数据转送的一般管理(overhead)亦会发生, 转送时间会增多。又, 由于 CPU810 所造成的不良地址资讯的产生时会发生一种等待时间, 则测试时的效能(through-put)无法提升。

发明内容

因此,本发明的目的是提供一种可解决上述问题的测试装置。该目的藉由权利要求独立项中所记载的特征的组合来达成。又,各附属项规定了本发明更有利的具体例。

依据本发明的第1形式,在多个被测试存储器同时进行测试用的测试装置中具备:图样产生器,其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于该地址信号和数据信号而应输出的期待值信号;多个逻辑比较器,其分别对应于多个被测试存储器而设置且对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较,在该输出信号和期待值信号不一致时产生失效数据;多个失效存储器,其分别对应于多个被测试存储器而设置且将多个逻辑比较器所产生的失效数据对应地储存在地址信号所示的地址中;多个存储器控制器,其分别对应于多个被测试存储器而设置且依据多个失效存储器所储存的失效数据以产生被测试存储器的不良地址显示用的不良地址资讯;多个通用缓冲存储器,其分别对应于多个被测试存储器而设置且储存着多个存储器控制器所产生的不良地址资讯;以及多个不良资讯写入部,其分别对应于多个被测试存储器而设置且将规定的第1不良资讯同时写入至多个被测试装置的多个通用缓冲存储器中所储存的不良地址资讯所示的不良地址中。

该测试装置另外亦可具备多条第1总线,其分别用来连接多个失效存储器和多个存储器控制器;以及多条第2总线,其分别用来连接多个存储器控制器和多个通用缓冲存储器。

存储器控制器亦可产生被测试存储器中固有的格式的不良地址资讯,以供给至通用缓冲存储器中。

存储器控制器应产生被测试存储器中固有的格式的不良地址资讯,亦可对应于被测试存储器的种类而依据已载入的程式来动作。

被测试存储器具备多个方块区,各方块区分别具有多个页(page)区,各页区分别含有数据储存用的主区和规定的第1不良资讯储存用的扩张区。失效存储器储存着被测试存储器每个方块区中的失效数据。存储器控制器参考各失效存储器以产生不良地址资讯,其显示被测试存储器所具有的不良方块区的方块地址。通用缓冲存储器储存着存储器控制器所产生的不良地址资讯。不良资讯写入部亦可使规定的第1不良资讯写入至通用缓冲存储器所储存的不良地址资讯所示的方块区所具有的扩张区中。

图样产生器产生页区显示用的页地址信号,以供给至多个不良资讯写入部中,多个不良资讯写入部亦可将规定的第1不良资讯写入至各别对应于多个被测试存储器而设置的多个通用缓冲存储器所储存的不良地址资讯所示的方块区所具有的扩张区中,此扩张区亦是图样产生器所产生的页地

址信号所示的页区的扩张区。

存储器控制器亦可具有：数据读出部，其将失效存储器所定的地址中所储存的数据读出；失效判断部，其用来判断数据读出部已读出的数据中是否含有失效数据；不良地址资讯产生部，若失效判断部判断数据读出部已读出的数据中含有失效数据，则产生不良地址资讯。

多个存储器控制器依据多个失效存储器中所储存的失效数据以产生被测试存储器中固有的格式的规定的第 2 不良资讯，多个通用缓冲存储器储存着多个存储器控制器所产生的第 2 不良资讯，多个不良资讯写入部亦可将多个通用缓冲存储器中所储存的规定的第 2 不良资讯写入至多个被测试存储器中。

存储器控制器应产生被测试存储器中固有的格式的规定的第 2 不良资讯，亦可对应于被测试存储器的种类而依据已载入的程式来动作。

该测试装置更可具备：多个第 1 失效资讯存储器，其分别对应于多个被测试存储器而设置且储存着多个存储器控制器所产生的规定的第 2 不良资讯；多个第 2 失效资讯存储器，其分别对应于多个被测试存储器而设置且储存着由多个被测试存储器所读出的规定的第 2 不良资讯；以及良否判定部，其藉由对第 1 失效资讯存储器所储存的规定的第 2 不良资讯和第 2 失效资讯存储器所储存的规定的第 2 不良资讯进行比较，以判定多个被测试存储器的良否。

该测试装置另外亦可具备多条第 1 总线，其分别用来连接多个失效存储器和多个第 1 失效资讯存储器以及多个存储器控制器；以及多条第 2 总线，其分别用来连接多个存储器控制器和多个通用缓冲存储器。

被测试存储器具备数据储存用的多个主区和规定的第 2 不良资讯储存用的特殊区。不良资讯写入部亦可将规定的第 2 不良资讯写入至被测试存储器所具备的特殊区中。

依据本发明的第 2 形式，在多个被测试存储器同时进行测试用的测试装置中具备：图样产生器，其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于地址信号和数据信号而应输出的期待值信号；多个逻辑比较器，其分别对应于多个被测试存储器而设置且对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较，在该输出信号和期待值信号不一致时产生失效数据；多个失效存储器，其分别对应于多个被测试存储器而设置且将多个逻辑比较器所产生的失效数据对应地储存在地址信号所示的地址中；多个存储器控制器，其分别对应于多个被测试存储器而设置且依据多个失效存储器所储存的失效数据以产生该被测试存储器中固有的格式的规定的不良资讯；多个通用缓冲存储器，其分别对应于多个被测试存储器而设置且

储存着多个存储器控制器所产生的规定的不良资讯；以及多个不良资讯写入部，其分别对应于多个被测试存储器而设置且将多个通用缓冲存储器中所储存的规定的不良资讯写入至多个被测试存储器中。

依据本发明的第3形式，在多个被测试存储器同时进行测试用的测试方法中包含以下各步骤：一产生步骤，其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于地址信号和数据信号而应输出的期待值信号；另一产生步骤，其藉由分别对应于多个被测试存储器而设置的多个逻辑比较器来对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较，在该输出信号和期待值信号不一致时产生失效数据；一储存步骤，其对应于地址信号所示的地址而使失效数据储存于分别对应于多个被测试存储器而设置的多个失效存储器中；一不良地址资讯产生步骤，其藉由分别对应于多个被测试存储器而设置的多个存储器控制器，且依据多个失效存储器所储存的失效数据以产生该被测试存储器的不良地址显示用的不良地址资讯；另一储存步骤，其使多个存储器控制器所产生的不良地址资讯储存在分别对应于多个被测试存储器而设置的多个通用缓冲存储器中；以及一写入步骤，其藉由分别对应于多个被测试存储器而设置的多个不良资讯写入部，将规定的第1不良资讯同时写入至多个被测试存储器的多个通用缓冲存储器中所储存的不良地址资讯所示的不良地址中。

依据本发明的第4形式，在多个被测试存储器同时进行测试用的测试方法中包含以下各步骤：一产生步骤，其产生一种供给至多个被测试存储器中的地址信号和数据信号以及产生一种被测试存储器对应于地址信号和数据信号而应输出的期待值信号；另一产生步骤，其藉由分别对应于多个被测试存储器而设置的多个逻辑比较器来对多个被测试存储器对应于地址信号和数据信号而输出的输出信号和该期待值信号进行比较，在该输出信号和期待值信号不一致时产生失效数据；一储存步骤，其藉由分别对应于多个被测试存储器而设置的多个失效存储器，使多个逻辑比较器所产生的失效数据对应地储存在地址信号所示的地址中；一不良资讯产生步骤，其藉由分别对应于多个被测试存储器而设置的多个存储器控制器，且依据多个失效存储器所储存的失效数据以产生被测试存储器中固有的格式的规定的不良资讯；另一储存步骤，其藉由分别对应于多个被测试存储器而设置的多个通用缓冲存储器来储存多个存储器控制器所产生的规定的不良资讯；以及一写入步骤，其藉由分别对应于多个被测试存储器而设置的多个不良资讯写入部，将多个通用缓冲存储器中所储存的规定的不良资讯写入至多个被测试存储器中。

又，上述发明的概要并未列举本发明的必要的特征的全部，这些特征

群的下位组合(sub-combination)亦属本发明。

依据本发明所属的测试装置和测试方法,即使多个被测试存储器同时测试时,测试的效能(through-put)仍可向上提升。

为让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

附图说明

图 1 是测试装置 100 的构成的一例。

图 2 是测试装置 100 的数据转送处理的概要图。

图 3 是存储器控制器 120 的机能构成的一例。

图 4(a)是供给至 DUT150 中的地址信号的数据构成的一例。图 4(b)是次(sub)波形整形器 132 的输入信号的数据构成。

图 5 是由测试装置 100 来进行的测试方法的流程的一例。

图 6 是由测试装置 100 来进行的测试方法的流程的一例。

图 7 是反及(NAND)型快闪存储器的构成。

图 8 是先前技术所属的测试装置 800 的构成。

图 9 是先前技术所属的测试装置 800 的数据转送处理的概要图。

100: 测试装置	102: 图样产生器
104: 主波形整形器	106: 个别测试单元
108: 接口	110: CPU
112: 测试总线	120: 存储器控制器
121: 外部总线	122: 通用缓冲存储器
123: 内部总线	124: 方块失效存储器
126: 不良方块计数器	128, 130: 失效资讯存储器
132: 次波形整形器	134: 逻辑比较器
136: 多任务器	138: 驱动器
140: 位准比较器	150: 被测试装置(DUT)
300: 数据读出部	302: 失效判断部
304: 方块地址取得部	306: 不良地址资讯产生部
308: 地址指标控制部	800: 测试装置
802: 图样产生器	804: 主波形整形器
806: 个别测试单元	808: 接口
810: CPU	812: 测试总线
822: 通用缓冲存储器	823: 内部总线
824: 方块失效存储器	826: 不良方块计数器
832: 次波形整形器	834: 逻辑比较器

836: 多任务器

838: 驱动器

840: 位准比较器

850: 被测试装置 (DUT)

具体实施方式

以下将依据本发明的实施形式来说明本发明,但以下的实施形式不是用来限定各申请专利范围所属的发明。又,实施形式中所说明的特征的组合的全部不限于发明解决手段中所必须者。

图1是本发明的一实施形式中所属的测试装置100的构成的一例。测试装置100具备:图样产生器102,主波形整形器104,多个各别的测试单元106,接口108,CPU110以及测试总线112。多个各别的测试单元106分别具有:存储器控制器120,外部总线121,通用缓冲存储器122,内部总线123,方块失效存储器124,不良方块计数器126,失效资讯存储器128,失效资讯存储器130,次(sub)波形整形器132,逻辑比较器134,多任务器136,驱动器138以及位准比较器140。测试装置100分别对应于多个被测试存储器DUT150而设置着。DUT150例如是反及(NAND)型快闪存储器。

测试装置100分别藉由多个各别的测试单元106来同时对多个DUT150各别地进行测试,依据多个DUT150的各别的测试结果,使不良资讯各别地同时写入至多个DUT150中。具体而言,对DUT150的反及(NAND)型快闪存储器所具有的每一方块区中“是否存在不良单元”进行测试,作成不良地址资讯以显示不良单元所存在的方块区,使不良资讯写入至该不良地址资讯所示的方块区所具有的扩张区中,或使不良地址资讯写入至DUT150所具有的特殊区中。在测试装置100中,对应于多个DUT150而设的存储器控制器120藉由同时作成多个DUT150中每个的不良地址资讯,此时由于可使不良资讯或不良地址资讯的产生所需要的时间降低,则可使测试的效能(through-put)向上提升。以下将就测试装置100所具备的各构成元件的动作来作说明。

测试总线112连接着图样产生器102,接口108以及CPU110以使通信继续。CPU110经由测试总线112以控制图样产生器102和接口108。又,依据图样产生器102和接口108而来的要求以进行各种处理。接口108连接着存储器控制器120和测试总线112,以控制存储器控制器120和CPU110之间的通信。

图样产生器102产生一种供给至多个DUT150中的地址信号和数据信号,以供给至主波形整形器104中。又,图样产生器102使已产生的地址信号供给至多个方块失效存储器124中。又,图样产生器102产生一种DUT150对应于地址信号和数据信号时应输出的期待值信号,以供给至逻辑比较器134。又,图样产生器102藉由供给一种控制信号(以下称为“FCM信号”),

以控制多个通用缓冲存储器 122, 多个次波形整形器 132 以及多个多任务器 136 的动作。又, 图样产生器 102 在对 DUT150 写入不良资讯时, 会产生一种显示 DUT150 的页区所用的页地址信号, 其与不良资讯同时供给至多个次波形整形器 132 中。主波形整形器 104 使图样产生器 102 所产生的地址信号和数据信号整形成 DUT150 测试时所需要的格式的波形, 以供给至多个各别的测试单元 106 所各别具有的多任务器 136 中。

多任务器 136 依据图样产生器 102 所供给的 FCM 信号来选取主波形整形器 104 所供给的地址信号和数据信号。然后, 驱动器 138 将多任务器 136 所选取的地址信号和数据信号施加至 DUT150。

位准比较器 140 藉由对 DUT150 对应于地址信号和数据信号而输出的输出信号来和一种预定的门限(threshold)值电压进行比较, 将该输出信号变换成 2 值的输出信号以供给至逻辑比较器 134。逻辑比较器 134 对由位准比较器 140 所供给的输出信号和图样产生器 102 所供给的期待值信号进行比较, 在输出信号和期待值信号不一致时产生一种失效数据, 以供给至方块失效存储器 124 中。该方块失效存储器 124 将逻辑比较器 134 所产生的失效数据对应地储存在图样产生器 102 所供给的地址信号所示的地址中。本实施形式中, 图样产生器 102 产生一种地址信号, 其显示 DUT150 的方块区的地址所在的方块地址。该方块失效存储器 124 使失效数据储存在 DUT150 所具有的每一方块区中。又, 不良方块计数器 126 藉由对逻辑比较器 134 所产生的失效数据进行计数, 以对 DUT150 所具有的不良的方块区的数目进行计数。藉由不良方块计数器 126 所计算的失效数据数例如可用在软体所进行的 DUT150 的不良解析中或用在良否判定等。

外部总线 121 连接着通用缓冲存储器 122 和存储器控制器 120 以使通信继续。又, 内部总线 123 使方块失效存储器 124, 不良方块计数器 126, 失效资讯存储器 128 以及失效资讯存储器 130 都和存储器控制器 120 相连接, 以使通信继续。

存储器控制器 120 经由内部总线 123 来参考该方块失效存储器 124, 以读出方块失效存储器 124 中所储存的失效数据。依据已读出的失效数据以产生不良地址资讯, 其显示 DUT150 所具有的不良的方块区的方块地址。然后, 存储器控制器 120 经由外部总线 121 使不良地址资讯供给至通用缓冲存储器 122 中。存储器控制器 120 产生 DUT150 中固有的格式的不良地址资讯, 以供给至通用缓冲存储器 122 中。又, 存储器控制器 120 应产生 DUT150 中固有的格式的不良地址资讯, 且依据对应于 DUT150 的种类所载入的程式来动作。

通用缓冲存储器 122 储存着存储器控制器 120 所产生的不良地址资讯。然后, 通用缓冲存储器 122 使不良资讯依序供给至次波形整形器 132 中。

次波形整形器 132 依据图样产生器 102 所供给的 FCM 信号, 通用缓冲存储器 122 所供给的不良资讯以及图样产生器 102 所供给的特殊区的地址显示用的地址信号, 以产生 DUT150 中固有的格式的地址信号和数据信号。多任务器 136 依据图样产生器 102 所供给的 FCM 信号来选取次波形整形器 132 所供给的地址信号和数据信号。然后, 驱动器 138 藉由将该多任务器 136 所选择的地址信号和数据信号施加至 DUT150, 使不良资讯写入至通用缓冲存储器 122 所储存的不良地址资讯所示的方块区所具有的页区的扩张区中, 该页区的扩张区由图样产生器 102 所供给的页地址信号所显示。次波形整形器 132 和驱动器 138 是本发明的不良资讯写入部的一例, 其以 DUT150 的种类所对应的格式的写入方式而使不良资讯写入至 DUT150 的扩张区中。

又, 存储器控制器 120 经由内部总线 123 以读出方块失效存储器 124 中所储存的失效数据, 依据已读出的失效数据以产生 DUT150 中固有的格式的不良资讯。不良资讯含有多不良地址资讯, 其显示 DUT150 所具有的不良方块区的方块地址。然后, 存储器控制器 120 经由外部总线 121 使不良资讯供给至通用缓冲存储器 122 中。又, 存储器控制器 120 经由内部总线 123 使不良资讯供给至失效资讯存储器 130 中。又, 存储器控制器 120 应产生 DUT150 中固有的格式的不良资讯, 且依据对应于 DUT150 的种类所载入的程式来动作。

通用缓冲存储器 122 储存着存储器控制器 120 所产生的不良资讯。然后, 通用缓冲存储器 122 将不良资讯依次供给至次波形整形器 132 中。次波形整形器 132 依据图样产生器 102 所供给的 FCM 信号, 通用缓冲存储器 122 所供给的不良资讯以及图样产生器 102 所供给的特殊区的地址显示用的地址信号以产生 DUT150 中固有的格式的地址信号和数据信号。多任务器 136 依据图样产生器 102 所供给的 FCM 信号来选取次波形整形器 132 所供给的地址信号和数据信号。然后, 驱动器 138 藉由多任务器 136 所选取的地址信号和数据信号施加至 DUT150 中, 使通用缓冲存储器 122 中所储存的不良资讯写入至图样产生器 102 所供给的地址信号所示的 DUT150 的特殊区中。次波形整形器 132 和驱动器 138 是本发明的不良资讯写入部的一例, 以 DUT150 的种类所对应的格式的写入方式使不良资讯写入至 DUT150 的特殊区中。

失效资讯存储器 128 藉由位准比较器 140 以储存由 DUT150 的特殊区所读出的不良资讯。又, 失效资讯存储器 130 藉由内部总线 123 以储存着存储器控制器 120 所产生的不良资讯。然后, 藉由 CPU110 中操作作用的软体来对失效资讯存储器 128 中所储存的不良资讯和失效资讯存储器 130 中所储存的不良资讯进行比较, 以判定 DUT150 的良否。CPU110 中操作作用的软体是本发明的良否判定部的一例。

依据本实施形式中的测试装置 100, 对应于多个 DUT150 的每一个而分别设有存储器控制器 120。藉由同时产生多个 DUT150 中每一个的不良地址资讯或不良资讯, 则不良地址资讯或不良资讯产生时所需的等待时间即不会发生。因此, 由测试终了到对 DUT150 的不良地址资讯或不良资讯的写入开始为止的时间即可减少。因此, 多个 DUT150 并列测试时的测试时间可减少, 测试的效能即可向上提升。又, 存储器控制器 120 由于可对应于 DUT150 的种类而构成, 则藉由测试装置 100 的销售者(vender)可构成该存储器控制器 120, 以产生一种对应于 DUT150 的种类的不良地址资讯和不良资讯。

图 2 是本实施形式的测试装置 100 的数据转送处理的概要图。多个各别的测试单元 106 所各别具有的多个存储器控制器 120 分别依据经由测试总线 112 和接口 108 之由 CPU110 而来的命令, 以并列地进行该通用缓冲存储器 122, 方块失效存储器 124 或失效资讯存储器 130 的数据转送。又, 多个存储器控制器 120 依照预先已载入的程式且以通用缓冲存储器 122 所储存的失效数据为基准以并列地产生不良地址资讯或不良资讯。

多个存储器控制器 120 采用微程式的方式且在构造上可灵活地对应于一连串的数据处理而形成。又, 多个存储器控制器 120 采用一种总线构造以分别藉由外部总线 121 而各别地连接至相对应而设置的通用缓冲存储器 122 中, 且藉由内部总线 123 而各别地连接至相对应而设置的方块失效存储器 124 和失效资讯存储器 130 中。

因此, 多个存储器控制器 120 分别藉由一种与通用缓冲存储器 122 或方块失效存储器 124 和失效资讯存储器 130 不同的总线而连接着, 由于可并列地进行数据转送, 则通用缓冲存储器 122 和存储器控制器 120 之间的数据转送, 以及存储器控制器 120 和方块失效存储器 124 或失效资讯存储器 130 之间的数据转送都可高速地处理。

图 3 是本实施形式的存储器控制器 120 的机能构成的一例。该存储器控制器 120 具备: 数据读出部 300, 失效判断部 302, 方块地址取得部 304, 不良地址资讯产生部 306 以及地址指标控制部 308。

数据读出部 300 藉由存储器控制器 120 对方块失效存储器 124 所供给的固定的地址, 以读出方块失效存储器 124 的固定地址中所储存的数据。该方块失效存储器 124 储存着 DUT150 的每一方块区域中 1 位元的数据。具体而言, 方块区域不良时, 对应于该方块区域以储存着逻辑值 1 的失效数据, 方块区域并非不良时, 对应于该方块区域以储存着逻辑值 0 的数据。然后, 数据读出部 300 同时读出该方块失效存储器 124 所定的地址中所储存的多个位元的数据(即, 多个方块区域中的数据)。然后, 失效判断部 302 判断数据读出部 300 所读出的多个位元的数据中是否含有逻辑值 1 的失效数据。

方块地址取得部 304 取得由方块失效存储器 124 所读出的多个位元的数据所对应的方块区的方块地址。然后,在失效判断部 302 判断数据读出部 300 所读出的数据中含有失效数据时,则不良地址资讯产生部 306 依据方块地址取得部 304 所取得的方块地址中的失效数据所对应的方块区的方块地址以产生不良地址资讯。然后,不良地址资讯产生部 306 使所产生的不良地址资讯供给至通用缓冲存储器 122 中且储存着。

又,不良地址资讯产生部 306 依据多个方块地址以产生一种不良资讯,其含有已生成的多个不良地址资讯。然后,不良地址资讯产生部 306 将已生成的不良资讯供给至通用缓冲存储器 122 和失效资讯存储器 130 中。又,地址指标控制部 308 一方面将地址指标增加,且另一方面将地址供给至通用缓冲存储器 122,方块失效存储器 124 或失效资讯存储器 130 中。

依据本实施形式的测试装置 100,由于对应于多个 DUT150 而具备一种包含上述功能的存储器控制器 120,则可并列地产生一种与 DUT150 有关的不良地址资讯和不良资讯。因此,由于作成不良地址资讯和不良资讯所需的等待时间不会发生,则测试的效能可向上提升。

图 4(a)是本实施形式的测试装置 100 中供给至 DUT150 中的地址信号的数据构成的一例。图 4(b)是本实施形式中次(sub)波形整形器 132 的输入信号的数据构成。

例如,数据写入至 DUT150 中时,如图 4(a)所示,由第 1 周期(cycle)和第 2 周期的数据中的行地址、第 3 周期,第 4 周期以及第 5 周期的数据中的列地址所保持的地址信号来进行存取(access)是必要的。然后,页地址显示用的 6 位元数据(A12、A13、A14、A15、A16、A17)包含在第 3 周期的数据中,方块地址显示用的 11 位元数据(A18、A19、A20、A21、A22、A23、A24、A25、A26、A27、A28)包含在第 3 周期,第 4 周期以及第 5 周期的数据中。因此,次波形整形器 132 藉由将该图样产生器 102 所供给的页地址和通用缓冲存储器 122 所供给的不良地址资讯所示的方块地址进行组合,以产生如图 4(a)所示的 DUT150 中固有的地址信号。

如图 4(b)所示,图样产生器 102 输出 FCM 信号且供给至次波形整形器 132 中,以显示由该图样产生器 102 所供给的页地址显示用的地址信号和由通用缓冲存储器 122 所供给的方块地址显示用的不良地址信号中的任一个是否被选取。又,图样产生器 102 输出一种含有命令数据(CMD)、A0~A7 的数据(1),一种含有 A8~A11 的数据(2)以及一种含有 A12~A17 的数据(3)且供给至次波形整形器 132 中。又,通用缓冲存储器 122 输出由地址指标(AP1、AP2、AP3)各别指定的包含 A18 至 A19 的数据(4),包含 A20~A27 的数据(5)以及包含 A28 的数据(6)且供给至次波形整形器 132 中。

次波形整形器 132 依据图样产生器 102 所供给的 FCM 信号,图样产生

器 102 所供给的数据 (1)、(2)、(3) 以及通用缓冲存储器 122 所供给的数据 (4)、(5)、(6)，以产生图 4(a) 所示构成的地址信号。即，次波形整形器 132 供给该图样产生器 102 所供给的命令数据，数据 (1)、数据 (2) 以分别作为第 1 周期、第 2 周期、第 3 周期的数据，供给一种包含 A12 至 A17 (其包含在图样产生器 102 所供给的数据 (3) 中) 和 A18 至 A19 (其包含在通用缓冲存储器 122 所供给的数据 (4) 中) 的数据以作为第 4 周期的数据，供给该通用缓冲存储器 122 所供给的数据 (5)、(6) 以分别作为第 5 周期、第 6 周期的数据，且与写入致能信号同时供给至 DUT150 中。

如上所述，由通用缓冲存储器 122 取得一种相当于方块地址的地址数据，由图样产生器 102 取得一种相当于页地址的地址数据，将这些地址数据合成以产生一种供给至 DUT150 中的地址信号。因此，分别对应于多个 DUT150 而设置的多个次波形整形器 132 藉由对该图样产生器 102 所供给的共通的页地址和每个 DUT150 都不相同的方块地址即时 (real time) 地进行切换，则对多个 DUT150 而言可并行地将不良资讯写入至不同方块区的共通的页区域中。又，通用缓冲存储器 122 不需储存页地址，由于可以只储存每个 DUT150 的方块地址，则可大大地节省存储时之容量。

图 5 是本实施形式中由测试装置 100 来进行的测试方法的流程的一例。图 5 中，特别是就读出验证测试的测试结果写入至 DUT150 的扩张区中时的流程来说明。

开始本测试 (S500)，首先，图样产生器 102 施加图样至 DUT150 中，以进行 DUT150 的环境设定 (S502)。又，清除该通用缓冲存储器 122 和方块失效存储器 124 所储存的数据 (S504)。然后，逻辑比较器 134 藉由对一种对应于图样产生器 102 所产生的地址信号和数据信号时 DUT150 所输出的输出数据和该图样产生器 102 所产生的期待值信号进行比较，以进行读出验证测试 (S506)。然后，逻辑比较器 134 在读出验证测试时若输出信号和期待值信号一致则前进至 S512 (S508-N)。另一方面，若输出信号和期待值信号不一致，则输出一种失效数据以供给至方块失效存储器 124 中 (S508-Y)。方块失效存储器 124 在逻辑比较器 134 输出失效数据时即时地将失效数据写入至测试对象所在的每个方块区中 (S510)。然后，DUT150 的全部的方块区域中的测试终了时 (S512-Y) 前进至 S514 中。另一方面，DUT150 的全部的方块区域中的测试未终了时 (S512-N)，则回到 S506。直至 DUT150 的全部的方块区域中的测试终了为止，重复进行 S506 至 S512 为止的处理。

其次，藉由对多个存储器控制器 120 的每个进行并列处理，则多个 DUT150 的每一个之中都进行由方块失效存储器 124 至通用缓冲存储器 122 的数据转送 (S514)。具体而言，存储器控制器 120 产生该方块失效存储器 124 中所储存的失效数据所对应的方块区的方块地址显示用的不良地址资

讯, 以供给至通用缓冲存储器 122 中。

其次, 通用缓冲存储器 122 用的地址指标初期化后 (S516), 一方面读出通用缓冲存储器 122 中所储存的不良地址资讯, 且将不良资讯写入至已读出的不良地址资讯所示的方块区的扩张区或特殊区中 (S518)。地址指标控制部 308 使通用缓冲存储器 122 用的地址指标增加 (S520)。然后, 地址指标较预定的最大值还大时 (S522-Y), 则本测试终了, 转移至下次的测试 (S524)。另一方面, 地址指标较预定的最大值还小时 (S522-N), 则返回至 S518。直至地址指标较预定的最大值还大时为止, 重复进行 S518 至 S522 为止的处理。

图 6 是由本实施形式的测试装置 100 来进行的测试方法的流程的一例。图 6 中特别是对“特殊区中是否可适当地写入不良资讯”作测试时的测试项目的流程来说明。

开始本测试项目 (S600), 首先, 图样产生器 102 施加图样至 DUT150 中, 以进行 DUT150 的环境设定 (S602)。然后, 前次的测试中藉由存储器控制器 120 以读出 DUT150 的特殊区中已写入的不良资讯, 且储存至失效资讯存储器 128 中 (S606)。然后, 与前次测试中藉由存储器控制器 120 而已写入至 DUT150 的特殊区中的不良资讯相同的不良资讯已被写入的失效资讯存储器 130 所储存的不良资讯须与由 DUT150 所读出的不良资讯储存用的失效资讯存储器 128 所储存的不良资讯进行比较, 将该比较结果设定至状态暂存器中 (S608)。在 S608 中, 分别对应于多个 DUT150 而设置的多个存储器控制器 120 对每个 DUT150 进行并列处理。

其次, 读出上述状态暂存器中已设定的比较结果 (S610), 以判定 2 个不良资讯是否一致, 即, 判定该比较结果是否失效 (S612)。然后, 比较结果失效时 (S612-Y), 该测试对象的 DUT150 被判定成不良而被拒绝 (S614)。另一方面, 比较结果未失效时 (S612-N), 转移至下一个测试项目 (S616)。

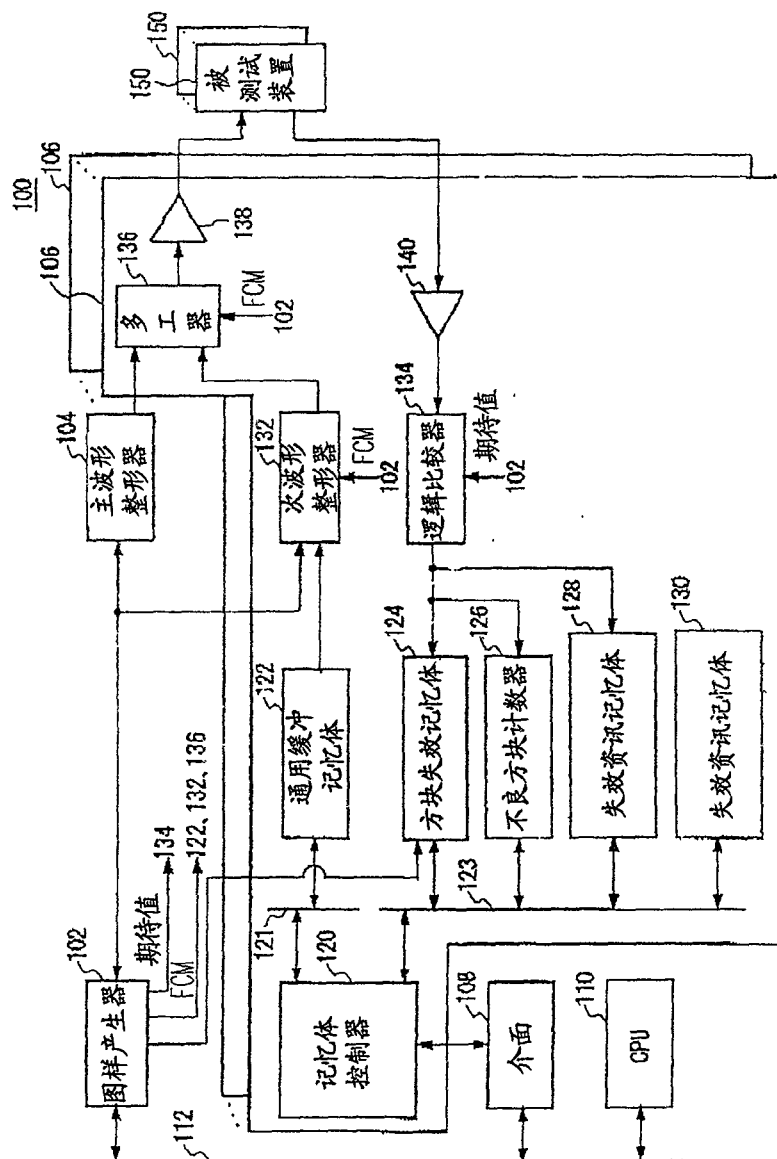
依据本实施形式的测试装置 100, 方块失效存储器 124 和通用缓冲存储器 122 之间, 以及通用缓冲存储器 122 和失效资讯存储器 130 之间进行数据转送和数据变换所用的存储器控制器 120 由于是对应于多个 DUT150 的每个而设置, 则数据转送和数据变换时的处理时间可大幅地下降。结果, 多个 DUT150 同时进行测试时, 可使测试的效能向上提升, 进而使制造上的成品率向上提升, 存储器的单价因此会下降。

以上虽然使用各实施形式来说明本发明, 但本发明的技术范围不限于以上的实施形式所记载的范围。上述实施形式中亦可施加多种变更或改良。施加此种变更或改良后的形式亦包含在本发明的技术范围中, 这由请求范围的记载即可明白。

依据本发明, 即使多个被测试存储器同时测试时, 测试的效能亦可向

上提升。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视后附权利要求所界定者为准。



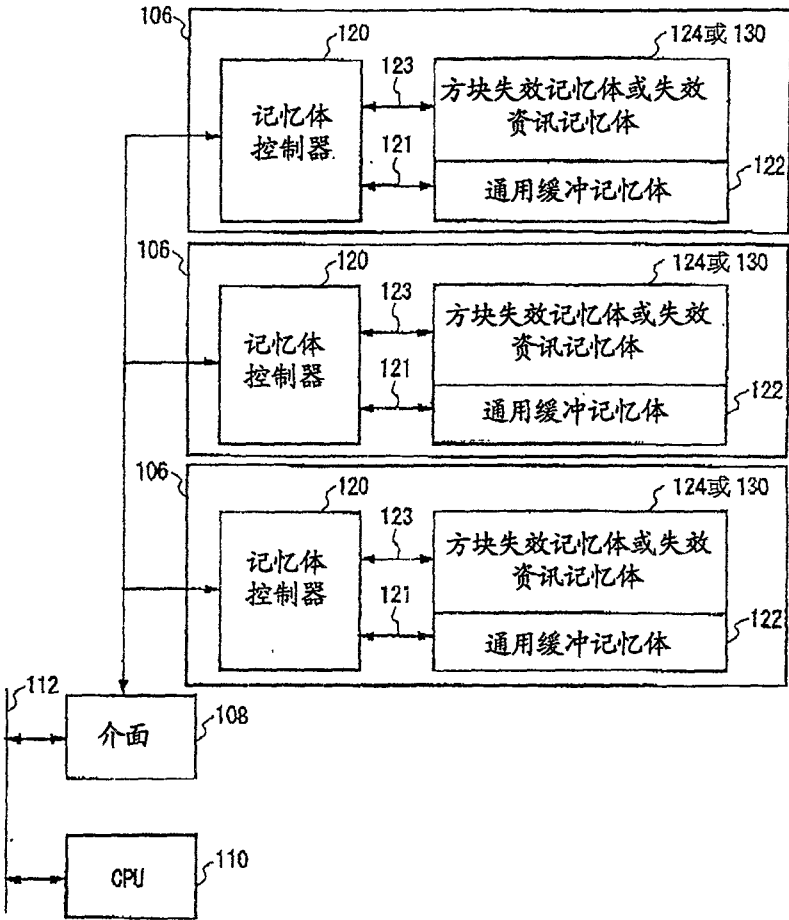


图2

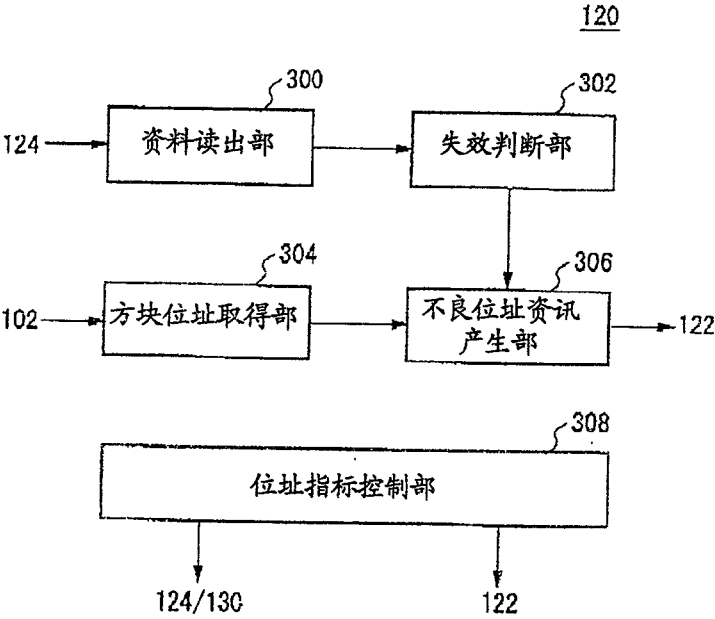


图3

	I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7	
第1周期	A0	A1	A2	A3	A4	A5	A6	A7	行位址
第2周期	A8	A9	A10	A11	L	L	L	L	行位址
第3周期	A12	A13	A14	A15	A16	A17	A18	A19	列位址
第4周期	A20	A21	A22	A23	A24	A25	A26	A27	列位址
第5周期	A28	L	L	L	L	L	L	L	列位址

图4 (a)

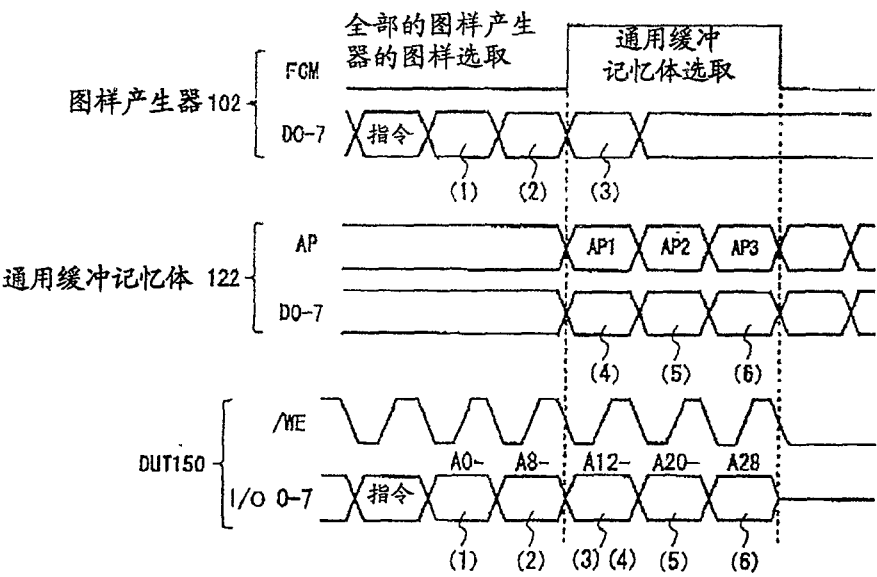


图 4 (b)

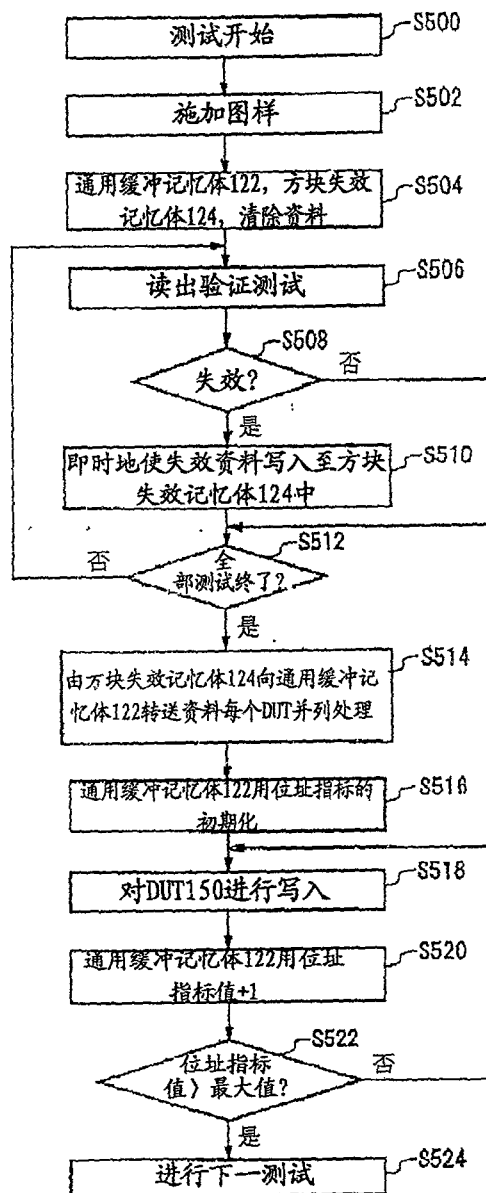


图5

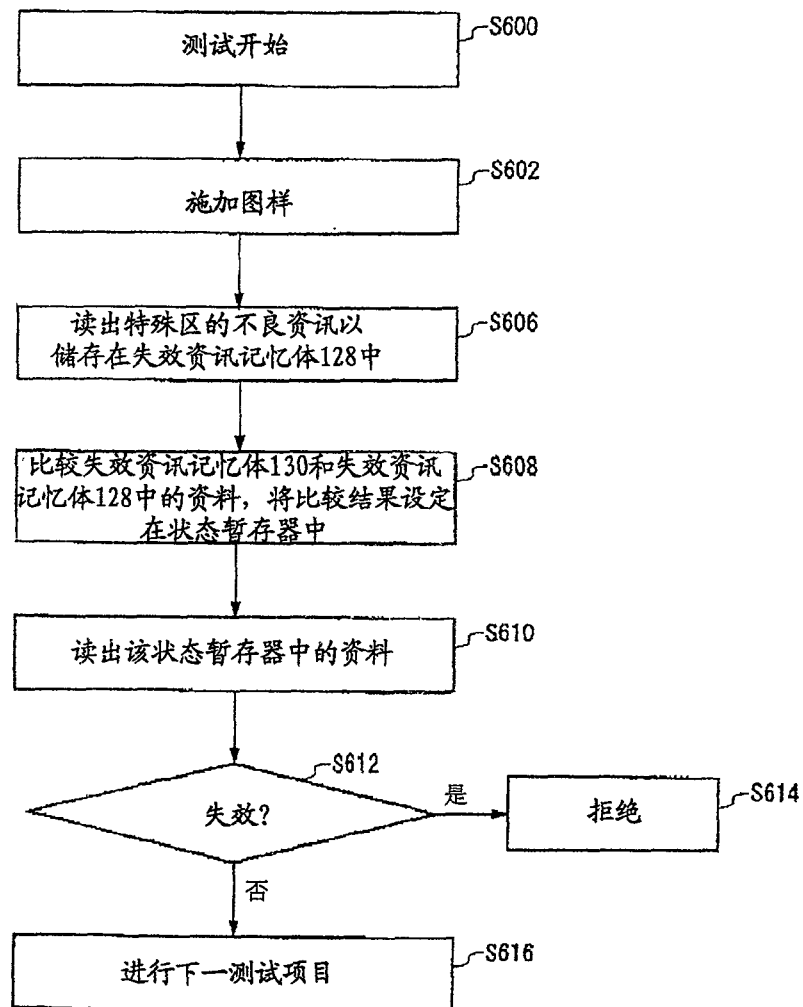


图6

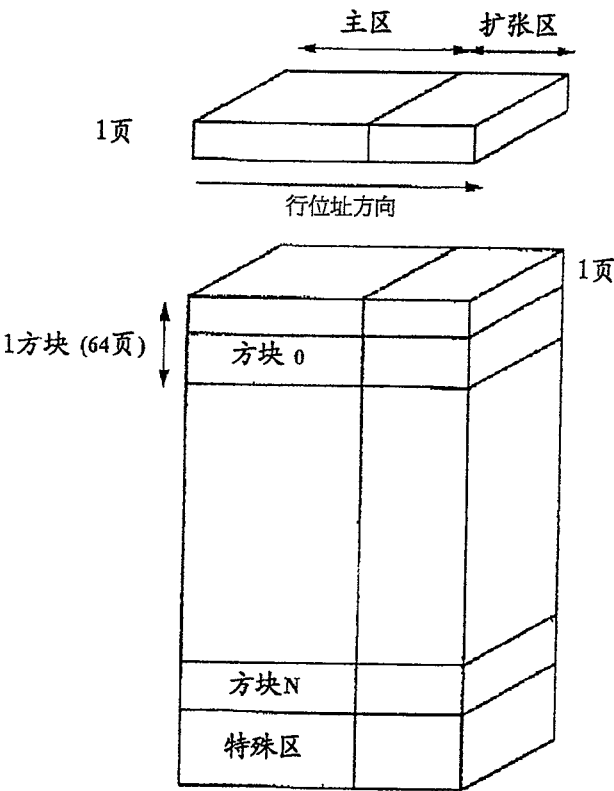
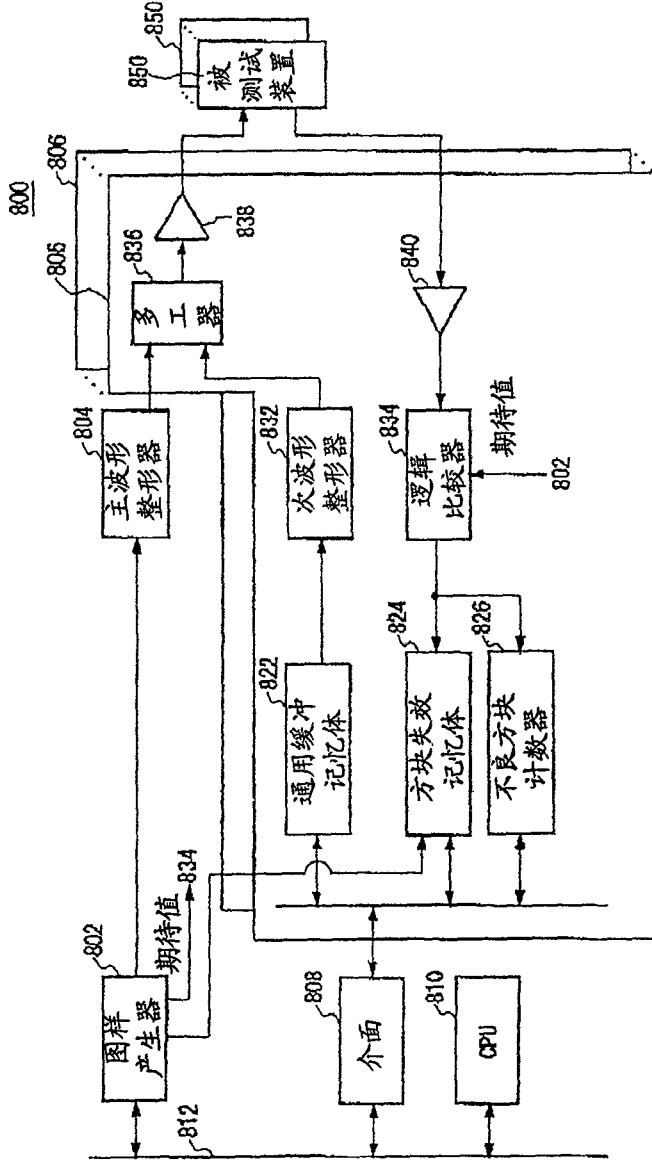


图7



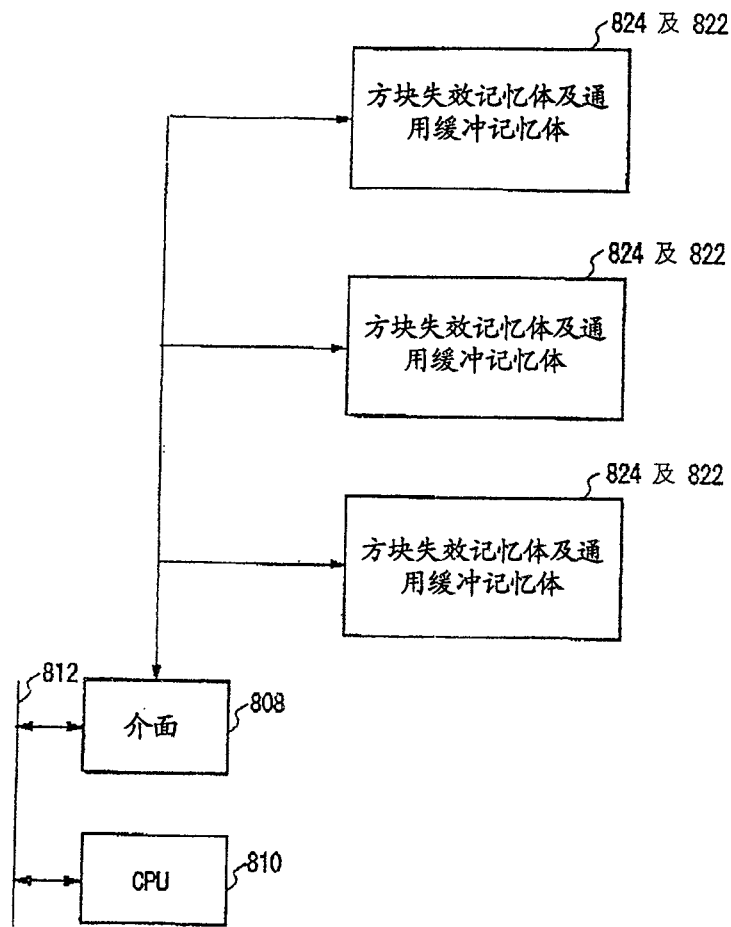


图 9