发明名称
使 ESD 电容线性化的方法

摘要
披露了具有向电力轨和接地放电的用于 IC 的输入/输出垫的 ESD 保护电路。将 ESD 电路与 NMOS 和 PMOS 晶体管一起配置，NMOS 和 PMOS 晶体管跟其与垫相连的漏一起配置。然而，漏电容具有彼此补偿或抵消的电压灵敏度，并且通过适当的尺寸确定，可以在给定电压范围内使垫盘上的电容载荷基本上保持恒定。通过提供到电力轨的放电路径，可以将 ESD 电路设计得可以更加忍受电力轨上的过电压。
1. 一种用于相对于电压使 ESD 保护电路的电容线性化的方法，该方法包括以下步骤：

   经由位于垫盘和地之间的 NMOS 晶体管的漏极，提供到地的第一放电路径；以及

   经由位于垫盘和正电力轨之间的 PMOS 晶体管的漏极，提供第二放电路径，其中 NMOS 的漏极和 PMOS 的漏极具有相对于电压来说彼此互补的电容敏感性。

2. 权利要求 1 的方法，其中提供第一放电路径的步骤包括以下步骤：

   功能性地将 NMOS 晶体管的漏极连接到垫盘；
   功能性地将 NMOS 晶体管的源极连接到地；
   将 ESD 脉冲的至少一部分传递到 NMOS 晶体管的栅极，并且其中提供第二放电路径的步骤包括以下步骤：
   功能性地将 PMOS 晶体管的漏极连接到垫盘；以及
   功能性地将 PMOS 的栅极和源极连接到正电力轨，并且进一步包括对 NMOS 和 PMOS 晶体管进行尺寸确定使得 PMOS 和 NMOS 漏电容的电压敏感性彼此互补的步骤。

3. 权利要求 2 的方法，进一步其中传递的步骤经由电容实现。

4. 权利要求 2 的方法，进一步包括以下步骤：

   功能性地将垫盘连接到第二 PMOS 的栅极；
   功能性地将第二 PMOS 的源极连接到正电力轨；
   功能性地将第二 PMOS 的源极和基片连接到 PMOS 的基片；
   功能性地将垫盘连接到第三 PMOS 的源极；
   功能性地将第三 PMOS 的栅极连接到正电力轨；以及
   功能性地将第三 PMOS 的漏极和基片连接到 PMOS 的基片，并且其中确定 NMOS 和 PMOS 晶体管的尺寸使得补偿它们的漏电容的电压敏感性，而 ESD 电路贡献基本上恒定的到垫盘的电容，并且其
中垫盘中的输入电流容容忍电力轨上的过电压。

5. 一种 ESD 电路，包括:

经由位于垫盘和地之间的 NMOS 晶体管的漏极的第一放电路径；以及

经由位于垫盘和正电力轨之间的 PMOS 晶体管的漏极的第二放电路径；其中 NMOS 的漏极和 PMOS 的漏极具有相对于电压来说彼此互补的电容敏感性。

6. 权利要求 5 的 ESD 电路，其中第一放电路径包括:

NMOS 晶体管，其漏极功能性地与垫盘相连，其源极和基片与地相连或与其通信；以及

从垫盘到 NMOS 的栅极的信号路径，其中垫盘处的正向 ESD 脉冲导通 NMOS 晶体管，并且其中第二放电路径包括:

PMOS 晶体管，其漏极功能性地与垫盘相连，其源极和栅极与正电力轨功能性地相连；以及

其中对 NMOS 和 PMOS 晶体管进行尺寸确定，使得 NMOS 和 PMOS 漏电容的电压敏感性彼此抵消。

7. 权利要求 6 的电路进一步其中信号路径是反向偏压二极管结构。

8. 权利要求 6 的电路进一步包括:

第二 PMOS，其栅极功能性地与垫盘相连，其源极功能性地与正电力轨相连；并且其漏极和基片与 PMOS 的基片功能性地相连；以及

第三 PMOS，其源极功能性地与垫盘相连，其栅极功能性地与正电力轨相连；并且其漏极和基片与 PMOS 的基片功能性地相连，并且其中 NMOS 和 PMOS 晶体管的尺寸确定被设置成抵消它们的漏电容的组合的电压敏感性，并且其中该发明的电路容容忍电力轨上的过电压。
使 ESD 电容线性化的方法

技术领域

本发明涉及 IC(集成电路)输入的静电放电(ESD)保护电路，以及更具体而言，涉及对用于输入上的保护电路的载荷电容的控制。

背景技术

集成电路易遭受到以及可以被 ESD 脉冲损坏。众所周知上述 ESD 脉冲可以从几种来源发出，一个主要的来源是从人们接触 IC 造成的。但是，其他的来源可以产生破坏性的 ESD 事件。上述 ESD 脉冲可以包括存在大约一百纳秒的几千伏和安培的电流。ESD 事件(定义为放电或脉冲)通常驱动电流进入 IC，但是也可以使电流从 IC 减弱。提供了上述两种类型的保护。

在过去的许多年中已经开发了提供可靠保护的保护器件和电路。这些保护电路中的使用在脉冲进入 IC 前使 ESD 脉冲放电的电压限制器件。美国专利 5,940,258 ('258) 说明了在图 1 中被功能性地再现的保护电路。

在图 1 中，在垫盘 (pad) 1 上发生的正向 ESD 脉冲被电容性地耦合 4 到共享共同的基片的 NMOS 晶体管 Q1 和 Q2 的栅极。Q2 小于 Q1 并变得更快，且在 R1 和共同基片间产生电压。该基片电压帮助 Q1 更加充分地导通，从而使 ESD 脉冲放电。

然而，'258 电路和其他现有技术 ESD 保护电路的局限性在于电路在垫盘上产生载荷电容，其对输入电压水平敏感。该敏感性使输入信号失真并降低电路的性能。

另一现有技术电路显示于美国专利 6,690,066 中。该专利通过在 Q1 的漏极和图 1 的垫盘之间引入二极管 D1 在'258 专利基础上进行了改进。二极管 D1 针对垫盘隔离 Q1 的漏电容并使 Q1 的漏电容最小，
并且，重要的是，二极管电容具有正电压系数，可以用于抵消 Q1 和 Q2 的负电压电容系数。以上述方式，可以使垫盘 2 上的电容载荷更加恒定且对改变输入信号电压的敏感性下降。

066 专利旨在使 ESD 电路电容线性化，但仅是对地参考基准的电路。本发明在提供到电力轨（power rail）和地的 ESD 保护放电路径的同时，使 ESD 电容线性化。当例如接地路径不足以使 ESD 脉冲放电时，平行的路径提高了 ESD 保护。此外，具有以 Vcc 为参考基准的本发明的 ESD 电路允许其被设计成能够更加忍受电力轨上的过电压。

典型的 IC 电路位于电力轨和地之间，但是，正如本领域技术人员所知道的，电路可以位于两个电压水平之间，较高的可以被指定为 Vdd，较低的为 Vss。在本发明中，Vcc 代表较高电压水平，接地代表较低电压水平。

发明内容

本发明提供了到地 Vss 和电力轨 Vcc 的 ESD 保护电路。在优选实施例中，到接地的保护器件是 NMOS，其漏极与受保护的垫盘相连。NMOS 具有负的漏电容电压系数。在本实施例中，到电力轨的保护器件是 PMOS，其漏极与垫盘相连。PMOS 具有正的漏电容电压系数。P 和 NMOS 晶体管的分级允许设计者对 NMOS 和 PMOS 的漏电容进行平衡，以使符合电容在一定范围的电压上基本上不敏感或恒定。另外，垫盘被保护于地和电力轨，从而提供冗余路径的可靠性。当地和电力轨都不足以使 ESD 事件放电时，这是有优势的。

具有到地和电力轨的保护的其他优势在于可以将电路设计成其在电力轨上具有对电压变化的容差。上述变化的大多数典型情况是过电压。

本发明电路和方法将元件与垫盘相连，以保护与垫盘相连的任何电路不遭受破坏性的 ESD 脉冲。本发明电路与垫盘相连，然而，正如本领域技术人员所知的，连接可以是“功能性的”，原因在于可以将
其他元件加“连接”点之间，而这不以任何有意义的方式改变本发明的电路和方法的操作。

将会为本领域技术人员理解的是尽管下列详细描述将通过参考说明性的实施例、附图以及使用方法而进行，本发明的目的不是受限于上述实施例和使用方法。相反，本发明是广义的，并且仅由附加的请求保护的范围限定。

附图说明

本发明的下列描述参考附图，其中：
图 1 是现有技术 ESD 电路的功能性示意图；
图 2 是说明本发明的实施例的示意图；
图 3 是说明本发明对输入电容的影响的图；
图 4 是本发明的另一优选实施例的示意图；
图 5 是输入电流与 $V_{cc}$ 电压的函数关系的图。

具体实施方式

图 2 说明了用于保护电路 CKT A 不受可能在垫盘上出现的 ESD 脉冲的影响的与垫盘 10 相连的 ESD 保护电路。方法是驱散或使在垫盘 10 上出现的 ESD 脉冲直接放电到地 12 和/或 $V_{cc}$ 14，使得很小的或没有高电压或电流尖峰进入 CKT A。重要的是，按照该 ESD 保护，使保护电路的载荷电容与垫盘 10 上的输入信号电压基本上恒定。

就 ESD 保护而言，二极管 D2 是反偏压的，在从垫盘 10 到 Q4 的栅极 16 建立电容路径。上升的 ESD 脉冲被耦合到使 Q4 导通的栅极 16，从而使 ESD 脉冲放电。在另一优选实施例中，在 '066 和 '258 专利中所描述和示教的技术(其中 NMOS 晶体管共用相同的基片，一个驱动基片，而第二个更加充分地导通)，可以在本发明内，作为从垫盘到地的放电路径被实现。

然而，图 2 包括 Q3(PMOS)，使垫盘 10 与电力轨 14 相连。将 Q3 连接，以显示众所周知的二极管连接，其阳极在垫盘 10 上，其阴
权在电力轨 14 上。垫盘 10 上的正向 ESD 脉冲将导通 Q3 的体二极管，并将 ESD 脉冲放电到电力轨。因此，将有经由 Q3 和 Q4 的正向 ESD 脉冲同时放电。由于也存在与 Q4 相关联的体二极管，负 ESD 脉冲将通过该体二极管放电到地。

如上所述，如果信号(尤其是模拟信号)，出现在垫盘 10 上，但垫盘 10 上的电容载荷随信号水平而变化，信号将失真或者被折中，并且显而易见的是，较高频率的信号将更加受影响。图 2 的电路给出了垫盘 10 上的电容载荷，包括二极管 D2 和 Q3 和 Q4 的漏极。通常，D1 和 Q4 的电容将具有负电压系数，而 Q3 将具有正系数。正如制造上述器件领域技术人员所知的，在制造上述结构的尺寸（size）和物理特征时，可以将 D1、Q4 和 Q3 的电容值设计成在一定范围的输入电压上保持基本上恒定。

图 3 显示了在垫盘 10 上获得 1 到 2 伏输入电压水平之间的恒定电容元件的一个尺寸确定（sizing）。二极管 D1 被作为因素引入到上述图中，但未显示。重新对元件进行尺寸确定（resizing）将允许设计者在不同输入偏压上提供线性电容。

图 4 说明了另一优选实施例，其中 ESD 电路容忍 Vcc 20 线上的过电压。图 5 显示了当 Vcc 超过正 6 伏时的垫盘 22 上的 IN 电流。图 2 的电路的轨迹 30 显示了与图 4 的电路的轨迹 40 相比而言显著增加的 IN 电流。

图 4 将两个附加的 PMOS 晶体管加到图 2 的电路的所示的垫盘 22 和 Vcc 之间。当 Vcc 升高时，Q5 将导通对 Q3 的基片施加偏压，并使 Q6 的基片和漏极更高，防止寄生晶体管导通。此外，当 Vcc 降低到垫盘 22 电压水平以下时，Q6 将导通驱动 Q3 和 Q5 的基片更高，防止 Q3 和 Q5 导通。

应当理解的是上述实施例在此处作为实例而给出，并且其许多变更和替换是可行的。因此，应当从广义的角度将本发明看作仅由追加的权利要求书的范围所提出。
图1
（现有技术）

图2

图3

输入偏压 (3V供电)
图4

图5