

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3850967号
(P3850967)

(45) 発行日 平成18年11月29日(2006.11.29)

(24) 登録日 平成18年9月8日(2006.9.8)

(51) Int. Cl.		F I			
HO 1 L	23/12	(2006.01)	HO 1 L	23/12	L
HO 5 K	1/02	(2006.01)	HO 5 K	1/02	R
HO 5 K	3/00	(2006.01)	HO 5 K	3/00	X

請求項の数 4 (全 9 頁)

<p>(21) 出願番号 特願平9-352867 (22) 出願日 平成9年12月22日(1997.12.22) (65) 公開番号 特開平11-186439 (43) 公開日 平成11年7月9日(1999.7.9) 審査請求日 平成16年10月22日(2004.10.22)</p>	<p>(73) 特許権者 000001960 シチズン時計株式会社 東京都西東京市田無町六丁目1番12号 (72) 発明者 石田 芳弘 東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内 (72) 発明者 清水 潔 東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内 審査官 菅野 智子</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体パッケージ用基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

ICチップ実装用のボンディングパターンと外部接続用電極を形成するための電極パターンとを集合回路基板面に複数個分配列して形成した回路基板に、複数のICチップを電気的に接続し、該ICチップを樹脂封止したパッケージ集合体を切削して単個の完成半導体パッケージを形成する半導体パッケージ用基板において、前記パッケージ集合体の回路基板は、切削位置を示す位置合わせパターンを有しており、該位置合わせパターンは前記電極パターンを部分的に覆って前記外部接続用電極の位置を規制する部材と同一部材で構成されていることを特徴とする半導体パッケージ用基板。

【請求項2】

一方の面に設けられたICチップ実装用のボンディングパターンと、他方の面に設けられた外部接続用電極を形成するための電極パターンとを集合回路基板面に複数個分配列して形成する回路基板形成工程と、前記ボンディングパターンにICチップを電気的に接続するICチップ実装工程と、該ICチップを樹脂封止してパッケージ集合体を形成する封止工程と、該パッケージ集合体のICチップ実装面側を基準部材に固定する保持工程と、保持されたパッケージ集合体の回路基板に切削位置である位置合わせパターンを形成する位置合わせパターン形成工程と、前記位置合わせパターンに基づいて前記回路基板を切削して単個の完成半導体パッケージを形成する切削工程とからなる半導体パッケージ用基板において、前記位置合わせパターンは前記回路基板形成工程で形成される前記電極パターンを部分的に覆って前記外部接続用電極の位置を規制する部材と同一部材で、且つ同一工

程で形成されていることを特徴とする半導体パッケージ用基板の製造方法。

【請求項 3】

前記電極パターンを部分的に覆って外部接続用電極の位置を規制する部材が、ソルダーレジストであることを特徴とする請求項 1 に記載の半導体パッケージ用基板。

【請求項 4】

前記切削工程は、ダイシングソーによる切削で行うことを特徴とする請求項 2 に記載の半導体パッケージ用基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体パッケージの製造方法に係わり、更に詳しくは外部接続用の突起電極を有する半導体パッケージの製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体パッケージの小型化、高密度化に伴いベア・チップを直接フェイスダウンで、基板上に実装するフリップチップボンディングが開発されている。カメラ一体型 VTR や携帯電話機等の登場により、ベア・チップと略同じ寸法の小型パッケージ、所謂 CSP (チップサイズ/スケール・パッケージ) を載せた携帯機器が相次いで登場してきている。最近 CSP の開発は急速に進み、その市場要求が本格化している。

【0003】

図 6 は、多数個取りし、高密度実装化した従来技術が特開平 8 - 1 5 3 8 1 9 号公報に開示されている。以下図面に基づいてその概要を説明する。

【0004】

図 6 において、短冊状の回路基板 1 にスルーホール 2 を形成後、銅メッキ層を施す工程と、全ての回路パターンと接続する共通電極 1 4 を含む複数個、例えば 2 個の BGA を構成する回路パターンを形成する回路パターン形成工程と、前記回路基板 1 の上下両面に感光性樹脂皮膜を施した後、エッチングにより、共通電極 1 4 及び IC チップ、ボンディングワイヤ、半田バンプの各接続部を除くようにドライフィルムを形成するドライフィルムラミネート工程と、前記共通電極 1 4 を利用して前記回路基板 1 の上下両面の露出している電極の銅メッキ層の表面に、Ni - Au メッキ層を形成する。

【0005】

次に、共通電極 1 4 と回路パターンとを分離するパターン分離工程は、製品分離ライン 1 5 の四辺に沿って、その四隅に回路基板 1 と連結する連結部 1 5 a を残すように、ルータ加工により長穴 1 6 を穴明けする。その後、ワイヤーボンディング及びトランスファーマールドにより樹脂封止し、回路基板 1 の下面に半田バンプを形成する。

【0006】

製品分離工程は、前記四隅に残した連結部は狭隘なため、プレス抜き等の切り離し手段で余分な負荷をかけることなく極めて容易に分離することにより、単個の BGA を製造することができる。

【0007】

しかしながら、前述した短冊状の複数個取りする半導体パッケージの製造方法は、単個の半導体パッケージの製造方法に比較して生産性は若干向上するが、小型パッケージである CSP においては、回路基板製造時の基板取り個数が少なく、生産コストが高くなる。また、前記 CSP のように、前記回路基板の外縁から最外周に位置するボール電極の中心までの距離が差が無くなると、製品分離工程でプレス抜き等の切り離し手段で分離する時の金型押さえ代が無くなる等の問題があった。

【0008】

そこで、小型携帯機器等に搭載する CSP の従来の半導体パッケージの製造方法について以下その概要を説明する。

【0009】

10

20

30

40

50

図3は半導体用パッケージ基板製造工程である。両面銅張りされた集合回路基板1Aにスルーホール21を形成した後、無電解銅メッキ及び電解銅メッキにより銅メッキ層22を形成し、スルーホールを樹脂などの穴埋め材23で穴埋めし、エッチングレジストをラミネートし、露光現像してパターンマスクを形成した後、エッチング液を用いてパターンエッチングを行うことにより、前記集合回路基板1Aの上面側には複数個分配列したIC接続用電極3、下面側にパッド電極である外部接続用電極4を形成する。次にソルダーレジスト処理を行い、所定の部分にレジスト膜を形成することにより、前記集合回路基板1Aの下面側には外部接続用電極4を露呈するよう形成し、更に露出したIC接続用電極3及び外部接続用電極4上に金メッキを行い、多数個取りする集合回路基板1Aが完成される。

10

【0010】

図4(a)は図3詳細を説明した多数個取りする回路基板形成工程であり、集合回路基板1Aの上面側に複数個分配列したIC接続用電極3、下面側にマトリックス状に多数の同一形状の半田付け可能な外部接続用電極4を形成してある。2はX、Y方向に直交するカットラインである。

【0011】

図4(b)に示すICチップ実装工程は、先ず、ICウエハーをバンプ工程に流して前記ICウエハーのパッド電極面に半田バンプ5を形成する。前記半田バンプ5の形成方法には、一般に、スタッドバンプ方式、ボールバンプ方式、及びメッキバンプ方式等があるが、その中で、パッド電極位置にレジストにて窓を形成し半田浴槽中に浸漬してメッキにて半田バンプを形成するメッキバンプ方式は、パッド電極間の狭い配列でバンプを形成することが可能で、ICチップの小型化には有効な半田バンプの形成手段である。

20

【0012】

前記半田バンプ5を形成後、前記ICウエハーを粘着テープ等で貼着した状態で、所定のチップサイズにダイシングソー等の装置でウエハーの厚みをフルカット方式でX、Y方向に切断した後、ICチップ6を単体に分割する。

【0013】

前記半田バンプ付きICチップ6、又は前述した集合回路基板1Aの前記配線パターンの所定位置にフラックスを塗布して、単体に分割した前記ICチップ6を1個ずつ複数個分配列した集合回路基板1Aの個々の回路基板1上の所定位置に搭載した後、半田リフロー工程を経て、フリップチップ実装を行う。

30

【0014】

図4(c)に示す封止工程は、熱硬化性の封止樹脂7で前記隣接する複数個のICチップ5に跨がった状態で、サイドポッティングにより一体的に樹脂封止することにより、ICチップ6はフェイスダウンで集合回路基板1Aの個々の回路基板1上に固定される。

【0015】

さらに、ICチップ6を実装した集合回路基板1Aの下面側に形成された外部接続用電極4の位置に、半田ボールを配置してリフローすることによりボール電極9を形成する。

【0016】

図5(a)に示す基準部材張り付け工程は、ICチップ6を実装した集合回路基板1Aの下面側に形成された外部接続用電極4を、基準部材8上に接着剤又は粘着テープ等の固定手段で張り付ける。

40

【0017】

図5(b)は、タイシング工程で、前述のX、Y方向のカットライン2に沿って、ダイシングソー等の切削手段で、図7(a)示すような集合回路基板1Aの下面側に形成された切削用目合わせマーク11を基準に、単個に切削、分割した後、熱等により基準部材8より剥離する。

【0018】

図7(a)は、集合回路基板1Aの下面側の平面図であり、製品内に外部接続用電極4製品外に切削用目合わせマーク11が形成されている。

50

【 0 0 1 9 】

図 7 (b) は、図 7 (a) の切削用目合わせマーク 1 1 の E - E ' 断面図であり、銅パターンにより形成されている。

【 0 0 2 0 】

図 7 (c) は、図 7 (a) の外部接続用電極 4 の F - F ' 断面図であり、銅パターン上に形成されたソルダーレジストにより形成されている。つまり、外部接続用電極 4 a は銅パターンによってその表面が形成されるが、電極の外径、位置はソルダーレジストの開口部によって決定されている。

【 0 0 2 1 】

【 発明が解決しようとする課題 】

しかしながら、前述した半導体パッケージの製造方法には次のような問題点がある。即ち、ダイシング工程で基準となる切削用目合わせパターンと外部接続用電極が同一でないため、単個に切削、分割されたとき、製品の外形基準でみた外部端子の位置精度が悪い等の問題があった。即ち、切削用目合わせパターンは銅パターンによってその外径と位置が決まるのに対し、外部接続用電極の外径と位置は銅パターンではなく、ソルダーレジストの開口部によって決まるので、両者の位置を完全に一致させるのは難しかった。

【 0 0 2 2 】

製品の外形基準でみた外部端子の位置精度は、切削用目合わせパターンを形成する銅パターンに対する外部接続用電極を形成するソルダーの位置公差 ± 100 ミクロンとダイシング公差 ± 50 ミクロンを合わせた ± 150 ミクロンとなる。

【 0 0 2 3 】

本発明は、上記従来課題に鑑みなされたものであり、その目的は、小型携帯機器等に搭載する外形基準に対する外部端子の位置精度の良い半導体用基板及び半導体パッケージを提供するものである。

【 0 0 2 4 】

【 課題を解決するための手段 】

上記目的を達成するために、本発明は、ICチップ実装用のボンディングパターンと外部接続用電極を形成するための電極パターンとを集合回路基板面に複数個分配列して形成した回路基板に、複数のICチップを電気的に接続し、該ICチップを樹脂封止したパッケージ集合体を切削して単個の完成半導体パッケージを形成する半導体パッケージ用基板において、前記パッケージ集合体の回路基板は、切削位置を示す位置合わせパターンを有しており、該位置合わせパターンは前記電極パターンを部分的に覆って前記外部接続用電極の位置を規制する部材と同一部材で構成されていることを特徴とするものである。

【 0 0 2 5 】

また、一方の面に設けられたICチップ実装用のボンディングパターンと、他方の面に設けられた外部接続用電極を形成するための電極パターンとを集合回路基板面に複数個分配列して形成する回路基板形成工程と、前記ボンディングパターンにICチップを電気的に接続するICチップ実装工程と、該ICチップを樹脂封止してパッケージ集合体を形成する封止工程と、該パッケージ集合体のICチップ実装面側を基準部材に固定する保持工程と、保持されたパッケージ集合体の回路基板に切削位置である位置合わせパターンを形成する位置合わせパターン形成工程と、前記位置合わせパターンに基づいて前記回路基板を切削して単個の完成半導体パッケージを形成する切削工程とからなる半導体パッケージ用基板において、前記位置合わせパターンは前記回路基板形成工程で形成される外部接続電極の前記電極パターンを部分的に覆って前記外部接続用電極の位置を規制する部材と同一部材で、且つ同一工程で形成されていることを特徴とするものである。

【 0 0 2 7 】

また、前記電極パターンを部分的に覆って外部接続用電極の位置を規制する部材が、ソルダーレジストであることを特徴とするものである。

【 0 0 2 8 】

また、前記切削工程は、ダイシングソーによる切削で行うことを特徴とするものである。

10

20

30

40

50

【 0 0 2 9 】

【 発明の実施の形態 】

以下図面に基づいて本発明における半導体パッケージ用基板及びその製造方法について説明する。図 1 及び図 2 は本発明の実施の形態で、半導体パッケージ用基板の説明図である。図 3 は半導体用パッケージ基板の製造工程を示す説明図である。図 4 及び図 5 は突起電極付きの半導体パッケージの製造工程を示す説明図である。従来技術と同一部材は同一符号で示す。

【 0 0 3 0 】

先ず、図 3 は半導体パッケージ用基板形成工程の説明図であるが、前述の従来技術と同様であるので、説明は省略する。

10

【 0 0 3 1 】

図 1 (a) は、本発明の半導体用パッケージ基板を示す平面図である。製品外部にソルダーレジストで形成された切削用目合わせマーク 1 1 がある。製品側の銅パターン上には、ソルダーレジストによって外径と位置が決定された外部接続用電極 4 b がある。即ち本実施形態では、銅パターンの外径がソルダーレジスト開口部の開口径より大きい場合を示しており、切削用目合わせマーク 1 1 が外部接続用電極 4 b の外径と位置を決定するソルダーレジストによって形成されているので、製品外形に対する電極の位置精度が良くなるものである。

【 0 0 3 2 】

図 1 (b) は図 1 (a) の A - A ' 断面図である。

20

【 0 0 3 3 】

図 1 (c) は図 1 (a) の B - B ' 断面図である。

【 0 0 3 4 】

図 2 (a) は、本発明の半導体用パッケージ基板のもう一つの例である。製品外部に、銅パターンで形成された切削用目合わせマーク 1 1 がある。製品側のソルダーレジストを開口した部分には、銅パターンで形成した外部接続用電極 4 b がある。本実施の形態では、銅パターンの外径がソルダーレジスト開口部の開口径より小さい場合を示しており、切削用目合わせマーク 1 1 が、外部接続用電極 4 b の外径と位置を決定する銅パターンで構成されているので、製品外形に対する電極の位置精度が良くなるものである。

【 0 0 3 5 】

図 2 (b) は図 2 (a) の C - C ' 断面図である。

30

【 0 0 3 6 】

図 2 (c) は図 2 (a) の D - D ' 断面図である。

【 0 0 3 7 】

図 4 (a) の回路基板形成工程、図 4 (b) の IC 実装工程、図 4 (c) の樹脂封止工程は、前述の従来技術と同様であるので、説明は省略する。

【 0 0 3 8 】

図 5 (a) に示す基準部材張り付け工程は、ボール電極 9 a 及び半田ボール突起部 9 b を基準部材 8 に接着剤、例えば、日東電工 (株) 製の熱剥離テープ「エレップホルダー感圧型ダイシングテープ、S P V - 2 2 4 」等の固定手段により張りつけることで、基準部材 8 上に固定する。

40

【 0 0 3 9 】

図 2 (d) はタイシング工程で、前述の X、Y 方向のカットライン 2 に沿って、ダイシングソー、例えば、ディスコ製のダイシング機「D F D - 6 4 0」、使用ブレード「N B C - Z B 1 0 9 0 S 3、0.1 mm 幅」等を使用した切削手段で製品外部にソルダーレジストで形成された切削用目合わせマーク 1 1 を基準にして、単個に切削、分割した後、熱により前述剥離テープの接着力を低下させた後、基準部材 8 より剥離する。以上の工程により単個のフリップチップ B G A 1 0 が完成される。

【 0 0 4 0 】

【 発明の効果 】

50

以上説明したように、本発明の半導体パッケージ基板を使った半導体パッケージでは、ダイシング工程で基準となる目合わせパターンと外部端子パターンの外径と位置を決定する外部接続電極の構成部材とを同一部材、同一工程で形成したので、パッケージ外形に対する外部端子の位置精度が良く、半導体パッケージのマザーボードへの搭載性及び生産性の優れた半導体パッケージを提供することが可能である。

【0041】

製品の外形基準でみた外部端子の位置精度は、切削用目合わせパターンと外部接続用電極を形成する工程が同じなため、銅パターンまたはソルダーレジストの位置公差 ± 10 ミクロンとダイシング公差 ± 50 ミクロンを合わせた ± 60 ミクロンとなる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係わる半導体用基板の説明図である。

【図2】本発明の実施の形態に係わる半導体用基板の別の説明図である。

【図3】半導体用基板の製造工程を示す説明図である。

【図4】BGA半導体パッケージの製造工程で、回路基板形成工程、IC実装工程、樹脂封止工程を示す説明図である。

【図5】BGA半導体パッケージの製造工程で、回路基板形成工程、IC実装工程、樹脂封止工程を示す説明図である。

【図6】従来の短冊状のBGAの平面図である。

【図7】従来の半導体用基板の説明図である。

【符号の説明】

- 1 回路基板
- 1 A 集合回路基板
- 2 カットライン
- 3 IC接続用電極
- 4 a 外部接続用電極
- 4 b 突起形成パッド
- 5 半田ボール
- 6 ICチップ
- 7 封止樹脂
- 8 基準部材
- 9 ボール電極（突起電極）
- 10 フリップチップBGA
- 11 切削用目合わせパターン

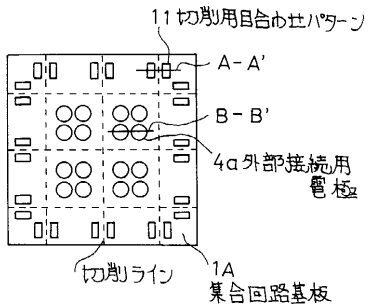
10

20

30

【 図 1 】

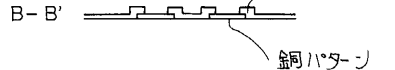
(a)



(b)

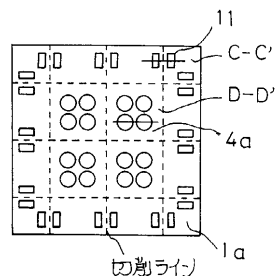


(c)

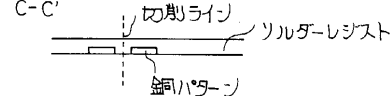


【 図 2 】

(a)



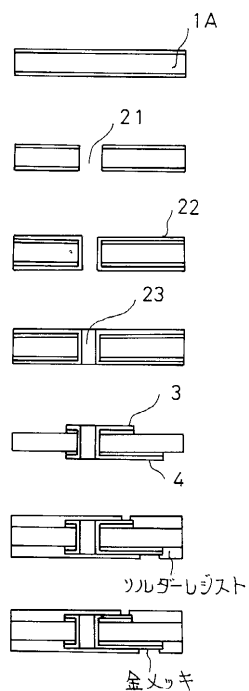
(b)



(c)

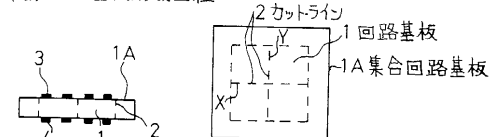


【 図 3 】

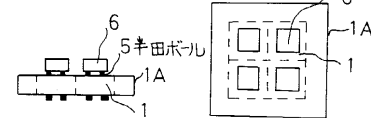


【 図 4 】

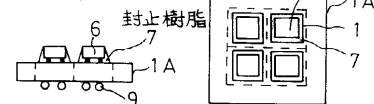
(a) 回路基板形成工程



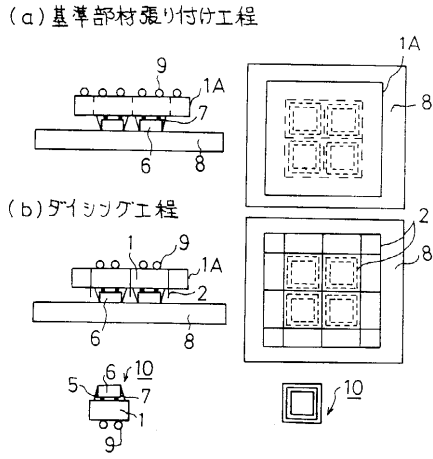
(b) IC実装工程



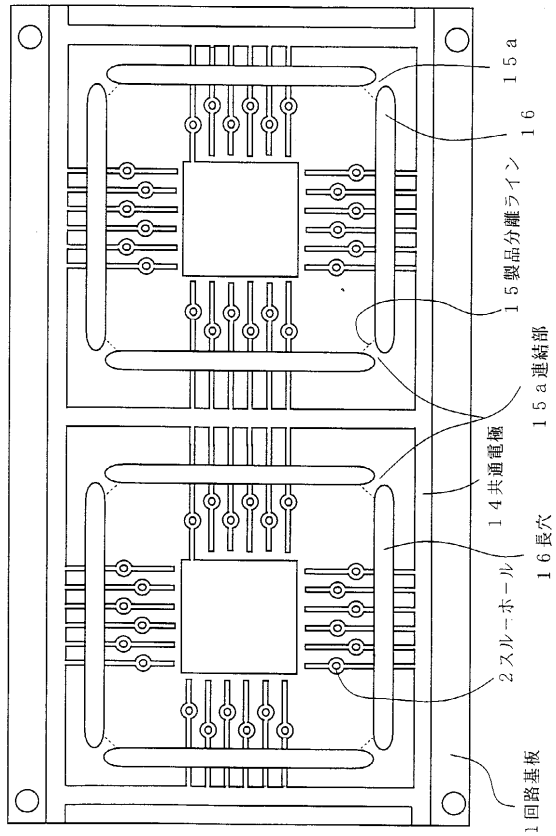
(c) 樹脂封止工程



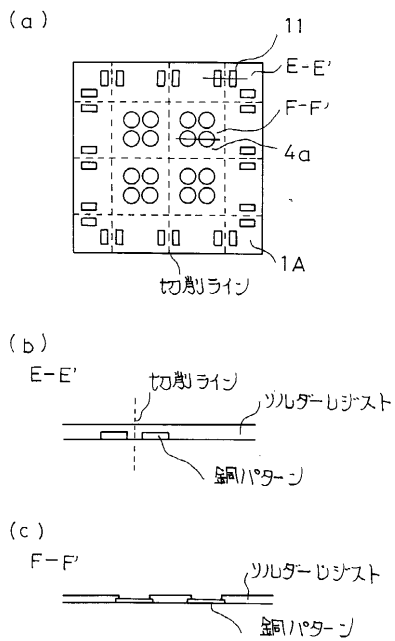
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平07 - 221414 (JP, A)
特開平09 - 321088 (JP, A)
特開平08 - 153739 (JP, A)
特開平11 - 274357 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H05K 1/02
H05K 3/00
H01L 21/60
H01L 21/56