(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/335

(45) 공고일자 2002년04월22일
(11) 등록번호 10-0318697
(24) 등록일자 2001년12월12일

(21) 출원번호 10-1996-0004054
(22) 출원일자 1996년02월21일

(65) 공개번호 특1996-0032653
(43) 공개일자 1996년09월17일

(30) 우선권주장 95-56481 1995년02월21일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 구스모토 나오토
일본국 259-11 가나가와켄 이세하라시 히가시-오타케2-26-2 202
야마자끼 순페이
일본국 도쿄 157 세타가야쿠 세이조 4-10-20

(74) 대리인 황의만

심사관 : 정회환

(54) 절연게이트형반도체장치의제작방법

요약

비정질 반도체막을 가장 좁은 부분의 폭이 100 ㎛ 이하로 되도록 에칭하여, 섬형상 반도체영역을 형성하고, 그 영역에 레이저 등의 강광을 조사함으로써 광어닐을 행하여 그 영역을 결정화시킨다. 그후, 섬형상 반도체영역의 단부부분(주변부분)중, 적어도 박막트랜지스터(TFT)의 채널을 형성할 부분 또는 게이트 전극이 교차하는 부분을 에칭하여, 비틀림(distortion)이 축적된 영역을 제거한다. 이러한 반도체영역을 사용하여 TFT를 제작한다.

대표도
도 1a

명세서

도면의 간단한 설명

제 1A 도 제 1D 도는 본 발명의 제작공정의 개념도(위에서 본 도면).

제 2A 도 제 2D 도는 본 발명의 제작공정의 개념도(위에서 본 도면).

제 3A 도 제 3D 도는 종래의 제작공정의 개념도(위에서 본 도면과 단면).

제 4A 도 제 4C 도는 광어닐시에 박막반도체에 가해지는 스트레스를 설명하는 도면.

제 5A 도 제 5F 도는 실시예 1에 있어서의 제작공정을 나타내는 도면.

제 6A 도 제 6G 도는 실시예 2에 있어서의 제작공정을 나타내는 도면.

제 7A 도 제 7E 도 및 제 8A 도 제 8C 도는 실시예 3에 있어서의 제작공정을 나타내는 도면.

제 9 도 및 제 10 도는 선형 레이저광이 활성층(섬형상 반도체영역)에 조사되는 상태를 나타내는 도면.

제 11 도는 선형 레이저광이 활성층(섬형상 반도체영역)에 조사된 때의 결정화 상태를 나타내는 평면도.

* 도면의 주요부분에 대한 부호의 설명

501: 유리 기판 502: 산화규소막 503: 비정질 규소막

504, 505: N형 불순물영역 506, 507: 섬형상 규소영역

508: 비틀림이 축적된 영역 510, 511: 새로운 섬형상 규소영역

512: 산화규소막(게이트 절연막) 513, 514: 게이트 전극

515: 산화규소막(층간절연물) 516, 517: 소스/드레인의 전극 · 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 결정성 박막반도체를 사용하고 게이트 전극을 가지는 반도체장치, 예를 들어, 박막트랜지스터(TFT)를 제작하는 방법에 관한 것이다. TFT의 응용분야로서는 액티브 매트릭스형 액정표시장치가 알려져 있다. 이 표시장치는 매트릭스형태로 배치된 수 십만개 이상의 화소들 각각에 스위칭 소자로서 TFT를 배치하여, 미세하고 고해상도의 표시를 행한다.

최근 유리 또는 석영 기판상에 형성된 박막반도체를 사용하는 트랜지스터(박막트랜지스터(TFT)가 주목되고 있다. 수백 수 천 Å의 두께를 갖는 박막반도체를 유리기판 또는 석영기판의 표면에 형성하고, 이 박막반도체를 사용하여 트랜지스터(절연 게이트형 전계효과 트랜지스터)를 형성한다.

이러한 TFT중, 비정질 규소막을 사용하는 TFT와 결정성 규소막을 사용하는 TFT가 실용화되고 있다. 결정성 규소막을 사용하는 TFT가 우수한 특성을 갖기때문에, 장래성이 기대되고 있다.

현재, 실용화되고 있는 결정성 규소 반도체를 사용한 TFT에서는, 비정질 규소막을 열어닐하는 방법, 또는 기상성장법에 의해 직접 결정성 규소막을 형성하는방법에 의해 결정성 규소박막이 얻어지고 있다. 그러나, 공정의 저온화라는 점에서는, 레이저 등의 강광(强光)을 조사(照射)하여 비정질 규소막을 결정화시키는 광어닐법이 제안되었다(예를 들어, 일본국 공개특허공고 평4-37144호).

광어닐에 의해 결정성 규소막을 얻는 경우로서는 크게 나누어 2가지 방법이 있다. 첫번째 방법은, 형성할 소자의 형상으로 반도체박막을 에칭한 후에 광어닐을 행하는 방법이다. 두번째 방법은, 평탄한 막을 광어닐한 후에, 형성할 소자의 형상으로 그 막을 에칭하는 방법이다. 일반적으로 첫번째 방법에서는 두번째 방법보다도 양호한 특성(특히 전계효과 이동도)이 얻어지는 것으로 알려져 있다. 이것은 첫번째 방법에서는 광어닐에 의해 막이 수축되고 패턴의 중앙부에 응력이 가해지져 막의 결정성을 증가시키기 때문이라고 추정된다.

그러나, 이 경우에도 문제가 있다. 즉, 초기 특성은 양호하지만, 장시간 사용함에 따라 특성이 급격히 악화되는 문제가 있다.

종래의 방법에 의해 특성이 열화(劣化)되는 원인을 제 3A 도 제 3D 도에 의해 설명한다. 처음에, 제 3A 도에 나타낸 바와 같이 직사각형(32)를 갖는 비정질 규소의 섬형상 반도체영역(31)을 형성한다. 이것을 광어닐하면, 결정화에 의해 막이 약간 수축된다. 도면의 점선은 광어닐 전의 섬형상 반도체영역의 크기를 나타낸다. 이 수축과정에서, 섬형상 반도체영역(31)의 가장 바깥 부분에 비틀림(distortion)이 축적된 영역(33)이 형성된다. 이러한 영역(33)의 결정성은 그다지 높지 않다.(제 3B도)

그러한 섬형상 영역을 가로질러 게이트 전극(34)을 형성한 경우(제 3C 도)에는, 그 게이트 전극에 따른 a-b 단면(제 3D 도)에서 보여지는 바와 같이, 비틀림이 축적된 영역(33)이 게이트 전극(34) 및 게이트 절연막(35)의 아래에 존재하는 것으로 된다. 게이트 전극(34)에 전압을 인가하면, 영역(33)과 게이트 절연막(35)과의 계면특성이 양호하지 않기 때문에, 전하가 트랩(trap)되어, 그 전하에 의한 기생(寄生) 채널 등에 의해 열화가 일어난다.(제 3D 도)

본 발명은 이러한 특성의 열화를 감안하여 이루어진 것으로, 열화가 적은 절연 게이트형 반도체장치를 제작하는 방법을 제공하는 것을 목적으로 한다.

본 발명의 제1 실시양태는 하기 공정들을 포함한다.

(1) 비정질 반도체막을 가장 좁은 부분의 폭이 100 ㎛ 이하인 제1 형상으로 에칭하여 섬형상 반도체영역을 형성하는 공정,

(2) 상기 반도체영역을 광어닐하여 결정화시키거나 또는 그의 결정성을 증가시키는 공정,

(3) 상기 반도체영역의 단부부분(또는 주변부분)중, 적어도 반도체장치의 게이트 전극 또는 채널형성영역을 형성할 부분을 상기 단부부분으로부터 10 ㎛ 이상 에칭하여, 제2 형상을 갖는 반도체영역을 형성하는 공정.

또한, 본 발명의 제2 실시양태는 하기 공정들을 포함한다.

(1) 비정질 반도체막을 가장 좁은 부분의 폭이 100 ㎛ 이하인 제1 형상으로 에칭하여, 성형상 반도체영역을 형성하는 공정,

(2) 상기 반도체영역을 광어닐하여 결정화시키거나 또는 그의 결정성을 증가시키는 공정,

(3) 상기 반도체영역의 단부부분(또는 주변부분)의 일부 또는 전부를 에칭하는 공정,

(4) 상기 반도체영역을 덮도록 게이트 절연막을 형성하는 공정,

(5) 상기 반도체영역의 단부부분들중 에칭된 부분을 가로질러 게이트 전극을 형성하는 공정,

(6) 상기 게이트 전극을 마스크로 하여 N형 또는 P형 불순물을 도입하거나 또는 확산시키는 공정.

본 발명의 제1 및 제2 실시양태에서, 제1 형상은 직사각형, 정다각형 및 장원형(원을 포함)중 하나이고, 일반적으로는, 바깥둘레상의 어떤 지점에서도 오목하지 않은 형상인 것이 바람직하다.

상기 구성에서, 비정질 규소막이 플라즈마 CVD법이나 감압 열 CVD법에 의해 유리기판 또는 석영기판과 같은 절연표면을 갖는 기판상에 형성된다. 광어닐에서는, KrF 엑시머 레이저(파장: 248 nm)와 XeCl 엑시머 레이저(파장: 308 nm) 등의 각종 엑시머 레이저, 및 Nd:YAG 레이저(파장: 1064 nm)와 그의 제2 고조파(파장:532 nm) 및 제3 고조파(파장: 355 nm) 등이 사용될 수 있다. 본 발명에서는, 광원이 펄스 발진형이어도 좋고 연속 발진형이어도 좋다. 또한, 일본국 공개특허공고 평6-318701호에 개시된 바와 같이, 광어닐에서, 규소의 결정화를 조장하는 금속원소(예를 들어, Fe, Co, Ni, Pd 또는 Pt)를 이용하여 결정화를 촉진시켜도 좋다.

본 발명은, 섬형상 반도체영역을 단결정 영역 또는 단결정 영역과 동등한 영역에 형성하는 경우에 특히 효과적이다. 후에 실시예에서 설명되는 바와 같이, 단결정 영역 또는 단결정 영역과 동등한 영역은 비정질 규소막 및 결정성 규소막에 선형으로 가공된 레이저광을 주사(走査)하면서 조사(照射)하는 것에 의해 얻어질 수 있다.

단결정 영역 또는 단결정 영역과 동등한 영역은 하기 조건을 만족하는 영역으로서 정의된다.

(1) 결정입계가 실질적으로 존재하지 않는 영역.

(2) 점 결함을 중화시키기 위한 수소 또는 할로겐 원소를 $1x10^{15}$ $1x10^{20}$ 원자cm^{-3} 의 농도로 함유하는 영역.

(3) 탄소 또는 질소 원자를 $1x10^{16}$ $5x10^{18}$ 원자cm^{-3} 의 농도로 함유하는 영역.

(4) 산소 원자를 $1x10^{17}$ $5x10^{19}$ 원자cm^{-3} 의 농도로 함유하는 영역.

상기 원소의 농도는 2차이온질량분석법(SIMS)으로 측정된 측정치의 최소치으로서 정의된다.

본 발명에서는, 반도체장치의 특성에 큰 영향을 미치는 채널에 인접하지 않도록 채널부분만을 에칭한다. 이것은 게이트 전극을 가로지르는 부분에 이러한 영역을 남기지 않도록 에칭하는 것과 같다.

제 1A 도 제 1D 도는 본 발명의 기본 구성을 나타낸다. 먼저, 제1 형상으로서 긴 변(a)과 짧은 변(b)을 갖는 직사각형(12)으로 섬형상 비정질 반도체영역(11)을 다수 개(도면에서 4개)을 형성한다. 본 발명에서는, 제1 형상의 가장 좁은 부분의 폭이 100 ㎛ 이하인 것이 필요하다. 이것은, 폭이 100 ㎛ 이상인 때는, 광어닐시의 막 수축에 의한 특성 향상의 효과가 얻어지지 않기 때문이다. 따라서, b는 100 ㎛ 이하이다.(제 1A도)

다음에, 광어닐을 행한다. 그 결과, 섬형상 반도체영역이 결정화되는 동시에 약간 수축된다. 도면의 점선은 광어및 전의 섬형상 반도체영역의 크기를 나타낸다.새로운 섬형상 영역의 주변이 부호 14로 나타내어져 있다. 또한, 섬형상 반도체영역의 주변부분에, 수축과정에 의해 비틀림이 축적된 영역(13)이 형성될 수 있다.(제 1B 도)

그후, 섬형상 반도체영역(11)의 주변부분을 에칭하여, 목적으로 하는 소자를 형성하기 위한 반도체영역(15)을 형성하고(제 1C 도), 게이트 절연막(도시되지 않음)과 게이트 전극(16)을 형성한다(제 1D 도).

비틀림이 축적된 영역(13)을 모두 제거할 필요가 없는 것을 고려하면, 제 2A 도 제 2D 도에 나타낸 방법이 사용될 수도 있다. 이 방법에서는, 먼저, 직사각형(22)을 갖는 비정질 반도체영역(21)을 형성하고(제 2A 도), 이것을 광어닐한다. 그결과, 반도체영역(21)이 수축되어, 비틀림이 축적된 영역(23)이 주변부분에 형성된다.(제 2B 도)

그리고, 게이트 전극을 형성할 부분의 주변부를 포함한 영역(24)을 에칭하고(제 2C 도), 게이트 절연막(도시되지 않음)과 게이트 전극(26)을 형성한다. 게이트전극 아래의 채널(25)에는 비틀림이 축적된 영역(23)이 존재하지 않기 때문에, 제 1A 도 제 1D 도의 경우와 마찬가지로 열화를 감소시킬 수 있다.(제 2D 도)

본 발명에서는, 광어닐시의 비정질 반도체영역의 형상(제1 형상)은 가능한한단순한 형상이 바람직하다. 예를 들어, 직사각형, 정다각형, 및 원과 타원형을 포함한 장원형이 바람직하다. 제 4A 도에 나타낸 바와 같이 중앙부에 오목부가 있는 형상(42)을 갖는 반도체영역(41)에 광어닐을 행하면, 막의 수축시에, 중앙의 오목부가 부호 44로 나타낸 바와 같이 상하 방향(예를 들어, 소스와 드레인에 대한 방향)으로 당겨지기 때문에, 그 부분에 균열(crack) 등이 쉽게 발생한다.(제 4B 도 및 제 4C 도)

이것은, 제 4C 도에 나타낸 바와 같이(화살표는 수축방향을 나타낸다), 막의 수축이 가장 넓은 부분을 중심으로 하여 발생하기 때문이다. 따라서, 제1 형상으로서는, 오목한 부분을 갖는 형상이 아니고, 전체 영역에 볼록한 부분을 갖는 형상 또는 어떤 지점에서도 오목하지 않은 형상을 이용하는 것이 바람직하다.

따라서, 제1 형상으로서, 예를 들어, 제 1A 도에 나타낸 바와 같은 직사각형을 채용한 경우라도, 긴 변(a)과 짧은 변(b)의 비율이 매우 큰 것은 바람직하지 않다. $a/b \leq 10$인 것이 바람직하다.

또한, 섬형상 반도체영역을 단결정 영역과 동등한 영역 또는 단결정 영역과 실질적으로 동등한 영역으로서 구성한 경우, 그의 결정화시에 섬형상 반도체영역의 주변부분에서 비틀림이 축적된다.

이 비틀림은 섬형상 반도체영역의 주변부분에 집중하여 존재하기 때문에, 섬형상 반도체영역 주위의 부분을 제거함으로써, 비틀림에 의한 악영향을 억제할 수 있다.

[실시예 1]

본 실시예를 제 5A 도 제 5F 도에 의거하여 설명한다. 제 5A 도 제 5F도에는, 2개의 박막트랜지스터(TFT)의 단면도가 나타내어져 있는데, 좌측의 것은 게이트 전극에 수직(제 3C 도의 a-b선에 수직)으로 TFF를 절단한 단면이고, 우측의 것은 게이트 전극에 평행하게(제 3C 도의 a-b선을 따라) 절단한 단면이다. 또한, 위에서 본 모양은 제 1D 도를 참고하면 된다.

먼저, 유리기판(501)상에 하지막(下地膜)으로서 산화규소막(502)을 스퍼터링법 또는 플라즈마 CVD법에 의해 3000 Å의 두께로 성막하엿다. 다음에, 플라즈마CVD법 또는 감압 열 CVD법에 의해 비정질 규소막(503)을 500 Å의 두께로 성막하고, 그 비정질 규소막(503)에 인을 도핑하여, TFT의 소스와 드레인이 되는 N형 불순물영역(504, 505)을 형성하였다.(제 5A 도)

다음에, 비정질 규소막(503)을 에칭하여, 섬형상 규소영역(506, 507)을 형성하였다.(제 5B 도)

다음에, KrF 엑시머 레이저광을 조사하여 규소막의 결정화를 행하였다. 이때에는, 인이 도입된 영역(504, 505)도 동시에 결정화되고 활성화된다. 레이저의 에너지 밀도는 150 500 mJ/㎠인 것이 바람직하다. 또한, 레이저 조사공정을 2회 이상으로 나누어, 각각 상이한 에너지의 레이저광을 조사하여도 좋다.

본 실시예에서는, 250 mJ/㎠의 에너지 밀도를 갖는 레이저광을 2 10 펄스조사한 후에, 450 mJ/㎠의 에너지 밀도를 갖는 레이저광을 2 10 펄스 조사하였다. 레이저 조사시의 기판 온도는 200℃로 하였다. 레이저의 최적한 에너지 밀도는 기판온도와 비정질 규소막(503)의 막질(膜質)에 의존한다.

그 결과, 성형상 규소영역(506, 507)의 단부부분(주변부분)에, 비틀림이 축적된 영역(508)이 형성되었다.(제 5C 도)

다음에, 섬형상 규소영역(506, 507)의 단부부분(509)를 에칭하여. 새로운 섬형상 규소영역(510, 511)을 형성하였다. 이 공정에서 에칭된 부분(509)은 도면에 점선으로 나타내어져 있다.(제 5D 도)

다음에, 플라즈마 CVD법에 의해, 1200 Å의 두께를 갖는 산화규소막(512)(게이트 절연막)을 형성하고, 그 위에, 두께 5000 Å의 알루미늄(0.3% 스칸듐(Sc)을 함유)막을 스퍼터링법에 의해 퇴적하고, 이것을 에칭하여 게이트 전극(513, 514)을 형성하였다.(제 5E 도)

다음에, 플라즈마 CVD법에 의해, 두께 5000 Å의 산화규소막(515)(층간절연물)을 퇴적하고, 이것에 콘택트 홀을 형성하였다. 그리고, 스퍼터링법에 의해, 두께 5000 Å의 알루미늄막을 퇴적하고, 이것을 에칭하여 소스/드레인의 전극·배선(516, 517)을 형성하였다.(제 5F 도)

이상의 공정에 의해 TFT가 완성되었다. 특성을 안정시키기 위해, 콘택트홀 형성공정 후에 1기압의 수소분위기(250 350℃)에서 어닐하는 것이 바람직하다.

[실시예2]

본 실시예를 제 6A 도 제 6G 도에 의거하여 설명한다. 제 5A 도 제 5F도와 마찬가지로, 제 6A 도 제 6G 도에도, 2개의 박막트랜지스터(TFT)의 단면도가 나타내어져 있고, 좌측의 것은 게이트 전극에 수직으로 TFT를 절단한 단면이고, 우측의 것은 게이트 전극에 평행하게 TFT를 절단한 단면이다. 위에서 본 모양은 제 2D 도를 참고로 하면 된다.

먼저, 유리기판(601)상에 하지막으로서 산화규소막(602)을 스퍼터링법 또는 플라즈마 CVD법에 의해 3000 Å의 두께로 형성한 다음, 플라즈마 CVD법 또는 감압 열 CVD법에 의해 비정질 규소막(603)을 500 Å의 두께로 성막하였다. 그리고, 그 비정질 규소막(603)의 표면에 1 100 ppm의 초산(酢酸) 니켈(또는 초산 코발트)를 함유하는 수용액을 도포하여 초산 니켈층(초산 코발트층)(604)을 형성하였다. 초산 니켈층(초산 코발트층)(604)은 극히 얇기 때문에, 항상 막 형태로 되어 있다고는 할 수 없다.(제 6A도)

다음에, 이것을 질소분위기에서 350 450℃로 2시간 열어닐하여, 초산 니켈(초산 코발트)을 분해시킴과 동시에, 니켈(또는 코발트)을 비정질 규소막(603)속으로 확산시켰다. 이어서, 비정질 규소막(603)을 에칭하여, 섬형상 규소영역(605, 606)을 형성하였다.(제 6B 도)

다음에, KrF 엑시머 레이저광을 조사하는 것에 의한 광어닐에 의해 규소막을결정화시켰다. 본 실시예에서는, 200 mJ/㎠의 에너지 밀도를 갖는 레이저광을 2 10 펄스 조사한 후에, 350 mJ/㎠의 에너지 밀도를 갖는 레이저광을 2 10 펄스 조사하였다. 레이저 조사시의 기판 온도는 200℃로 하였다.

레이저의 최적의 에너지 밀도는 기판 온도 및 비정질 규소막와 막질 이외에, 첨가된 니켈(코발트)의 농도에도 의존한다. 본 실시예에서는, 2차이온질량분석법(SIMS)에 의한 분석결과, $1x10^{18}$ $5x10^{18}$ 원자/㎤의 농도로 니켈(코발트)이 비정질 규소막에 함유되어 있는 것이 확인되었다.

이와 같이 결정화를 촉진시키는 촉매원소를 사용하여 광어닐을 행하는 방법이 일본국 공개특허공고 평6-318701호에 개시되어 있다.

그 결과, 섬형상 규소영역(605, 606)의 단부에, 비틀림이 축적된 영역(607)이 형성되었다.(제 6C 도)

다음에, 섬형상 규소영역(605, 606)의 단부중, 게이트 전극이 가로지르는 부분만을 에칭하여, 새로운 섬형상 규소영역을 형성하였다. 이 공정에서 에칭된 부분(608)이 도면에서 점선으로 나타내어져 있다.(제 6D 도)

그 다음, 플라즈마 CVD법에 의해 두께 1200 Å의 산화규소막(609)(게이트 절연막)을 형성하고, 그 위에, 두께 5000 Å의 다결정 규소막(1%의 인을 함유)을 감압CVD법에 의해 퇴적하고, 이것을 에칭하여 게이트 전극(610, 611)을 형성하였다.(제 6E 도)

그 다음, 이온 도핑법에 의해 게이트 전극을 마스크로 하여 규소막에 인 이온을 도입하였다. 본 실시예에서는, 도핑 가스가 수소에 의해 5%로 희석된 포스핀(PH_3)이었다. 가속 전압은 60 110 kV가 바람직하였다. 도즈량은 $1X10^{14}$ $5X10^{15}$ 원자/㎠이었다. 그리하여, N형 불순물영역(소스와 드레인)(612, 613)이 형성되었다.

도핑후, 450℃에서 4시간 열어닐을 행함으로써 불순물을 활성화시킬 수 있었다. 이것은 반도체영역중에 니켈(코발트)이 함유되어 있기 때문이다(일본국 공개특허공고 평6-267989호 참조).

활성화를 위한 열어닐 공정후, 레이저광 등을 조사하여 광어닐을 행하여도 좋다.

상기 공정후, 1기압의 수소분위기(250℃ 350℃)에서 어닐을 행하여, 게이트 절연막과 반도체영역의 계면의 댕글링 결합(dangling bond)을 중화시켰다.(제 6F도)

다음에, 플라즈마 CVD법에 의해, 두께 5000 Å의 산화규소막(616)(층간절연물)을 퇴적하고, 이것에 콘택트 홀을 형성하였다. 그리고, 스퍼터링법에 의해 두께 5000 Å의 알루미늄막을 퇴적하고, 이것을 에칭하여 소스/드레인의 전극 · 배선(614, 615)을 형성하였다.(제 6G 도)

[실시예 3]

본 실시예는, 규소의 결정화를 촉진시키는 금속원소를 비정질 규소막에 도입하고, 레이저광 조사를 행하여 단결정 영역과 실질적으로 동등한 영역을 형성하고, 그 영역을 사용하여 TFT의 활성층을 구성하는 경우의 예를 나타낸다.

제 7A 도 제 7E 도는 본 실시예에 따른 TFT의 제작공정의 일부를 나타낸다. 먼저, 유리기판(701)상에 하지막으로서 산화규소막(702)을 플라즈마 CVD법 또는 스퍼터링법에 의해 3000 Å의 두께로 형성한 다음, 그 위에 비정질 규소막(703)을 플라즈마 CVD법 또는 감압 열 CVD법에 의해 500 Å의 두께로 형성하였다.

그리고, 기판상에 형성된 시료(試料)를 스피너(700)상에 배치하고, 이 상태에서, 그 시료에 소정의 니켈 농도로 조정된 니켈 초산염 용액을 도포하여 수막(水膜)(704)을 형성하였다. 이 상태가 제 7A 도에 나타내어져 있다. 그리고, 스피너(700)를 사용한 스핀 건조를 행하여, 불필요한 니켈 초산임 용액을 제거하였다. 그리하여, 미량의 니켈원소가 비정질 규소막의 표면에 접하여 유지된 상태가 얻어졌다.

다음에, 패터닝을 행하여 TFT의 활성층(705)을 형성하였다. 이 상태에서는, 활성층(705)이 비정질 규소막으로 구성되어 있다.(제 7B 도)

이 상태에서 레이저광을 조사하여, 비정질 규소막으로 된 활성층(705)을 결정화시켰다. 사용된 레이저광은 선형 빔으로 가공된 것이다. 레이저광의 조사는 활성층(705)의 한쪽 변으로부터 반대쪽 변으로 선형 레이저광을 주사하면서 조사되도록 행한다. 레이저광으로서는, 펄스 발진 엑시머 레이저를 사용하는 것이 필요하다.본 실시예에서는, KrF 엑시머 레이저(파장: 248 nm)를 사용하였다.

이 레이저광의 조사는 기판을 500℃의 온도로 가열하면서 행한다. 이것은 레이저광 조사에 따른 결정구조의 급격한 변화를 완화시키기 때문이다. 가열 온도는 450℃ 내지 유리기판의 변형점 이하의 온도 범위로 하는 것이 바람직하다.

선형 레이저광을 비정질 규소막에 조사한 때, 레이저광이 조사된 영역이 순간적으로 용융된다. 그리고, 선형 레이저광을 주사하면서 조사하는 것에 의해, 결정성장이 서서히 진행하여, 단결정 영역과 동등한 영역이 얻어질 수 있다.

즉, 제 7C 도에 나타낸 바와 같이, 비정질 규소막으로 구성된 활성층(705)의 한쪽 단부로부터 다른쪽 단부로 선형 레이저광(708)을 서서히 주사하면서 조사하면, 단결정 영역과 동등한 영역(707)이 레이저광 조사에 따라 성장하여, 최종적으로 활성층(705) 전체를 단결정과 동등한 상태로 할 수 있다.

그리하여, 단결정 박막과 동등한 규소 박막으로 구성된 활성층(709)이 얻어진다.(41 7D 도)

단결정 영역과 동등한 영역은 하기 조건을 만족시키는 것이 요구된다.

(1) 그 영역중에, 결정입계가 실질적으로 존재하지 않는다.

(2) 그 영역중에, 점 결함을 중화시키기 위한 수소 또는 할로겐 원소를 1×10^{15} 1×10^{20} 원자cm^{-3} 의 농도로 함유한다.

(3) 그 영역중에, 탄소 및 질소 원자를 1×10^{16} 5×10^{18} 원자cm^{-3} 의 농도로 함유한다.

(4) 그 영역중에, 산소 원자를 1×10^{17} 5×10^{19} 원자cm^{-3} 의 농도로 함유한다.

또한, 본 실시예에서 나타내는 바와 같이 규소의 결정화를 조장하는 금속원소가 사용된 경우에는, 그 막중에 해당 금속원소를 1×10^{16} 5×10^{19} 원자cm^{-3} 의 농도로 함유하는 것이 필요하다. 이것은, 상기 농도범위보다 높은 농도에서는 반도체로서의 특성이 얻어지지 않고 금속으로서의 특성이 나타나며, 상기 농도범위보다 낮은 농도에서는 규소의 결정화를 조장하는 작용이 얻어질 수 없기 때문이다.

상기 설명으로부터 알 수 있는 바와 같이, 레이저광 조사에 의해 얻어지는, 단결정 영역과 동등한 규소막 영역은 단결정 웨이퍼와 같은 일반적인 단결정과는 본질적으로 다른 것이다.

레이저광 조사에 의한 결정화시에도 막의 수축이 일어나고, 그 비틀림은 활성층(709)의 주변부분쪽으로 갈수록 크게 축적된다. 즉, 제 7D 도에서 부호 710으로 나타낸 부분에 비틀림이 집중하여 축적된다.

또한, 일반적으로 활성층의 두께는 대략 수 백 Å 수 천 Å이다. 그 크기는 수 ㎛평방 수 백 ㎛평방이다. 즉, 그 활성층은 매우 얇은 박막의 형상을 가지고 있다. 이러한 얇은 박막의 상태에서, 제 7C 도에 나타낸 바와 같은 결정성장이 진행하면, 그의 주변, 즉, 결정성장이 종료된 지점 부근이나 결정성장이 더 이상 진행하지 않는 영역에 비틀림이 집중하여 발생된다.

상기한 2가지 원인에 의해, 활성층 주위에 비틀림이 집중하여 존재하게 된다.이러한 비틀림이 집중하여 있는 영역이 황성층(709)중에 존재하는 것은, 그러한 영역이 TFT의 동작에 악영향을 끼칠 수 있기 때문에 바람직하지 않다.

따라서, 본 실시예에서도, 활성층(709)의 전체 주변부분을 에칭한다. 그 결과, 제 7E 도에 나타낸 바와 같이, 단결정 영역과 실질적으로 동등한 영역으로 구성되고 응력(스트레스)의 영향이 저감된 활성층(711)이 얻어질 수 있다.(제 7E 도)

활성층(711)이 얻어진 후, 제 8A 도에 나타낸 바와 같이, 활성층(711)을 덮도록 게이트 절연막(712)으로서 산화규소막을 플라즈마 CVD법에 의해 1000 Å의 두께로 성막하였다. 그리고, 인(P)을 다량으로 도핑한 다결정 규소막을 감압열 CVD법에 의해 5000 Å의 두께로 형성하고, 이것을 패터닝하여 게이트 전극(713)을 형성하였다.(제 8A 도)

다음에, 플라즈마 도핑법 또는 이온 주입법에 의해 인(P) 이온의 주입을 행하여, 소스영역(714)과 드레인영역(716)을 자기정합적으로 형성하였다. 그리고, 게이트전극(713)을 마스크로 하여 불순물 이온(인)이 주입되지 않은 영역이 채널형성영역(715)으로서 획정(劃定)되었다.(제 8B 도)

다음에, 층간절연막으로서 산화규소막(717)을 테트라에톡시실단(TEOS) 가스를 사용한 플라즈마 CVD법에 의해 7000 Å의 두께로 형성하였다. 이것에 콘택트 홀을 형성한 후, 티탄과 알루미늄의 적층막을 사용하여 소스 전극(718) 및 드레인전극(719)을 형성하였다. 도면에는 나타내지 않았지만, 게이트 전극(713)에 대한 콘택트 전극도 동시에 형성하였다. 그리고, 최후로, 350℃의 수소분위기에서 1시간의 가열처리를 행하여, 제 8C 도에 나타낸 바와 같은 TFT를 완성하였다.

이렇게 하여 얻어진 TFT는, 활성층이 단결정과 동등한 규소막으로 구성되어 있기 때문에, 얻어진 TFT의 전기적 특성이 SOI 기술 등을 이용하여 제작된 단결정규소막을 사용한 TFT의 것에 필적하는 것으로 될 수 있다.

[실시예 4]

본 실시예는, 실시예 3의 구성에서, 활성층을 구성하기 위해 패터닝된 비정질 규소막에 대하여 레이저광을 조사하는 방법을 변경하여 결정화가 용이하게 되도록 한 예이다.

제 9 도는 실시예 3에 따른 공정에서 활성층에 레이저광을 조사하는 방법을 나타낸다. 이 방법에서는, 패터닝된 비정질 규소막(901)(이 막이 후에 활성층으로되기 때문에, 활성층이라 부르기로 한다)의 한쪽 변에 평행하게 길이방향을 갖는 선형 레이저광(900)을 조사한다. 그리고, 레이저광을 조사하면서 화살표 방향으로 주사하는 것에 의해, 활성층(901)을 단결정 영역과 동등한 영역으로 변성시킨다.

본 실시예에 따른 방법에서는, 제 10 도에 나타낸 바와 같이 활성층(901)의 코너 부분으로부터 결정성장이 진행하도록 선형 레이저광(900)의 주사방향을 설정한 것을 특징으로 한다. 제 10 도에 나타낸 레이저광 조사방법을 채용한 경우, 제 11도에 나타낸 바와 같이 좁은 영역으로부터 넓은 영역쪽으로 결정성장이 진행하기때문에, 결정성장의 진행이 쉽게 수행된다. 그리고, 제 9 도에 나타낸 상태에서 레이저광을 조사한 경우와 비교하여, 단결정 영역과 동등한 영역이 쉽게 형성될 수 있고, 그의 재현성도 높게 될 수 있다.

본 발명에 따르면, 광어닐에 의해 결정화된 반도체막을 사용하여 제작된 절연 게이트형 반도체장치의 열화가 감소될 수 있다. 실시예에서는, 규소 반도체를 중심으로 하여 설명하였지만, 다른 반도체, 예를 들어, 규소-게르마늄 합금 반도체, 황화아연 반도체, 및 탄화규소 반도체에서도 같은 효과가 얻어질 수 있다. 따라서, 본 발명은 공업적으로 유익한 발명이다.

(57) 청구의 범위

청구항 1.

절연 게이트형 반도체장치를 제작하는 방법으로서,

비정질 반도체막을 가장 좁은 부분의 폭이 100 ㎛ 이하인 제1 형상으로 에칭하여 섬형상 반도체영역을 형성하는 공정;

상기 반도체영역에 대하여 광어닐을 행하여 그 영역을 결정화시키는 공정; 및

상기 제1 형상의 상기 가장 좁은 부분보다 10 ㎛ 이상 만큼 좁은 부분을 가지는 상기 반도체영역의 제2 형상을 남기도록 상기 반도체영역의 단부부분들의 일부를 에칭하는 공정을 포함하고;

상기 반도체장치가, 상기 제2 형상의 상기 좁은 부분을 횡단하도록, 게이트 절연막을 사이에 두고 상기 반도체영역에 인접하여 제공된 게이트 전극을 포함하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 2.

비정질 반도체막을 가장 좁은 부분의 폭이 100 ㎛ 이하인 제1 형상으로 에칭하여 섬형상 반도체영역을 형성하는 공정;

상기 반도체영역에 대하여 광어닐을 행하여 그 영역을 결정화시키는 공정;

상기 반도체영역의 단부부분의 일부 또는 전부를 에칭하는 공정;

상기 반도체영역을 덮도록 게이트 절연막을 형성하는 공정;

상기 반도체영역의 단부부분중 에칭된 부분을 가로질러 게이트 전극을 형성하는 공정; 및

상기 게이트 전극을 마스크로 하여 상기 반도체영역에 N형 또는 P형 불순물을 도입하는 공정을 포함하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 3.

제 1 항에 있어서, 상기 제1 형상이 직사각형, 정다각형 및 장원형중 어느 하나인 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 4.

제 2 항에 있어서, 상기 제1 형상이 직사각형, 정다각형 및 장원형중 어느 하나인 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 5.

제 1 항에 있어서, 상기 제1 형상이 어떤 지점에서도 오목하지 않은 형상인 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 6.

제 2 항에 있어서, 상기 제1 형상이 어떤 지점에서도 오목하지 않은 형상인 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 7.

제 1 항에 있어서, 상기 반도체영역이 결정업계를 실질적으로 포함하지 않는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 8.

제 2 항에 있어서, 상기 반도체영역이 결정입계를 실질적으로 포함하지 않는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 9.

제 1 항에 있어서, 상기 반도체영역이, 그 반도체영역의 단부로부터 서서히 결정성장이 행해짐으로써 결정입계를 실질적으로 포함하지 않는 영역으로서 형성된것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 10.

제 2 항에 있어서, 상기 반도체영역이, 그 반도체영역의 단부로부터 서서히 결정성장이 행해짐으로써 결정입계를 실질적으로 포함하지 않는 영역으로서 형성된것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 11.

제 1 항에 있어서, 상기 반도체영역이, 그 반도체영역의 단부로부터 레이저광을 주사하면서 조사함으로써 결정입계를 실질적으로 포함하지 않는 영역으로서 형성되는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 12.

제 2 항에 있어서, 상기 반도체영역이, 그 반도체영역의 단부로부터 레이저광을 주사하면서 조사함으로써 결정입계를 실질적으로 포함하지 않는 영역으로서 형성되는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 13.

제 1 항에 있어서, 상기 반도체영역이, 단결정 영역과 동등한 영역 또는 단결정영역과 실질적으로 동등한 영역으로 구성되는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 14.

제 2 항에 있어서, 상기 반도체영역이, 단결정 영역과 동등한 영역 또는 단결정영역과 실질적으로 동등한 영역으로 구성되는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 15.

제 13 항에 있어서, 상기 단결정 영역과 동등한 영역 또는 단결정 영역과 실질적으로 동등한 영역이 결정입계를 실질적으로 함유하지 않고, 점 결합을 중화시키기 위한 수소 할로겐 원소를 1×10^{15} 1×10^{20} 원자cm^{-3} 의 농도로 함유하고, 탄소 또는 질소 원자를 1×10^{16} 5×10^{18} 원자cm^{-3} 의 농도로 함유하고, 산소 원자를 1×10^{17} 5×10^{19} 원자cm^{-3} 의 농도로 함유하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

청구항 16.

제 14 항에 있어서, 상기 단결정 영역과 동등한 영역 또는 단결정 영역과 실질적으로 동등한 영역이 결정경계를 실질적으로 함유하지 않고, 점 결합을 중화시키기 위한 수소 또는 할로겐 원소를 1×10^{15} 1×10^{20} 원자cm^{-3} 의 농도로 함유하며, 탄소 또는 질소 원자를 1×10^{16} 5×10^{18} 원자cm^{-3} 의 농도로 함유하고, 산소원자를 1×10^{17} 5×10^{19} 원자cm^{-3} 의 농도로 함유하는 것을 특징으로 하는 절연게이트형 반도체장치의 제작방법.

청구항 17.

비정질 반도체막을 에칭하여 제1 반도체영역을 형성하는 공정;

상기 제1 반도체영역을 어닐하여 결정화시키는 공정;

상기 제1 반도체영역의 주변부분중, 반도체장치의 채널형성영역을 형성할 부분의 일부를 에칭하여, 상기 제1 반도체영역으로부터, 상기 채널형성영역을 갖는 제2 반도체영역을 형성하는 공정을 포함하고;

게이트 절연막을 사이에 두고 상기 채널형성영역에 인접하여 게이트 전극이 제공되고, 상기 게이트 전극이 상기 제1 반도체영역의 주변부분이 에칭된 부분을 가로질러 배치되는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 18.

제 17 항에 있어서, 상기 반도체영역이 결정입계를 실질적으로 포함하지 않는것을 특징으로 하는 반도체장치의 제작방법.

청구항 19.

제 17 항에 있어서, 상기 반도체영역이, 단결정 영역과 동등한 영역 또는 단결정 영역과 실질적으로 동등한 영역으로 구성되는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 20.

제 17 항에 있어서, 상기 주변부분이, 어닐 공정에 의해 생성된 비틀림이 축적된 부분을 포함하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 21.

제 1 항에 있어서, 상기 반도체막이 규소-게르마늄 합금 반도체를 포함하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

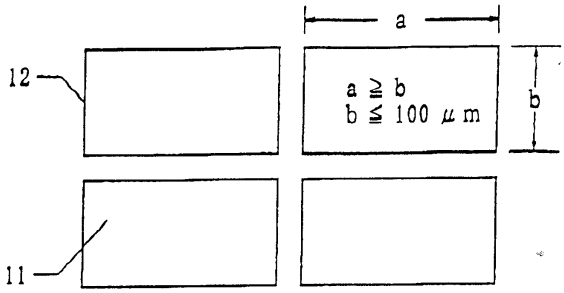
청구항 22.

제 2 항에 있어서, 상기 반도체막이 규소-게르마늄 합금 반도체를 포함하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제작방법.

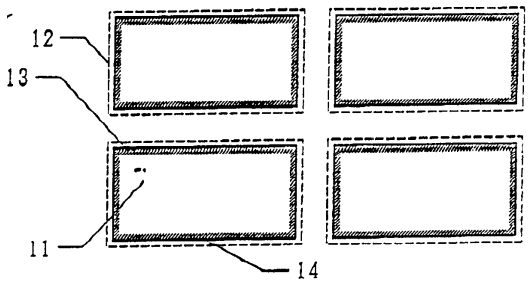
청구항 23.

제 17 항에 있어서, 상기 반도체막이 규소-게르마늄 합금 반도체를 포함하는 것을 특징으로 하는 반도체장치의 제작방법.

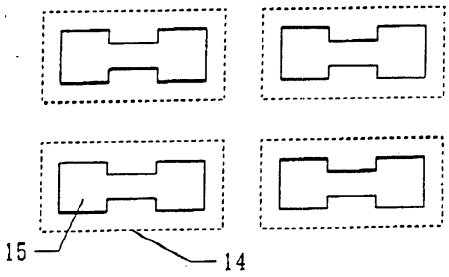
도면 1a



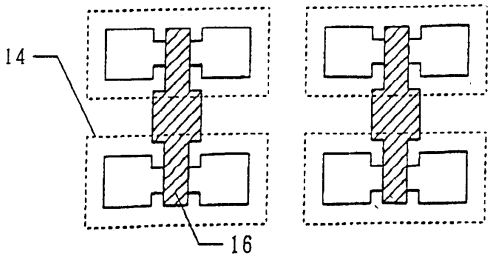
도면 1b



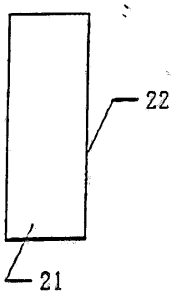
도면 1c



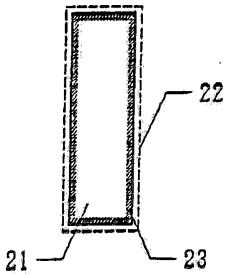
도면 1d



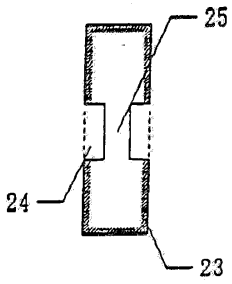
도면 2a



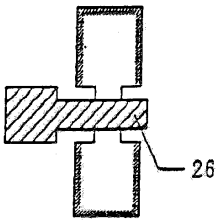
도면 2b



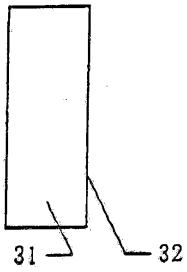
도면 2c



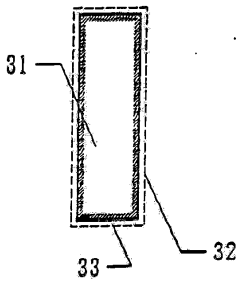
도면 2d



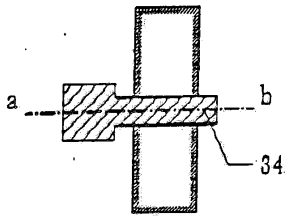
도면 3a



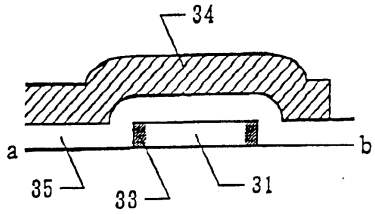
도면 3b



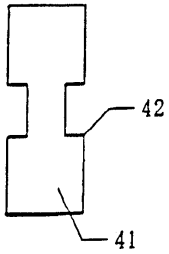
도면 3c



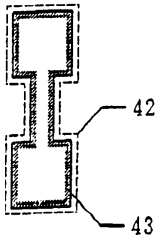
도면 3d



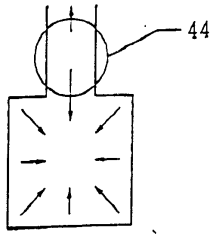
도면 4a



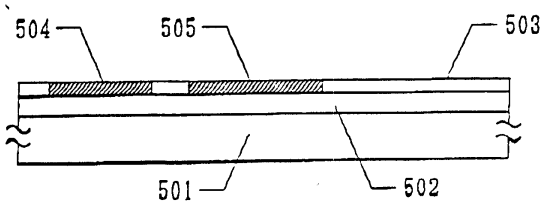
도면 4b



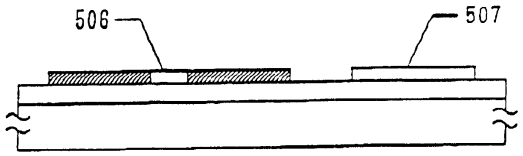
도면 4c



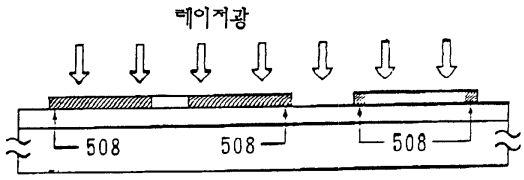
도면 5a



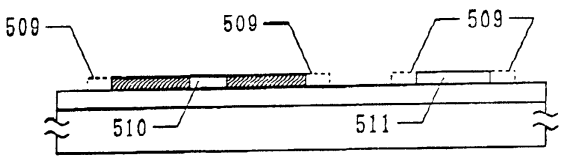
도면 5b



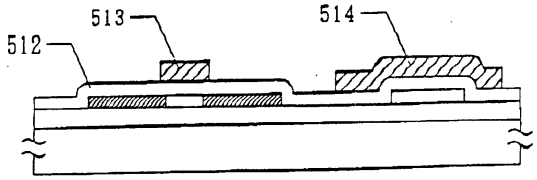
도면 5c



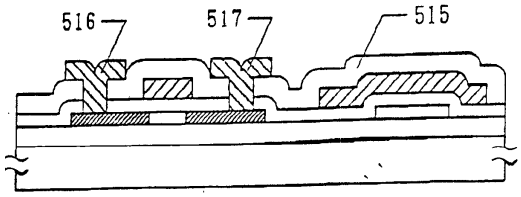
도면 5d



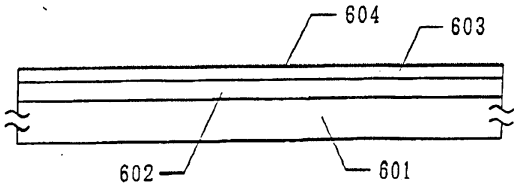
도면 5e



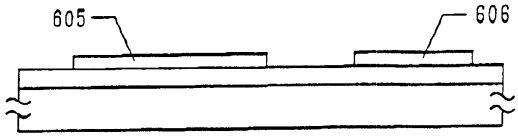
도면 5f



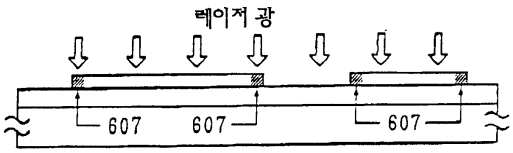
도면 6a



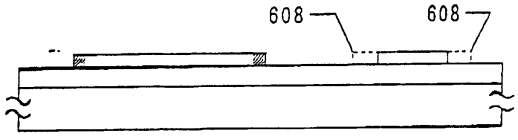
도면 6b



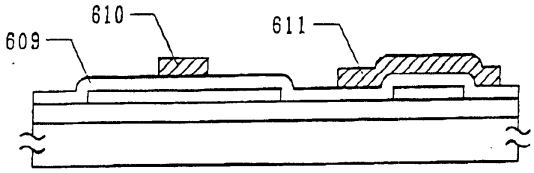
도면 6c



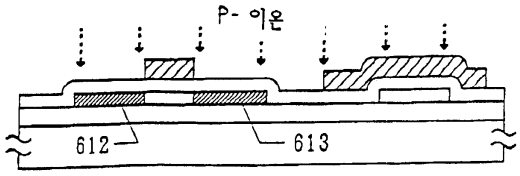
도면 6d



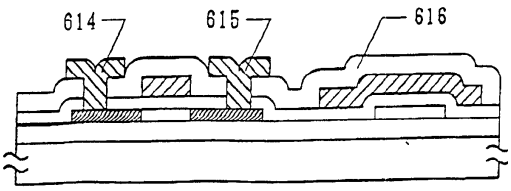
도면 6e



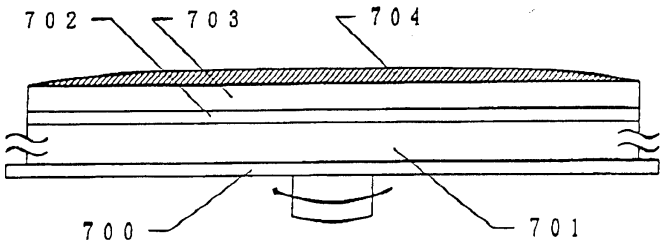
도면 6f



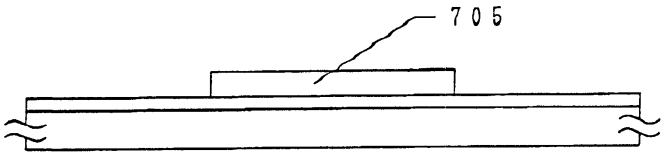
도면 6g



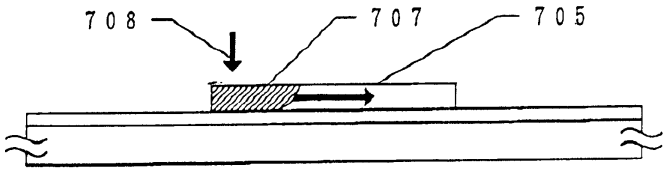
도면 7a



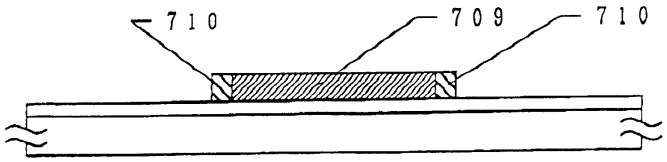
도면 7b



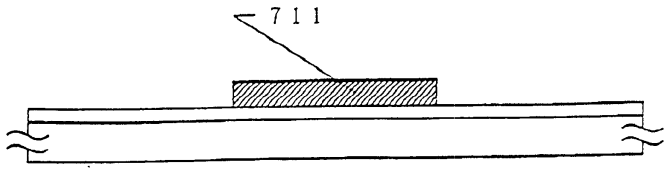
도면 7c



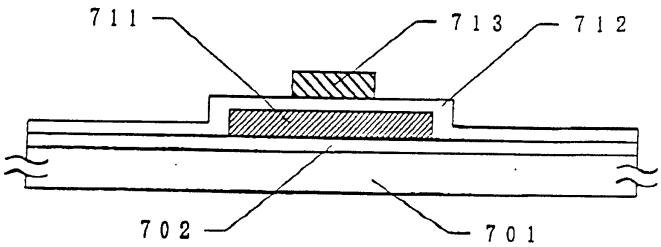
도면 7d



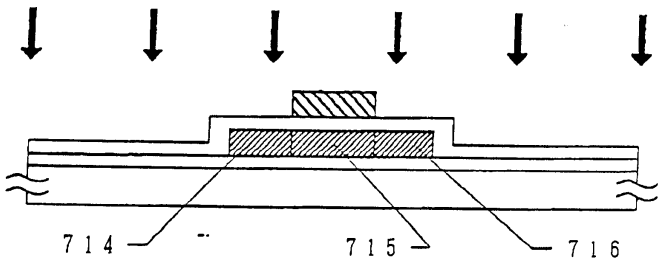
도면 7e



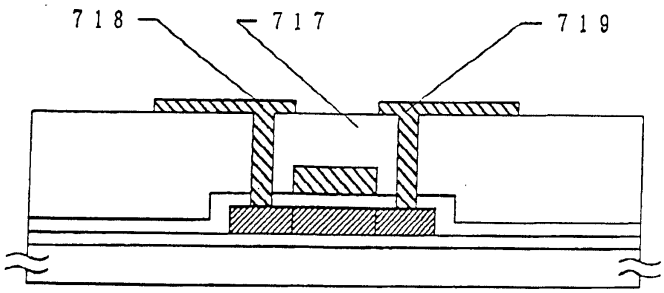
도면 8a



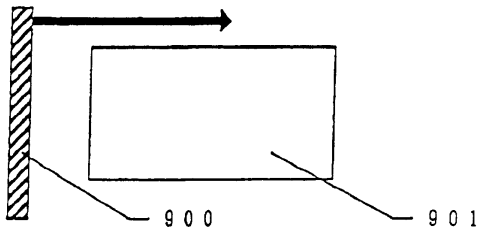
도면 8b



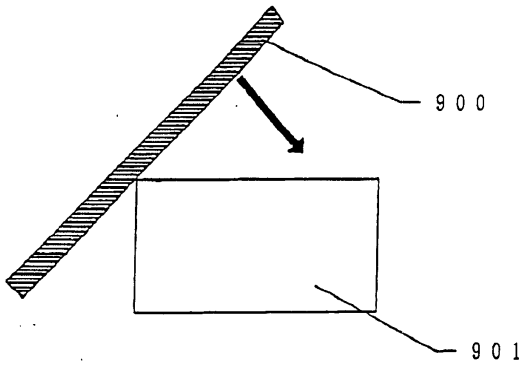
도면 8c



도면 9



도면 10



도면 11

