

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 14 日(14.11.2013)



(10) 国際公開番号

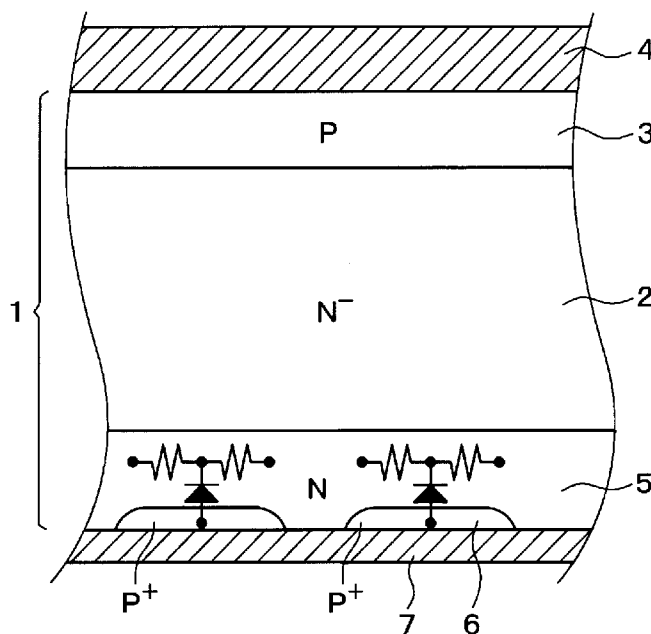
WO 2013/168367 A1

- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2013/002599
- (22) 国際出願日: 2013 年 4 月 17 日(17.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-106012 2012 年 5 月 7 日(07.05.2012) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 小山 和博(OYAMA, Kazuhiro); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device is equipped with: a first-conductive-type drift layer (2); a second-conductive-type first semiconductor layer (3) formed on the surface-layer section of the drift layer (2); a first-conductive-type second semiconductor layer (5) which is formed at a location separated from the first semiconductor layer (3) and in the drift layer (2), and has a larger carrier density than that of the drift layer (2); a second-conductive-type hole-injection layer (6) selectively formed in the second semiconductor layer (5); a first electrode (4) electrically connected to the first semiconductor layer (3); and a second electrode (7) electrically connected to the second semiconductor layer (5) and the hole-injection layer (6). The carrier density is smaller than the space charge density in the second semiconductor layer (5).

(57) 要約: 半導体装置は、第 1 導電型のドリフト層 (2) と、前記ドリフト層 (2) の表層部に形成された第 2 導電型の第 1 半導体層 (3) と、前記ドリフト層 (2) のうち前記第 1 半導体層 (3) と離間した位置に形成され、前記ドリフト層 (2) よりキャリア密度が大きくされた第 1 導電型の第 2 半導体層 (5) と、前記第 2 半導体層 (5) 中に選択的に形成された第 2 導電型のホール注入層 (6) と、前記第 1 半導体層 (3) と電気的に接続される第 1 電極 (4) と、前記第 2 半導体層 (5) および前記ホール注入層 (6) と電気的に接続される第 2 電極 (7) とを備える。前記第 2 半導体層 (5) は、空間電荷密度よりキャリア密度が小さくされている。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本開示は、2012年5月7日に出願された日本出願番号2012-106012号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、半導体装置のうちpin（ピン）ダイオードに関するものである。

背景技術

[0003] pinダイオードにおいて、N型のカソード層にP+型のホール注入層が選択的に形成された半導体装置が提案されている（例えば、非特許文献1参照）。

[0004] 具体的には、この半導体装置は、カソード層のうちドリフト層側と反対側にP+型のホール注入層が選択的に形成されている。そして、カソード層上にカソード層とホール注入層とが短絡するようにカソード電極が形成されている。また、アノード層上にアノード電極が形成されている。

[0005] このような半導体装置では、カソード電極にアノード電極より低い電位（順方向電圧）が印加されると、アノード層からドリフト層にホールが注入されると共にカソード層からドリフト層に電子が注入される。これにより、ドリフト層には過剰キャリアが蓄積されて伝導度変調が起こり、ダイオードがオンする。この順方向電圧は順方向降下電圧（VF）であり、流れる電流は順方向電流（IF）である。

[0006] このオン状態からすぐさまカソード電極にアノード電極より高い電位（逆方向電圧）が印加されるとホールおよび電子の注入が止まる。そして、ドリフト層に蓄積されているホールはアノード層を介してアノード電極に流れる。また、ドリフト層に蓄積されている電子は、カソード層を介してカソード電極に流れる。すなわち、ドリフト層とホール注入層との間にあるカソード

層に流れた電子は、P型のホール注入層に流れず、カソード層中をドリフト層の平面方向（横方向）に流れた後にカソード電極に流れる。

[0007] このとき、電子がカソード層を通過する際にカソード層の抵抗によって電圧降下が発生し、この電圧降下がホール注入層とカソード層との間に構成されるPN接合のビルトイン電圧以上になると、ホール注入層からカソード層を介してドリフト層にホール（キャリア）が注入される。

[0008] このオン状態からすぐさま逆方向電圧が印加された状態がリバーシカバリ（以下では、単にリカバリという）であり、このときに流れる電流がリカバリ電流（ I_R ）である。このリカバリ電流は、オン期間中にドリフト層中に蓄積されたキャリアの流れである。そして、上記のように、P型のホール注入層を備えたpinダイオードは、リカバリ時にホールが注入されることによってキャリアが補われる。このため、キャリアの急激な枯渇を防ぐことでリカバリ電流（ I_R ）が急激に変化することを抑制することができ、リカバリリングと呼ばれる電流、電圧が振動する現象を抑制できる。

[0009] ところで、現状では、リカバリリングを抑制しつつ、さらに導通損失も低減したいという要望があり、導通損失を抑制するためには、例えば、ドリフト層を薄くするのが有効な手段として挙げられる。しかしながら、ドリフト層を薄くすると、オフ時に、ドリフト層とアノード層との間に構成される空乏層がホール注入層に達しやすくなり、耐圧が低下してしまう。

[0010] このため、空乏層がホール注入層に達しないようにするためには、カソード層の不純物密度を大きくし、ドリフト層を薄くすることで失った空間電荷を補填する構造が考えられる。この場合、例えば、一般的なドナーであるリン、ヒ素、アンチモン等の不純物をドーピングしてカソード層を構成した場合には、空間電荷密度を大きくすると空間電荷密度と同様にキャリア密度が大きくなる。このため、カソード層の抵抗値が小さくなる。つまり、電子がカソード層を通過する際の電圧降下が小さくなる。

[0011] したがって、導通損失を低減しつつ、リカバリリングを抑制するためには、例えば、ホール注入層の幅を広くし、電子が通過する経路を長くする

ことによって電子に起因する電圧降下を大きくすることが考えられる。

[0012] しかしながら、この構造では、リカバリ時において、ホール注入層の幅を広くしているため、ホール注入層とカソード層との間に構成されるPN接合のうちビルトイン電圧以下の電圧しか印加されない領域が広がる。すなわち、ホールが注入されるPN接合はホール注入層とカソード層との間に構成されるPN接合全体に対して狭くなる。したがって、ホールが注入される隣接するPN接合同士の間隔が広がるため、注入されるホールに大きな分布の偏りが生じると共に注入されるホールの量が少なくなるため、リカバリリングングの抑制効果が得にくくなるという問題がある。

[0013] また、ダイオードがオンされているときには、カソード層のうちカソード電極に接した部分から電子が注入されると共にホールがアノード層から注入される。この場合、上記半導体装置では、ホール注入層の幅を広くするために、オン時に電子の注入されない領域が大きくなる。つまり、電子の供給量が全体として減少することになり、結果として導通損失が大きくなる。

先行技術文献

非特許文献

[0014] 非特許文献1：M. Rahimo, A. Kopta, The Field Charge Extraction (FCE) Diode A Novel Technology for Soft Recovery High Voltage Diodes, 2005年

発明の概要

[0015] 本開示は、耐圧を損なわずに導通損失を低減し、かつリカバリリングングを抑制できる半導体装置を提供することを目的とする。

[0016] 本開示の第一の態様において、半導体装置は、第1導電型のドリフト層と、前記ドリフト層の表層部に形成された第2導電型の第1半導体層と、前記ドリフト層のうち前記第1半導体層と離間した位置に形成され、前記ドリフト層よりキャリア密度が大きくされた第1導電型の第2半導体層と、前記第2半導体層中に選択的に形成された第2導電型のホール注入層と、前記第1半導体層と電氣的に接続される第1電極と、前記第2半導体層および前記ホール注入層と電氣的に接続される第2電極とを備える。前記第2半導体層は

、空間電荷密度よりキャリア密度が小さくされている。

[0017] 上記の半導体装置において、第2半導体層は空間電荷密度よりキャリア密度が小さくされているため、第2半導体層の空間電荷密度を大きくしても抵抗値が小さくなることを抑制できる。したがって、導通損失を抑制するためにドリフト層を薄くし、空乏層がホール注入層に達することを抑制するために大きな空間電荷密度を有する半導体装置としても、従来の半導体装置より第2半導体層の抵抗値を大きくできる。つまり、リカバリ時において、リカバリリングを抑制しつつ導通損失を低減することができ、さらに、耐圧が低下することも抑制できる。

[0018] 代案として、前記第2半導体層は、凍結領域にある準位と、外因性領域にある準位とを提供してもよい。この場合、第2半導体層の抵抗値についての温度依存性の低減を図ることができる。

図面の簡単な説明

[0019] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態における半導体装置の断面構成を示す図であり、

[図2]図2は、本開示の第3実施形態における半導体装置の断面構成を示す図である。

発明を実施するための形態

[0020] (第1実施形態)

本開示の第1実施形態について図面を参照しつつ説明する。図1に示されるように、本実施形態の半導体装置は、半導体基板1にピンダイオードが形成されてなるものである。

[0021] 具体的には、半導体基板1はN⁻型のドリフト層2を有している。そして、ドリフト層2の表層部には、当該ドリフト層2よりキャリア密度が大きくなったP型のアノード層3が形成されている。このアノード層3は、例えば、ボロン等の不純物がドーピングされて構成されている。すなわち、アノード層3

は、半導体装置の動作温度（例えば、 $-40 \sim 150^{\circ}\text{C}$ ）において、 100% 活性化率を示す準位とされており、言い換えると外因性領域に位置する準位とされている。そして、アノード層3の上には、当該アノード層3と電氣的に接続されるアノード電極4が形成されている。

[0022] なお、通常、半導体分野において 100% 活性化率を示す準位を使用することは明記されていないかもしれないが、これは常識とされているために省略されているのである。

[0023] また、ドリフト層2の裏面側にはN型のカソード層5が形成されている。以下に、本実施形態のカソード層5の構成について、具体的に説明する。

[0024] 本実施形態の、カソード層5は、空間電荷密度よりキャリア密度が小さくされている。すなわち、カソード層5における準位の活性化エネルギーは、半導体装置の動作温度において、動作温度の熱エネルギーよりも大きくされている。言い換えると、カソード層5は、半導体装置の動作温度において、 100% 未満の活性化率を示す深い準位とされている。さらに、言い換えると、カソード層5は、半導体装置の動作温度において、凍結領域に位置する準位とされている。このようなカソード層5は、例えば、Bi、Mg、Ta、Pb、Te、Se、N、C、Ge、Sr、Cs、Ba、S等の不純物の少なくとも1つがドーピングされることで構成される。

[0025] なお、本実施形態におけるカソード層5の準位は、一部がキャリアとして働く準位のことである。すなわち、カソード層5の準位は、少数キャリアのライフタイムを短くさせるために形成されるMid Gap付近に位置する準位のいわゆるライフタイムキラーとは異なるものである。また、GaN等のHFET等において用いられる多数キャリアを補償するC、Fe等の比較的深い準位とも異なるものである。

[0026] また、カソード層5のうちドリフト層2側と反対側には、 P^+ 型のホール注入層6が選択的に形成されている。すなわち、カソード層5のうちドリフト層2側と反対側は、図1に示す断面において、カソード層5とホール注入層6とが交互に配置された構成とされている。そして、カソード層5のうちド

リフト層 2 側と反対側には、カソード層 5 とホール注入層 6 とが短絡するようにカソード電極 7 が形成されている。

[0027] 以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N⁻型、N 型が本開示の第 1 導電型に相当し、P 型が本開示の第 2 導電型に相当している。また、アノード層 3 が本開示の第 1 半導体層に相当し、カソード層 5 が本開示の第 2 半導体層に相当し、アノード電極 4 が本開示の第 1 電極に相当し、カソード電極 7 が本開示の第 2 電極に相当している。

[0028] 次に、上記半導体装置の作動について説明する。

[0029] まず、半導体装置がオンされときの作動について説明する。半導体装置は、カソード電極 7 にアノード電極 4 より低い電位が印加されると、カソード電極 7 のうちカソード層 5 と接する部分から電子が注入されると共に、アノード電極 4 からホールが注入されてオンされる。

[0030] 次に、半導体装置がオフするに至るまでの作動であるリカバリについて説明する。半導体装置は、オン状態からすぐさまカソード電極 7 にアノード電極 4 より高い電位が印加される（逆方向電圧が印加される）と、電子およびホールの注入が止まり、ドリフト層 2 に蓄積されているホールがアノード層 3 からアノード電極 4 に流れると共に、ドリフト層 2 に蓄積されている電子がカソード層 5 に流れ、そこから更にカソード電極 7 に流れることでリカバリ電流（ I_R ）が流れる。

[0031] 本実施形態では、カソード層 5 は、上記のように、空間電荷密度よりキャリア密度が小さくなるように構成されている。このため、カソード層 5 の空間電荷密度を大きくしてもカソード層 5 のキャリア密度が大きくなることを抑制できる。つまり、カソード層 5 の空間密度を大きくしてもカソード層 5 の抵抗値が小さくなることを抑制できる。したがって、リカバリ時において、ホール注入層 6 の幅を広げなくても電子がカソード層 5 を流れる際の電圧降下を大きくすることができ、ホール注入層 6 からホールを注入させることができる。

[0032] また、オフ状態では、アノード層 3 およびドリフト層 2 で構成される PN

接合に逆方向電圧が印加されていてドリフト層 2 にキャリアがほとんど存在しないため、空乏層が広がる。この場合、空乏層がカソード層 5 に達すると、空乏層中におけるカソード層 5 の準位がフェルミ準位より高くなり、100%の準位がイオン化する空間電荷領域が構成される。このため、耐圧の低下も抑制できる。（例えば、S.M.Sze and Kwok K.NG, Physics of Semiconductor Devices 3rd Edition, A John Wiley & Sons, INC. 2007年. 136-139 参照）。

[0033] 以上説明したように、本実施形態では、カソード層 5 の空間電荷密度よりキャリア密度が小さくされている。このため、カソード層 5 の空間電荷密度を大きくしても抵抗値が小さくなることを抑制できる。したがって、導通損失を抑制するためにドリフト層 2 を薄くし、空乏層がホール注入層 6 に達することを抑制するためにカソード層 5 の空間電荷密度を大きくしても、従来の半導体装置よりカソード層 5 の抵抗値を大きくできる。つまり、リカバリリングを抑制しつつ導通損失を低減することができ、さらに、耐圧が低下することも抑制できる。

[0034] （第 2 実施形態）

本開示の第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対してカソード層 5 の構成を変更したものであり、その他に関しては第 1 実施形態と同様であるため、ここでは説明を省略する。なお、本実施形態における半導体装置の断面構成は図 1 と同様である。

[0035] 本実施形態のカソード層 5 は、2 種類の深さの異なる準位によって構成されている。具体的には、半導体装置の動作温度において、凍結領域にある準位と外因性領域にある準位とによって構成されている。なお、外因性領域の準位は、リン、ヒ素、アンチモン等がドーパされることによって構成される。

[0036] これによれば、カソード層 5 における抵抗値の温度依存性を低減できる。すなわち、凍結領域にある準位は、半導体装置の動作温度によってキャリア密度が大きく変化する。言い換えると、半導体装置の動作温度によってカソ

ード層 5 の抵抗値の変化が非常に大きくなる。このため、カソード層 5 を凍結領域にある準位のみで構成した場合、例えば、半導体装置の動作温度における下限温度の活性化率が 1 % であり、上限温度の活性化率が 10 % になるような場合には、動作温度範囲内において、カソード層 5 の抵抗値が最大 10 倍変化する。

[0037] しかしながら、例えば、カソード層 5 を凍結領域の準位に位置する不純物密度と外因性領域の準位に位置する不純物密度との比率を 1 : 1 として構成した場合には、合計の活性化率は、下限温度で 50.5 % となり、上限温度で 55 % となる。すなわち、カソード層 5 の抵抗値の変化率を 1.09 倍まで低減できる。

[0038] なお、凍結領域の準位に位置する不純物密度と外因性領域の準位に位置する不純物密度や、これらの比率は、半導体装置の使用環境によって適宜変更されることが好ましい。

[0039] (第 3 実施形態)

本開示の第 3 実施形態について説明する。本実施形態は、第 1 実施形態に対してカソード層 5 に接触層を形成したものであり、その他に関しては第 1 実施形態と同様であるため、ここでは説明を省略する。

[0040] 図 2 に示されるように、本実施形態では、カソード層 5 のうちホール注入層 6 で挟まれる部分にカソード層 5 よりキャリア密度が大きくされた N⁺型の接触層 8 が形成されている。言い換えると、カソード層 5 のうちドリフト層 2 側と反対側では、ホール注入層 6 と接触層 8 とが交互に形成されている。そして、カソード電極 7 は、ホール注入層 6 および接触層 8 と接触している。なお、接触層 8 は、例えば、リン、ヒ素、アンチモン等がドーピングされることによって構成される。

[0041] これによれば、カソード層 5 (接触層 8) とカソード電極 7 との接触抵抗を低減できるし、カソード電極 7 からの電子の注入効率が高まるためにオン時にカソード電極 7 から注入される電子を増加させることができる。したがって、導通損失をさらに低減できる。

[0042] (他の実施形態)

上記各実施形態において、第1導電型をP型とし、第2導電型をN型としてもよい。この場合、第2半導体層（カソード層5）は、例えば、Ga、In、Tl、Be、Cu、Zn、Co等の不純物の少なくとも1つがドーピングされて構成される。また、カソード層5の準位は、熱的、機械的ストレスを印加することによって形成したり、陽子線、ヘリウム、トリチウム等を照射することによって形成してもよい。

[0043] また、上記各実施形態において、アノード層3を次のようにしてもよい。すなわち、アノード層3の少なくとも一部の深さ（例えば、図1中におけるアノード層3の紙面上下方向の長さ）を電子の拡散長よりも浅くしてもよい。これによれば、オン時におけるホール注入効率を下げることができ、リカバリ損失を低減できる。

[0044] さらに、上記各実施形態では、半導体基板1の厚さ方向に電流が流れる半導体装置に本開示を適用した例を説明したが、半導体基板1の平面方向に電流が流れる横型の半導体装置に本開示を適用することもできる。すなわち、ドリフト層2の表層部にアノード層3を形成すると共に、ドリフト層2の表層部のうちアノード層3と離間した位置にカソード層5を形成してもよい。

[0045] そして、上記第2実施形態と第3実施形態とを組み合わせた半導体装置としてもよい。すなわち、カソード層5を2つの異なる準位を用いて構成しつつ、カソード層5のうちホール注入層6で挟まれる領域に接触層8を形成するようにしてもよい。

[0046] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

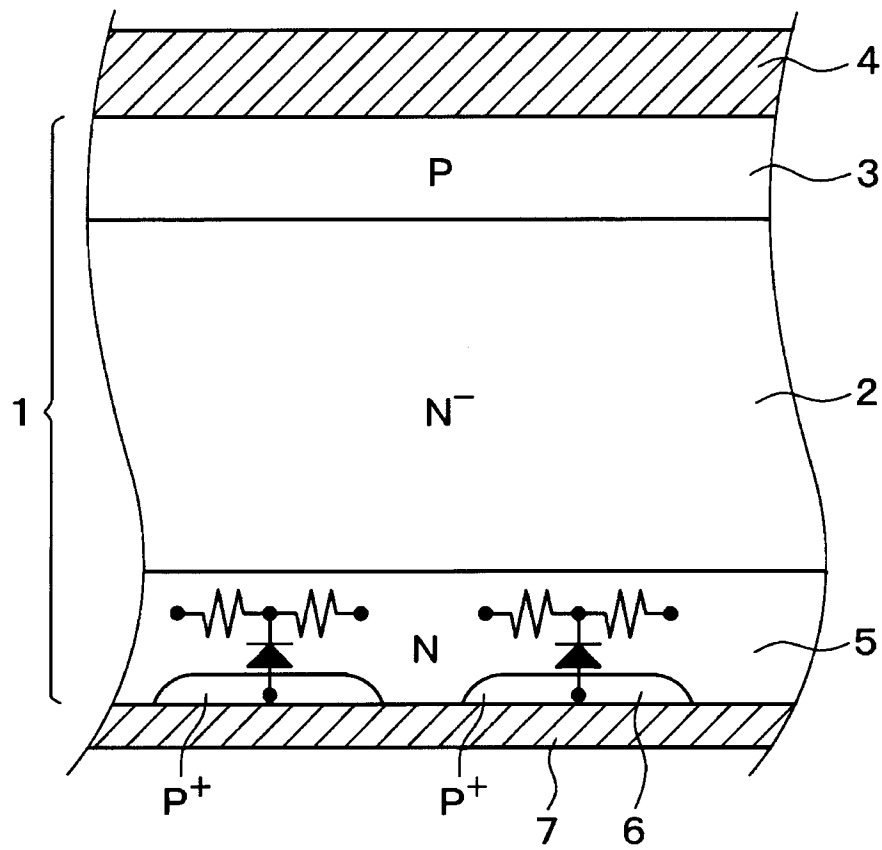
請求の範囲

- [請求項1] 第1導電型のドリフト層(2)と、
前記ドリフト層(2)の表層部に形成された第2導電型の第1半導体層(3)と、
前記ドリフト層(2)のうち前記第1半導体層(3)と離間した位置に形成され、前記ドリフト層(2)よりキャリア密度が大きくされた第1導電型の第2半導体層(5)と、
前記第2半導体層(5)中に選択的に形成された第2導電型のホール注入層(6)と、
前記第1半導体層(3)と電氣的に接続される第1電極(4)と、
前記第2半導体層(5)および前記ホール注入層(6)と電氣的に接続される第2電極(7)と、を備え、
前記第2半導体層(5)は、空間電荷密度よりキャリア密度が小さくされている半導体装置。
- [請求項2] 前記第2半導体層(5)は、凍結領域にある準位を提供する請求項1に記載の半導体装置。
- [請求項3] 前記第2半導体層(5)は、凍結領域にある準位と、外因性領域にある準位とを提供する請求項1または2に記載の半導体装置。
- [請求項4] 前記第2半導体層(5)には、前記ホール注入層(6)の間に位置する部分に、前記ドリフト層(2)より浅い準位で形成され、前記ドリフト層(2)よりキャリア密度が大きくされた接触層(8)が配置されている請求項1ないし3のいずれか1つに記載の半導体装置。
- [請求項5] 前記第1半導体層(3)は、少なくとも一部の深さが、電子の拡散長より小さい請求項1ないし4のいずれか1つに記載の半導体装置。
- [請求項6] 前記第1導電型はN型であると共に前記第2導電型はP型であり、
前記第2半導体層(5)は、Bi、Mg、Ta、Pb、Te、Se、N、C、Ge、Sr、Cs、Ba、Sのうちの少なくとも1つがドーピングされている請求項1ないし5のいずれか1つに記載の半導体装置

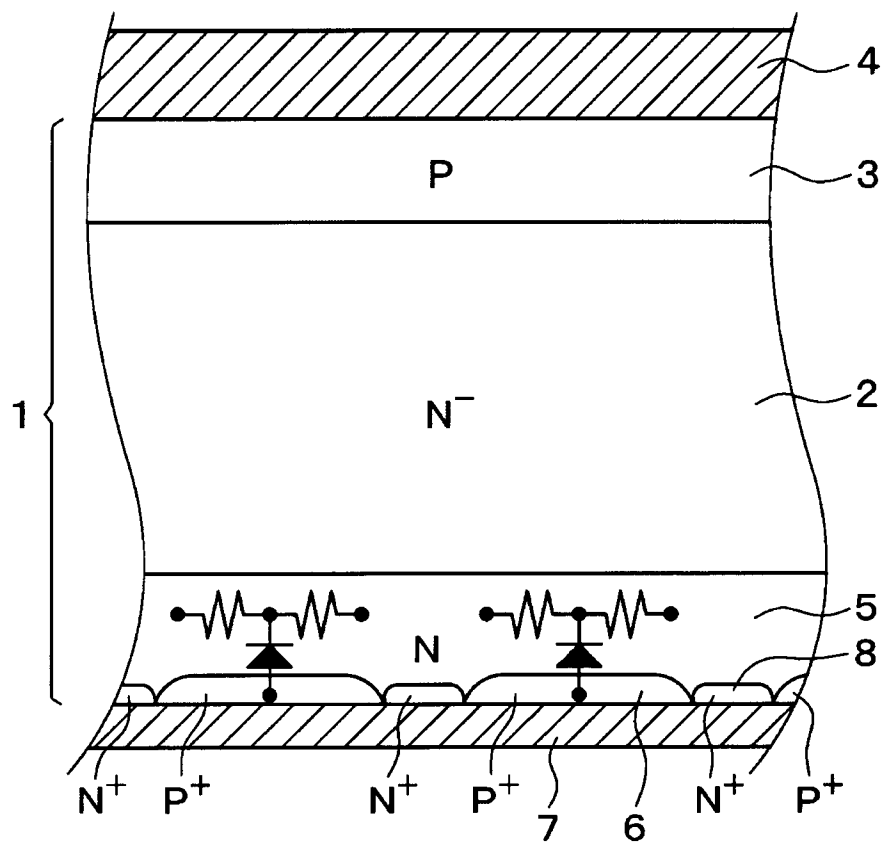
。

[請求項7] 前記第1導電型はP型であると共に前記第2導電型はN型であり、
前記第2半導体層(5)は、Ga、In、Tl、Be、Cu、Zn、Coのうちの少なくとも1つがドーピングされている請求項1ないし5のいずれか1つに記載の半導体装置。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002599

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/861(2006.01) i, H01L29/868(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-101066 A (Toshiba Corp.), 07 April 2000 (07.04.2000), paragraphs [0009], [0020] to [0021]; fig. 10 (Family: none)	1-3, 6, 7
Y	US 2008/0054369 A1 (Schulze Hans-Joachim), 06 March 2008 (06.03.2008), paragraphs [0040] to [0041]; fig. 7 (Family: none)	1-7
Y	JP 10-093113 A (Hitachi, Ltd.), 10 April 1998 (10.04.1998), fig. 1, 5 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 July, 2013 (10.07.13)Date of mailing of the international search report
23 July, 2013 (23.07.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002599

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-283132 A (Mitsubishi Electric Corp.), 16 December 2010 (16.12.2010), fig. 1 & US 2010/0308446 A1 & DE 102010028978 A1 & CN 101908558 A & KR 10-2010-0130944 A & KR 10-2011-0096110 A & CN 103022092 A	1-7
Y	JP 2008-251679 A (Hitachi, Ltd.), 16 October 2008 (16.10.2008), paragraph [0048]; fig. 12 (Family: none)	5

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/861 (2006.01) i, H01L29/868 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2000-101066 A（株式会社東芝） 2000.04.07, 段落【0009】、【0020】 - 【0021】、図10 (ファミリーなし)	1-3, 6, 7
Y	US 2008/0054369 A1 (Schulze Hans-Joachim) 2008.03.06, 段落【0040】 - 【0041】、F i g . 7 (ファミリーなし)	1-7
Y	JP 10-093113 A（株式会社日立製作所） 1998.04.10, 図1, 5 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 7 . 2 0 1 3

国際調査報告の発送日

2 3 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杵 哲次

5 F

3 9 5 2

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-283132 A (三菱電機株式会社) 2010. 12. 16, 図 1 & US 2010/0308446 A1 & DE 102010028978 A1 & CN 101908558 A & KR 10-2010-0130944 A & KR 10-2011-0096110 A & CN 103022092 A	1-7
Y	JP 2008-251679 A (株式会社日立製作所) 2008. 10. 16, 段落【0048】、図 12 (ファミリーなし)	5