

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G11C 29/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03814088.8

[45] 授权公告日 2009 年 6 月 17 日

[11] 授权公告号 CN 100501876C

[22] 申请日 2003.5.7 [21] 申请号 03814088.8

[30] 优先权

[32] 2002. 6. 17 [33] US [31] 10/173,229

[86] 国际申请 PCT/US2003/014107 2003. 5. 7

[87] 国际公布 WO2003/107355 英 2003. 12. 24

[85] 进入国家阶段日期 2004. 12. 17

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 托马斯·W·利斯顿

劳伦斯·N·赫尔

[56] 参考文献

CN1327595A 2001. 12. 19

US2001053102A1 2001. 12. 20

US5255230A 1993. 10. 19

审查员 吴紫璇

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

代理人 黄启行 谢丽娜

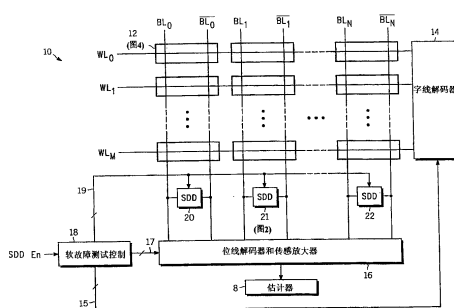
权利要求书 3 页 说明书 12 页 附图 5 页

[54] 发明名称

存储器及用于在存储器中软故障检测的方法

[57] 摘要

公开了一种用于 SRAM 的软故障检测的方法。存储器包括多个存储器单元，形成存储器阵列，存储器单元的每一个连接至一条位线、互补位线和字线。存储器单元的每一个包括多个晶体管。该方法包括以下步骤：写存储器阵列；通过将它们充电至预定电压来调整多个位线和互补位线，该电压具有不改变完全功能存储器单元的位状态的值；激活预定字线，用于选择一行存储器单元；读选择的存储器单元；将读的结果与写到存储器单元的位值进行比较，以确定是否更改了任何存储器单元位状态；以及识别更改的存储器单元作为测试故障。



1. 一种用于测试存储器阵列(10)的方法, 其包括:

实现具有多个存储器单元的存储器阵列, 存储器单元的每一个包括多个晶体管;

写存储器阵列;

通过对多条位线和互补位线的每一条分别充电至预定的第一电压和预定的第二电压, 调整存储器阵列中的多条位线和互补位线, 所述预定的第一电压和预定的第二电压具有当完全功能位被寻址时, 不改变存储器阵列的完全功能位的位状态的数值;

激活预定的字线, 所述预定的字线选择一行存储器单元, 并使该行存储器单元中每一个存储器单元的多个晶体管中的全部都电气导通;

读预定的字线;

将从读所述预定的字线得到的结果与写到所述预定的字线的位值进行比较, 以判断所述预定字线中的任何存储器单元位状态是否被更改; 以及

识别被更改的存储器单元作为测试的故障;

其中所述方法进一步包括:

在激活所述预定的字线之前, 将所述多条位线中的每一条与其各自的互补位线电气直接连接, 所述电气直接连接将所述预定的第一电压和预定的第二电压调节为基本相等。

2. 如权利要求 1 的方法, 进一步包括:

对于第一预定电压和第二预定电压, 使用相同的电压电势。

3. 如权利要求 1 的方法, 进一步包括:

实现存储器阵列, 使得存储器单元的每一个中的多个晶体管为六个, 包括两个第一导电型式的晶体管和四个第二导电型式的晶体管。

4. 一种具有位功能测试电路的存储器阵列（10），其包括：

多个存储器单元（12），存储器单元的每一个包括多个晶体管（70，74，78，80）；

写电路（14，16），与所述多个存储器单元耦合，用于写存储器阵列；

测试电路（18，20，21，22），用于通过对多条位线和互补位线的每一条分别充电至预定的第一电压和预定的第二电压，调整存储器阵列中的多条位线和互补位线，所述预定的第一电压和预定的第二电压具有当完全功能位被寻址时，不改变存储器阵列的完全功能位的位状态的数值，所述测试电路还激活预定的字线，所述预定的字线选择一行存储器单元，使该行存储器单元中每一个存储器单元的多个晶体管中的全部都电气导通，任何出错的存储器单元都响应所述激活而改变位状态；以及

传感装置（16），用于输出存储器单元的位状态，与所述多个存储器单元耦合。

5. 如权利要求4的存储器，进一步包括：

比较装置（8），与用于输出的所述装置耦合，所述比较装置读被写入的预定的字线，并判断在所述预定的字线中任何存储器单元位状态是否改变。

6. 如权利要求4的存储器，其中，所述将多条位线和互补位线的每一条分别充电至预定的第一电压和预定的第二电压的测试电路包括用于每一条位线和互补位线的：

第一导电型式的第二晶体管（30），具有与第一位线耦合的第一电流电极，用于接收第一控制信号的控制电极，以及与第一参考电压终端耦合的第二电流电极；

第二导电型式的第二晶体管（38），具有与第二参考电压终端耦合的第一电流电极，用于接收第一控制信号的互补的控制电极，以及与第一位线的互补耦合的第二电流电极；以及

耦合在第一位线和第一位线的互补之间的开关装置（34，36），用于响应第二控制信号，有选择地电气连接第一位线和第一位线的互补。

7. 一种检测存储器阵列中故障的方法，其包括：

以当前测试状态写存储器阵列，所述存储器阵列具有多行和多列存储器单元；

通过将位线的部分中的每一条分别充电至预定的电压，调整存储器阵列的位线的部分以及与位线的部分中的每一条相应的互补位线；

将位线的部分的每一条位线连接至其相应的互补位线，其中，在位线的部分中的每一条位线以及其相应的互补位线上的合成电压不改变存储器阵列中非故障存储器单元的任何存储器状态；

激活存储器中预定的字线，所述激活使在预定行存储器单元中每一个存储器单元的多个晶体管中的全部都电气导通；以及

允许任何包含在预定字线中的位改变其存储器状态，作为存储器状态改变的结果，这样的位是有故障的；

其中所述方法进一步包括：

在激活所述预定字线之前，将位线的部分中的每一个与其各自的互补位线电气直接连接，所述电气直接连接将所述预定的电压调节为基本相等。

8. 如权利要求7的方法，进一步包括：

顺序激活存储器阵列中的多条预定的字线，从而顺序测试所述多个存储器单元的每一个；以及

通过同时将预定的电压应用在同时沿着预定的字线的位线的部分和相应的互补位线的全部，调整所述位线的部分和相应的互补位线；

其中，当存储器没有被测试时，所述顺序激活多条预定的字线在基本等于存储器的正常操作速度的速度下进行。

## 存储器及用于在存储器中软故障检测的方法

### 技术领域

本发明总的来说涉及存储器，尤其涉及存储器中软故障错误的检测。

### 背景技术

存储器需要测试，以保证在运输产品之前适当的功能。例如，存储器检测软故障。软故障通常是指那些在一定条件下发生而一定条件下不发生的故障。例如，软故障可以是仅在特定电压、温度或时刻发生的故障。因此这些软故障难于检测。一种用于检测软故障的已知方法，通过向它们写入预定的数据以及在一个等待周期之后将数据读出来测试 SRAM（静态随机访问存储器）单元。但是，等待周期必须相对的长，从而保证所有的非正常存储器单元都出错，这导致较长的测试时间。因此，任何需要长等待周期进行测试的测试技术都会导致较高的测试成本。而且，上述方法不能捕获所有的软故障。因此，需要一种改进的软故障检测技术，该技术降低测试成本并加快测试时间。

### 附图说明

本发明通过举例的方式说明，但是并不限于附图，其中相同的标记表示相同的元件，其中：

图 1 以框图的形式表示根据本发明一个实施例的存储器；

图 2 以示意图的形式表示根据本发明一个实施例的图 1 中的短路和充电电路；

图 3 以流程图的形式表示根据本发明一个实施例的软故障检测方法；以及

图 4 以示意图的形式表示根据本发明一个实施例的 SRAM 单元；以及

图 5 至 6 以图形的形式表示根据本发明不同实施例的与图 4 中的 SRAM 单元对应的电压波形。

熟练的技术人员将知道图中的元件为简明和清楚表示，而不必按照规格来画。例如，图中一些元件的尺寸可以相对于其它元件夸大，以帮助加强对本发明实施例的理解。

### 具体实施方式

如此处所用，术语“总线（bus）”用于指多个信号或导线，它们可以用于传输一个或多个不同类型的信息，例如数据、地址、控制或者状态。这里讨论的导线可以针对单独的导线、多个导线、单向导线或者双向导线进行说明或者描述。但是，不同的实施例可以由不同的导线实现。例如，可以使用分离的单向导线而不是双向导线，反之亦然。同时，多个导线可以替换为串行或以时分多路复用的形式传输多个信号的单独导线。类似地，载有多个信号的单独的导线可以分离输出至载有这些信号子集的多个不同的导线。因此，对于传输信号存在多个选择。

当论及信号、状态位或者类似装置呈现为其逻辑真或逻辑假状态时，分别使用术语“肯定（assert）”和“否定”（或“非肯定”）。如果逻辑真状态是逻辑电平 1，则逻辑假状态是逻辑电平 0。而如果逻辑真状态是逻辑电平 0，则逻辑假状态是逻辑电平 1。同时，在这里描述的实施例中，信号为“高”是指逻辑电平 1，而信号为“低”是指逻辑电平 0。

括号用于表示总线的导线或数值的数位位置。例如，“总线 60[0-7]”或者“总线 60 的导线[0-7]”表示总线 60 的 8 个较低顺序的导线，而“地址位[0-7]”或“ADDRESS[0-7]”表示一个地址值的 8 个较低顺序位。数字前面的符号“\$”表示该数字由十六进制或基于十六的形式表示。数字前面的符号“%”表示该数字由二进制或基于二的形式表示。

图 1 以框图的形式表示根据本发明一个实施例的存储器 10。例如，在一个实施例中，存储器 10（也称为存储器阵列 10）是 SRAM；但是，在替换的实施例中，此处讨论的软故障检测（SDD）技术能用于任何类型的存储器。而且，存储器 10 可以指嵌入的存储器或者独立的存储器。存储器 10 包括  $M+1$  条字线  $WL_0$  至  $WL_M$  以及  $N+1$  对位线  $BL_0, BL_0\text{Bar}$  至  $BL_N, BL_N\text{Bar}$ 。（注意在附图中，互补位线  $BL_x\text{Bar}$ ，被写为  $BL_x$  上面具有一横杠）因此，存储器 10 是一个具有  $M+1$  行及  $N+1$  列的  $M+1$  乘以  $N+1$  的存储器。在每一个位线对和字线交叉处是存储器单元（或位单元），例如存储器单元 12。因此，存储器 10 可以包括任何数目的行和列。

字线  $WL_0$  至  $WL_M$  通过与字线的每一条耦合的字线解码器 14 选择。例如，字线解码器可以接收地址位，其选择字线之一。该位线对与位线解码器和传感放大器 16 耦合。位线解码器和传感放大器 16 也可以包括位线预充电电路，其可以静态或者动态地将位线对预充电至预定的电压。例如，每一条位线可以被预充电为  $V_{dd}$ ，并且每一条互补位线（位线杠）也可以被预充电为  $V_{dd}$ 。在正常操作模式的读期间，当一条字线被激活时，在所选择的位单元中的每一个中存储的数值被加到相应的位线对上。传感放大器，耦合至相应的位线对，用于在所选择的位单元中传感数值。在一个实施例中，传感放大器可以耦合至存储器 10 的位线对中的每一个。但是，在替换的实施例中，一组位线对可以通过使用开关电路（例如多路复用器）共享一个单独的传感放大器。在正常操作模式的写期间，当一条字线被激活时，位线解码器和传感放大器 16 中的写电路使所选择的位线和其互补（位线）具有设置在其中的相反的数据状态，从而允许相应的位单元存储数值。

存储器 10 也包括用于在 SDD 模式下操作的电路。存储器 10 也包括 SDD 位线调整电路 20、21 和 22，它们位于每一对位线之间。也就是说，SDD 位线调整电路 20 耦合于  $BL_0$  和  $BL_0\text{Bar}$  之间，SDD 位

线调整电路 21 耦合于  $BL_1$  和  $BL_1\text{Bar}$  之间, SDD 位线调整电路 22 耦合于  $BL_N$  和  $BL_N\text{Bar}$  之间。(注意到每一个位线对包括一条位线和一条互补位线, 其中如果位线指  $BL_x$ , 互补位线指  $BL_x\text{Bar}$ , 而如果位线指  $BL_x\text{Bar}$ , 则互补位线指  $BL_x$ ) 存储器 10 包括软故障测试控制 18, 其接收 SDD 允许信号 SDD En, 并通过导线 15 将控制信号提供至字线解码器 14, 通过导线 17 提供至位线解码器和传感放大器 16, 通过导线 19 提供至每一个 SDD 位线调整电路(包括调整电路 20、21 和 22)。对于 SDD 模式下的操作, SDD En 是肯定的。在 SDD 模式期间, 位线预充电电路 16 是禁止的。在 SDD 模式期间, 多路复用器(如果有的话)在位线解码器和传感放大器 16 中可以是或不是禁止的。同时, 在 SDD 期间, 字线解码器 14 的功能由软故障测试控制 18 来控制。

在一个实施例中, SDD 模式包括充电阶段、短路阶段以及字线激活阶段。注意到充电阶段和短路阶段可以结合起来称为位线调整阶段。在充电阶段, 软故障测试控制 18 提供 SDD\_charge 信号至调整电路 20、21 和 22 (通过导线 19)。响应 SDD\_charge 信号, 调整电路 20、21 和 22 中的每一个将其相应的位线耦合至第一预定电压并将其互补位线耦合至第二预定电压。例如, 在一个实施例中(如在图 2 中将更详细地讨论的), 相应的位线耦合至  $V_{ss}$ , 而互补位线至  $V_{dd}$ 。作为替换, 位线可以耦合至  $V_{dd}$ , 而互补位线耦合至  $V_{ss}$ 。在另一个实施例中, 可以使用任何电压作为第一和第二预定电压。(应当注意到, 如此处使用的,  $V_{dd}$  大于  $V_{ss}$ , 其中在一个实施例中,  $V_{ss}$  指地电压,  $V_{dd}$  指电源供电电压。因此,  $V_{dd}$  和  $V_{ss}$  每一个也可以作为电源供电电压。)

在充电阶段之后的短路阶段, 响应通过导线 19 从软故障测试控制 18 接收的 SDD\_short 信号, 每一个调整电路 20、21 和 22 将其对应的位线耦合至其对应的互补位线, 从而当相应的字线被激活时, 平均位线和互补位线之间的电压电平。在一个实施例中, 位线和互补位线上的合成平均电压电平为  $V_{dd}/2$ 。该合成平均电压电平允许当字线



被激活（即被寻址）时，对于被激活的位单元中的每一个晶体管电气导通。如果每一个晶体管被电气导通，那么晶体管的任何一个中的软故障都能够被检测。在图 4 中将描述一个针对 SRAM 6T 单元的例子。

如上面所讨论的，充电和短路阶段通过调整电路 20、21 和 22 执行。图 2 表示根据本发明的一个实施例的调整电路 21。（注意到，这里提供的关于调整电路 21 的相同说明应用到调整电路 20 和 22。）图 2 中的调整电路 21 包括耦合在  $BL_1$  和  $BL_1\text{Bar}$  之间的传输门 37，其中传输门包括与 NMOS 晶体管 34 耦合的 PMOS 晶体管 36。也就是说，在结点 31 处，晶体管 36 的第一电流电极与晶体管 34 的第一电流电极和  $BL_1$  耦合。在结点 35 处，晶体管 36 的第二电流电极与晶体管 34 的第二电流电极和  $BL_1\text{Bar}$  耦合。晶体管 34 的控制电极耦合以接收来自软故障测试控制 18 的  $SDD\_short$ ，并且也耦合至反相器 33 的输入端。反相器 33 的输出端耦合至晶体管 36 的控制电极。调整电路 21 还包括 NMOS 晶体管 30，晶体管 30 具有耦合至结点 31 的第一电流电极、耦合至  $V_{ss}$  的第二电流电极，以及具有控制电极，耦合以接收来自软故障测试控制 18 的  $SDD\_charge$ 。晶体管 30 的控制电极也耦合至反相器 40 的输入端。调整电路 21 还包括一个 PMOS 晶体管 38，晶体管 38 具有耦合至  $V_{dd}$  的第一电流电极以及耦合至结点 35 的第二电流电极。反相器 40 的输出端耦合至晶体管 38 的控制电极。

在操作中，晶体管 30 和 38 通过响应肯定的  $SDD\_charge$ ，将  $V_{ss}$  耦合至  $BL_1$  以及将  $V_{dd}$  耦合至  $BL_1\text{Bar}$ ，执行充电阶段。在  $SDD\_charge$  被否定之后， $SDD\_short$  被肯定，从而通过晶体管 36 和 34 使  $BL_1$  和  $BL_1\text{Bar}$  之间的充电相等。在充电相等之后， $SDD\_short$  被否定。但是，在替换的实施例中，在字线激活阶段期间， $SDD\_short$  可以保持肯定，这将在下面讨论。也要注意，不同的电路变化可以用于完成与图 2 的例子相同或相似的功能。

在充电阶段之后的字线激活阶段期间，所选择的字线（例如，

WL<sub>0</sub>) 被激活(即, 被寻址)。也就是说, 软故障测试控制 18 将控制信号提供至字线解码器 14, 以激活所选择的字线。当所选择的字线被激活时, 完全功能的位单元(即, 那些没有任何软故障的)不改变状态。但是, 沿着被激活的字线的任何有故障的位单元, 它们没有在其最佳状态, 将改变状态。例如, 如果图 1 中位单元 12 的最佳状态(假设位单元 12 有软故障)为 1, 并且为进行测试它被写成 0(在 WL<sub>0</sub> 被激活之前), WL<sub>0</sub> 的激活将导致状态改变(从 0 到 1)。但是, 如果位单元 12 为进行测试被写成 1, WL<sub>0</sub> 的激活将不导致状态改变。因此, 在一些实施例中, 为了充分测试位单元 12, 将同时使用 0 和 1 状态来执行充电、短路和激活, 下面将参考图 3 的流程图更详细地描述。如上所述, 根据实施例, 在字线激活阶段, BL<sub>0</sub> 和 BL<sub>0</sub>Bar 可以保持或不保持耦合在一起。

在字线激活阶段之后, 如果需要测试更多的字线, 充电、短路以及字线激活阶段可以被重复, 其中在字线激活阶段, 新的字线被选择用于激活。在一个实施例中, 不同阶段之间的转换可以用状态机来执行。作为替换, 用于通过存储器 12 的位单元循环的外部地址可以用于不同阶段的循环。例如, 外部地址的两个最低有效位(least significant bit)可以用于循环三个阶段。

如上所述, 充电和短路阶段可以合称为调整阶段。因此替代实施例可以以各种不同的方式执行调整阶段, 但是不限于上面描述的充电和短路阶段。例如, 在替代实施例中, 不是执行上面描述的充电和短路阶段, 每一条位线和互补位线能够被耦合至相同的电压电势。也就是说, 在调整阶段, 在字线激活阶段之前, 每一条位线和互补位线能够被耦合至相同的电压电势, 而不是每一条耦合至不同的预定电压电势, 然后将它们一起短路。因此, 在调整阶段, 位线和互补位线被设置为这样的电压电势: 其导致在被激活的位单元中的每一个晶体管将被电气导通。但是要注意到, 每一个位单元可以包括用于存储数值的晶体管, 以及用于访问所存储的数值的晶体管。当在 SDD 模式期间,

所有的用于存储数值的晶体管都被电气导通时，软故障可以在任何用于存储数值的晶体管中检测。

图 1 还包括一个估计器 8，耦合以接收来自存储器 10 的位线解码器和传感放大器 16 的信息，并分析出结果以判断是否存在有故障的位单元。估计器 8 可以和存储器 10 一起设置在芯片上，或者可以是一个外部分析器或测试器。例如，估计器 8 可以是一个内置自测试器（BIST）、功能模式或者外部可编程测试器。估计器 8 还可以是专用的分析器或者非专用的分析器。在操作中，估计器 8 将存储器阵列 10 中的数值（在调整和字线激活阶段之后）与原始写入存储器阵列 10 的数值（在调整和字线激活阶段之前）进行比较，以判断有故障的位单元的存在。例如，在比较中的错误匹配表明存在有故障的位单元。

图 3 以流程图的形式表示一个 SDD 方法的实施例。图 3 的流程起始于开始 40，继续到方框 42，此处存储器阵列 10 被写入当前测试状态。例如，存储器阵列 10 能够全写入 1 或者全写入 0，或者任何测试模式。流程继续到方框 44，其中所选择的位线被调整（即，调整阶段）。例如，如上所述，在使用 SRAM 单元的实施例中，选择的位线对（每一个对具有位线和互补位线）在该步骤中被调整。在一个实施例中，一条位线或一个位线对可以被调整，或一组位线或位线对可以被调整（例如，沿着同一条字线的一组位线对）。在一个实施例中，如上所述，位线调整包括对每一条位线及其相应的互补位线分别充电为第一和第二预定电压（即，充电阶段）。例如，在上面给出的例子中，位线能够被充电为  $V_{ss}$ ，而互补位线能够被充电为  $V_{dd}$ 。在当前实施例中，位线调整还包括将每一条位线与其互补位线连接（即短路阶段）。这使位线和互补位线之间的充电相等。但是，如上所述，各种不同的方法可以用于执行调整阶段。

然后流程继续到方框 46，在此预定的字线被激活（即字线激活阶段），如果存在有故障的位单元其允许改变状态。然后流程继续到

判断框 48, 在此其确定是否存在更多将激活的字线。如果是这样, 流程返回方框 44, 在此另一条位线或另一组位线被调整 (例如沿着不同字线的一组位线), 并且在方框 46, 新的字线被激活。因此, 在一个实施例中, 字线序列地循环, 在此每一次通过该循环 (即方框 44 和 46), 沿着当前字线的所有的位线被调整。

如果在判断框 48 没有其它字线将被激活, 流程继续到方框 50, 在此存储器阵列 10 被读取并与当前测试状态比较, 以确定存储器阵列 10 的功能。例如, 估计器 8 可以读取存储器阵列 10, 以确定存储器阵列 10 的新内容。然后将这些新内容与原始写入存储器阵列 10 的当前测试状态进行比较。如果存在错误匹配, 则表明存在有故障的位单元。然后流程继续到判断框 52, 在此其判断是否有更多的测试状态要测试。如果是这样, 流程继续到方框 54, 在此, 下面将进行测试的测试状态被提供作为当前测试状态, 然后流程继续到方框 42。例如, 如果第一当前测试状态是全 0, 那么下一个测试状态相应地向存储器阵列 10 全部写入 1, 从而所有的位单元对于逻辑 1 和逻辑 0 都被充分估计。替代地, 可以使用不只两个的测试状态, 在此图 3 的流程图执行不只两次。替代地, 可以仅使用一个测试状态。一旦所有的测试状态被测试 (在判断框 52 中), 流程在结束 56 处完成。

图 4 以示意图的形式表示了图 1 中位单元 12 的一个例子。在图 4 的例子中, 位单元 12 是根据本发明一个实施例的 6T SRAM 单元。位单元 12 包括晶体管 70、74、78 和 80, 以及访问晶体管 82 和 84。访问晶体管 82 的第一电流电极耦合至  $BL_0$ , 而访问晶体管 82 的第二电流电极耦合至结点 72。访问晶体管 82 的控制电极耦合至  $WL_0$ 。晶体管 70 的第一电流电极和晶体管 74 的第一电流电极耦合至  $V_{dd}$ , 晶体管 70 的第二电流电极和晶体管 74 的控制电极耦合至结点 72。晶体管 74 的第二电流电极和晶体管 70 的控制电极耦合至结点 76。晶体管 78 的第一电流电极耦合至结点 72, 晶体管 78 的第二电流电极耦合至  $V_{ss}$ , 晶体管 78 的控制电极耦合至结点 76。晶体管 80 的第一电流电

极耦合至结点 76，晶体管 80 的第二电流电极耦合至  $V_{ss}$ ，晶体管 80 的控制电极耦合至结点 72。访问晶体管 84 的第一电流电极耦合至结点 76，访问晶体管 84 的第二电流电极耦合至  $BL_0\text{Bar}$ ，访问晶体管 84 的控制电极耦合至  $WL_0$ 。在一个实施例中，晶体管 70 和 74 为 PMOS 晶体管，晶体管 78、80、82 和 84 为 NMOS 晶体管。

在操作中，6T SRAM 单元以现有技术的方式操作。也就是说，结点 72 和 76 存储数值，其通过访问晶体管 82 和 84 可以被访问（读或写），访问晶体管 82 和 84 通过相应的位单元的字线被激活。因此，晶体管 70、74、78 和 80 操作用于存储数值，而晶体管 82 和 84 用于访问存储的数值。但是，应注意到的是，当访问晶体管 82 和 84 为激活时，它们也可以操作为辅助存储所存储的数值。而且，当访问晶体管 82 和 84 为激活时，晶体管 70 和 74 可以不需要。

如上所述，在 SDD 模式的调整阶段期间，在  $BL_0$  和  $BL_0\text{Bar}$  上的充电是相等的（通过充电和短路阶段）或者设置为相同的电压，从而保证晶体管 70、74、78 和 80 在  $WL_0$  激活时为电气导通。例如，在一个实施例中，使位线和互补位线上的充电相等，平均电压电平为  $V_{dd}/2$ ，其使得所有的晶体管 70、74、78 和 80 电气导通。因此，当  $WL_0$  激活时，串联连接的晶体管 70 和 78，以及串联连接的晶体管 74 和 80 为导通的（其中，在所示的例子中，晶体管 70 和 78，以及晶体管 74 和 80，具有相反的导电型式）。

如果位单元 12 中没有故障，调整位线和相应字线激活没有导致存储的数值状态改变。例如，图 6 表示相应于结点 72 处的电压和结点 76 处的电压的波形。如果结点 72 处的电压原始为高（对应于  $V_{dd}$ ），而结点 76 处的电压原始为低（对应于  $V_{ss}$ ），则位单元 12 存储逻辑电平 1。当  $WL_0$  激活时，由图 6 中的箭头 91 表示，访问晶体管 82 和 84 被激活，而结点 76 处的电压升高，因为电流通过晶体管 84 和 80 传导，晶体管 80 的电压升高。结点 72 处的电压下降，因为当  $BL_0$  在

Vdd/2 时，电流通过晶体管 70 和 82 从 Vdd 下拉。结点 72 和 76 处的电压最终达到稳定的状态值。当相应的字线停止激活（deactivate）时（如图 6 中箭头 92 表示），结点 72 和 76 处的电压简单地返回至原始数值，其对应于如字线激活之前存储的同样的状态。也就是说，在位单元 12 中不发生状态改变。应当注意到，图 6 中的电压差 90 应当保持足够大，从而保证自举（robust）操作。也就是说，如果差 90 变得太小，则位单元 12 可能变得处理变化太敏感。

但是，如果晶体管 70、74、78 和 80 的任何一个具有故障，位线的调整和随后相应于字线的激活就导致状态改变，因此表示故障存在，这将在图 5 中描述。图 5 表示对应于结点 72 处的电压和结点 76 处的电压的波形，假设位单元 12 有故障（在当前例子中，晶体管 70 被假设为有故障）。如图 6，如果结点 72 处的电压原始为高（对应于 Vdd），并且结点 76 处的电压原始为低（对应于 Vss），则位单元 12 存储逻辑电平 1。当  $WL_0$  激活时，由图 5 中的箭头 87 表示，访问晶体管 82 和 84 被激活。由于在当前例子中晶体管 70 被认为有故障（有阻抗或开路），结点 72 处的电压下降相当大的数量，导致位单元 12 变得不稳定，并因此改变状态。例如，当结点 72 处的电压下降太多，晶体管 80 开始传导更少的电流，而晶体管 74 传导更多的电流。这将导致晶体管 78 传导更多的电流，其最终毁坏位单元 12 中存储的数值。同时，结点 76 处的电压升高，因为，如前所述，晶体管 74 传导更多。如图 5 所看到的，有故障的晶体管 70 产生状态改变。因此，当相应的字线停止激活时（如图 5 中箭头 89 所示），位单元 12 存储不同的状态（例如，逻辑电平 0）。

应当注意到，晶体管 70、74、78 和 80 中的任何一个或多个的任何故障都会导致位单元 12 中的状态改变，这归因于由有故障的一个晶体管或多个晶体管导致的在位单元中的不稳定性。也要注意，当相应的字线激活时，发生这样的状态改变，其允许对软故障速度测试。（速度测试指以一个实质上与存储器 10 的正常操作类似速度的测

试。)也就是说,由于状态改变(假设故障存在)响应字线激活立即发生,不需要在字线激活之后的长等待时间。也要注意图 5 和 6 中的波形可以反向,从而在激活箭头 87 和 91 之前,结点 72 处的电压为低,而结点 76 处的电压为高,从而波形相应于原始存储的逻辑电平 0 而不是逻辑电平 1。在这种情况下,在图 6 中,假设一个非故障位单元,在非激活箭头 92 之后的波形仍然对应于逻辑电平 0,而图 5 中,假设一个非故障位单元,在非激活箭头 89 之后的波形对应于改变的状态,即逻辑电平 1。

注意到这里描述的 SDD 方法,可以用在并行的多个位单元中。例如,沿着所选字线的所有位单元可以并行调整,用于随后的位线激活。以这种方式,一条单独字线的激活影响多个位单元,其进一步减少测试时间。对于一些实施例,尖峰(或动态)电流可以被控制,从而除了存储器正常操作期间画出的,调整阶段不再画出任何电流。

尽管本发明已经针对特定的导电型式或电势极性进行了描述,熟练的技术人员将认识到导电型式和电势极性是可以相反的。而且,可以使用与图示的不同的电路元件。对于不同的电路还可以使用不同的晶体管类型。这里描述的方法可以通过硬件或者软件或者硬件和软件的结合实现。上面描述的方法部分也可以以固件的形式实现。这里描述的方法也可以以独立的集成电路或者集成电路的结合实现。例如,存储器阵列可以被设置在集成电路中,而估计器 8 可以被设置在同一集成电路中,也可以在不同的集成电路中。同时,在图 3 的流程图中的方框能以不同的顺序实现,或者可以包括比图示的更多或更少的步骤。

在前面的说明书中,已经参考特定的实施例描述了本发明。但是,本领域的普通技术人员知道可以进行不同的修改和变化,而不脱离本发明如下面的权利要求书所提出的范围。因此,说明书和附图仅用于解释说明,而不是约束性的理解,并且所有的修改将包括在本发明的

范围之内。

以上针对特定的实施例描述了其好处、其它优点以及问题的解决方案。但是这些好处、优点以及问题的解决方案，和可以导致任何好处、优点或将实现或变得更明显的解决方案的任何元件，不构成任何或所有权利要求的关键的、必需的或重要的特征或元件。如这里所用，术语“包括”、“包含”或任何其它改变，其用意还覆盖了非唯一的包含，例如处理、方法、物品或者包括一系列元件的装置不仅包括那些元件，还可以包括其它元件，没清楚地列出或者隐含的这样的处理、方法、物品或装置。



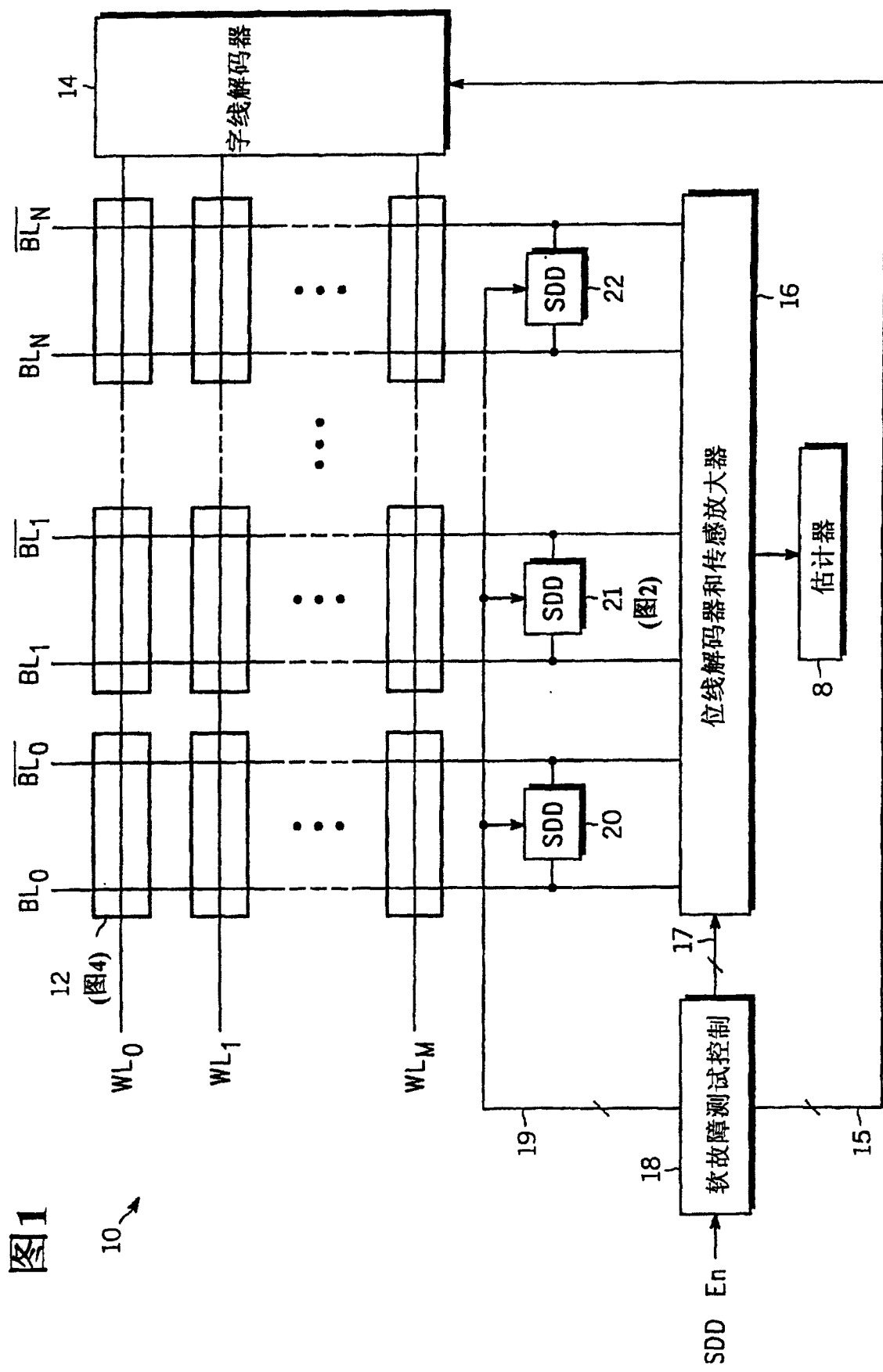


图2

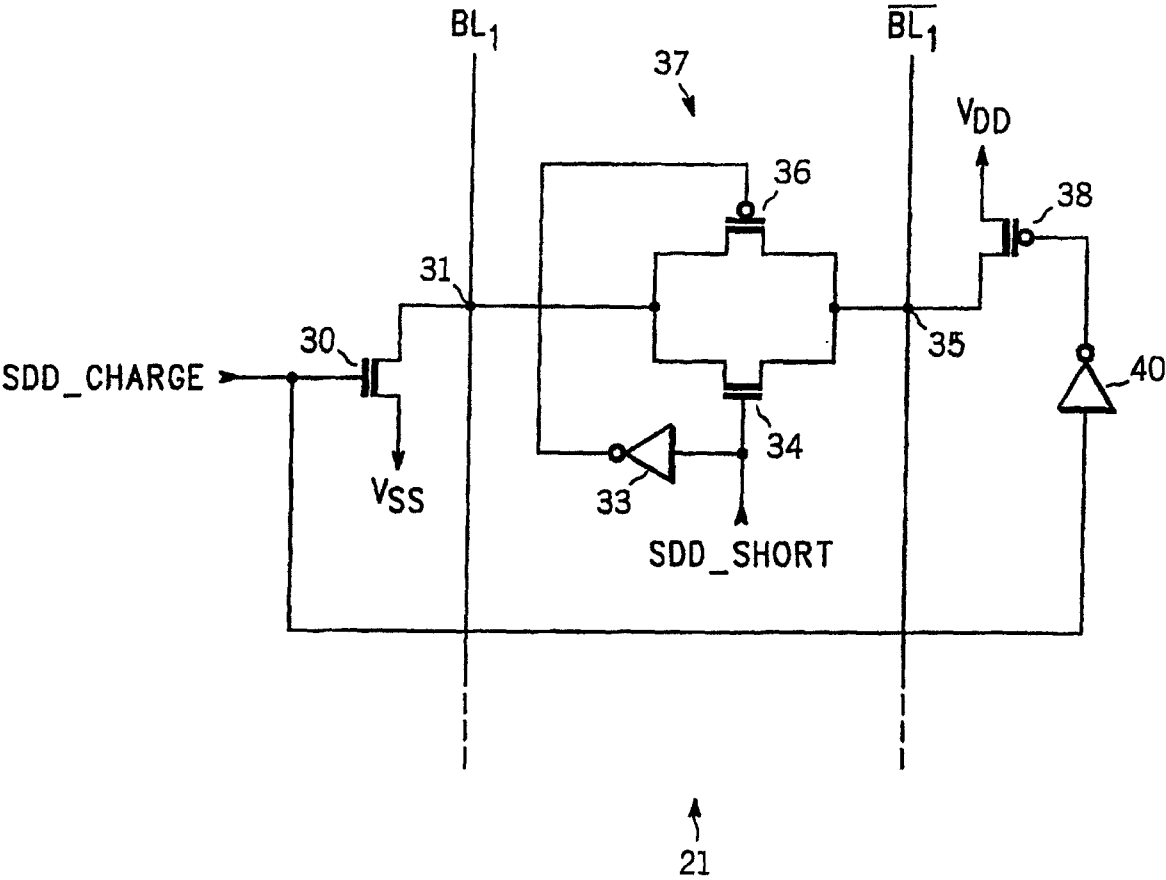


图3

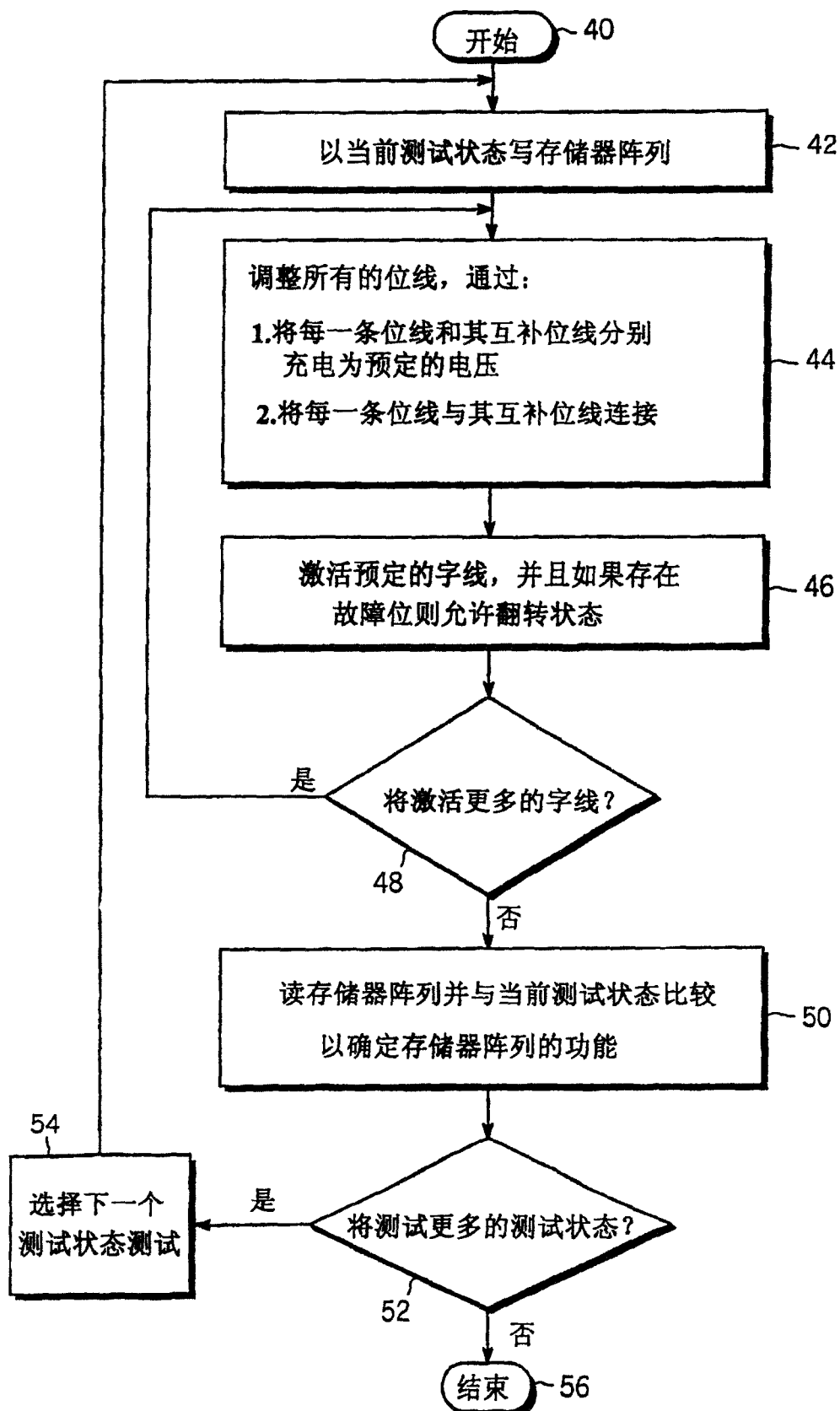


图4

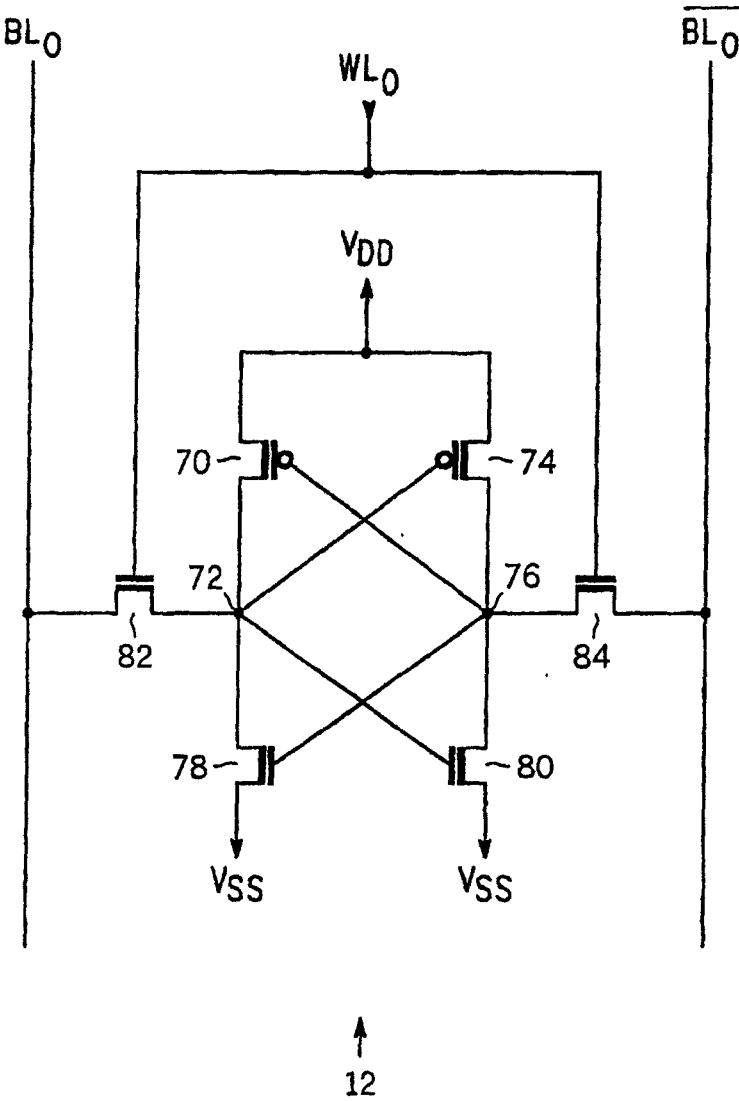


图5

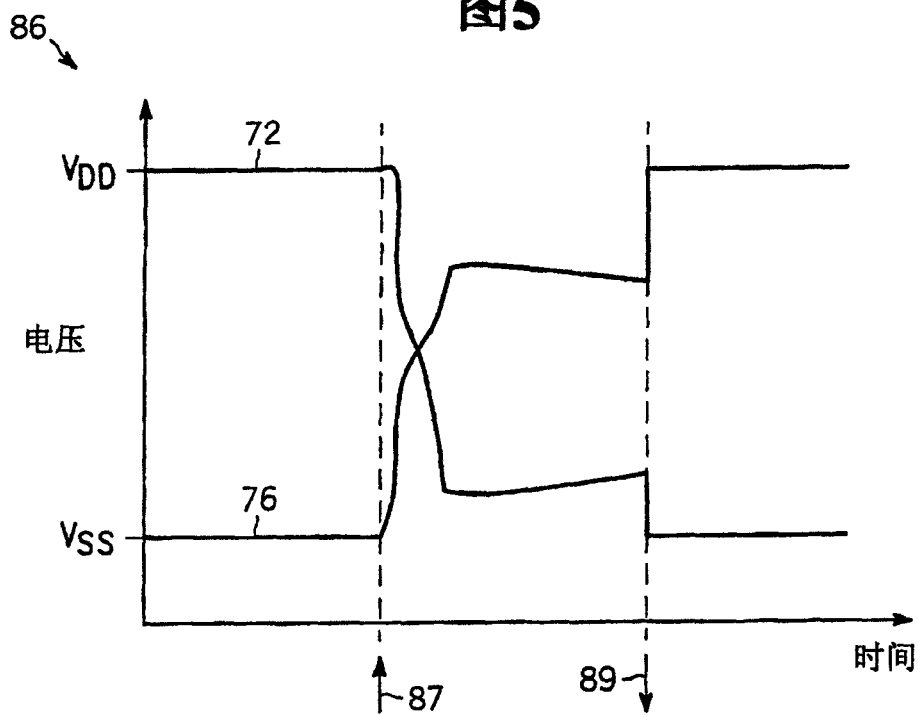


图6

