



(12) 发明专利

(10) 授权公告号 CN 108140616 B

(45) 授权公告日 2021.04.30

(21) 申请号 201580083834.6  
 (22) 申请日 2015.10.15  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 108140616 A  
 (43) 申请公布日 2018.06.08  
 (85) PCT国际申请进入国家阶段日  
 2018.04.13  
 (86) PCT国际申请的申请数据  
 PCT/JP2015/079179 2015.10.15  
 (87) PCT国际申请的公布数据  
 W02017/064791 JA 2017.04.20  
 (73) 专利权人 瑞萨电子株式会社  
 地址 日本东京都  
 (72) 发明人 中川和之 土屋惠太 佐藤嘉昭  
 马场伸治

(74) 专利代理机构 北京市金杜律师事务所  
 11256  
 代理人 陈伟 闫剑平  
 (51) Int.Cl.  
 H01L 23/12 (2006.01)  
 H01G 2/06 (2006.01)  
 H01L 25/00 (2006.01)  
 H05K 3/46 (2006.01)  
 (56) 对比文件  
 US 2011011634 A1, 2011.01.20  
 US 2012080222 A1, 2012.04.05  
 US 2010124035 A1, 2010.05.20  
 JP 2014187127 A, 2014.10.02  
 US 2009032922 A1, 2009.02.05  
 审查员 曹毓涵

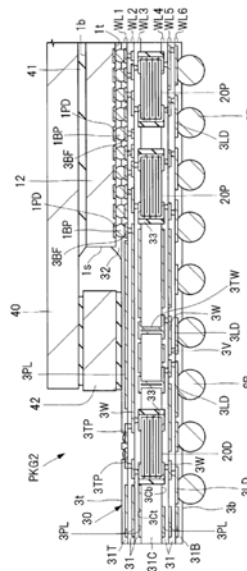
权利要求书2页 说明书26页 附图22页

(54) 发明名称

半导体器件

(57) 摘要

半导体器件包含：布线基板，其具备第一面及上述第一面的相反侧的第二面；半导体芯片，其搭载于上述布线基板，并具备多个芯片电极；第一电容器，其在俯视时配置在与上述半导体芯片重叠的位置，且内置于上述布线基板；以及第二电容器，其在俯视时配置在上述第一电容器与上述布线基板的周缘部之间。另外，上述第二电容器以串联连接的方式插入于相对于上述半导体芯片输入或输出电信号的信号传送路径。



1. 一种半导体器件,其特征在于,包含:
  - 布线基板,其具备第一面及所述第一面的相反侧的第二面;
  - 半导体芯片,其搭载于所述布线基板,并具备多个芯片电极;
  - 第一电容器,其在俯视时配置在与所述半导体芯片重叠的位置,且内置于所述布线基板;以及
  - 第二电容器,其在俯视时配置在所述第一电容器与所述布线基板的周缘部之间的不与所述半导体芯片重叠的位置,且内置于所述布线基板,
    - 所述布线基板具有:
      - 多个芯片连接用端子,其配置于所述第一面侧,并与所述半导体芯片的所述多个芯片电极电连接;
      - 多个外部端子,其配置于所述第二面侧;以及
      - 第一端子及第二端子,其与所述第二电容器电连接,
    - 所述第二电容器具有:
      - 第一电极,其与所述多个芯片连接用端子中的第一芯片连接用端子及所述第一端子分别电连接;以及
      - 第二电极,其与所述多个外部端子中的第一外部端子及所述第二端子分别电连接,并且所述第二电容器以串联连接的方式插入于相对于所述半导体芯片输入或输出电信号的信号传送路径,
    - 所述第一端子的一部分从所述布线基板露出,
    - 所述第二端子的一部分从所述布线基板露出。
2. 根据权利要求1所述的半导体器件,其特征在于,
  - 所述第一电容器与向所述半导体芯片供给电源电位的电源电位供给路径连接。
3. 根据权利要求2所述的半导体器件,其特征在于,
  - 在俯视时,所述第二电容器与所述布线基板的周缘端之间的间隔小于所述第二电容器与所述半导体芯片之间的间隔。
4. 根据权利要求2所述的半导体器件,其特征在于,
  - 所述布线基板具备:
    - 第一绝缘层,其具有位于所述第一面与所述第二面之间的第三面、及所述第三面的相反侧的第四面;以及
    - 多个通孔布线,其形成为从所述第一绝缘层的所述第三面及所述第四面中的一方贯穿至另一方,
  - 所述第二电容器配置在所述第三面与所述第四面之间,且与所述多个通孔布线电隔离。
5. 根据权利要求1所述的半导体器件,其特征在于,
  - 从所述第二电容器的所述第一电极至所述布线基板的所述第一端子为止的布线路径距离及从所述第二电容器的所述第二电极至所述布线基板的所述第二端子为止的布线路径距离分别为所述电信号的波长的 $1/4$ 以下。
6. 根据权利要求1所述的半导体器件,其特征在于,
  - 在俯视时,所述第一端子及所述第二端子配置在与所述第二电容器重叠的位置。

7. 根据权利要求1所述的半导体器件,其特征在于,  
所述第一端子及所述第二端子形成于所述布线基板的所述第一面侧,  
在所述布线基板的所述第一面上搭载有覆盖所述半导体芯片的整体的第一构件,  
在俯视时,所述第一端子及所述第二端子配置在所述第一构件与所述布线基板的周缘端之间。

8. 根据权利要求1所述的半导体器件,其特征在于,  
在所述布线基板的所述第一面上搭载有覆盖所述半导体芯片的整体的第一构件,  
在俯视时,所述第二电容器配置在与所述第一构件重叠的位置,  
所述第一端子及所述第二端子形成于所述布线基板的所述第二面侧。

9. 一种半导体器件,其特征在于,包含:

布线基板,其具备第一面及所述第一面的相反侧的第二面;

半导体芯片,其搭载于所述布线基板,并具有多个芯片电极;以及

电容器,其在俯视时配置在不与所述半导体芯片重叠的位置,且内置于所述布线基板,  
所述布线基板具备:

多个芯片连接用端子,其配置于所述第一面侧,并与所述半导体芯片的所述多个芯片电极电连接;

多个外部端子,其配置于所述第二面侧;以及

第一端子及第二端子,其与所述电容器电连接,

所述电容器具备:

第一电极,其与所述多个芯片连接用端子中的第一芯片连接用端子及所述第一端子分别电连接;以及

第二电极,其与所述多个外部端子中的第一外部端子及所述第二端子分别电连接,

并且所述电容器以串联连接的方式插入于相对于形成于所述半导体芯片的第一电路输入或输出电信号的信号传送路径,

所述第一端子的一部分从所述布线基板露出,

所述第二端子的一部分从所述布线基板露出。

10. 根据权利要求9所述的半导体器件,其特征在于,

所述布线基板具有:

第一绝缘层,其具有位于所述第一面与所述第二面之间的第三面、及所述第三面的相反侧的第四面;以及

多个通孔布线,其形成为从所述第一绝缘层的所述第三面及所述第四面中的一方贯穿至另一方,

所述电容器配置在所述第三面与所述第四面之间,且与所述多个通孔布线电隔离。

## 半导体器件

### 技术领域

[0001] 本发明涉及一种具有搭载有例如半导体芯片及电容器的布线基板的半导体器件。

### 背景技术

[0002] 日本特开2010—21275号公报(专利文献1)、日本特开2009—38111号公报(专利文献2)、日本特开2012—89590号公报(专利文献3)、及国际公开第2006/001087号(专利文献4)中记载有在布线基板上搭载有半导体芯片及电容器等芯片部件的半导体器件。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2010—21275号公报

[0006] 专利文献2:日本特开2009—38111号公报

[0007] 专利文献3:日本特开2012—89590号公报

[0008] 专利文献4:国际公开第2006/001087号

### 发明内容

[0009] 有一种技术,将多个半导体器件搭载于母板等布线基板上,并将电容器串联连接于将该多个半导体器件彼此电连接的信号路径。该电容器用于阻断交流信号中所含的直流成分,被称为DC(Direct Current:直流)阻断用电容器、或AC(Alternate Current:交流)耦合用电容器(以下称为DC阻断用电容器)。

[0010] 本申请发明人针对作为将如上述那样在多个半导体器件之间进行信号的输入输出的电子器件小型化的设计的一环而将以往搭载于布线基板上的DC阻断用电容器搭载于半导体器件的内部的技术进行了探讨。

[0011] 然后,根据上述探讨的结果可知,在仅将DC阻断用的电容器内置于半导体器件的内部的情况下,根据电容器的布局,从半导体器件的电特性及可靠性的观点来看是有问题的。

[0012] 其它问题及新特征从本说明书的记述及附图而变得明朗。

[0013] 一实施方式的半导体器件包含:布线基板,其具备第一面及上述第一面的相反侧的第二面;半导体芯片,其搭载于上述布线基板,并具备多个芯片电极;第一电容器,其在俯视时配置在与上述半导体芯片重叠的位置,且内置于上述布线基板;第二电容器,其在俯视时配置在上述第一电容器与上述布线基板的周缘部之间。另外,上述第二电容器以串联连接的方式插入于相对于上述半导体芯片输入或输出电信号的信号传送路径。

[0014] 发明效果

[0015] 根据上述一实施方式,能够提高半导体器件的电特性及可靠性。

### 附图说明

[0016] 图1是表示包含作为一实施方式的半导体器件在内的电子器件的结构例的说明

图。

[0017] 图2是表示图1所示的电子器件所具备的电路的结构例的说明图。

[0018] 图3是图1所示的多个半导体器件中内置DC阻断用的电容器的半导体器件的俯视图。

[0019] 图4是图3所示的半导体器件的仰视图。

[0020] 图5是表示在拆下了图3所示的散热板的状态下布线基板上的半导体器件的内部构造的俯视图。

[0021] 图6是沿着图3的A—A线的剖视图。

[0022] 图7是表示图5所示的多个电容器中的一个的俯视图。

[0023] 图8是沿着图7的A—A线的剖视图。

[0024] 图9是作为相对于图6的变形例的半导体器件的放大剖视图。

[0025] 图10是示意性表示与图5所示的DC阻断用的电容器连接的信号传送路径的例子的放大剖视图。

[0026] 图11是将作为相对于图5的变形例的半导体器件的内置DC阻断用的电容器的区域的外围放大表示的放大俯视图。

[0027] 图12是图11所示的半导体器件的放大剖视图。

[0028] 图13是将作为相对于图5的另一变形例的半导体器件的内置DC阻断用的电容器的区域的外围放大表示的放大俯视图。

[0029] 图14是图13所示的半导体器件的放大剖视图。

[0030] 图15是图10所示的多个布线层中埋入有电容器的布线层的放大俯视图。

[0031] 图16是图15所示的布线层的上层的布线层的放大俯视图。

[0032] 图17是图16所示的布线层的上层的布线层的放大俯视图。

[0033] 图18是表示构成图10所示的高速传送路径的电容器和形成有通孔布线的芯绝缘层的关系的主要部分剖视图。

[0034] 图19是表示作为相对于图18的变形例的半导体器件的电容器和形成有通孔布线的芯绝缘层的关系的主要部分剖视图。

[0035] 图20是表示作为相对于图18的另一变形例的半导体器件的电容器和形成有通孔布线的芯绝缘层的关系的主要部分剖视图。

[0036] 图21是表示在内置于布线基板内的电容器上连接通路布线的实施方式的例子的主要部分剖视图。

[0037] 图22是表示在内置于布线基板内的电容器上连接通路布线的不同于图21的实施方式的例子的主要部分剖视图。

[0038] 图23是表示在内置于布线基板内的电容器上连接通路布线的不同于图21、图22的实施方式的例子的主要部分剖视图。

[0039] 图24是表示在内置于布线基板内的电容器上连接通路布线的不同于图21~图23的实施方式的例子的主要部分剖视图。

[0040] 图25是表示作为一实施方式的半导体器件的制造工序的概要的说明图。

[0041] 图26是表示在图25所示的布线基板准备工序中准备的布线基板的制造工序的一例的说明图。

[0042] 图27是示意性表示在图25所示的电气试验工序中使DC阻断用的电容器的电极短路来进行检查的状态的放大剖视图。

[0043] 图28是表示作为相对于图1的变形例的半导体器件的上表面侧的俯视图。

[0044] 图29是图28所示的半导体器件的仰视图。

[0045] 图30是示意性表示与作为相对于图10的变形例的半导体器件所具有的DC阻断用的电容器连接的信号传送路径的例子的放大剖视图。

[0046] 图31是示意性表示与作为相对于图10的另一变形例的半导体器件所具有的DC阻断用的电容器连接的信号传送路径的例子的放大剖视图。

[0047] 图32是表示从作为相对于图5的探讨例的半导体器件所具有的布线基板的上表面侧观看的透视平面中多个电容器和半导体芯片的位置关系的俯视图。

[0048] 图33是示意性表示与图32所示的DC阻断用的电容器连接的信号传送路径的例子的放大剖视图。

### 具体实施方式

[0049] (本申请的记载形式、基本用语、用法的说明)

[0050] 在本申请中,实施方式的记载根据需要,为了方便而分成多个段等进行记载,除了特别明示并非这样的主旨的情况外,它们不是相互独立分开,不论记载的前后,单一例的各部分、一方是另一方的局部详情、或是一部分或者全部的变形例等。另外,原则上,同样的部分省略重复的说明。另外,实施方式中的各构成要素除了特别明示并非这样的情况、理论上限定其数目的情况及从文章脉络来看明显并非这样的情况外,不是必须的。

[0051] 同样地,在实施方式等记载中,关于材料、组成等,即使提及“由A构成的X”等,除了特别明示并非这样的主旨的情况及从文章脉络来看明显并非这样的情况外,也不排除包含A以外的要素的情况。例如,就成分来说,是指“包含A作为主要成分的X”等。例如,即使提及“硅构件”等,也并不限于单一的硅,自然也包含SiGe(硅锗)合金或其它以硅为主要成分的多元合金、含有其它添加物等的构件。另外,即使提及镀金、Cu层、镀镍等,除了特别明示并非这样的主旨的情况外,不仅是包含单一成分,而且还包含分别以金、Cu、镍等为主成分的构件。

[0052] 进而,在提及特定的数值、数量时,除了特别明示并非这样的主旨的情况、理论上限定其数目的情况及从文章脉络来看明显并非这样的情况外,可以为超过其特定数值的数值,也可以为低于该特定数值的数值。

[0053] 另外,在实施方式的各图中,同一或同样的部分利用同一或类似的记号或者附图标记表示,原则上不重复说明。

[0054] 另外,在附图中,有时在复杂的情况下或与空隙的区别明确的情况下,虽然是截面,仍省略剖面线等。与此相关地,在从说明等显而易见的情况下,有时即使为平面上封闭的孔,也省略背景的轮廓线。进而,即使不是截面,为了明示非空隙或明示区域的界限,也往往标注剖面线或点图案。

[0055] (实施方式)

[0056] <电子器件>

[0057] 首先,使用图1及图2,对在母板上搭载有多个半导体器件(半导体封装)并在多个

半导体器件之间传送电信号的电子器件的结构例进行说明。图1是表示包含本实施方式的半导体器件的电子器件的结构例的说明图。另外,图2是表示图1所示的电子器件所具备的电路的结构例的说明图。此外,在图1中,为了清楚地显示半导体器件PKG1与半导体器件PKG2电连接,通过粗线示意性示出图2所示的高速传送路径SGP2。

[0058] 图1所示的电子器件(电子设备)EDV1具有布线基板(母板、安装基板)MB1、搭载于布线基板MB1的半导体器件PKG1、及搭载于布线基板MB1的半导体器件PKG2。半导体器件PKG1和半导体器件PKG2经由形成于布线基板MB1的信号传送路径SGP彼此电连接。

[0059] 详细而言,如图2所示,电子器件EDV1具有多个信号传送路径SGP。在图2所示的例子中,多个信号传送路径SGP包含以第一传送速度传送电信号的低速传送路径SGP1、和以比第一传送速度快第二传送速度传送电信号的高速传送路径SGP2。另外,在图2所示的例子中,高速传送路径SGP2由传送差动信号的一对差动信号传送路径DSp、DSn构成。

[0060] 此外,在本实施方式中,作为高速传送路径SGP2的一例,采取经由一对差动信号传送路径DSp、DSn来传送差动信号的实施方式进行说明,高速信号的种类除了差动信号外,还能够适用各种变形例。例如,即使是使用一个信号传送路径SGP的所谓单端构造的情况,也能够通过提高频率而进行高速传送。

[0061] 另外,在图2所示的例子中,在半导体器件PKG1所具有的半导体芯片11上形成有以例如第一传送速度传送的低速信号发送用的电极(电极焊盘)TxL。另外,在半导体芯片11上形成有以例如比第一传送速度快第二传送速度传送的高速信号发送用的电极(电极焊盘)Tx(详细而言,为输出一对差动信号的电极Txp及电极Txn)。

[0062] 另一方面,在半导体器件PKG2所具有的半导体芯片12上形成有以第一传送速度传送的低速信号接收用的电极(电极焊盘)RxL。另外,在半导体芯片12上形成有以例如比第一传送速度快第二传送速度传送的高速信号接收用的电极(电极焊盘)Rx(详细而言,为输入一对差动信号的电极Rxp及电极Rxn)。

[0063] 而且,在通过将电极TxL和电极RxL电连接而形成的低速传送路径SGP1中,以例如低于3Gbps(Gigabit per second)的传送速度传送电信号。另外,在通过将电极Tx和电极Rx电连接而形成的高速传送路径SGP2中,以例如3Gbps~100Gbps左右的传送速度传送电信号。

[0064] 在如电子器件EDV1那样以高速传送信号的情况下,优选将电容器20D串联连接于高速传送路径SGP2中。能够通过插入至高速传送路径SGP2中的电容器20D阻断交流信号中所含的直流成分(换言之,阻隔直流成分)。由此,能够使高速的信号输入输出稳定化。将这样以串联连接的方式插入于信号传送路径中来阻断交流信号中的直流成分的电容器20D称为DC(Direct Current)阻断用电容器或AC(Alternate Current)耦合用电容器、或DC阻隔用电容器(以下称为DC阻断用电容器)。

[0065] 作为DC阻断用电容器的电容器20D,与例如图2所示的电容器20P那样以并联连接的方式插入于电源电路中的电源电路用的电容器20P区别开来。图2所示的电容器20P被插入到将基准电位(第一电位)VSS供给至半导体芯片12的基准电位供给路径VSP和将电源电位(第二电位)VDD供给到半导体芯片12的电源电位供给路径VDP之间。电容器20P能够作为将电源电位供给路径VDP中所含的噪声(信号)旁路流动至基准电位供给路径VSP侧的旁路电容器起作用。另外,电容器20P能够作为去耦电容器起作用,该去耦电容器通过减小形成

于半导体芯片12的电路中流过的电流的回路(路径距离)而降低电源电位供给路径VDP及基准电位供给路径VSP中所含的阻抗成分的影响。另外,通过在消耗所供给的电力的电路附近连接电容器20P而还作为抑制驱动电压瞬间下降的现象的蓄电池起作用。

[0066] 作为上述的旁路电容器、去耦电容器或蓄电池来使用的电源电路用的电容器20P均并联连接地插入于电源电路中。另一方面,电容器20D串联连接地插入于信号传送路径SGP中。因此,如图2所示,在由差动信号传送路径DSp、DSn构成高速传送路径SGP2的情况下,分别对差动信号传送路径DSp及差动信号传送路径DSn插入电容器20D。

[0067] 此外,将电容器串联连接于布线路径(信号传送路径或电位供给路径)中的状态、及并联连接于布线路径(信号传送路径或电位供给路径)中的状态能够以下述方式来定义。即,电容器具有两个电极,能够通过连接于该两个电极的布线的连接目的地进行定义。例如,在

[0068] 图2所示的例子中,电容器20D所具有的一电极经由第一布线与半导体芯片12的电极Rx连接。另外,电容器20D所具有的另一电极经由不同于上述第一布线的第二布线与触点3LH连接。于是,触点3LH和半导体芯片12的电极Rx经由电容器20D电连接。该情况下,电容器20D可以说串联连接于将半导体芯片12的电极Rx和触点3LH电连接的布线路径中。

[0069] 另外,电容器20P具有的一电极经由第一布线与半导体芯片12的电极Vd及触点3LVd分别连接。另外,电容器20P具有的另一电极经由不同于上述第一布线的第二布线与半导体芯片12的电极Vs及触点3LVs分别连接。该情况下,电容器20P可以说并联连接于对半导体芯片12供给电源电位的布线路径和供给基准电位的布线路径之间。

[0070] 在此,如上所述,作为DC阻断用电容器的电容器20D只要在高速传送路径SGP2中至少插入一个以上即可。因此,也能够例如在图1所示的布线基板MB1搭载电容器20D。但是,DC阻断用电容器需要与高速传送路径SGP2的个数对应地来搭载。例如,在单端构造的高速传送路径的情况下,需要与高速传送路径的个数相同数量的电容器20D。另外,例如,如图2所示,在传送差动信号的高速传送路径SGP2的情况下,相对于该差动对的高速传送路径SGP各需要一个(共两个)电容器20D。

[0071] 这样,在将多个电容器20D搭载于布线基板MB1的情况下,形成于布线基板MB1的多个布线中,构成高速传送路径SGP2的布线的的设计变得复杂。另外,因布线的的设计变得复杂,从而电子器件EDV1不易小型化。

[0072] 另外,在高速传送路径SGP2中,从降低串扰噪声的观点出发,构成高速传送路径SGP2的布线优选形成于图1所示的布线基板MB1的内层(与形成有供半导体器件PKG1、PKG2安装的端子的布线层相比形成于内侧的布线层)。然而,在将电容器20D搭载于布线基板MB1的情况下,为了将电容器20D和高速传送路径SGP2电连接,需要经由未图示的通路或通孔等将层叠而成的布线层间电连接的层间导电路径。通路或通孔等层间导电路径成为使高速传送路径SGP2中的阻抗不连续发生的原因。因此,从使高速传送路径SGP2的电特性提高的观点出发,优选降低高速传送路径SGP2中包含的层间导电路径的数量。

[0073] 因此,本申请发明人对如图1所示将作为DC阻断用电容器的电容器20D搭载于半导体器件PKG2内的技术进行了探讨。通过将电容器20D搭载于半导体器件PKG2内,能够将形成于布线基板MB1的布线的布局简单化。由此,能够将布线基板MB1小型化。

[0074] 另外,通过将电容器20D搭载于半导体器件PKG2内,能够降低插入于布线基板MB1

具有的高速传送路径SGP2的层间导电路径的数目。由此,能够使高速传送路径SGP2的电特性提高。

[0075] 此外,在本实施方式中,如图1所示,在具有发送用的电路的半导体器件PKG1和具有接收用的电路的半导体器件PKG2中的、具有接收用的电路的半导体器件PKG2上,搭载有电容器20D。但是,如上所述,电容器20D只要在高速传送路径SGP2中插入一个以上即可。因此,作为相对于图1的变形例,也可以在具有发送用的电路的半导体器件PKG1上搭载电容器20D,而不在半导体器件PKG2上搭载电容器20D。另外,作为相对于图1的另一变形例,也可以在半导体器件PKG1和半导体器件PKG2这两者上均搭载电容器20D。

[0076] <半导体器件>

[0077] 接着,以图1所示的半导体器件PKG2为例,对在半导体器件PKG2内搭载DC阻断用的电容器20D的实施方式进行详细地说明。图3是图1所示的多个半导体器件中的具有DC阻断用的电容器的半导体器件的俯视图。另外,图4是图3所示的半导体器件的仰视图。另外,图5是表示在从图3所示的布线基板的上表面侧观察的透视平面中多个电容器和半导体芯片的位置关系的俯视图。另外,图6是沿着图3的A—A线的放大剖视图。

[0078] 此外,在图3~图6中,为了容易观看,减少了端子数来示出。端子(端子3BF、触点3LD、焊锡球SB)的数量不限于图6所示的方式。例如,能够适用于端子3BF、触点3LD、焊锡球SB等的端子数分别为100个~10000个左右的半导体器件。另外,图5中,为了明示多个电容器和半导体芯片的平面的位置关系,利用虚线表示内置于布线基板30内的多个电容器的轮廓。另外,图5为俯视图,但为了易于识别多个电容器中的电容器20D和电容器20P,在多个电容器20P上分别附上剖面线。另外,图6为剖视图,但为了容易观看,多个绝缘层31各自及底部填充(under fill)树脂省略了剖面线。

[0079] 首先,使用图3~图6说明本实施方式的半导体器件PKG2的概要结构。本实施方式的半导体器件PKG2具备布线基板30、搭载于布线基板30的半导体芯片12(参照图5)、及内置于布线基板30内的多个电容器20D、20P。

[0080] 如图6所示,布线基板30具有搭载有半导体芯片12的上表面(面、主面、芯片搭载面)3t、上表面3t的相反侧的下表面(面、主面、安装面)3b、及配置于上表面3t与下表面3b之间的多个侧面3s(参照图3~图5),如图4及图5所示,俯视时构成四边形的外形形状。在图4及图5所示的例子中,布线基板30的平面尺寸(俯视时的尺寸、上表面3t及下表面3b的尺寸、外形尺寸)构成例如一边的长度为12mm~60mm左右的正方形或长方形。另外,布线基板30的厚度(高度)、即从图6所示的上表面3t至下表面3b的距离为例如0.3mm~1.3mm左右。

[0081] 布线基板30是用于将搭载于上表面3t侧的半导体芯片12和图1所示的母板(安装基板)即布线基板MB1电连接的中介层(中继基板)。布线基板30具有将作为芯片搭载面的上表面3t侧和作为安装面的下表面3b侧电连接的多个布线层(在图6所示的例子中为6层)WL1、WL2、WL3、WL4、WL5、WL6。各布线层具有供给信号或电力的路径即布线等导体图案,且由将多个路径间绝缘的绝缘层31覆盖。另外,在厚度方向上相邻的布线层之间通过通路布线3V及通孔布线3TW等层间导电路径电连接。

[0082] 另外,多个布线层中的配置于最上表面3t侧的布线层WL1的大部分被作为阻焊膜的绝缘层31T覆盖。另外,多个布线层中的配置于最下表面3b侧的布线层WL6的大部分被作为阻焊膜的绝缘层31B覆盖。

[0083] 另外,布线基板30通过层积工艺对由使树脂浸渍于玻璃纤维而成的预成型材料构成的绝缘层(芯材、芯绝缘层)31C的上表面3Ct及下表面3Cb分别层叠多个布线层而形成。另外,绝缘层31C的上表面3Ct侧的布线层WL3和下表面3Cb侧的布线层WL4经由埋入到设置成从上表面3Ct与下表面3Cb的一方贯穿至另一方的多个贯穿孔(通孔)的多个通孔布线3TW电连接。

[0084] 在布线基板30的上表面3t形成有与半导体芯片12电连接的多个端子(接合焊盘、接合引线、芯片连接用端子)3BF。另外,在布线基板30的下表面3b形成有半导体器件PKG2的外部输入输出端子即多个触点3LD。多个端子3BF和多个触点3LD经由形成于布线基板30的布线3W、通路布线3V、及通孔布线3TW分别电连接。

[0085] 此外,在图6所示的例子中,布线基板30表示了在作为芯材的绝缘层31C的上表面3Ct侧及下表面3Cb侧分别层叠有多个布线层的布线基板。但是,作为图6的变形例,也可以使用不具有由预成型材料等硬材料构成的绝缘层31C而依次层叠绝缘层31和布线3W等导体图案而形成的所谓无芯基板。在使用无芯基板的情况下,不形成通孔布线3TW,各布线层经由通路布线3V电连接。另外,在图6中,例示性示出具有6层布线层的布线基板30,但作为变形例,也可以使用例如具有7层以上或5层以下的布线层的布线基板。

[0086] 另外,布线层WL1、WL2、WL3、WL4、WL6分别具有形成为包围布线3W、通路布线3V、通孔布线3TW及触点3LD等导体图案的周围的导体平面(图形)3PL。导体平面3PL为形成于未形成有信号传送用的布线或端子等导体图案的区域的导体图案,构成基准电位或电源电位的供给路径的一部分。另外,导体平面3PL与布线3W、通路布线3V、通孔布线3TW或触点3LD等导体图案分开设置。

[0087] 这样,当在各布线层形成导体平面3PL时,能够抑制在传送信号时,从信号传送路径向周围扩散的电场及磁场的扩散,能够抑制来自其它信号的串扰噪声。由此,能够使信号传送路径的抗噪性提高。特别是,如本实施方式那样,在包含以3Gbps以上的传送速度传送信号的高速传送路径的情况下,优选通过形成导体平面而使抗噪性提高。另外,导体平面3PL也可以构成信号传送路径的回路路径(返回路径)。

[0088] 另外,在图6所示的例子中,在多个触点3LD分别连接有焊锡球(焊材、外部端子、电极、外部电极)SB。焊锡球SB是在将半导体器件PKG2安装于图1所示的布线基板MB1上时将布线基板MB1侧的多个端子(省略图示)与多个触点3LD电连接的导电性构件。焊锡球SB是由添加铅(Pb)的Sn-Pb焊材或实质上不含Pb的所谓的无铅焊料构成的焊材。作为无铅焊料的例子,可举出例如仅锡(Sn)、锡-铋(Sn-Bi)、或锡-铜-银(Sn-Cu-Ag)、锡-铜(Sn-Cu)等。在此,无铅焊料是指铅(Pb)的含量为0.1wt%以下的焊料,该含量以RoHS(Restriction of Hazardous Substances)指令的基准来决定。

[0089] 另外,如图4所示,多个焊锡球SB配置成行列状(阵列状、矩阵状)。另外,在图4中省略图示,但接合了多个焊锡球SB的多个触点3LD(参照图6)也配置成行列状(矩阵状)。像这样,将在布线基板30的安装面侧呈行列状配置多个外部端子(焊锡球SB或触点3LD)的半导体器件称为面阵型半导体器件。面阵型半导体器件因为能够将布线基板30的安装面(下表面3b)侧作为外部端子的配置空间而有效活用,所以即使外部端子数增大也能够抑制半导体器件的安装面积的增大,在这一点上为优选。即,能够将外部端子数量随着高功能化、高集成化而增大的半导体器件以省空间的方式来安装。

[0090] 另外,半导体器件PKG2具备搭载于布线基板30上的半导体芯片12。如图6所示,半导体芯片12分别具有表面(主面、上表面)1t、表面1t的相反侧的背面(主面、下表面)1b、及位于表面1t和背面1b之间的侧面1s,如图5所示,构成俯视时平面面积小于布线基板30的四边形的形状。在图5所示的例子中,半导体芯片12以四个侧面1s分别沿着布线基板30的四个侧面3s的状态搭载于布线基板30的上表面3t。

[0091] 另外,如图6所示,在半导体芯片12的表面1t侧形成有多个焊盘(电极焊盘、接合焊盘)1PD。多个焊盘1PD在半导体芯片12的表面1t从保护半导体芯片12的表面1t的钝化膜露出。在本实施方式中,在半导体芯片12的表面1t上呈行列状(矩阵状、阵列状)配置有多个焊盘1PD。通过将半导体芯片12的电极即多个焊盘1PD配置成行列状,能够将半导体芯片12的表面1t作为电极的配置空间而有效活用,因此,即使半导体芯片12的电极数增大也能够抑制平面面积的增大,在这一点上为优选。在此,虽省略图示,但作为本实施方式的变形例,也能够适用于将多个焊盘1PD沿着构成表面1t的周缘端的各边形成的类型的半导体芯片。

[0092] 另外,在图6所示的例子中,半导体芯片12以表面1t与布线基板30的上表面3t相对配置的状态搭载于布线基板30上。这种搭载方式称为面朝下安装方式或倒装芯片连接方式。

[0093] 另外,虽然省略图示,但在半导体芯片12的主面(详细而言,设置于半导体芯片12的基材即半导体基板的元件形成面的半导体元件形成区域)形成有多个半导体元件(电路元件)。多个焊盘1PD经由形成于配置在半导体芯片12的内部(详细而言,为表面1t和未图示的半导体元件形成区域之间)的布线层的布线(省略图示)与该多个半导体元件分别电连接。

[0094] 半导体芯片12(详细而言,为半导体芯片12的基材)由例如硅(Si)构成。另外,在表面1t上形成有覆盖半导体芯片12的基材及布线的绝缘膜,多个焊盘1PD各自的一部分在形成于此绝缘膜的开口部从绝缘膜露出。另外,多个焊盘1PD分别由金属构成,在本实施方式中,由例如铝(Al)构成。

[0095] 另外,如图6所示,在多个焊盘1PD上分别连接有突起电极1BP,半导体芯片12的多个焊盘1PD和布线基板30的多个端子3BF经由多个突起电极1BP分别电连接。突起电极(凸块电极)1BP是形成为突出至半导体芯片12的表面1t上的金属构件(导电性构件)。突起电极1BP在本实施方式中是焊材经由基底金属膜(凸块底层金属)层叠于焊盘1PD上的所谓焊锡凸块。基底金属膜能够例示例如从与焊盘1PD的连接面侧层叠有钛(Ti)、铜(Cu)、镍(Ni)的层叠膜(也有时进一步在镍膜上形成金(Au)膜)。另外,作为构成焊锡凸块的焊材,与上述焊锡球SB同样地,能够使用添加铅的焊材或无铅焊料。在将半导体芯片12搭载于布线基板30时,在多个焊盘1PD及多个端子3BF这两者上预先形成焊锡凸块,在使焊锡凸块彼此接触的状态下,实施加热处理(回流焊处理),由此,焊锡凸块彼此一体化,形成突起电极1BP。另外,作为相对于本实施方式的变形例,也可以使用在由铜(Cu)或镍(Ni)构成的导体柱的前端形成有焊膜的柱凸块(柱状电极)来作为突起电极1BP。

[0096] 另外,在本实施方式中,半导体芯片12具有输入输出有传送速度不同的多个信号的电路。虽省略图示,但在半导体芯片12上具备以第一传送速度输入输出第一信号的第一电路、和以比上述第一传送速度快的第二传送速度输入输出第二信号的第二电路。作为第二信号,以例如3Gbps(Gigabit per second)~100Gbps左右的传送速度传送差动信号。以

下,在本实施方式中,将传送第二信号的传送路径记载为高速传送路径进行说明。另外,将以比第二传送速度慢的第一传送速度传送第一信号的传送路径作为低速传送路径进行说明。此外,对第一电路除了供给上述第一信号外,还供给驱动第一电路的第一驱动电压。另外,对第二电路除了供给上述第二信号外,还供给驱动第二电路的第二驱动电压。

[0097] 另外,如图6所示,在半导体芯片12和布线基板30之间配置底部填充树脂(绝缘性树脂)32。底部填充树脂32配置成填堵半导体芯片12的表面1t和布线基板30的上表面3t之间的空间。另外,底部填充树脂32由绝缘性(非导电性)材料(例如树脂材料)构成,并配置成封固半导体芯片12和布线基板30的电连接部分(多个突起电极1BP的接合部)。这样,通过由底部填充树脂32覆盖多个突起电极1BP和多个端子3BF的接合部,能够使产生于半导体芯片12和布线基板30的电连接部分的应力缓和。另外,也能够使产生于半导体芯片12的多个焊盘1PD和多个突起电极1BP的接合部的应力缓和。进而,也能够保护半导体芯片12的形成有半导体元件(电路元件)的主面。

[0098] 另外,如图5所示,半导体器件PKG2具备搭载于布线基板30的多个电容器20D、20P。电容器20D、20P分别由例如陶瓷材料构成,在本实施方式的例子中,半导体器件PKG2具备内置于布线基板30内的多个电容器20D、20P。此外,上述的“内置于布线基板30内”的状态如下述方式定义。

[0099] 例如,在图6所示的例子中,电容器20D的整体及电容器20P的整体配置于布线基板30的上表面3t及下表面3b之间。该情况下,可以说是电容器20P及电容器20D内置于布线基板30内的状态。另一方面,图6所示的半导体芯片12不存在于布线基板30的上表面3t及下表面3b之间。该情况下,半导体芯片12为未内置于布线基板30内的状态。

[0100] 另外,虽图6中无相应的部件,但考虑有电容器等电子部件的一部分配置于布线基板30的上表面3t及下表面3b之间且另一部分以向布线基板30的上表面3t的上方或下表面3b的下方突出的方式配置在下表面3b之间以外的状态。在本申请中,在这种情况下,上述电子部件作为未内置于布线基板30内的状态来处理。

[0101] 另外,考虑有在例如布线基板30的上表面3t及下表面3b中至少一面,电容器等电子部件的电极露出且上述露出的电极以外的部分(主要部分)配置于上表面3t及下表面3b之间的情况。在本申请中,在这种情况下,上述电子部件作为内置于布线基板30内的状态来处理。换言之,在本申请中,只要将电子部件的除电极及端子以外的主要部分(主体部)配置于布线基板30的上表面3t及下表面3b之间,就将电子部件作为内置于布线基板30内的状态来处理。

[0102] 使电容器20D内置于布线基板30内及使电容器20P内置于布线基板30内各有不同的效果,在后面说明效果的详情。

[0103] 另外,在图6所示的例子中,在半导体芯片12的背面1b贴附有散热板(散热器、构件)40。散热板40为例如热传导率高于布线基板30的金属板,具备将在半导体芯片12所产生的热排出至外部的功能。另外,散热板40通过粘接材料(散热树脂)41贴附于半导体芯片12的背面1b。通过使粘接材料41含有例如多个金属颗粒及填料(例如氧化铝等),而使热传导率高于底部填充树脂32。

[0104] 另外,在图3及图6所示的例子中,在半导体芯片12的周围固定有支承散热板40的支承框(加强环)42。散热板40粘接固定于半导体芯片12的背面1b及支承框42上。通过在半

导体芯片12的周围固定金属性的支承框42,能够抑制布线基板30的翘曲变形,因此,从使安装可靠性提高的观点出发为优选。另外,通过将散热板40粘接固定于设置成包围半导体芯片12的周围的支承框42,能够增大散热板40的平面面积。即,通过大幅确保散热板40的表面积,能够提高散热性能,且从稳定地固定于半导体芯片12上的观点出发,优选将散热板40粘接固定于支承框42。

[0105] 此外,在本实施方式中,以在半导体芯片12的背面1b贴附有散热板40的实施方式为例进行了说明,但作为变形例,也可以为不安装散热板40而使半导体芯片12的背面1b露出的实施方式。

[0106] <电容器的布局1>

[0107] 接着,对图5及图6所示的布线基板30和电容器20D、20P的连接构造的详情进行说明。首先,在本节中,对通过将图5所示的多个电容器20P、20D中电源电路用的多个电容器20P分别内置于布线基板30内而获得的效果进行说明。

[0108] 图7是表示图5所示的多个电容器中的一个的俯视图。另外,图8是沿着图7的A-A线的剖视图。另外,图32是表示在从作为针对图5的探讨例的半导体器件所具有的布线基板的上表面侧观看的透视平面中多个电容器和半导体芯片的位置关系的俯视图。另外,图9是相对于图6的变形例的半导体器件的放大剖视图。

[0109] 此外,图5所示的DC阻断用的电容器20D和电源电路用的电容器20P为相同的构造。因此,在图7及图8中,作为电容器20D及电容器20P的代表例,而示出一个电容器的结构例。另外,在图7中,对电容器20D、20P的延伸方向DL、及宽度方向DW标注箭号来示意性示出。另外,图32与图5同样为俯视图,为了易于识别多个电容器中的电容器20D及电容器20P,在多个电容器20P上分别附上剖面线。

[0110] 如图5所示,在本实施方式的布线基板30上搭载有多个电容器20D、20P。多个电容器20D、20P如上所述包含DC阻断用电容器即电容器20D、作为旁路电容器、去耦电容器、或蓄电池而使用的电源电路用的电容器20P。图5中,在多个电容器20D、20P中的一部分上标注附图标记来表示。图5中,配置于与半导体芯片12重叠的位置的多个电容器(带有剖面线的电容器)均为电容器20P,多个电容器20D分别配置于多个电容器20P和布线基板30的侧面3s之间。在图5所示的例子中,多个电容器20D分别配置于不与半导体芯片12重叠的位置。另外,在图5所示的例子中,多个电容器20D配置于支承框42的外侧。

[0111] 如图7所示,电容器(芯片电容器)20D、20P俯视时分别构成四边形。另外,电容器20D、20P具有沿着延伸方向(长度方向)DL延伸的两个长边(长侧面)2LS、沿着相对于延伸方向DL正交的宽度方向DW延伸的两个短边(短侧面)2SS。另外,电容器20D、20P具有在延伸方向DL(换言之,为长边2LS的延伸方向)配置于彼此相反侧的端部的电极2E1及电极2E2(或电极2E3及电极2E4)。另外,电容器20D、20P具有夹持于电极2E1、2E3和电极2E2、2E4之间的主体部2BD。例如图8所示,主体部2BD具有经由绝缘层(介电体层)20IL层叠的多个导体板20CL,多个导体板20CL分别连接于电极2E1、2E3及电极2E2、2E4中的一方。电极2E1、2E3及电极2E2、2E4作为用于将形成于相对配置的多个导体板间的电容取出至外部的外部电极端子起作用。此外,上述中,对电容器20D、20P的构造的一例进行了说明,但电容器20D、20P的构造有各种变形例。

[0112] 例如,图7所示的电容器20D、20P例示性表示以覆盖各短边2SS的方式配置有电极

的电容器的构造。但是,作为变形例,也可以将电极配置成覆盖长边 $2LS$ 。即,电容器的电极的位置只要为短边 $2SS$ 或长边 $2LS$ 中任一方即可。

[0113] 另外,图5所示的多个电容器 $20D$ 、 $20P$ 中,多个电源电路用的电容器 $20P$ 分别以并联连接的方式插入至电源电路内,以将电源电路的第一电位和第二电位连接。即,图6所示的半导体芯片 $12$ 具有的多个焊盘 $1PD$ 包含供给基准电位 $VSS$ (参照图2)的电极(电极焊盘) $Vs$ (参照图2)、和供给电源电位 $VDD$ (参照图2)的电极(电极焊盘) $Vd$ (参照图2)。另外,图6所示的布线基板 $30$ 具有的多个触点 $3LD$ 包含供给基准电位 $VSS$ 的触点 $3LVs$ (参照图2)、和供给电源电位 $VDD$ 的触点 $3LVd$ (参照图2)。另外,如图2所示,电容器 $20P$ 的一电极连接于连接电极 $Vs$ 和触点 $3LVs$ 的基准电位供给路径 $VSP$ 侧,电容器 $20P$ 的另一电极连接于连接电极 $Vd$ 和触点 $3LVd$ 的电源电位供给路径 $VDP$ 侧。

[0114] 另外,如图5所示,多个电容器 $20P$ 分别配置于俯视时与半导体芯片 $12$ 重叠的位置。如图6所示,在本实施方式中,多个电容器 $20P$ 分别内置于布线基板 $30$ 内。因此,能够将多个电容器 $20P$ 分别配置于与半导体芯片 $12$ 重叠的位置。

[0115] 如本实施方式,在电源电路用的多个电容器 $20P$ 分别配置于与半导体芯片 $12$ 重叠的位置的情况下,与电容器 $20P$ 配置于半导体芯片 $12$ 的周围的情况相比,能够缩短电容器 $20P$ 和半导体芯片 $12$ 之间的传送距离。而且,通过缩短电源电路用的电容器 $20P$ 和半导体芯片 $12$ 的传送距离,能够使电源电路的电特性提高。

[0116] 例如,在使用电容器 $20P$ 作为旁路电容器的情况下,通过将电容器 $20P$ 插入至耗电的电路附近,能够使在耗电的电路流过的噪声降低。另外,例如,在将电容器 $20P$ 作为去耦用的电容器使用的情况下,通过使电容器 $20P$ 和半导体芯片 $12$ 的距离靠近,能够缩小在形成于半导体芯片 $12$ 的电路中流过的电流的回路(路径距离)。其结果为,能够降低图2所示的电源电位供给路径 $VDP$ 及基准电位供给路径 $VSP$ 中所含的阻抗成分的影响。另外,例如,在使用电容器 $20P$ 作为蓄电池的情况下,通过缩小耗电的电路和电容器 $20P$ 的距离,容易抑制驱动电压瞬间下降的现象。

[0117] 另外,多个电容器 $20D$ 、 $20P$ 中的DC阻断用的多个电容器 $20D$ 分别串联连接地插入图2所示的高速传送路径 $SGP2$ 。即,图6所示的半导体芯片 $12$ 具有的多个焊盘 $1PD$ 包含以相对低的第一传送速度传送的低速信号用的电极(电极焊盘) $RxL$ (参照图2)。另外,图6所示的半导体芯片 $12$ 具有的多个焊盘 $1PD$ 包含以比第一传送速度快第二传送速度传送的高速信号用电极(电极焊盘) $Rxp$ 、 $Rxn$ (参照图2)。另外,图6所示的布线基板 $30$ 具有的多个触点 $3LD$ 包含以相对低的第一传送速度传送的低速信号用触点 $3LL$ (参照图2)。另外,图6所示的布线基板 $30$ 具有的多个触点 $3LD$ 包含以比第一传送速度快第二传送速度传送的高速信号用触点 $3LH$ (参照图2)。另外,如图2所示,电极 $Rxp$ 、 $Rxn$ 分别经由电容器 $20D$ 与触点 $3LH$ 电连接。详细而言,电容器 $20D$ 的一电极连接于高速传送路径 $SGP2$ 中的半导体芯片 $12$ 的电极 $Rxp$ 或电极 $Rxn$ 侧,电容器 $20D$ 的另一电极连接于高速传送路径 $SGP2$ 中的触点 $3LH$ 侧。更详细而言,如图6所示,电容器 $20D$ 的一电极经由布线基板 $30$ 的布线 $3W$ 与半导体芯片 $12$ 的焊盘 $1PD$ 电连接。另一方面,电容器 $20D$ 的另一电极经由布线基板 $30$ 的另一布线 $3W$ 连接于触点 $3LD$ 。这样,电容器 $20D$ 的一电极连接于与半导体芯片 $12$ 相连的布线,电容器 $20D$ 的另一电极连接于与触点 $3LD$ 相连的另一布线时,电容器 $20D$ 可以说是串联连接于连接触点 $3LD$ 和半导体芯片 $12$ 的布线路径中。另外,构成图2所示的低速传送路径 $SGP1$ 的电极 $RxL$ 及焊盘 $3LL$ 不经由电容器而电连接。

[0118] 另外,如本实施方式,在一个布线基板30上搭载电源电路用的电容器20P和DC阻断用的电容器20D的情况下,如图5所示,通过将多个电源电路用的电容器20P配置于与半导体芯片12重叠的位置,获得以下的效果。

[0119] 如图5所示,本实施方式的半导体器件PKG2具有的电源电路用的电容器20P分别配置于与半导体芯片12重叠的位置。另外,半导体器件PKG2具有的DC阻断用的多个电容器20D俯视时分别配置于多个电容器20P和布线基板30的周缘部(构成上表面3t的周缘的各边)之间。

[0120] 如上所述,多个电容器20D分别串联连接地插入高速信号用的信号传送路径(图2所示的高速传送路径SGP2)的中途。因此,布线基板30具备将多个电容器20D和半导体芯片12分别电连接的布线路径。因此,在将高速传送路径高密度化的情况下,需要以高密度配置这些布线路径。

[0121] 但是,有时因电源电路用的电容器20P的布局而阻碍构成高速传送路径的布线的布局。例如,考虑如图32所示的变形例的半导体器件PKGh1那样将多个电容器20P分别配置于半导体芯片12的周围而非内置于布线基板30内的情况。

[0122] 半导体器件PKGh1在将多个电容器20P搭载于布线基板30的上表面3t上且配置于半导体芯片12和多个电容器20D之间这一点上与图5所示的半导体器件PKG2不同。另外,半导体器件PKGh1在多个电容器20D分别搭载于布线基板30的上表面3t上这一点上与图5所示的半导体器件PKG2不同。

[0123] 如半导体器件PKGh1,在俯视时在半导体芯片12和多个电容器20D之间配置有多个电容器20P的情况下,在半导体芯片12和电容器20D之间配置电源电路用的电容器20P的电极2E3、2E4(参照图7)。因此,需要在布线基板30的最上层的布线层中的与电容器20P的电极2E3、2E4重叠的位置形成用于向电容器20P供给电位的端子。在半导体芯片12和电容器20D之间形成有电源电路用的端子的情况下,成为高速传送路径的妨碍。例如,当在电源电路用的端子的正下方配置高速传送路径用布线时,对高速传送路径的返回路径的影响增大。另外,为了降低电源电路用的端子的影响而增大高速传送路径的布线和电容器20P的分离距离,需要选择未配置有电容器20P的区域来形成布线。因此,难以以高密度配置多个高速传送路径。

[0124] 因此,在实施方式中,如图5及图6所示,多个电容器20P通过内置于布线基板30内,而配置于与半导体芯片12重叠的位置。而且,如图5所示,多个电容器20D俯视时分别配置于多个电容器20P和布线基板30的周缘部(构成上表面3t的周缘的各边)之间。换言之,多个电容器20D俯视时分别配置于配置有多个电容器20D的区域的周围。

[0125] 由此,在连接电容器20D和半导体芯片12的布线路径中未配置电容器20P。因此,连接于电容器20D的高速传送路径的布局不受连接于电容器20P的端子妨碍而能够实现高密度化。

[0126] 另外,根据本实施方式,由于将电容器20P内置于布线基板30内,所以也可以不像图32所示的半导体器件PKGh1那样在半导体芯片12的周围设置搭载电容器20P的空间。因此,因为能够使半导体芯片12与电容器20D的距离靠近,所以能够使连接电容器20D和半导体芯片12的布线路径的阻抗或电阻降低。

[0127] 如上所述,如本实施方式,在一个布线基板30上搭载电源电路用的电容器20P和DC

阻断用的电容器20D的情况下,如图5所示,通过将多个电源电路用的电容器20P配置于与半导体芯片12重叠的位置,获得与仅将电源电路用的电容器20P内置于布线基板30内带来的效果不同的效果。即,获得与使半导体芯片12和电容器20P的布线路径距离靠近的效果不同的效果。

[0128] 另外,如图5所示,俯视时,多个电容器20D各自与布线基板30的周缘端的间隔小于多个电容器20D各自与半导体芯片12的间隔。换言之,多个电容器20D各自靠近布线基板30的上表面3t的周缘部侧而配置。在设置多个高速传送路径的情况下,在半导体芯片12的外围的区域,多个布线路径密集配置。因此,如果多个电容器20D各自靠近布线基板30的上表面3t的周缘部侧配置,则在半导体芯片12附近的区域,能够使高速传送路径的配置密度提高。

[0129] 不论多个电容器20D各自是否内置于布线基板30内,均可获得在本节中说明的多个效果的各效果。因此,也可以如相对于图6的变形例即图9所示的半导体器件PKG3那样将多个电容器20P分别内置于布线基板30内且将多个电容器20D中的一部分或全部搭载于布线基板30的上表面3t上。

[0130] <电容器的布局2>

[0131] 接着,对通过将图5所示的多个电容器20P、20D中的DC阻断用的多个电容器20D分别内置于布线基板30内而得到的效果进行说明。图10是示意性表示连接于图5所示的DC阻断用的电容器的信号传送路径的例子的放大剖视图。另外,图11是放大表示相对于图5的变形例的半导体器件的内置DC阻断用的电容器的区域的外围的放大俯视图。另外,图12是图11所示的半导体器件的放大剖视图。另外,图13是放大表示相对于图5的其它变形例的半导体器件的内置DC阻断用的电容器的区域的外围的放大俯视图。另外,图14是图13所示的半导体器件的放大剖视图。另外,图33是示意性表示连接于图32所示的DC阻断用的电容器的信号传送路径的例子的放大剖视图。

[0132] 此外,在图10、图12、图14及图33中,由于明示经由电容器20D的信号传送路径及回程路径,因此,高速传送路径SGP2使用双点划线示意性示出,回程路径RP使用虚线示意性示出。另外,在图11及图13中,以虚线表示连接电容器20D和测试用的端子3TP的布线路径的例子。另外,图10、图12、图14及图33是剖视图,但为了容易观看信号传送路径,除了搭载于布线基板上的部件外,均省略剖面线。

[0133] 如图10所示,本实施方式的半导体器件PKG2所具有的电容器20D内置于布线基板30内。另一方面,图33所示的半导体器件PKGh1所具有的电容器20D未内置于布线基板30内,而搭载于布线基板30的上表面3t上。比较图10所示的半导体器件PKG2和图33所示的半导体器件PKGh1可知,在将电容器20D内置于布线基板30内的情况下,与将电容器20D搭载于布线基板30上的情况相比,高速传送路径SGP2及回程路径RP大幅变化。首先,半导体器件PKG2的高速传送路径SGP2相较于半导体器件PKGh1的高速传送路径SGP2,阻抗不连续点的数量少。阻抗不连续点是指在布线路径的一部分阻抗值急剧变化的场所。因此,因为在例如通路布线3V或通孔布线3TW等层间导电路径的部分,布线构造变化,所以容易形成为阻抗不连续点。

[0134] 在半导体器件PKG2的情况下,高速传送路径SGP2中所包含的通路布线3V的数量及通孔布线3TW的数量比图33所示的半导体器件PKGh1的情况少。因此,能够降低高速传送路

径SGP2中所包含的阻抗不连续点,使传送特性提高。

[0135] 另外,在图10所示的例子中,电容器20D配置于作为芯材的绝缘层31C的上表面3Ct及下表面3Cb之间。因此,连接于电容器20D的高速传送路径SGP2与通孔布线3TW电隔离。换言之,连接于电容器20D的高速传送路径SGP2不經由通孔布线3TW而与半导体芯片12电连接。在上述阻抗不连续点中的通孔布线3TW及电容器20D的部分,阻抗的值容易大幅变化,因此,相较于通路布线3V,对传送特性造成的影响特别大。因此,如图10所示,通过在设有通孔布线3TW的绝缘层31C埋入电容器20D,就通孔布线3TW而言能够省略一个,因此,能够使高速传送路径SGP2的传送特性特别提高。

[0136] 但是,作为形成于半导体器件PKG2的电路的电气试验,有时包含使直流电流流过电路来进行检查的DC测试。DC测试包含例如确认电路的电连接状态的导通测试等。

[0137] 在此,在将DC阻断用的电容器20D串联连接地插入进行DC测试的电路中的情况下,为了流通直流电流,需要设置使电容器20D的一电极2E1(参照图7)和另一电极2E2短路而供直流电流流过的路径。

[0138] 但是如本实施方式,在将DC阻断用的电容器20D内置于布线基板30内的情况下,有时电容器20D具有的电极2E1(参照图7)及电极2E2(参照图7)被埋入布线基板30的上表面3t和下表面3b之间而不露出。在电容器20D的电极2E1及电极2E2未露出至布线基板30的外部的情况下,在进行DC测试时,需要用于对电容器20D的电极间设置旁路的其它方法。因此,在本实施方式中,连接于电容器20D的一电极2E1的测试用的端子3TP及连接于另一电极2E2的测试用的端子3TP分别设于可从布线基板30露出的位置。由此,在进行DC测试时,通过将两个端子3TP之间电连接,能够使直流电流流过高速传送路径SGP2。

[0139] 详细而言,如图6所示,本实施方式的布线基板30具有配置于上表面3t侧并与半导体芯片12的多个焊盘1P0电连接的端子(芯片连接用端子)3BF、配置于下表面3b侧的多个外部端子即触点3LD。另外,布线基板30具有连接于电容器20D且从布线基板30露出的测试用的端子3TP1及端子3TP2。另外,如图10所示,电容器20D的一电极2E1连接于芯片连接用端子3BF(参照图6)及测试用的一端子3TP1。另外,电容器20D的另一电极2E2连接于作为外部端子的触点3LD及测试用的另一端子3TP2。

[0140] 而且,通过使连接于电容器20D的电极2E1的端子3TP1及连接于电极2E2的端子3TP2分别从布线基板露出,能够容易地使端子3TP1与端子3TP2短路。此外,在图10所示的例子中,测试用的多个端子3TP分别在布线基板30的上表面3t从最上层的绝缘层31T露出。然而,作为变形例,也可以是测试用的端子3TP形成于下表面3b侧,且在布线基板30的下表面3b从最下层的绝缘层31B露出。

[0141] 另外,如上所述,在本申请中,“电容器20D内置于布线基板30内”的状态包含以下的情况。即,在布线基板30的上表面3t及下表面3b中至少一方,电容器20D的电极2E1、2E2露出,且上述露出的电极以外的部分(主要部)配置于上表面3t及下表面3b之间。该情况下,也可以将电容器20D的电极2E1及电极2E2各电极中的从布线基板30露出的部分用于代替上述测试用的端子3TP。即,在进行DC测试时,也可以使电容器20D的电极2E1及电极2E2各电极中的从布线基板30露出的部分短路。

[0142] 另外,如图10所示,在设置将电容器20D的电极2E1、2E2各自与测试用的端子3TP电连接的布线路径的情况下,从降低与端子3TP连接的布线路径对信号传送路径的信号波形

或波形质量造成的影响的观点出发,优选以下的结构。即,在本实施方式中,从电容器20D的电极2E1至布线基板30的端子3TP1的布线路径距离、及从电容器20D的电极2E2至布线基板30的端子3TP2的布线路径距离分别为向电容器20D供给的电信号的波长的1/4以下。由此,能够抑制信号强度因测试用布线路径的影响而降低。

[0143] 另外,从缩短与电容器20D连接的测试用布线路径的观点出发,如图5所示,俯视时,多个测试用的端子3TP优选分别配置于与电容器20D重叠的位置。

[0144] 但是,只要在测试用布线路径能够缩短的范围内,则多个测试用的端子3TP也可以分别配置于不与电容器20D重叠的位置。例如,有时如图5及图6的变形例即图11及图12所示的半导体器件PKG4那样将电容器20D配置于与散热板40或支承散热板40的支承框42重叠的位置。该情况下,为了在安装有散热板40的状态下进行DC测试,俯视时,优选将多个测试用的端子3TP分别配置于散热板40和布线基板30的周缘端之间。在图11及图12所示的例子中,测试用的端子3TP配置于电容器20D和布线基板30的周缘端之间。

[0145] 另外,例如,如相对于图5及图6的另一变形例即图13及图14所示的半导体器件PKG5,在被散热板40覆盖至布线基板30的上表面3t的周缘端附近的情况下,难以将测试用的端子3TP配置于上表面3t侧。该情况下,在多个测试用的端子3TP分别形成于布线基板30的下表面3b(参照图10)侧的情况下,能够在安装有散热板40的状态下进行DC测试。

[0146] 不论有无图5所示的多个电容器20P,均能够获得在本节中说明的多个效果。因此,即使为未搭载有图5所示的多个电容器20P的半导体器件(省略图示)的情况,在将多个电容器20D分别内置于布线基板30内的情况下,也能够获得在本节中说明的效果。

[0147] <电容器的布局3>

[0148] 接着,对电容器周围的导体图案的布局进行说明。图15是图10所示的多个布线层中埋入有电容器的布线层的放大俯视图。另外,图16是图15所示的布线层的上层的布线层的放大俯视图。另外,图17是图16所示的布线层的上层的布线层的放大俯视图。

[0149] 如上所述,从在传送信号时通过抑制从传送信号路径向周围扩散的电场及磁场的扩散而抑制来自其它信号的串扰噪声的观点出发,在本实施方式中,在未形成有布线3W等的区域配置有导体平面3PL。如图15~图17所示,在布线层WL1(参照图17)~布线层WL3(参照图17)分别形成有导体平面3PL。另外,如图15所示,在布线层WL3上,在导体平面3PL的一部分形成有开口部3K3,在开口部3K3的内侧埋入有电容器20D。

[0150] 但是,根据本申请发明人的探讨,可知在例如图16所示的布线层WL2,在与电容器20D的电极2E1及电极2E2重叠的位置配置有导体平面3PL,电容器20D的大部分被导体平面3PL覆盖的情况下,高速传送路径的传送特性可能降低。即,可知在导体平面3PL和电极2E1、2E2之间产生电容耦合,在传送路径中追加寄生电容。

[0151] 当构成高速传送路径的导体图案中的电容器20D的电极2E1及电极2E2考虑连接位置的自由度时,不易形成排绕布线(例如图16所示的布线3W)那样的布线宽度(最小宽度尺寸)。此外,在此所说的电极2E1及电极2E2的“最小宽度尺寸”例如为图7所示的宽度方向DW的最短长度。

[0152] 在导体平面3PL和电极2E1、2E2之间产生了电容耦合的情况下,寄生电容的值主要与在厚度方向上重叠的部分的面积成正比例地增大。而且,当在构成高速传送路径的电极2E1及电极2E2上追加寄生电容时,显然高速传送路径中的阻抗降低。即,因在高速传送路径

中的一部分追加低阻抗部而产生阻抗不连续。在高频信号的信号传送路径中,通过将布线布局设计成传送路径中的阻抗成分接近预定的值(例如单线为50欧姆、差动为100欧姆、或差动为85欧姆),能够抑制信号的反射等特性的恶化。因此,从使信号的传送质量提高的观点出发,在电极2E1或电极2E2和导体平面3PL之间产生的寄生电容的值优选尽量降低以实现阻抗匹配。

[0153] 因此,本申请发明人发现了下述方法,即,在将电容器20D搭载于半导体器件的情况下,在用于搭载电容器20D的电极2E1及电极2E2中抑制产生阻抗不连续。即,如图16所示,与配置有电容器20D的电极2E1、2E2的布线层WL3相邻的布线层WL2所具有的导体平面3PL具有形成于与电极2E1及电极2E2分别重叠的区域的开口部3K2。

[0154] 图16所示的电极2E1、2E2和导体平面3PL的关系也可以如下述呈现。即,布线层WL2所具有的导体平面3PL在与电极2E1及电极2E2分别重叠的区域设有开口。

[0155] 另外,在开口部3K2内未形成布线3W及通路布线3V的区域,覆盖比布线层WL2更靠内一层侧的布线层WL3(参照图15)的绝缘层31露出。

[0156] 另外,如上所述,因电容耦合而产生的寄生电容的值与导体平面3PL和电极2E1或电极2E2在厚度方向上重叠的部分的面积成正比例地增大。因此,如图16所示,电极2E1及电极2E2的整体特别优选不与导体平面3PL在厚度方向上重叠。换言之,如图16所示,电极2E1的轮廓及电极2E2的轮廓优选在俯视时分别位于开口部3K2的开口端部(开口的区域的周缘部)的内侧。

[0157] 但是,即使电极2E1及电极2E2的一部分与导体平面3PL在厚度方向上重叠,仍能够降低寄生电容的值。例如,如果电极2E1及电极2E2的平面面积中90%以上未与导体平面3PL重叠,则能够降低寄生电容的值。

[0158] 另外,图16所示的开口部3K2的形状优选与布线层WL3(参照图15)的电极2E1及电极2E2的形状或位置对应。若如图16所示那样开口部3K2形成为包含与电极2E1及电极2E2重叠的区域整体,则即使开口部3K2的面积进一步增大,寄生电容的值也不会大幅降低。

[0159] 另一方面,有时利用导体平面3PL作为高速传送路径的参考路径(返回路径)。该情况下,优选将参考路径与高速传送路径的分开距离保持为一定。因此,优选开口部3K2的面积不过大。例如,如图16所示,开口部3K2的开口端部的轮廓优选沿着布线层WL3(参照图15)的电极2E1及电极2E2的轮廓。

[0160] 如上所述,根据本实施方式,构成高速传送路径的一部分的电极2E1和电极2E2形成于布线层WL3。而且,形成于与布线层WL3在厚度方向上相邻的布线层WL2的导体平面3PL在与电极2E1及电极2E2分别重叠的区域设有开口。由此,能够抑制因导体平面3PL和电极2E1及电极2E2的电容耦合引起的阻抗降低,能够使高速传送路径的抗噪性提高。而且,由于本实施方式的半导体器件PKG2(参照图5)能够使高速传送路径的抗噪性提高,所以能够使电特性及可靠性提高。

[0161] 另外,如图17所示,在本实施方式中,层叠于布线层WL2(参照图16)的上层的布线层WL1所具有的导体平面3PL具有形成于与电极2E1及电极2E2分别重叠的区域的开口部3K1。在开口部3K1的内侧配置有测试用的端子3TP1及端子3TP2。

[0162] 图17所示的电极2E1、2E2和导体平面3PL的关系也可以如下述呈现。即,布线层WL1具有的导体平面3PL在与电极2E1及电极2E2分别重叠的区域设有开口。

[0163] 在考虑对电极2E1及电极2E2追加的寄生电容的情况下,为与最接近布线层WL3的布线层WL2具有的导体平面3PL的电容耦合。因此,如上所述,通过在布线层WL2的导体平面3PL上形成如上所述的开口部3K2,能够大幅降低寄生电容的值。因此,不论布线层WL1为何种布线构造,通过设置图16所示的开口部3K2,均能够提高高速传送路径的抗噪性。

[0164] 然而,在此基础之上使高速传送路径的抗噪性进一步提高的情况下,优选考虑与布线层WL3之间的分开距离小到仅次于布线层WL2与布线层WL3之间的分开距离的布线层WL1上所形成的导体平面3PL的电容耦合。特别是,为了对应半导体封装的薄型化及随着半导体器件的高功能化的布线层数的增加这两者,各布线层的厚度有变薄的倾向。在导体平面3PL和电极2E1、2E2之间产生了电容耦合的情况下,寄生电容的值主要与在厚度方向上重叠的部分的分开距离成反比例增大。因此,如果多个布线层各自的厚度变薄,则寄生电容的值易增大。此外,在本实施方式中,例如覆盖各布线层WL2、WL3的绝缘层31(参照图6)的厚度为20~30 $\mu\text{m}$ 。

[0165] 因此,在本实施方式中,在形成于布线层WL1的导体平面3PL中的与电极2E1及电极2E2重叠的区域形成开口部3K1。就开口部3K1的优选的形状、与电极2E1及电极2E2的重叠程度而言,由于与上述图6所示的开口部3K2相同,所以省略重复的说明。

[0166] 另外,不论有无图5所示的多个电容器20P,均可获得在本节所说明的多个效果的效果。因此,即使在未搭载图5所示的多个电容器20P的半导体器件(省略图示)的情况下,在将多个电容器20D分别内置于布线基板30内的情况下,也能够获得在本节所说明的效果。

[0167] <电容器的布局4>

[0168] 接着,对内置于布线基板30内的电容器20D、20P的厚度、和布线基板30的厚度方向上的布局的关系进行说明。图18是表示构成图10所示的高速传送路径的电容器和形成有通孔布线的芯绝缘层的关系的主要部分剖视图。另外,图19及图20是表示相对于图18的变形例的半导体器件的电容器和形成有通孔布线的芯绝缘层的关系的主要部分剖视图。

[0169] 如上所述,作为将图10所示的电容器20D内置于布线基板30内的情况下的优点之一,有通过减少高速传送路径中所包含的通孔布线3TW的数量而能够使阻抗不连续点的数量减少这一点。为了实现该优点,优选在具备通孔布线3TW的绝缘层31C配置(埋入)电容器20D。

[0170] 另外,若考虑将配置于绝缘层31C的电容器20D和其它布线层电连接的通路布线3V的连接性(接合容易性等)时,则如图18所示,电容器20D的厚度TH1优选与绝缘层31C的厚度TH2相同。在图18所示的例子中,主体部2BD的厚度TH1成为与绝缘层31C的厚度(图10所示的上表面3Ct及下表面3Cb中从其中一面朝另一面的方向的距离)相同的值。若电容器20D的厚度TH1和厚度TH2为相同程度,则能够将连接于通孔布线3TW的通路布线3V相同尺寸的通路布线3V连接于电容器20D的电极2E1、2E2(参照图10)。该情况下,因为能够一并形成多个通路布线3V,所以能够使通路布线3V的形成工序的效率提高。

[0171] 另外,从容易进行电容器20D的库存管理的观点出发,电容器20D优选利用通用产品。该情况下,考虑图18所示的电容器20D的厚度TH1因利用的产品而成为不同的值的情况。另一方面,图18所示的绝缘层31C的厚度TH2按布线基板30的支承强度或电特性等的规格决定。因此,也考虑不易将电容器20D的厚度TH1和绝缘层31C的厚度TH2设为相同的值的情况。

[0172] 例如,在图19所示的半导体器件PKG6或图20所示的半导体器件PKG7的例子中,电

容器20D的厚度TH1小于绝缘层31C的厚度TH2。在半导体器件PKG6及半导体器件PKG7的情况下,配置成电容器20D的一部分从绝缘层31C的上表面3Ct侧及下表面3Cb中的任一面突出。该情况下,在电容器20D的电极2E1(参照图10)的一面连接有厚度相对厚(换言之,厚度方向的长度长)的通路布线3VL,在电极2E1的相反侧的面连接厚度相对薄(换言之,厚度方向的长度短)的通路布线3VS。

[0173] 在电容器20D的周围埋入有由例如树脂等绝缘材料构成的绝缘材料(埋孔材料)33。如图6所示,在半导体器件PKG2的情况下,绝缘材料33也配置于电容器20D及电容器20P的周围。该绝缘材料33可以为与埋入通孔布线3TW的绝缘材料相同的材料,也可以为不同的材料。另外,图6所示的绝缘材料33的部分也可以与分别形成于绝缘层31C的上层及下层的绝缘层31形成一体。

[0174] 另外,作为未图示的变形例,也可以为在绝缘层31C的上表面3Ct侧及下表面3Cb的中间的位置配置电容器20D的结构。但是,该情况下,由于将电容器20D埋入布线基板30的工序繁杂,所以在制造工序简单这一点上,优选为半导体器件PKG6或半导体器件PKG7的结构。

[0175] 根据图19及图20所示的变形例,由于能够使电容器20D的厚度TH1和绝缘层31C的厚度TH2为任意的值,所以能够使电容器20D的选择自由度、及绝缘层31C的厚度的选择自由度提高。

[0176] 但是,如图19及图20所示的通路布线3VL,在为厚度方向的长度长的通路布线的情况下,相较于其它的通路布线3V,阻抗增大。因此,从使高速传送路径中的阻抗不连续点降低的观点出发,如图18所示,电容器20D的厚度TH1优选为与绝缘层31C的厚度TH2相同的程度。

[0177] 此外,在本节中,提出了DC阻断用的电容器20D进行说明,但作为图6所示的电源用的电容器20P,也可以使用如图19及图20所示具有与绝缘层31C的厚度不同的厚度的电容器。

[0178] <电容器和通路布线的连接方法>

[0179] 如本实施方式,在布线基板30(参照图6)的内部内置有电容器20D及电容器20P的情况下,需要在电容器20D及电容器20P的电极2E(参照图21)连接通路布线3V。以下,使用图21~图24对电容器20D、20P和通路布线3V的连接方法的例子依次进行说明。图21~图24分别是表示将通路布线与内置于布线基板内的电容器连接的实施方式的例子的主要部分剖视图。

[0180] 在图21~图24所示的例子中,电容器20D、20P具备的电极2E具有上表面2Et及上表面2Et的相反侧的下表面2Eb。另外,在图21~

[0181] 图25所示的例子中,电容器20D、20P具备的电极2E在上表面2Et及下表面2Eb分别连接有通路布线3V。另外,在图21~图24所示的例子中,设于布线层WL3的电极2E的上表面2Et和布线层WL2经由通路布线3V23电连接。另外,布线层WL1和布线层WL2经由通路布线3V12电连接。另外,设于布线层WL4的电极2E的下表面2Eb和布线层WL5经由通路布线3V45电连接。另外,布线层WL5和布线层WL6经由通路布线3V56电连接。

[0182] 首先,在图21所示的例子中,通路布线3V23和通路布线3V12在厚度方向上重叠(换言之,俯视时重叠)。另外,在图21所示的例子中,通路布线3V45和通孔布线3V56在厚度方向上重叠(换言之,俯视时重叠)。这样,在厚度方向上相邻配置的通路布线3V配置成在厚度方

向上重叠的情况下,能够降低布线路径的排绕空间。因此,能够提高布线路径的密度。图21所示的布线方式应用于布线路径的数量多而需要提高布线密度的区域是有效的。例如,在与半导体芯片12(参照图6)重叠的区域,信号传送路径、电源电位及基准电位的供给路径密集配置。因而,通过对连接于与半导体芯片12重叠的区域的电容器应用图21所示的通路布线的连接构造,能够使布线密度提高。

[0183] 另一方面,在图22所示的例子中,通路布线3V23和通路布线3V12在厚度方向上不重叠(换言之,俯视时未重叠)。另外,在图21所示的例子中,通路布线3V45和通路布线3V56在厚度方向上不重叠(换言之,俯视时未重叠)。在图22所示的通路布线3V的布局的情况下,需要在各布线层上设置引出布线,因此,布线密度比图21所示的例子低。另外,各布线路径的布线路径距离比图21所示的例子长。但是,如图22所示的例子,在通路布线3V在厚度方向上未重叠的情况下,能够使将通路布线3V与布线3W等导体图案连接的工序比图21所示的例子容易进行。因此,能够使通路布线3V和其它导体图案的连接可靠性提高。图22所示的通路布线3V的连接方式应用于信号传送路径等要求高可靠性的布线路径时是有效的。

[0184] 接着,在图23所示的例子中,通路布线3V23的直径大于通路布线3V12的直径。另外,通路布线3V45的直径大于通路布线3V56的直径。即,在图23所示的例子中,与电容器20D、20P的电极2E连接的通路布线3V23、3V45的直径大于与电容器20D、20P的电极2E以外连接的通路布线3V。在电容器20D、20P内置于布线基板30内(参照图6)的情况下,有时因电容器20D、20P和绝缘层31C(参照图6)的线膨胀系数的不同,会对电极2E和通路布线3V23、3V45的连接部分施加应力。因此,优选使电极2E和通路布线3V23、3V45的连接部分与其它连接部分相比而提高连接强度。因此,如图23所示,如果与电容器20D、20P的电极2E连接的通路布线3V23、3V45的直径增大,则能够使电极2E和通路布线3V23、3V45的连接面积增大。其结果为,能够使电极2E和通路布线3V23、3V45的连接部分的连接可靠性提高。

[0185] 另外,在图24所示的例子中,在电极2E的上表面2Et连接有多个通路布线3V23。另外,在电极2E的下表面2Eb连接有多个通路布线3V45。换言之,在电极2E上,在上表面2Et及下表面2Eb分别连接有多个通路布线3V。在该例的情况下,能够增大电极2E和多个通路布线3V23、3V45的连接面积的总和。因此,在图24所示的例子,也能够使电极2E和多个通路布线3V23、3V45的连接部分的连接可靠性提高。

[0186] 此外,在图21~图22所示的例子中,对连接相邻的布线层的通路布线3V进行了说明,但通路布线3V的连接构造除了图21~图24所示的例子以外,还有各种变形例。

[0187] 例如,也可以将图21~图24所示的结构例的一部分与其它结构例的一部分组合。另外,例如,作为相对于图21所示的结构例的另一变形例,也可以使用贯穿布线层WL2的通路布线3V代替图21所示的通路布线3V12及通路布线3V23而将布线层WL1和布线层WL3电连接。

[0188] <半导体器件的制造方法>

[0189] 接着,对使用图1~图24所说明的半导体器件PKG2、PKG3、PKG4、PKG5、PKG6、PKG7的制造工序进行说明。在本节中,提出半导体器件PKG2的制造方法作为代表例进行说明。半导体器件PKG2按照图25所示的流程制造。图25是表示作为一实施方式的半导体器件的制造工序的概要的说明图。各工序的详情以下说明。此外,在以下的制造方法的说明中,对准备预先形成产品尺寸的布线基板30并制造一层大小的半导体器件PKG2的方法进行说明。但

是,作为变形例,也能够应用于如下的多件取得方式:准备被划分成多个产品形成区域的所谓多件取得基板,针对多个产品形成区域分别进行组装之后,针对每个产品形成区域进行划分而取得多个半导体器件。在该情况下,在图25所示的焊球安装工序之后或者在电气试验工序之后,追加切断多件取得基板而分割为每个产品形成区域的单片化工序。

[0190] 另外,在以下的说明中,根据需要,引用已说明的图1~图24的各图来说明。

#### [0191] 1. 布线基板准备工序

[0192] 首先,在图25所示的布线基板准备工序中,准备图26所示的布线基板30。图26是表示在图25所示的布线基板准备工序准备的布线基板的制造工序的一例的说明图。图26所示的布线基板30是图6所示的布线基板30中搭载半导体芯片12、支承框42、散热板40及多个焊锡球SB之前的状态的布线基板30。

[0193] 图26所示的布线基板30例如以如下的方式制造。首先,在基材准备工序中,准备在作为芯绝缘层的绝缘层31上贴附有作为支承构件的支承带(支承构件)3ST的状态的基材。在图26所示的例子中,支承带3ST贴附于绝缘层31C。但是,支承带3ST只要贴附于绝缘层31C的上表面3Ct及下表面3Cb中的任一方即可。在绝缘层31C上形成有多个通孔布线3TW(参照图6)。另外,在绝缘层31C的上表面3Ct形成有构成图6所示的布线层WL3的多个导体图案,在下表面3Cb形成有构成布线层WL4的多个导体图案。另外,在绝缘层31C中搭载电容器20D、20P的预定区域形成有贯穿从上表面3Ct及下表面3Cb中的一面至另一面的开口部CBT。

[0194] 接着,在电容器搭载工序中,将电容器20D、20P配置于开口部CBT。在该工序中,电容器20D、20P由支承带3ST支承。

[0195] 然后,在绝缘材料填充工序中,在电容器20D、20P的周围填充绝缘材料33(参照图6)并使其固化。由此,将电容器20D、20P固定于开口部CBT内。

[0196] 接着,在支承构件剥离工序中,使支承带3ST从固定有电容器20D、20P的绝缘层31C剥离。

[0197] 接着,在布线层层叠工序中,依次层叠图6所示的布线层WL2、WL1。另外,以覆盖布线层WL1的方式形成绝缘层31T。另外,在绝缘层31C的下表面3Cb侧依次层叠布线层WL5、WL6。另外,以覆盖布线层WL6的方式形成绝缘层31B。本工序能够通过依次形成绝缘层、通路布线、布线层的所谓层积工艺进行。

[0198] 接着,在端子露出工序中,在图6所示的绝缘层31T形成开口部,使多个端子3BF、端子3TP各自的至少一部分从绝缘层31T露出。另外,在端子露出工序中,在图6所示的绝缘层31B形成开口部,使多个触点3LD各自的至少一部分从绝缘层31T露出。

[0199] 接着,在端子表面处理工序中,在露出的多个端子各自的表面实施表面处理,形成例如图10所示的金属膜3mf。金属膜3mf能够使用例如焊材。另外,金属膜3mf也可以为通过例如电镀法形成的镍(Ni)及金(Au)的层叠膜、或镍、钯(Pd)及金的层叠膜。

[0200] 通过以上的各工序,获得在布线基板30内内置有电容器20D、20P的布线基板30。此外,如上所述,在将多个电容器20D、20P中的一部分搭载于布线基板30的上表面3t的情况下,在图25所示的布线基板准备工序和散热板搭载工序之间搭载电容器。

#### [0201] 2. 半导体芯片搭载工序

[0202] 接着,在图25所示的半导体芯片搭载工序中,如图5及图6所示,将半导体芯片12搭载于布线基板30的上表面3t上。

[0203] 在本工序中,准备半导体芯片12(半导体芯片准备工序),将其搭载于图6所示的布线基板30的上表面3t中形成有多个端子3BF的区域上。在图6所示的例子中,在半导体芯片12的表面1t(参照图6)和布线基板30的上表面3t对置的状态下,以所谓面朝下安装方式(也称为倒装芯片连接方式)安装。

[0204] 另外,在本工序中,如图6所示,形成于半导体芯片12的表面1t侧的多个焊盘1PD和布线基板30的多个端子3BF经由多个突起电极1BP分别电连接。如本实施方式,在将多个端子3BF配置成行列状的情况下,大多使用将焊材成形为球状的焊锡凸块作为多个突起电极1BP。但是,突起电极1BP不限焊锡凸块,也可以使用例如将铜等金属材料成形为柱状的柱凸块。

[0205] 另外,在本工序中,在半导体芯片12和布线基板30之间配置底部填充树脂(绝缘性树脂)32。底部填充树脂32配置成密封半导体芯片12和布线基板30的电连接部分(多个突起电极1BP的接合部)。如此,通过将底部填充树脂32配置成密封多个突起电极1BP的连接部,能够在半导体芯片12和布线基板30的电连接部分产生的应力缓和。

[0206] 该底部填充树脂32的形成方法大体分为两种方法。在第一方法即先涂布方式中,在搭载半导体芯片前,先将底部填充树脂32配置于芯片搭载区域上。接着,从底部填充树脂32的上方按压半导体芯片12,将布线基板30和半导体芯片12电连接。之后,使底部填充树脂32固化,获得图6所示的构造体。此外,在搭载半导体芯片12之前配置树脂材料的本方式的情况下,不限于上述的膏状树脂材料,也可以使用薄膜状树脂材料。该情况下,不是“涂布”作业,而是“贴附”作业。

[0207] 另外,在第二方法即后注入方式中,在配置底部填充树脂32前,将半导体芯片12和布线基板30电连接。之后,通过将液状树脂注入半导体芯片12和布线基板30之间的间隙,并使其固化,获得图6所示的树脂体。在本工序中,可以使用上述先涂布(或先贴附)方式及后注入方式任一方式。

[0208] 4. 散热板搭载工序

[0209] 接着,在图25所示的散热板搭载工序,如图6所示,将散热板40搭载于半导体芯片12上,并由散热板40覆盖半导体芯片12。

[0210] 在本工序中,如图6所示,准备散热板40(散热板准备工序),将其以覆盖半导体芯片12的方式搭载于布线基板30的上表面3t上。由此,半导体芯片12被散热板40覆盖。另一方面,如图5及图6所示,与DC阻断用的多个电容器20D分别连接的测试用的端子3TP未被散热板40覆盖而从该散热板40露出。

[0211] 安装散热板40的方法有各种方法。例如,在图6所示的例子中,在散热板40的周缘部安装支承框42,散热板40经由支承框42粘接固定于布线基板30。另外,在半导体芯片12的背面1b涂布粘接材料(散热树脂)41,散热板40经由粘接材料41粘接固定于半导体芯片12。

[0212] 另外,作为不同于上述的方法,也可以先将支承框42粘接固定于布线基板30,再将散热板40搭载于已固定的支承框42上。另外,作为相对于图6的另一变形例,也可以为不设置支承框42而仅将散热板40粘接固定于半导体芯片12的结构。

[0213] 此外,作为相对于本实施方式的变形例,在不安装散热板40的情况下,能够省略本工序。

[0214] 5. 焊球安装工序

[0215] 接着,在图25所示的焊球安装工序,如图4及图6所示,将多个焊锡球SB安装于布线基板30的安装面即下表面3b侧。在本工序中,将焊锡球SB配置于从图4及图6所示的绝缘层31B露出的触点3LD上,实施回流焊处理(加热而使焊料成分熔融接合后进行冷却的处理),由此,将焊锡球SB接合于触点3LD。此外,在作为将图1所示的布线基板MB1和半导体器件PKG2电连接的导电性材料不使用焊锡球SB的情况下,也能够省略本工序。或者,在本工序中,也可以在触点3LD的露出面形成薄焊料膜等金属膜而取代焊锡球SB。

[0216] 6. 电气试验工序(DC测试工序)

[0217] 接着,在图25所示的电气试验工序,进行形成于半导体器件PKG2的电路的电气试验。该电气试验包含使检查用直流电流流过而进行检查的DC测试。DC测试包含例如确认电路的电连接状态的导通测试等。图27是示意性表示在图25所示的电气试验工序中使DC阻断用的电容器的电极短路来进行检查的状态的放大剖视图。

[0218] 在DC测试中,如上所述,流通直流电流进行检查,所以在检查对象的电路包含DC阻断用的电容器20D的情况下,会阻断检查用电流。因此,在进行插入有电容器20D的高速传送路径的DC测试时,如图27示意性所示,在使电容器20D的电极2E2和电极2E1短路的状态下,需要输入直流的检查信号SGin。若使电容器20D的电极2E2和电极2E1短路,则即使将DC阻断用的电容器20D串联连接地插入于高速传送路径中,也能够从电极2E1侧输出检查信号SGout,而进行电路整体的DC测试。

[0219] 在此,如图27所示,在使电容器20D的电极2E2和电极2E1短路的情况下,要求能够使导电性构件容易地接触电容器20D的电极2E1及电极2E2这两者的构造。因此,在本实施方式中,DC阻断用电容器20D的电极2E1及电极2E2分别与从布线基板30露出的测试用的端子3TP1、3TP2电连接。该情况下,即使电容器20D的电极2E1及电极2E2配置于布线基板30的内部,也能够经由测试用的端子3TP1、3TP2使电容器20D的电极2E2和电极2E1短路。

[0220] 用于使电容器20D的电极2E2和电极2E1短路的导电性构件有各种形式。例如,在使经由布线电连接的针状导电性构件(接触器)与端子3TP1及端子3TP2分别接触的状态下,从安装面侧的焊锡球SB(参照图6)侧输入检查信号SGin。该情况下,通过了测试用的端子3TP2及端子3TP1的检查信号SGout从电极2E1侧输出。

[0221] <半导体器件的安装方法>

[0222] 接着,使用图1,对在作为母板的布线基板MB1上搭载半导体器件PKG1及半导体器件PKG2并将半导体器件PKG1和半导体器件PKG2电连接的方法进行说明。

[0223] 如图1所示,在布线基板MB1的上表面(搭载面)MBt形成有用于连接半导体器件PKG1的多个端子TM1、和用于连接半导体器件PKG2的多个端子TM2。半导体器件PKG1具备作为外部端子的多个焊锡球SB。在本实施方式的半导体器件的安装方法中,通过将半导体器件PKG1的多个焊锡球SB与布线基板MB1的多个端子TM1分别接合,将半导体器件PKG1和布线基板MB1电连接。另外,在本实施方式的半导体器件的安装方法中,通过将半导体器件PKG2的多个焊锡球SB与布线基板MB1的多个端子TM2分别接合,将半导体器件PKG2和布线基板MB1电连接。

[0224] 如上所述,通过将半导体器件PKG1及半导体器件PKG2与布线基板MB1电连接,经由布线基板MB1的高速传送路径SGP2将半导体器件PKG1和半导体器件PKG2电连接。此时,在本实施方式中,在半导体器件PKG2上搭载有DC阻断用的电容器20D,因此,不在布线基板MB1上

搭载电容器20D。其结果为,由于能够降低布线基板MB1的尺寸,所以能够将电子器件EDV1小型化。另外,由于不需要在作为母板的布线基板MB1上搭载DC阻断用的电容器20D,所以能够削减布线基板MB1上的部件搭载区域,能够提高布线基板MB1的布线设计自由度。其结果为,能够提高信号质量及电源质量。

[0225] (变形例)

[0226] 以上,基于实施方式具体地说明了由本申请发明人提出的发明,但本发明不限于上述实施方式,当然在不脱离其宗旨的范围内可进行各种变更。

[0227] 例如,在图5中,对下述实施方式进行了说明,即,将多个电源电路用的电容器20P分别配置于与半导体芯片12重叠的位置,将多个DC阻断用的电容器20D分别配置于不与半导体芯片12重叠的位置。然而,俯视时的半导体芯片12和电容器20D、20P的位置关系有各种变形例。

[0228] 例如,如图28所示的半导体器件PKG8,在内置多个电容器20D的情况下,也可以是俯视时多个电容器20D和半导体芯片12重叠。图28是表示相对于图1的变形例的半导体器件的上表面侧的俯视图。另外,图29是图28所示的半导体器件的仰视图。此外,在图28中,为明示多个电容器和半导体芯片的平面的位置关系,而以虚线表示内置于布线基板30内的多个电容器的轮廓。另外,图5为俯视图,但为了在多个电容器中容易识别电容器20D和电容器20P,而在多个电容器20P上分别附上剖面线。

[0229] 图28所示的半导体器件PKG8在俯视时多个电容器20D及多个电容器20P分别与半导体芯片12重叠这一点与图5所示的半导体器件PKG2不同。在将电容器20D内置于布线基板30内的情况下,能够在电容器20D的上方搭载半导体芯片12。因此,即使在半导体芯片12的背面1b的面积大的情况下,也能够搭载于与半导体芯片12相同的封装内,且能够抑制封装的平面尺寸的增大。

[0230] 另外,如图28所示,当半导体芯片12的平面面积增大时,半导体芯片12的侧面1s和布线基板30的侧面3s的分开距离缩小。因此,在将测试用的端子3TP(参照图29)形成于布线基板30的上表面3t侧的情况下,根据底部填充树脂32扩散的范围的程度,有时端子3TP会被底部填充树脂32覆盖。

[0231] 因此,在半导体器件PKG8的情况下,优选与使用图13及图14所说明的半导体器件PKG5同样地,在布线基板30的下表面3b使多个测试用的端子3TP露出。

[0232] 另外,图28所示的半导体器件PKG8在半导体芯片12的背面1b未搭载有图1所示的散热板40这一点上与图1所示的半导体器件PKG1不同。根据半导体器件的热规格来决定是否需要图1及图6所示的散热板40。因此,除了图28所示的例子,也可以为例如不搭载图6所示的散热板40及支承框42的半导体器件。另外,也可以对图28所示的半导体器件PKG8安装散热板40(参照图6)。

[0233] 进而,在安装散热板40的情况下,散热板40的形状也有各种变形例。例如,也可以不设置图6所示的支承框42,而将散热板40仅经由粘接材料(散热树脂)41贴附于半导体芯片12的背面1b。另外,也可以将一片板成形成兼备图6所示的支承框42的功能及散热板40的功能。

[0234] 另外,在图10~图17中,对在电容器20D上连接有测试用的布线路径的实施方式进行了说明。但是,在不对插入电容器20D的信号传送路径要求DC测试的产品的情况下,也可

以如图30所示的半导体器件PKG9那样不在电容器20D上连接测试用的布线路径。图30是示意性表示与作为相对于图10的变形例的半导体器件所具有的DC阻断用的电容器连接的信号传送路径的例子的放大剖视图。

[0235] 在半导体器件PKG9的情况下,在经由电容器20D的信号传送路径上未连接有测试用的布线路径,因此,相较于图10所示的半导体器件PKG2,能够降低对信号传送路径的噪声影响。但是,在半导体器件PKG9的情况下,难以对经由电容器20D的信号传送路径进行DC测试。

[0236] 另外,在图6所示的例子中,示出布线基板30在作为芯材的绝缘层31C的上表面3Ct侧、及下表面3Cb侧分别层叠有多个布线层的布线基板。但是,作为图6所示的变形例,也可以如图31所示的半导体器件PKG10那样使用所谓的无芯基板,该无芯基板不具有由预成型材料等坚硬的材料构成的绝缘层31C(参照图6),而依次层叠绝缘层31和布线3W等导体图案而形成。图31是示意性表示与相对于图10的另一变形例的半导体器件具有的DC阻断用的电容器连接的信号传送路径的例子的放大剖视图。

[0237] 图31所示的半导体器件PKG10在不具有图6所示的绝缘层31C这一点上与图6所示的半导体器件PKG2不同。另外,半导体器件PKG10在电容器20D具备的电极2E1及电极2E各自的一部分从布线基板30露出这一点上与图10所示的半导体器件PKG2不同。

[0238] 如半导体器件PKG10,在使用无芯基板的情况下,不形成图6所示的通孔布线3TW。因此,即使在将电容器20D配置于布线基板30的任何布线层的情况下,均不产生通孔布线3TW(参照图6)引起的阻抗不连续点的课题。

[0239] 例如,在半导体器件PKG10的例子中,电容器20D横跨布线层WL1、WL2、及布线层WL3而配置。另外,电容器20D的电极2E1及电极2E2各自的一部分在布线基板30的上表面3t从最上层的绝缘层31T露出。因此,在半导体器件PKG10的例子中,能够将电极2E1及电极2E2的露出的部分作为图10所示的测试用的端子3TP利用。

[0240] 此外,根据上述的本申请的“内置于布线基板30内”的状态的定义,将图31所示的电容器20D作为内置于布线基板30内的状态进行处理。另外,省略图示,但电容器20D具备的电极2E1及电极2E2各自的一部分也可以在布线基板30的下表面3b从最下层的绝缘层31B露出。进而,在图31中,作为代表例,提出电容器20D的一部分从布线基板30露出的例子进行了说明。然而,图6所示的电容器20P的一部分也可以从布线基板30露出。

[0241] 另外,在不脱离在上述实施方式所说明的技术思想的宗旨的范围内,能够组合变形例彼此来应用。

[0242] 另外,将记载于上述实施方式的内容的一部分记载于以下。

[0243] [附注1]

[0244] 一种半导体器件的制造方法,其包含:

[0245] (a) 准备具备第一面及该第一面的相反侧的第二面的布线基板的工序;

[0246] (b) 在上述布线基板的上述第一面侧搭载具备多个芯片电极的半导体芯片的工序,

[0247] 上述布线基板具有:

[0248] 第一电容器,其内置于上述布线基板内;以及

[0249] 第二电容器,其在俯视时配置于上述第一电容器与上述布线基板的周缘部之间,

- [0250] 上述第二电容器串联连接地插入于相对于上述半导体芯片输入或输出电信号的信号传送路径,
- [0251] 在上述 (b) 工序中,在俯视时与上述第一电容器重叠的位置搭载上述半导体芯片。
- [0252] 附图标记说明
- [0253] 1b 背面(主面、下表面)
- [0254] 1BP 突起电极(凸块电极)
- [0255] 1PD 焊盘(电极焊盘、接合焊盘)
- [0256] 1s 侧面
- [0257] 1t 表面(主面、上表面)
- [0258] 2BD 主体部
- [0259] 2E、2E1、2E2、2E3、2E4 电极
- [0260] 2Eb 下表面
- [0261] 2Et 上表面
- [0262] 2LS 长边(长侧面)
- [0263] 2SS 短边(短侧面)
- [0264] 3b 下表面(面、主面、安装面)
- [0265] 3BF 端子(接合焊盘、接合引线、芯片连接用端子)
- [0266] 3Cb 下表面
- [0267] 3Ct 上表面
- [0268] 3K1、3K2、3K3 开口部
- [0269] 3LD、3LH、3LL、3LVd、3LVs 触点(外部端子、端子)
- [0270] 3mf 金属膜
- [0271] 3PL 导体平面(图形)
- [0272] 3s 侧面
- [0273] 3ST 支承带(支承构件)
- [0274] 3t 上表面(面、主面、芯片搭载面)
- [0275] 3TP、3TP1、3TP2 端子(测试用的端子、测试端子)
- [0276] 3TW 通孔布线
- [0277] 3V、3V12、3V23、3V23、3V45、3V56、3VL、3VS 通路布线
- [0278] 3W 布线
- [0279] 11、12 半导体芯片
- [0280] 20CL 导体板
- [0281] 20D、20P 电容器(芯片电容器、陶瓷电容器)
- [0282] 20IL 绝缘层(介电体层)
- [0283] 30 布线基板
- [0284] 31 绝缘层
- [0285] 31B、31T 绝缘层(阻焊膜)
- [0286] 31C 绝缘层(芯材、芯绝缘层)
- [0287] 32 底部填充树脂(绝缘性树脂)

- [0288] 33 绝缘材料(埋孔材料)
- [0289] 40 散热板(散热器、构件)
- [0290] 41 粘接材料(散热树脂)
- [0291] 42 支承框(加强环)
- [0292] CBT 开口部
- [0293] DL 延伸方向(长度方向)
- [0294] DSp、DSn 差动信号传送路径
- [0295] DW 宽度方向
- [0296] EDV1 电子器件(电子设备)
- [0297] MB1 布线基板(母板、安装基板)
- [0298] MBt 上表面(搭载面)
- [0299] PKG2、PKG3、PKG4、PKG5、PKG6、PKG7、PKG8、PKG9、PKG10、PKGh1 半导体器件
- [0300] RP 回程路径
- [0301] Rx、RxL、Rxn、Rxp 电极(电极焊盘)
- [0302] SB 焊锡球(焊材、外部端子、电极、外部电极)
- [0303] SD 接合材料
- [0304] SGIN、SGOUT 检查信号
- [0305] SGP 信号传送路径
- [0306] SGP1 低速传送路径
- [0307] SGP2 高速传送路径
- [0308] TM1、TM2 端子
- [0309] Tx、TxL、Txn、Txp 电极(电极焊盘)
- [0310] Vd、Vs 电极(电极焊盘)
- [0311] VDD 电源电位
- [0312] VDP 电源电位供给路径
- [0313] VSP 基准电位供给路径
- [0314] VSS 基准电位
- [0315] WL1、WL2、WL3、WL4、WL5、WL6 布线层

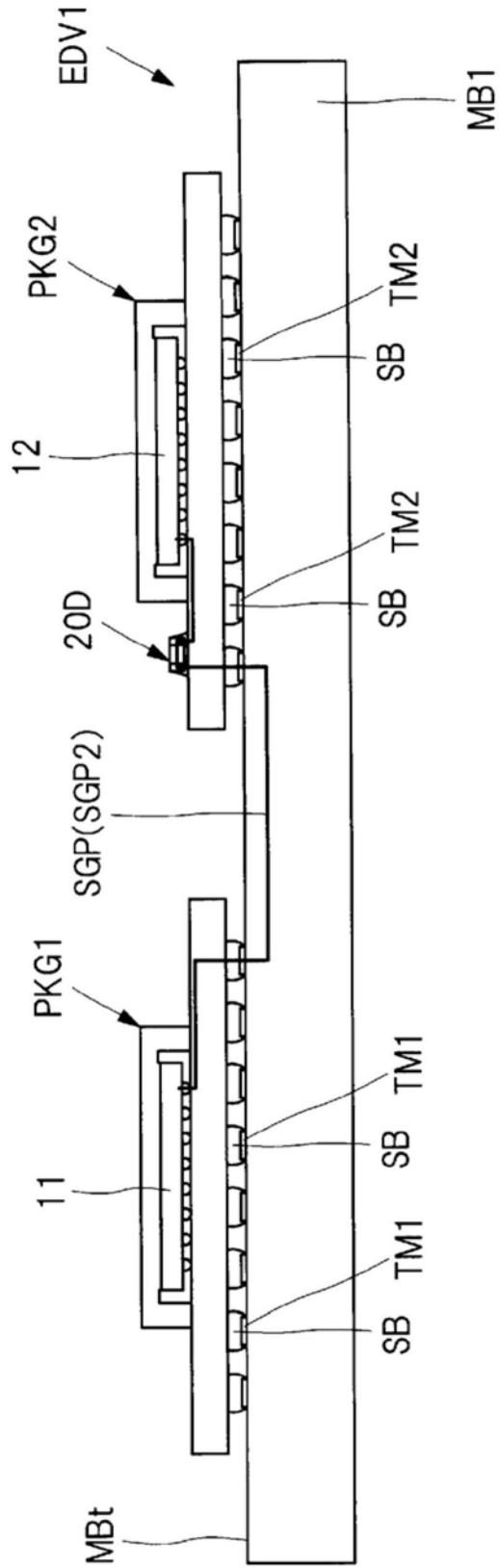


图1



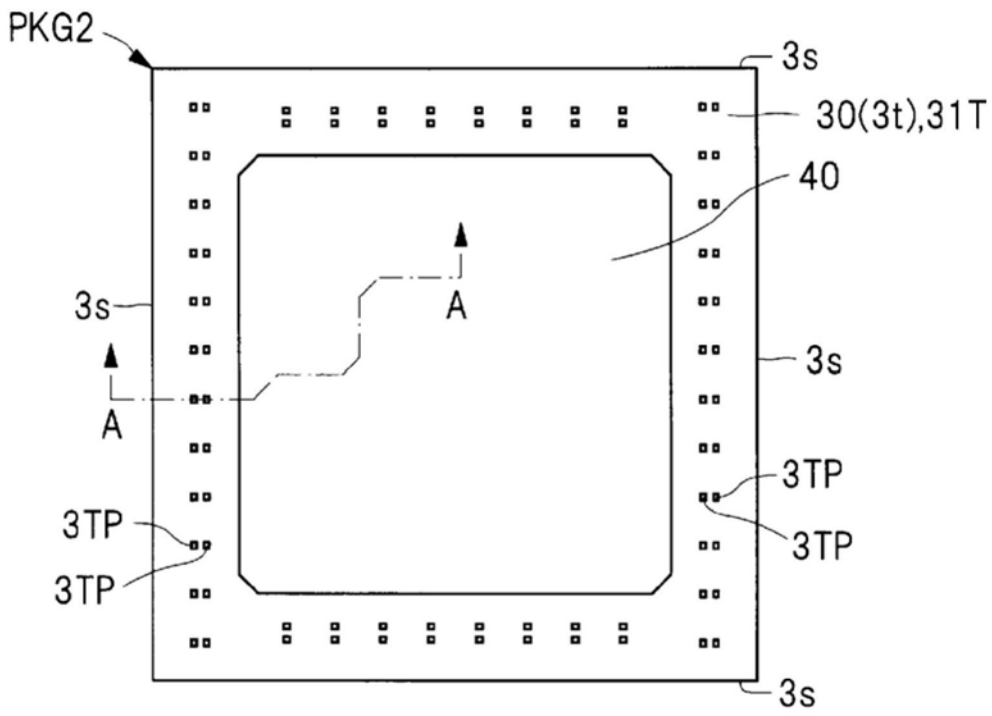


图3

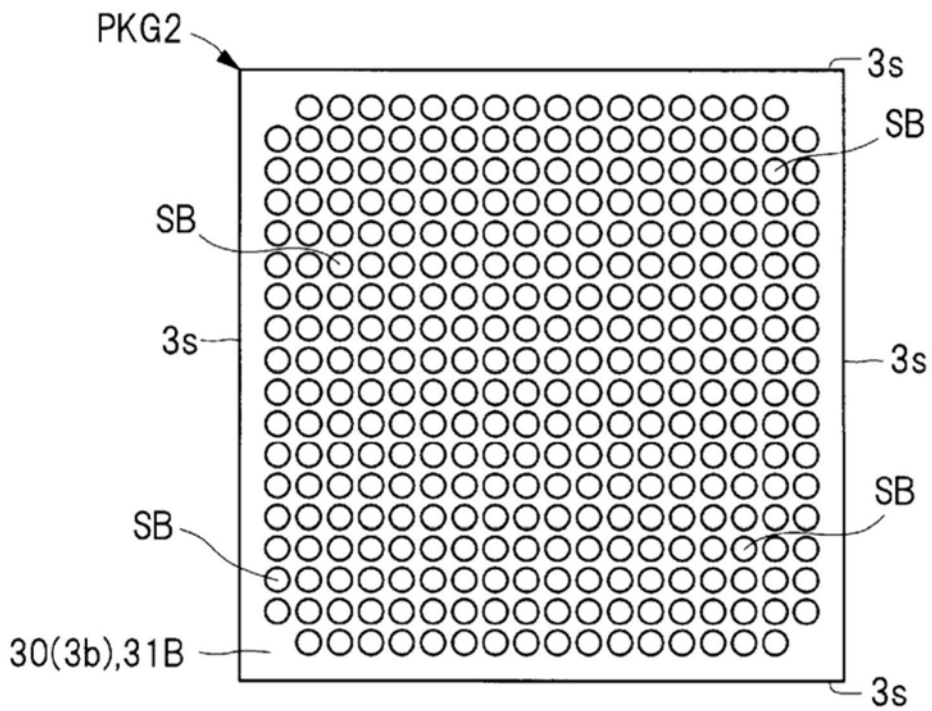


图4

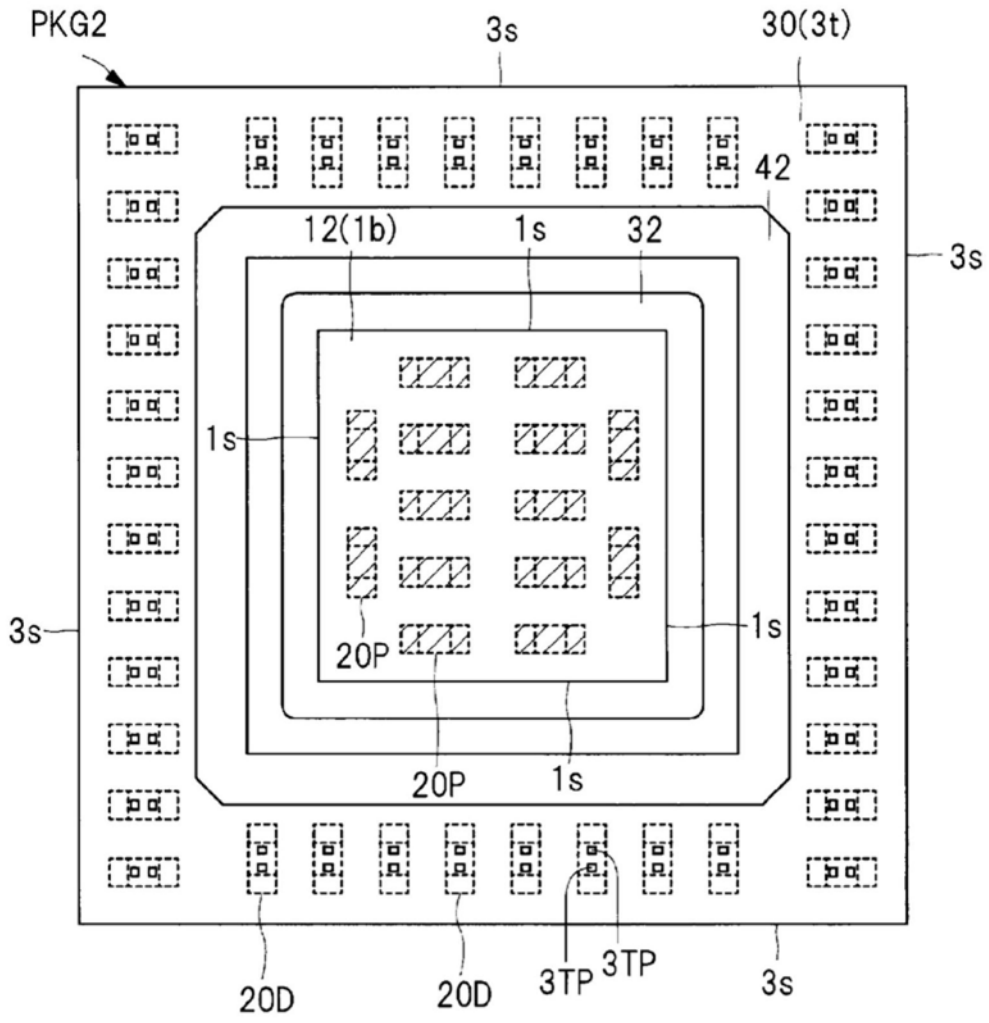


图5



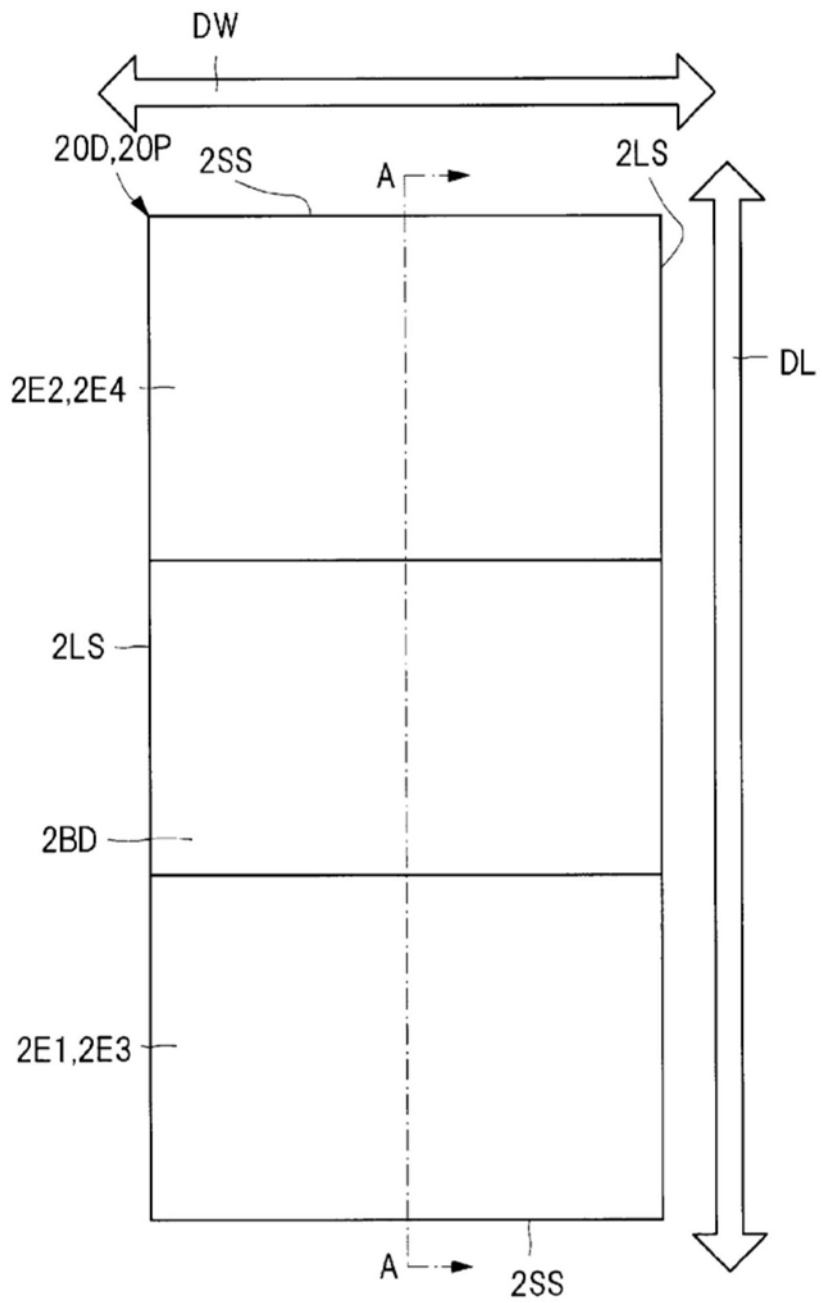


图7

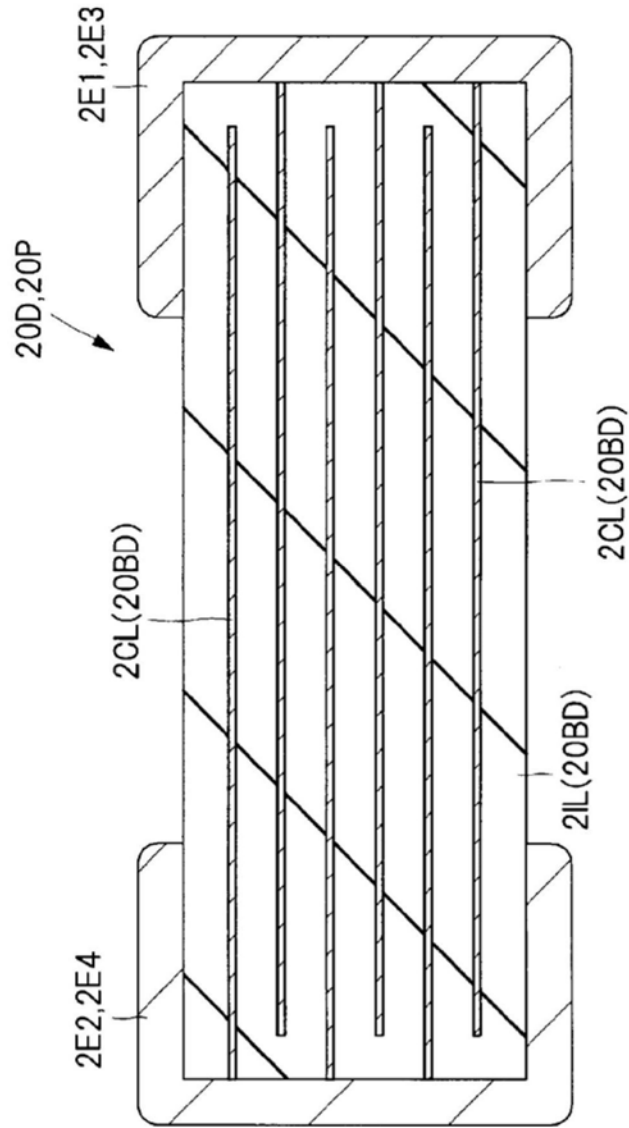


图8



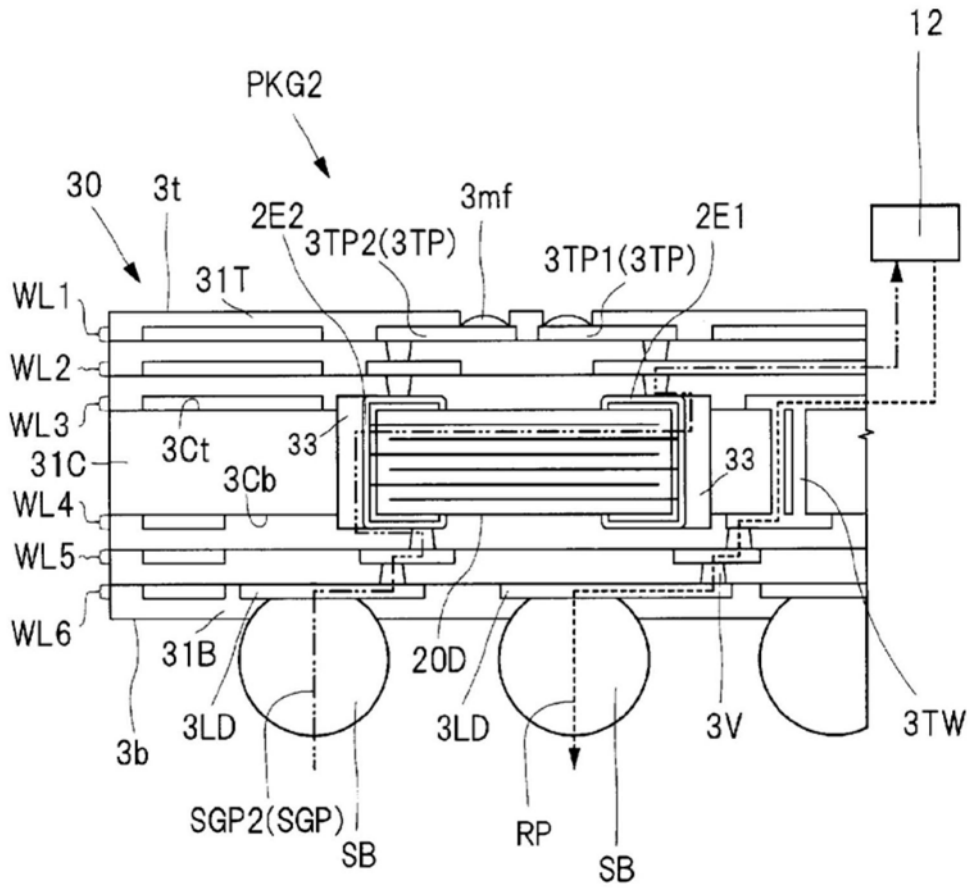


图10

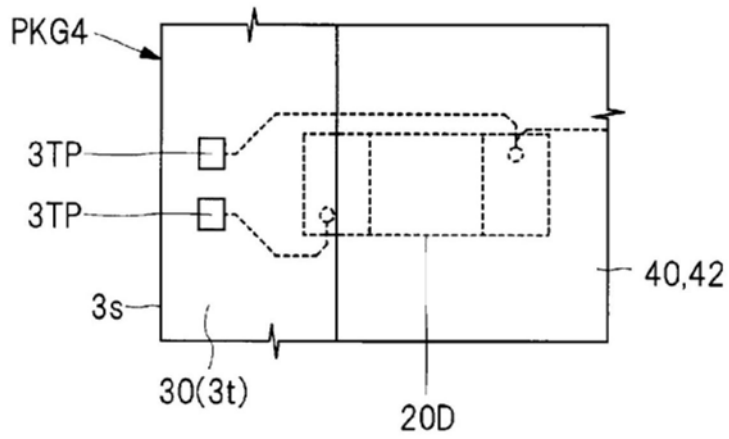


图11

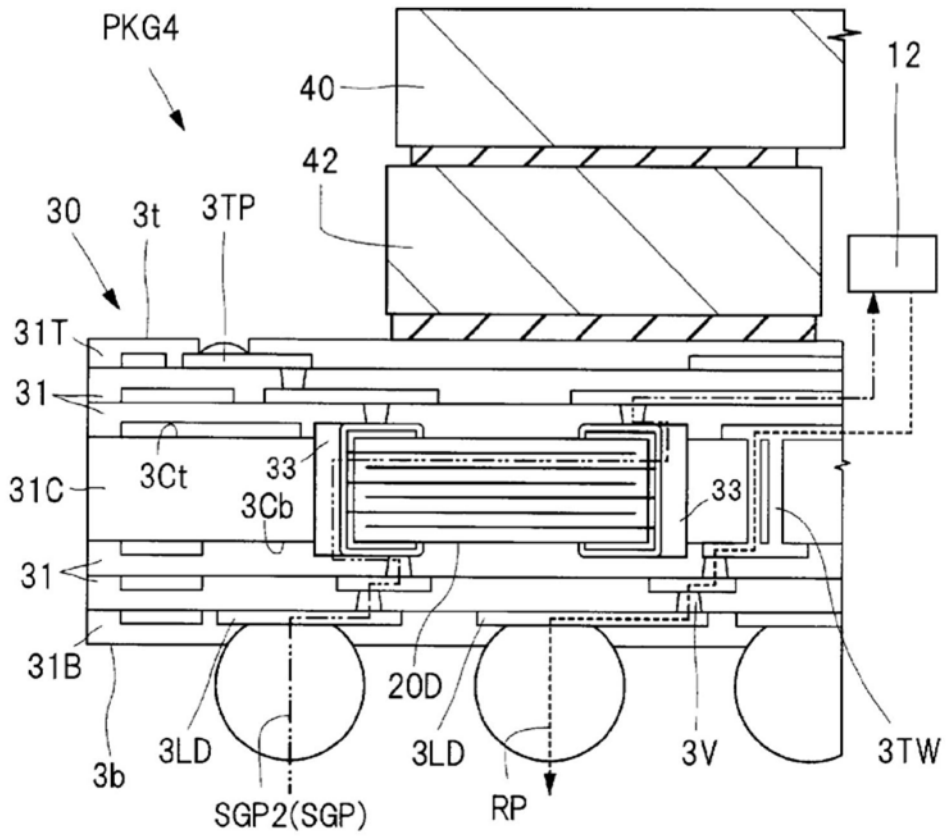


图12

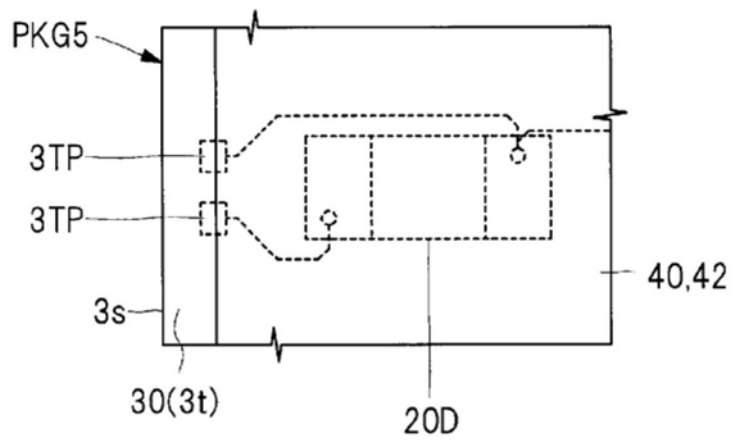


图13

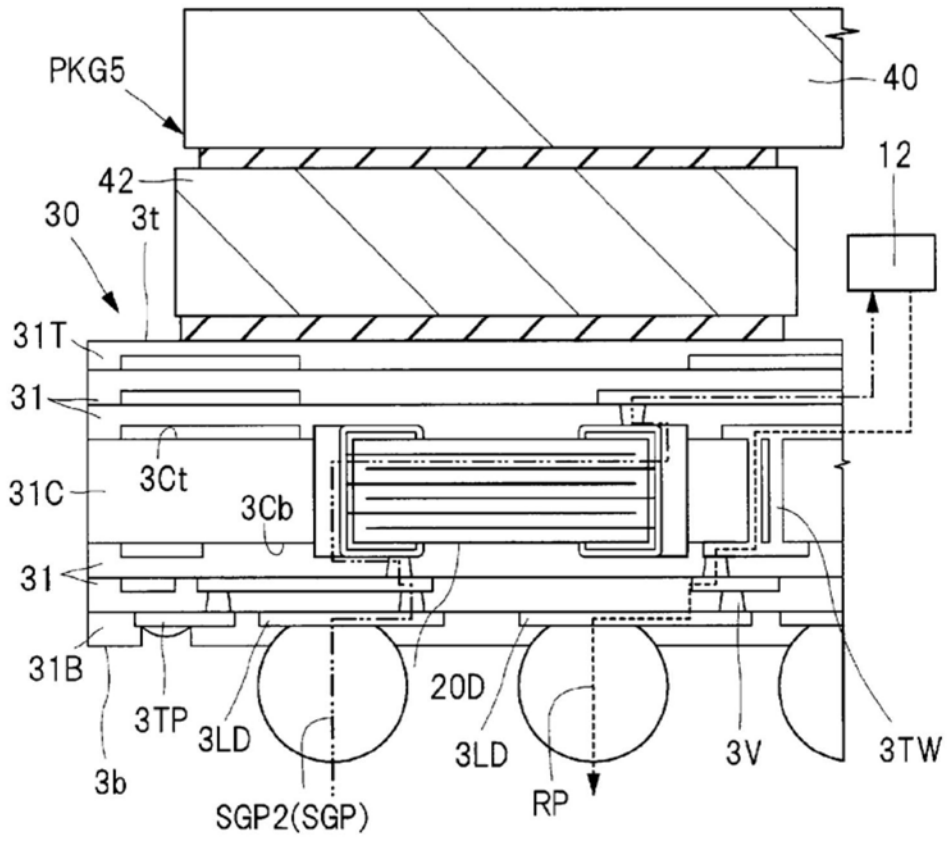


图14

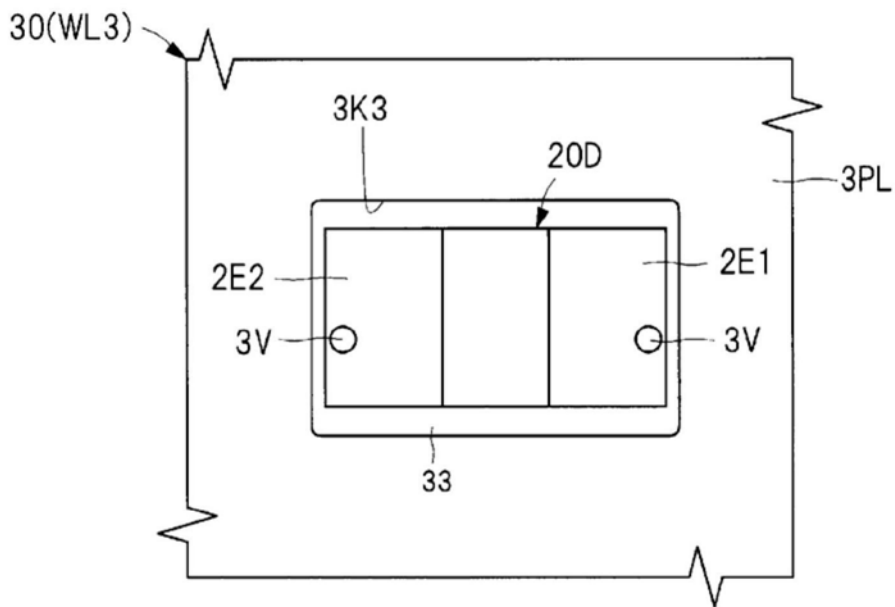


图15

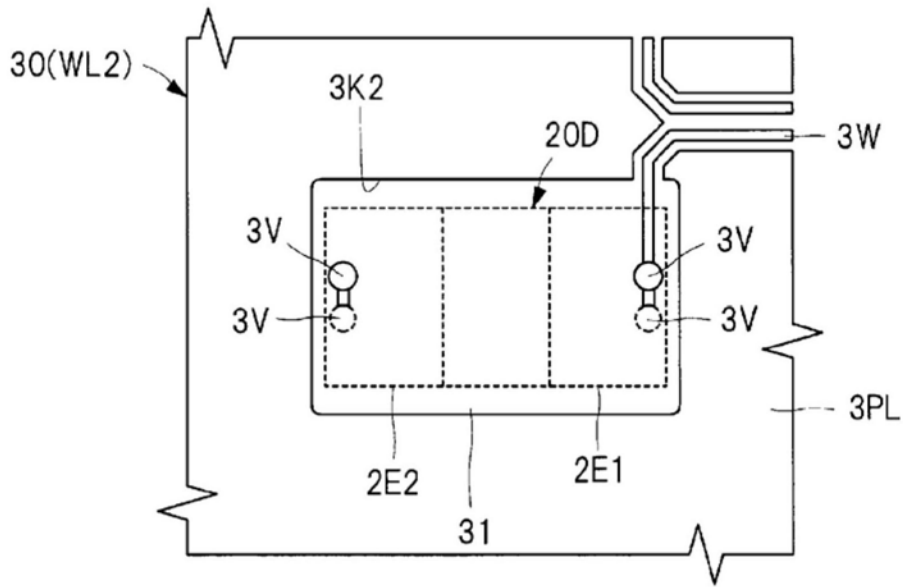


图16

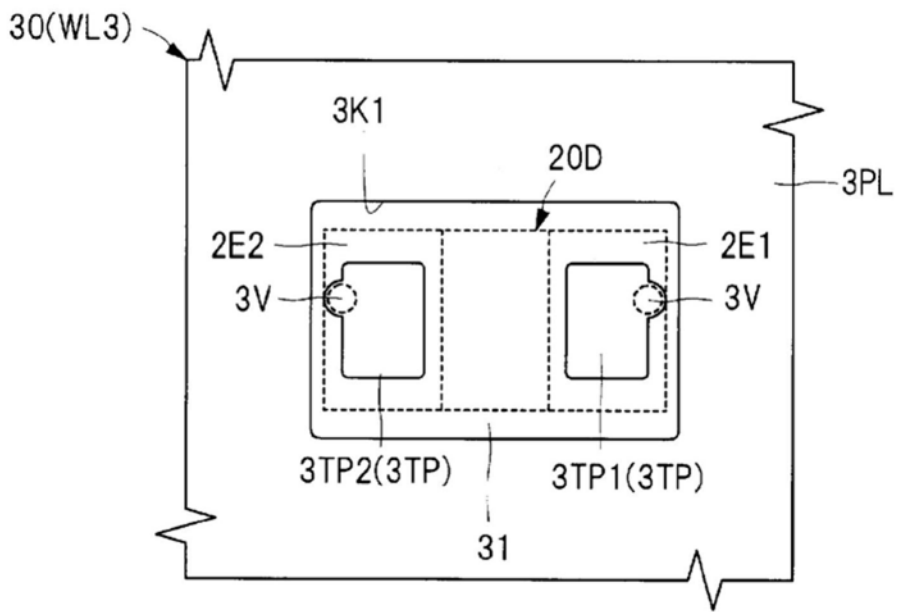


图17

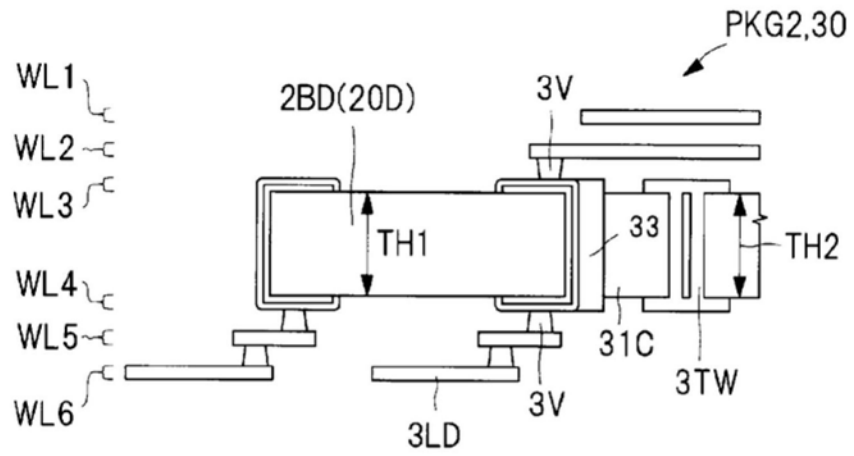


图18

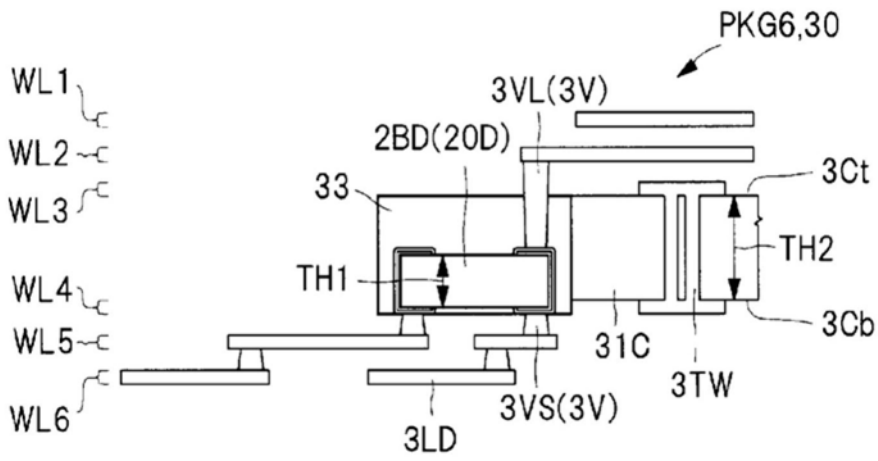


图19

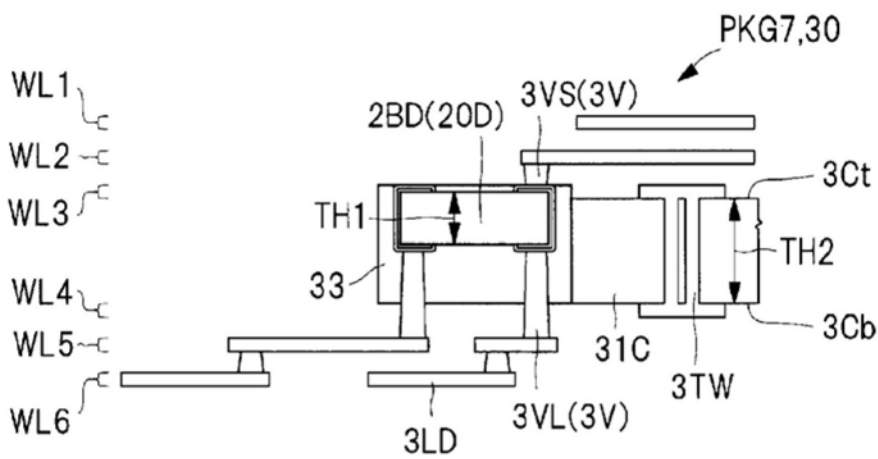


图20

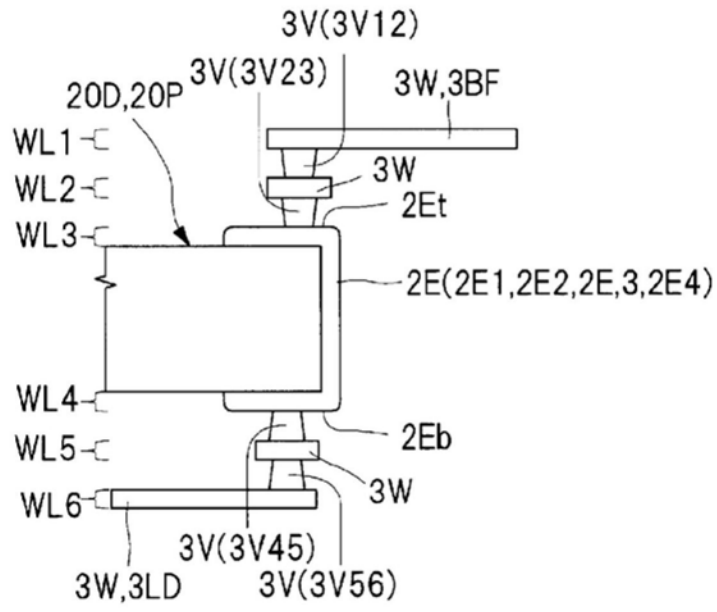


图21

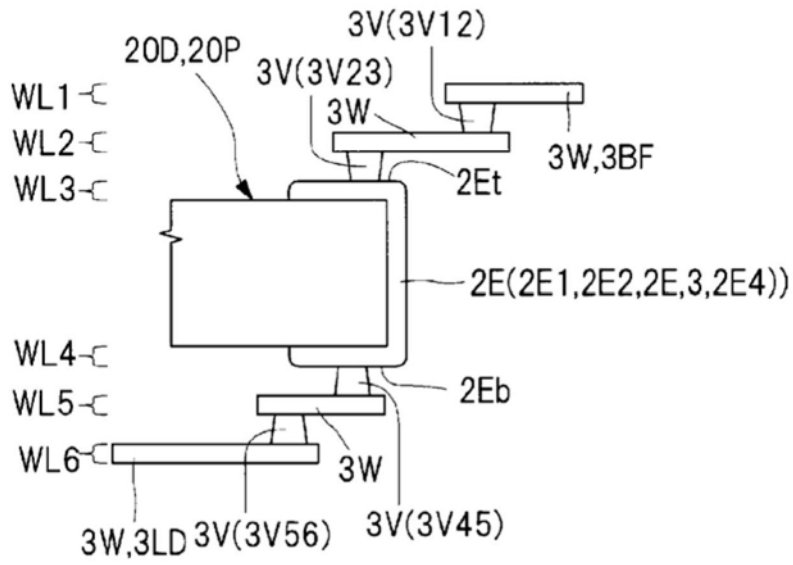


图22

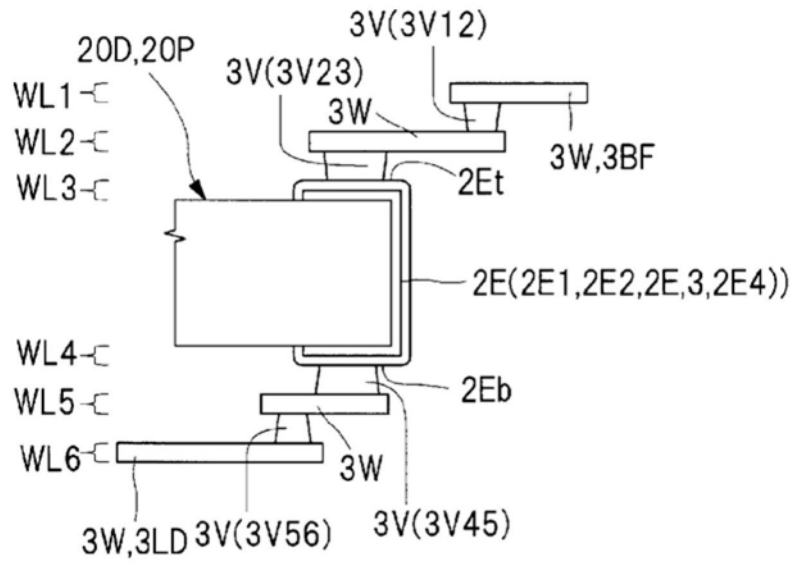


图23

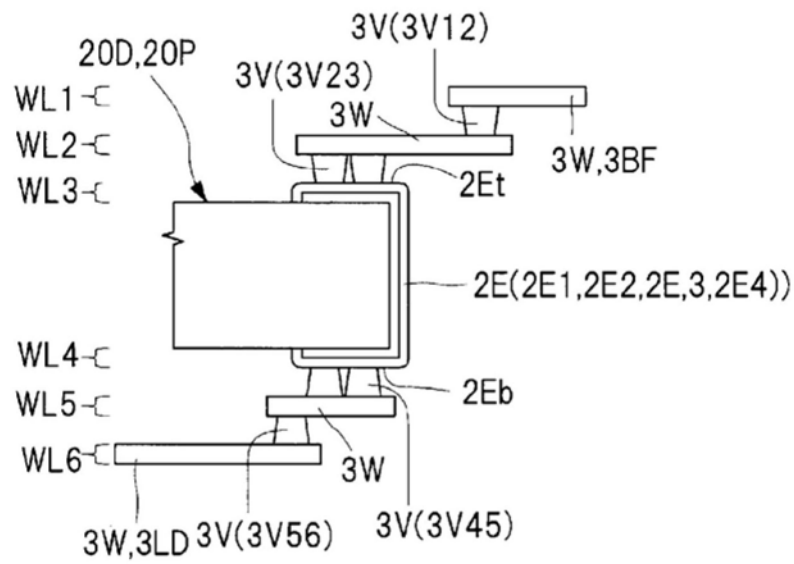


图24

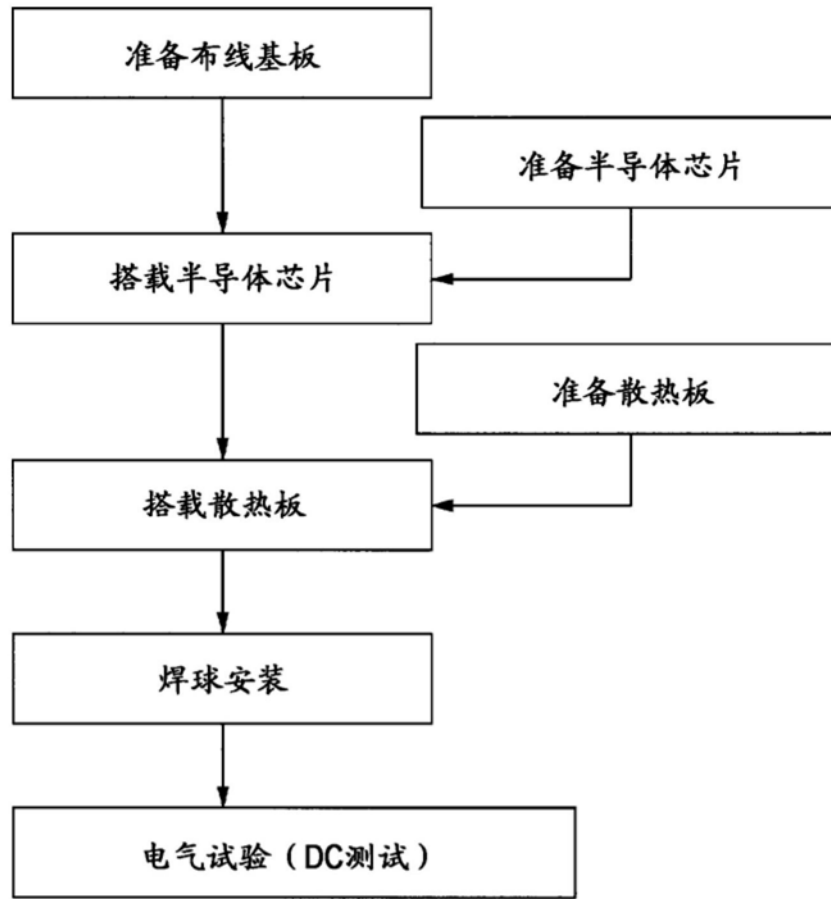


图25

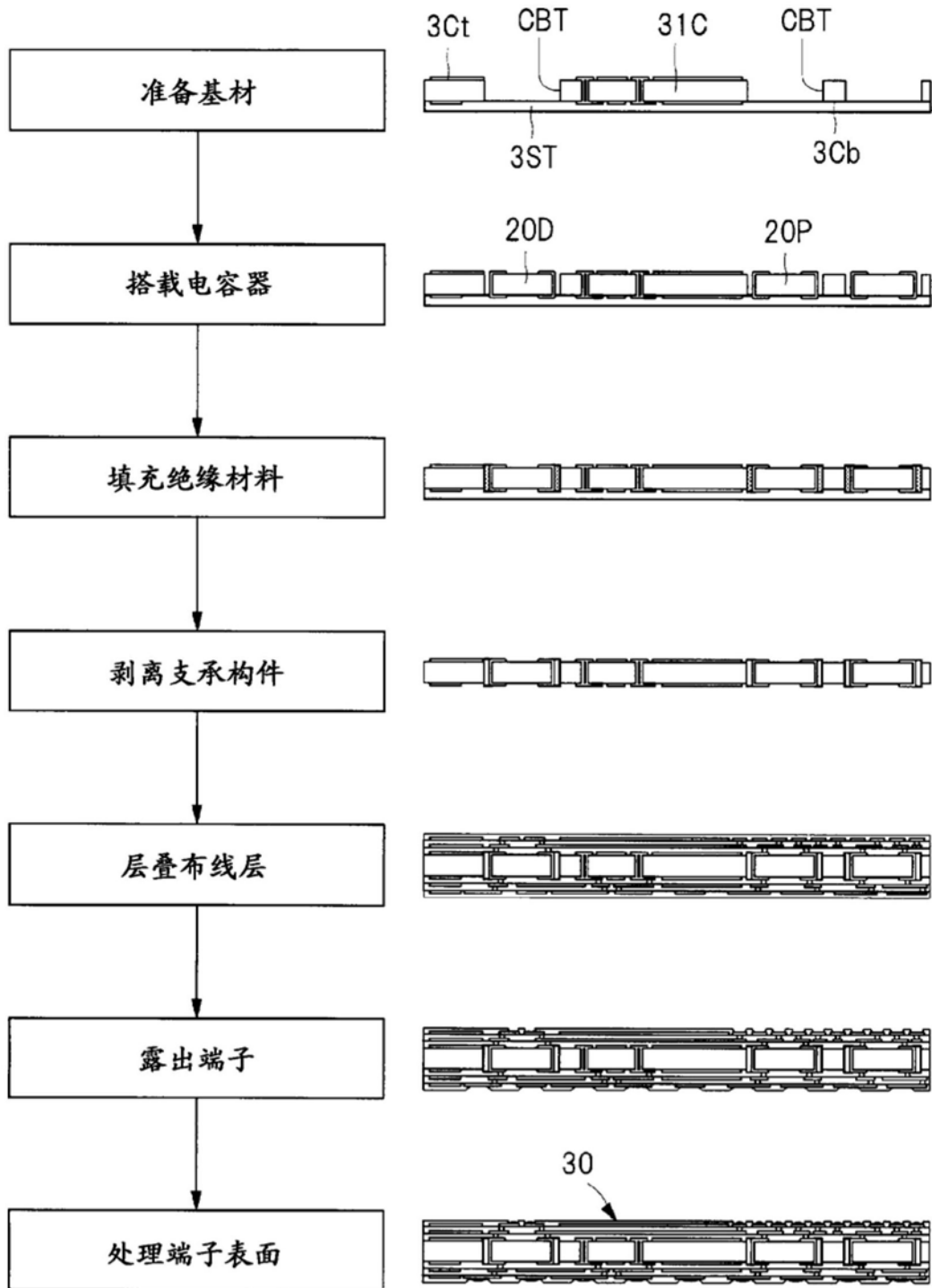


图26





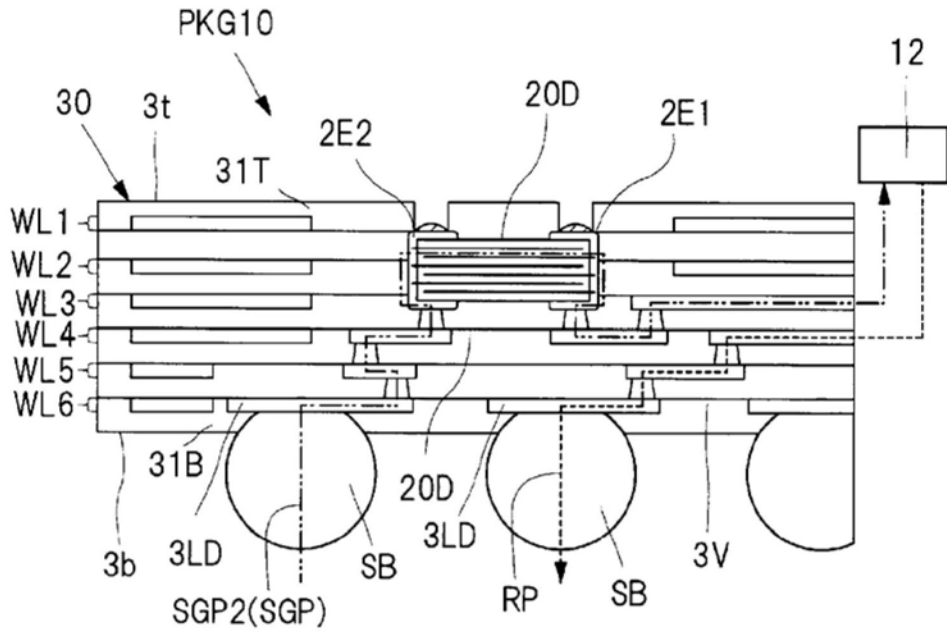


图31

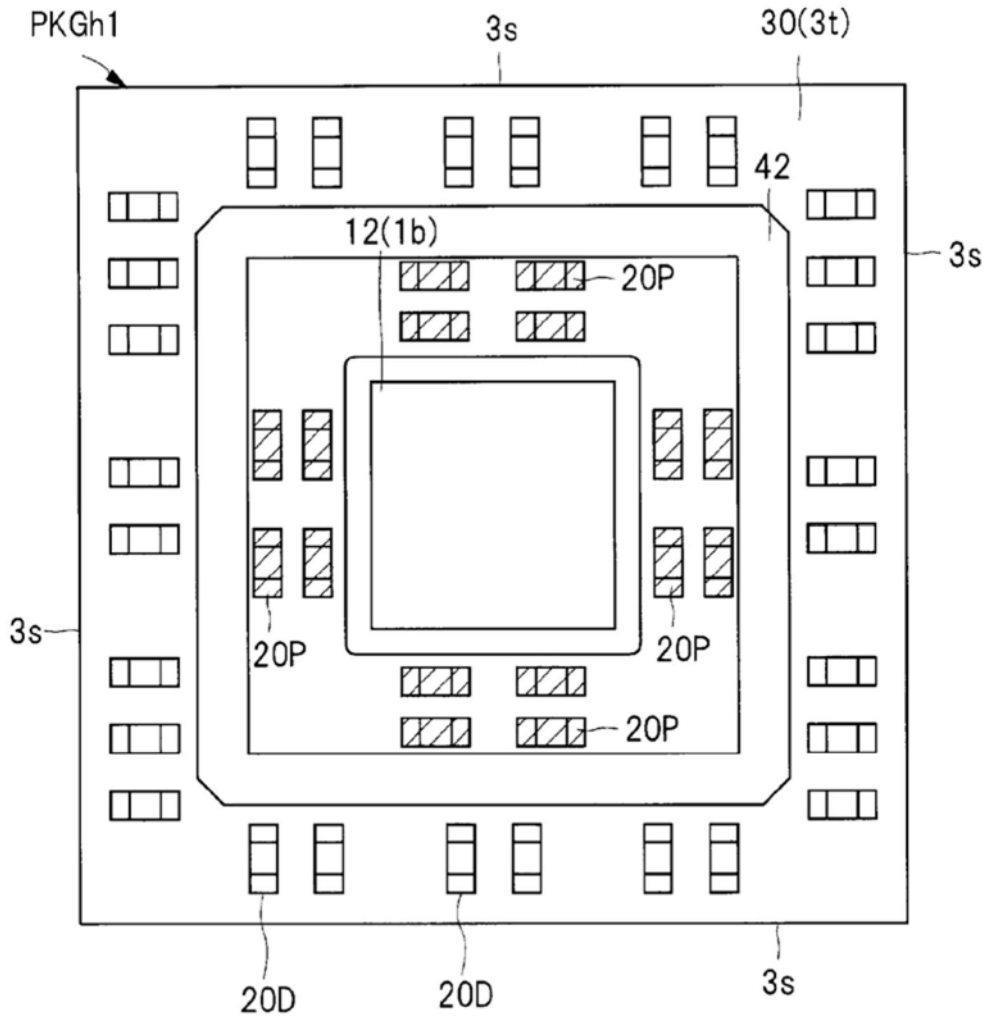


图32

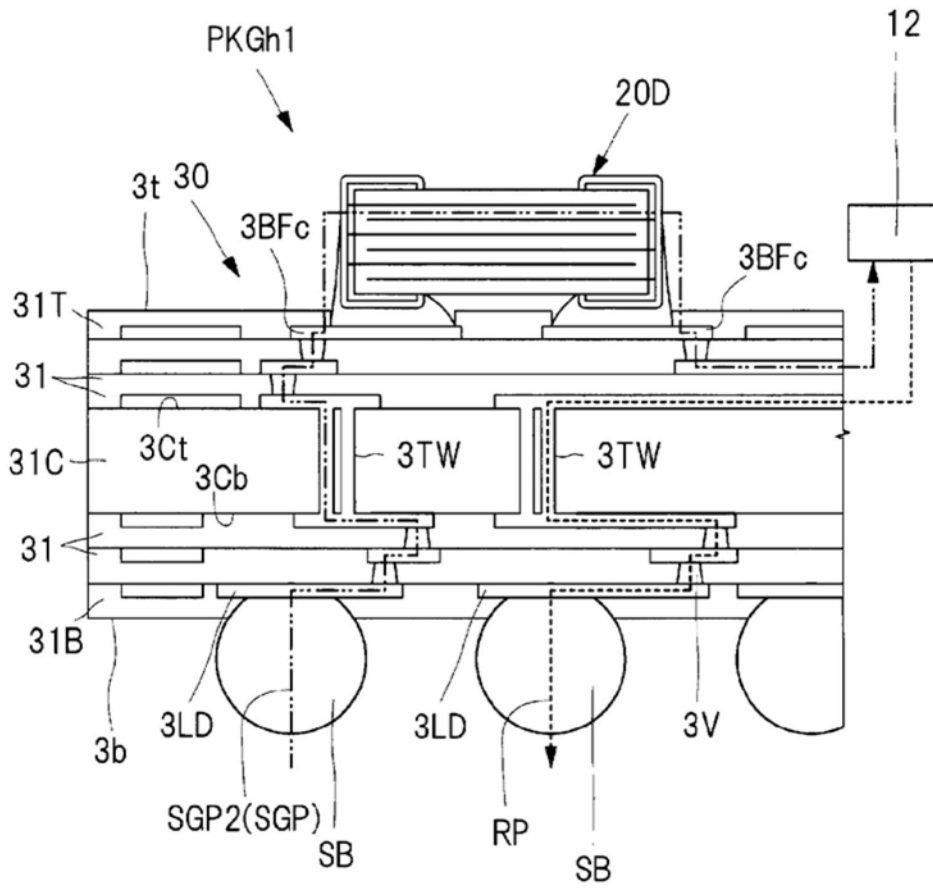


图33