



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I601065 B

(45)公告日：中華民國 106 (2017) 年 10 月 01 日

(21)申請案號：102114736

(22)申請日：中華民國 102 (2013) 年 04 月 25 日

(51)Int. Cl. : G06F9/28 (2006.01)

G06F9/46 (2006.01)

G06F9/50 (2006.01)

(30)優先權：2012/05/08 南韓

10-2012-0048455

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：李會鎮 LEE, HOI JIN (KR) ; 申榮敏 SHIN, YOUNG MIN (KR)

(74)代理人：詹銘文

(56)參考文獻：

TW 200910100A

US 8171231B2

US 2009/0037658A1

審查人員：林信宏

申請專利範圍項數：27 項 圖式數：12 共 49 頁

(54)名稱

多 C P U 系統以及具有該多 C P U 系統的計算系統

MULTI-CPU SYSTEM AND COMPUTING SYSTEM HAVING THE SAME

(57)摘要

一種多中央處理單元(Central Processing Unit；CPU)資料處理系統，其包括多 CPU 處理器，其中此多 CPU 處理器包括第一 CPU 與第二 CPU。第一 CPU 至少配置有第一核心、第一快取與用以存取第一快取的第一快取控制器(Cache controller)。第二 CPU 至少配置有第二核心和用以存取第二快取的第二快取控制器，其中第一快取是從第二快取的共享部份來配置。

A multi-CPU data processing system, comprising: a multi-CPU processor, comprising: a first CPU configured with at least a first core, a first cache, and a first cache controller configured to access the first cache; and a second CPU configured with at least a second core, and a second cache controller configured to access a second cache, wherein the first cache is configured from a shared portion of the second cache.

指定代表圖：

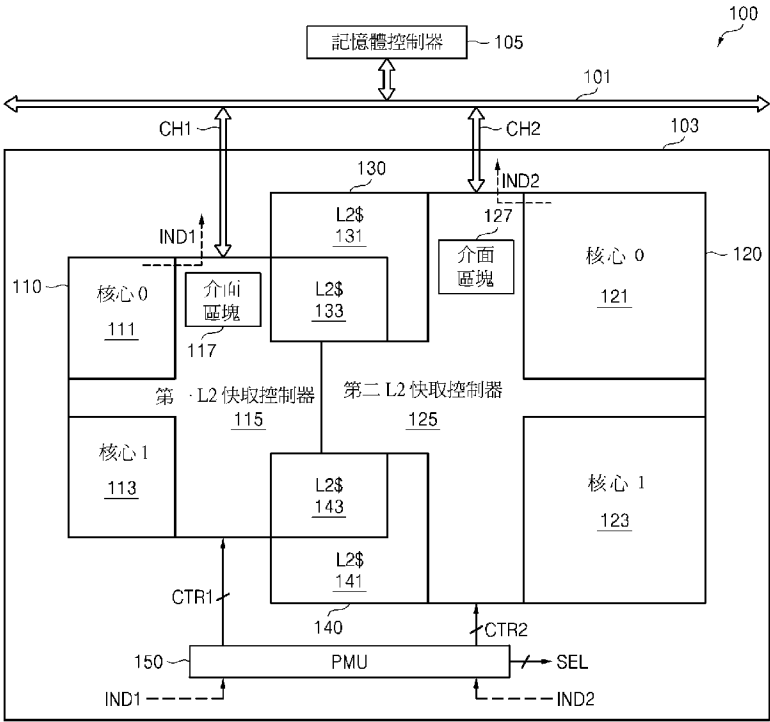


圖 1A

- 符號簡單說明：
- 100 . . . 多 CPU 系統
 - 101 . . . 系統匯流排
 - 103 . . . 多 CPU
 - 105 . . . 記憶體控制器
 - 110 . . . 第一 CPU
 - 111、113 . . . 第一 CPU 核心
 - 115 . . . 第一 L2 快取控制器
 - 117 . . . 第一介面區塊
 - 120 . . . 第二 CPU
 - 121、123 . . . 第二 CPU 核心
 - 125 . . . 第二 L2 快取控制器
 - 127 . . . 第二介面區塊
 - 130、140 . . . L2 快取
 - 133、143 . . . 第一 L2 快取
 - 131、141 . . . 第二 L2 快取
 - 150 . . . 電源管理單元



發明摘要

※ 申請案號: 102114736

※ 申請日: 102/04/25

※IPC 分類: G06F 9/28 (2006.01)

G06F 9/46 (2006.01)

G06F 9/50 (2006.01)

【發明名稱】

多 CPU 系統以及具有該多 CPU 系統的計算系統

MULTI-CPU SYSTEM AND COMPUTING SYSTEM HAVING THE
SAME

【中文】

一種多中央處理單元 (Central Processing Unit ; CPU) 資料處理系統，其包括多 CPU 處理器，其中此多 CPU 處理器包括第一 CPU 與第二 CPU。第一 CPU 至少配置有第一核心、第一快取與用以存取第一快取的第一快取控制器 (Cache controller)。第二 CPU 至少配置有第二核心和用以存取第二快取的第二快取控制器，其中第一快取是從第二快取的共享部份來配置。

【英文】

A multi-CPU data processing system, comprising: a multi-CPU processor, comprising: a first CPU configured with at least a first core, a first cache, and a first cache controller configured to access the first cache; and a second CPU configured with at least a second core, and a second cache controller configured to access a second cache, wherein the first cache is configured from a shared portion of the second cache.

【代表圖】

【本案指定代表圖】：圖 1A。

【本代表圖之符號簡單說明】：

100：多 CPU 系統

101：系統匯流排

103：多 CPU

105：記憶體控制器

110：第一 CPU

111、113：第一 CPU 核心

115：第一 L2 快取控制器

117：第一介面區塊

120：第二 CPU

121、123：第二 CPU 核心

125：第二 L2 快取控制器

127：第二介面區塊

130、140：L2 快取

133、143：第一 L2 快取

131、141：第二 L2 快取

150：電源管理單元

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

多 CPU 系統以及具有該多 CPU 系統的計算系統

MULTI-CPU SYSTEM AND COMPUTING SYSTEM HAVING THE SAME

【技術領域】

【0001】 本發明是有關於一種多中央處理單元 (Central Processing Unit, CPU) 系統，且特別是有關於一種包括被兩個 CPU 共享 L2 快取 (Level-2 Cache) 的多 CPU 系統以及具此多 CPU 系統的計算系統。

【先前技術】

【0002】 隨著 CPU 運作頻率越高，則此 CPU 就越耗費電源。動態電壓頻率調整(Dynamic Frequency and Voltage Scaling, DVFS)是一種用於最佳化 CPU 運作頻率與電源消耗的技術。

【0003】 在多 CPU 系統中，共享 CPU 的資源，例如，快取，可增加晶片密度並減少電源消耗，然而，隨之帶來的可能是需要增加的處理程序及運算，例如，維持快取連貫(cache coherence)。

【0004】 例如，當一快取被多個 CPU 所共享時，當共享快取的使用從一個 CPU 被切換至另一 CPU 時，資料刷新與偵聽(data flushing and snooping)是需要的。額外的資料刷新與偵聽會增加處

理並影響多 CPU 系統的整體效能。

【發明內容】

【0005】 根據本發明概念的一實施例，一種多 CPU 資料處理系統被提供。此多 CPU 資料處理系統包括多 CPU 處理器，其中此多 CPU 處理器包括第一 CPU 與第二 CPU。第一 CPU 至少配置有第一核心、第一 L2 快取與用以存取第一 L2 快取的第一快取控制器 (Cache controller)。第二 CPU 至少配置有第二核心和用以存取第二 L2 快取的第二快取控制器，其中第一 L2 快取是從第二 L2 快取的共享部份來配置。

【0006】 在本發明概念的一實施例中，此系統更包括一共享電路，其用以根據選擇訊號從第一快取控制器或從第二快取控制器輸入資料到第一 L2 快取，其中，前述共享電路包括用來選擇輸入到第一 L2 快取的資料的多工器，以及用以根據選擇訊號將從第一 L2 快取讀取的資料遞送輸出到第一快取控制器或第二快取控制器的解多工器。

【0007】 在本發明概念的一實施例中，此系統更包括包括一電源管理單元，其用以輸出控制訊號以獨立地控制第一 CPU、第二 CPU 和第一 L2 快取的開啟與關閉，其中，電源管理單元更用以選擇性地切換不包括第一 L2 快取的第一 CPU 和第二 CPU 之間的電源，同時維持供應電源給第一 L2 快取。

【0008】 在本發明概念的一實施例中，第一 L2 快取和共享電路是

內嵌在第一系統單晶片 (SoC)，而不包括第一 L2 快取的第一 CPU 則內嵌在第二 SoC。

【0009】 在本發明概念的一實施例中，不包括第一 L2 快取的第一 CPU 是實作在第一電源域中，不包括第一 L2 快取的第二 CPU 是實作在第二電源域中，而第一 L2 快取是實作在第三電源域中，其中每個電源域是可獨立控制的。

【0010】 在本發明概念的一實施例中，上述系統更包括介面區塊，其用以將多 CPU 處理器和記憶體裝置、顯示器與無線介面區塊來界接。

【0011】 在本發明概念的一實施例中，上述系統是實作在智慧型手機、桌上型電腦和平板電腦的其中之一。

【0012】 根據本發明概念的一實施例，一種多 CPU 資料處理系統被提供。此多 CPU 資料處理系統包括第一 CPU 與第二 CPU。第一 CPU 至少配置第一核心、第一 L2 快取以及用以從第一 L2 快取中存取資料的第一快取控制器。第二 CPU 至少配置第二核心與用以從第二 L2 快取中存取資料的第二快取控制器，其中第一 L2 快取是從第二 L2 快取的共享部份來配置，其中不包括第一 L2 快取的第一 CPU 是實作在第一晶粒 (die) 中而第二 CPU 是實作在第二晶粒中。

【0013】 在本發明概念的一實施例中，上述系統進一步包括一共享電路，其用以根據選擇訊號訊號從第一 L2 快取輸出資料到第一

L2 快取控制器或第二 L2 快取控制器，其中，共享電路是實作在第二晶粒中，其中用於共享電路的控制訊號線包括連接在第一晶粒和第二晶粒之間的矽通孔(Through Silicon Vias，TSV)的共享電路的控制訊號線，並且由第一 CPU 對第一 L2 快取所進行的資料存取是透過 TSV 來完成。

【0014】 在本發明概念的一實施例中，L1 快取和 L2 快取是實作在共用基板(common substrate)上，而且至少有一條位址線是同時共用於 L1 快取與和 L2 快取。

【0015】 在本發明概念的一實施例中，上述系統包括電源管理單元，其用以選擇性地施予電源至第一和第二電源域，同時維持第三電源域在電源開啟狀態。

【0016】 根據本發明概念的一實施例，一種使用多 CPU 資料處理器來處理資料的方法被提出。此多 CPU 資料處理器包括：由第一 CPU 透過第一快取控制器存取第一 L2 快取；以及由第二 CPU 透過第二快取控制器存取第二 L2 快取，其中，第一 L2 快取是從第二 L2 快取的共享部份被配置。

【0017】 在本發明的一實施例中，上述方法包括根據選擇訊號，多路傳輸從第一 CPU 或第二 CPU 輸入到第二 L2 快取的資料。

【0018】 在本發明概念的一實施例中，上述方法在無第一 L2 取的刷新與偵聽下，從第一 CPU 切換快取存取運作至第二 CPU。

【0019】 在本發明概念的一實施例中，上述方法更包括從第一

CPU 切換快取存取運作至第二 CPU 且在第二 L2 快取的非共享部分上執行刷新與偵聽。

【0020】 在本發明概念的一實施例中，上述方法更包括藉著共用位址線存取 L1 快取或 L2 快取。

【0021】 在本發明概念的一實施例中，上述方法更包括將處理器與記憶裝置、顯示器和無線介面區塊來界接。

【0022】 根據本發明概念的一實施例，一種可攜式計算裝置被提供。此可攜式計算裝置包括：第一 CPU 與第二 CPU。第一 CPU 至少配置第一核心、第一 L2 快取以及用以存取第一 L2 快取的第一快取控制器。第二 CPU 至少配置第二核心與用以存取第二 L2 快取的第二快取控制器，其中第一 L2 快取是從第二 L2 快取的共享部份中。

【0023】 在本發明概念的一實施例中，上述裝置更包括無線資料收發器，其用以無線地傳送和接收資料。

【0024】 根據本發明概念的一實施例，一種處理器被提供。此處理器包括：第一 CPU、第二 CPU、多工器與解多工器。第一 CPU 至少配置第一核心、第一 L2 快取以及用以存取第一 L2 快取的第一快取控制器。第二 CPU 至少配置第二核心與用以存取第二 L2 快取的第二快取控制器。在儲存容量上第二 L2 快取是大於第一 L2 快取。多工器用以根據選擇訊號透過第一快取控制器從第一核心傳遞資料到第一 L2 快取或透過第二快取控制器從第二核心來

傳遞資料到第一 L2 快取。解多工器用以根據選擇訊號透過透過第一快取控制器從第一 L2 快取傳遞資料至第一核心或者透過第二快取控制器從第一 L2 快取傳遞資料至第二核心，其中，第一 L2 快取從第二 L2 快取的共享部份來配置，且 L1 快取和 L2 快取被實作在共用基板上。

【0025】 根據本發明概念的一實施例，一種多 CPU 資料處理系統被提供。此多 CPU 資料處理系統包括：多 CPU 處理器。此多 CPU 處理器包括第一 CPU、第二 CPU、電源管理單元與記憶體控制器 (memory controller)。第一 CPU 至少配置第一核心、第一 L2 快取以及用以存取第一 L2 快取的第一快取控制器。第二 CPU 至少配置第二核心與用以存取第二 L2 快取的第二快取控制器，其中第一 L2 快取是從第二 L2 快取的共享部份來配置。電源管理單元用以選擇性地供應電源給第一 CPU、第二 CPU 和第一 L2 快取的至少其中之一。記憶體控制器用以來控制透過資料匯流排(data bus)至與從多 CPU 處理器的記憶體存取。

【0026】 基於上述，為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0027】

圖 1A 是根據本發明概念的一範例實施例所繪示的多 CPU 系統的概要方塊圖。

圖 1B 是包括圖 1A 的多 CPU 系統的計算系統的方塊圖。

圖 2 是整合至圖 1A 的第二 CPU 的 L2 快取的概要方塊圖。

圖 3 是繪示圖 1A 的多 CPU 的電源域的方塊圖。

圖 4A 和圖 4B 繪示圖 1A 的多 CPU 的 CPU 調整的範例實施例。

圖 5 是根據本發明概念的範例實施例的 CPU 調整過程的流程圖。

圖 6A、6B、6C 和 6D 是繪示圖 1A 的多 CPU 的 CPU 調整的另一個範例實施例。

圖 7 是根據本發明概念的範例實施例的另一個 CPU 調整過程的流程圖。

圖 8A 與 8B 是根據本發明概念的另一個範例實施例的多 CPU 系統的概要方塊圖。

圖 9 是根據本發明概念的一個範例實施例的基板組裝的方塊圖。

圖 10 是根據本發明概念的一個範例實施例的電腦平台。

圖 11 是根據本發明概念的一個範例實施例的包括多 CPU 系統的計算系統。

圖 12 是根據本發明概念的一個範例實施例的製造多 CPU 系統的方法的流程圖。

【實施方式】

【0028】 圖 1A 是根據本發明概念的一範例實施例的多 CPU 系統的概要方塊圖。

【0029】 參照圖 1A，多 CPU 系統 100 包括系統匯流排 101，多 CPU103 和記憶體控制器 105。於此，多 CPU 系統 100 可實作在系統單晶片(system on chip，SoC)中。例如，多 CPU 系統 100 可藉著使用單一遮罩來實作。

【0030】 多 CPU103 可包括第一 CPU110 和第二 CPU120。根據一範例實施例，多 CPU103 更可包括電源管理單元(PMU)150。

【0031】 為了解說方便，包括兩個 CPU110 和 120 的多 CPU103 被繪示在圖 1A 中。然而，本發明概念可被應用到超過兩個 CPU 的多 CPU。

【0032】 第一 CPU110 可包括至少一第一 CPU 核心 111 與 113 和第一 L2 快取控制器(L2 cache controller)115。據此，第一 CPU110 可以多核心 CPU 來被實作。此至少一第一 CPU 核心 111 和 113 可包括 L1 快取(未繪示)，例如，指令快取(instruction cache)和資料快取(data cache)。此至少一第一 CPU 核心 111 和 113 可更包括週邊電路，其用以和第一 L2 快取控制器 115 通訊。

【0033】 第一 L2 快取控制器 115 更可包括透過第一通訊通道 CH1 和系統匯流排(system bus)101 界接的第一介面區塊 117 第一通訊通道。

【0034】 第二 CPU 120 可包括至少一第二 CPU 核心 121 與 123、

第二 L2 快取控制器 125 和至少一 L2 快取 130 與 140。據此，第二 CPU 120 可以多核心 CPU 來實作。至少一第二 CPU 核心 121 和 123 可能包括 L1 快取（未繪示），例如，指令快取和資料快取。至少一第二 CPU 核心 121 與 123 可更包括用以與第二 L2 快取控制器 125 通訊的週邊電路。

【0035】 第二 L2 快取控制器 125 可包括透過第二通訊通道 CH2 與系統匯流排 101 界接的第二介面區塊 127 第二通訊通道。

【0036】 在此，第一 L2 快取控制器 115 和第二 L2 快取控制器 125 可以個別的結構來實作、獨立的運作並且分別藉著通訊通道 CH1 與 CH2 來和系統匯流排 101 通訊，。

【0037】 每一第一 CPU 110 和第二 CPU 120 除了對應的 L1 快取之外也包括對應的 L2 快取。為了描繪目前的實施例，第一群組元件，如第一 CPU 110、第一 L2 快取控制器 115 和第一 L2 快取會被參考為小群組－第一 CPU 110、第一 L2 快取控制器 115 等等。第二群組元件，如第二 CPU 120、第二 L2 快取控制器 125 和第二 L2 快取會被參考為大群組－第二 CPU 120、第二 L2 快取控制器 125 等等。第一 CPU 110 包括 L2 快取 133 和 143。第二 CPU 120 包括 L2 快取 130 和 140。根據如圖 1A 所示之本發明概念的實施例，第一(小)L2 快取 133 與 143 是功能性地同時由第一 CPU 110 和第二 CPU 120 共享。換句話說，第一 L2 快取 133 和 143 可被第一 CPU 110 或第二 CPU 來存取。在此，”存取”意指用於寫運作或讀運作所需的運作。再者，第一(小)L2 快取 133 和 143 是第二

(大)L2 快取 131 和 141 的一部分。例如，小 L2 快取可從大 L2 快取的一部分來形成，例如，大 L2 快取可以是 2MB 的記憶體裝置，而小 L2 快取是由大 L2 快取的 25%部份(具 512KB 容量)來形成，而此大 L2 快取的 25%部份是由小與第二 CPU 來共享。

【0038】 第二 L2 快取 130 和 140 的非共享部分 131 和 141(例如，2MB 記憶體裝置中的 1.5MB)可僅被第二 CPU 120 透過第二 L2 快取控制器 125 來存取。

【0039】 第二 L2 快取控制器 125 可存取整個第二 L2 快取 130 與 140，其包括共享的 L2 快取 133 和 143 和非共享的 L2 快取 131 和 141。然而，共享的 L2 快取 133 和 143 無法同時被第一 L2 快取控制器 115 和第二 L2 快取控制器 125 來存取。

【0040】 電源管理單元 PMU 150 用以根據從第一 CPU 110 中輸出的第一指向訊號 IND1 和第二 CPU 120 輸出的第二指向訊號 IND2 的至少其中之一，來使用控制訊號 CTR1 和 CTR2 及/或選擇訊號 SEL 來選擇性地供應電源到第一 CPU 110 及/或第二 CPU 120。

【0041】 每一指向訊號 IND1 和 IND2 可經由系統匯流排 101 供應到 PMU 150。訊號 SEL、CTR1 和 CTR2 可包括一或多個控制模式訊號。

【0042】 基於第一控制訊號 CTR1，第一 CPU 110 可藉著電源域獨立地控制電源供應及/或重置。基於第二控制訊號 CTR2，第二 CPU 120 可藉著電源域獨立地控制電源供應及/或重置。

【0043】 此外，第一 CPU 110 和第二 CPU120 可控制 CPU 調整 (scaling)，即，在 CPU110 和 120 之間切換，以回應選擇訊號 SEL。

【0044】 雖然如圖 1A 所顯示的結構及其連接中的運作是以與 L2 快取的連接來被描述，此領域熟知技藝者可容易地了解此相同的結構和操作可應用到不同層級的快取，如，L3 快取。

【0045】 例如，實作在第二 CPU 120 中的功能區塊是被 CPU 110 和 CPU 120 共享，例如，L2 快取或 L3 快取。當此功能區塊是 L3 快取時，每一 L2 快取控制器可被 L3 快取控制器來取代。

【0046】 每一 CPU 110 和 120 可透過交流通道 CH1 和 CH2 以及系統匯流排 101 來與記憶體控制器 105 通訊。記憶體控制器 105 可存取記憶體，例如，連接到多 CPU 系統的主記憶體。

【0047】 為了方便解釋，每一元件 101 和 105 在圖 1A 中被繪示在多 CPU 103 之外，然而，每一元件 101 和 105 可被實作在多 CPU 103 之內。

【0048】 圖 1B 是包括繪示在圖 1A 中的多 CPU 系統的計算系統的方塊圖。

【0049】 參照圖 1B，計算系統可包括多 CPU 系統 100 和記憶體 107。如上所述，記憶體控制器 105 可控制或界接在多 CPU 系統 100 和記憶體 107 間的資料通訊。

【0050】 圖 2 是根據本發明概念的實施例的共享 L2 快取和共享電路的方塊圖。

【0051】 如圖 1A 和 2 中所示，L2 快取 130 包括非共享的專用區域 131 和共享區域 133。此外，L2 快取 140 包括專用區域 141 和共享區域 143。因為 L2 快取 130 和 140 本質上具有相同的結構，L2 快取 130 的描述可同等地適用於 L2 快取 140。因共享區域 133 或 143 是從 L2 快取 130 或 140 的一部分中來被配置，共享區域也分享至少一條 L2 快取 130 或 140 的位址線。

【0052】 如上所述，專用區域 131 可僅被第二 L2 快取控制器 125 來存取，並且，共享區域 133 可基於選擇訊號被第一 L2 快取控制器 115 和第二 L2 快取控制器 125 的其中之一來選擇性地存取。

【0053】 共享電路包括第一選擇器 160 和第二選擇器 161。根據一實施例，共享電路被配置在第二 CPU 120 之內但在共享區域 133 的外面。根據另一實施例，第一選擇器 160 和第二選擇器 161 可被實作在共享區域 133 之內。根據本實施例，第一選擇器 160 是以多工器來實作，而第二選擇器 161 是以解多工器來實作。根據另一實施例，共享電路可包括第一選擇器 160 而非第二選擇器 161。

【0054】 當第一 L2 快取控制器 115 試著去存取共享區域 133 時，第一選擇器 160 會傳送從第一 L2 快取控制器 115 輸出的第一存取訊號 ACC1 到共享區域 133 的輸入埠 IN1，以回應選擇訊號 SEL。

【0055】 對於第一(小)群組的寫入運作來說，第一 L2 快取控制器 115 會寫資料進共享區域 133，第一存取訊號 ACC1(例如，資料以

及將此資料寫到記憶體單元陣列 133-1 所需要的控制訊號)會透過第一選擇器 160 被傳送到第一輸入埠 IN1。

【0056】 對於第一群組的讀取運作來說，第一 L2 快取控制器 115 會讀取儲存在共享區域 133 中的資料，第一存取訊號 ACC1(例如，從記憶體單元陣列 133-1 讀取資料所需的控制訊號)會透過第一選擇器 160 被傳送到第一輸入埠 IN1，並且從共享區域 133 的第一輸出埠 OUT1 輸出的資料會透過第二選擇器 161 被傳送到第一 L2 快取控制器 115。

【0057】 在一不包括第二選擇器 161 的實施例中，從第一輸出埠 OUT1 的輸出資料可被直接傳送到第一 L2 快取控制器 115。

【0058】 為了藉第二(大)群組來存取共享區域 133，例如，L2 快取控制器 125，第一選擇器 160 會傳送從第二 L2 快取控制器 125 所輸出的第二存取訊號 ACC2 至第一輸入埠 IN1，以回應選擇訊號 SEL。

【0059】 例如，當第二 L2 快取控制器 125 將資料寫入在共享區域 133 中時，第二存取訊號 ACC2(例如，資料以及將此資料寫入至記憶體單元陣列 133-1 所需的控制訊號)會透過第二選擇器 161 被傳送到第一輸入埠 IN1。

【0060】 當第二 L2 快取控制器 125 讀取儲存在共享區域 133 的資料時，第二存取訊號 ACC2(例如，從記憶體單元陣列 133-1 讀取資料所需的控制訊號)會透過第二選擇器 161 傳送至第一輸入埠

OUT1，且透過第一輸出埠 OUT1 輸出的資料會透過第二選擇器 161 被傳送到第二 L2 快取控制器 125。

【0061】 在一不包括第二選擇器 161 的實施例中，從第一輸出埠 OUT1 輸出的資料可被直接傳送到第二 L2 快取控制器 125。

【0062】 當第二 L2 快取控制器 125 將資料寫到專用區域 131 中時，從第二 L2 快取控制器 125 輸出的第三存取訊號 ACC3(例如，資料以及將此資料寫入到記憶體單元陣列 133-1 所需的控制訊號)會被輸入到專用區域 131 的第二輸入埠 IN2。

【0063】 當第二 L2 快取控制器 125 讀取儲存在專用區域 131 中的資料時，第三存取訊號 ACC3(例如，從記憶體單元陣列 133-1 讀取資料所需的控制訊號)會被直接傳送到第二輸入埠 IN2，並且從專用區域 131 的第二輸出埠 OUT2 輸出的資料會被直接傳送到第二 L2 快取控制器 125。

【0064】 可了解的是，共享電路提供一種結構以防止第一或第二 L2 快取控制器對共享的 L2 快取進行錯誤的資料存取。

【0065】 圖 3 是來說明在圖 1A 中所繪示有電源域的分配與控制的多 CPU 的方塊圖。參照圖 1A 和 3，第一 CPU 110 包括電源域 111、113 和 115。每一第一控制訊號 CTR1-1 和 CTR1-3(統稱"CTR1")被供應到每一電源域 111、113 和 115。

【0066】 根據每一第一控制訊號 CTR1-1、CTR1-2 和 CTR1-3，供應到每一電源域 111、113 和 115 及/或每一電源域 111、113 和 115 的重置的電源可被獨立地控制。此外，當第一介面區塊 117 被定

義成額外的電源域時，額外的控制訊號可被供應到第一介面區塊 117。額外的控制訊號可被包括在第一控制訊號 CTR1 中。

【0067】 第二 CPU 120 包括電源域 121、123、125、131、133、141 和 143。每一第二控制訊號 CTR2-1 到 CTR2-5(統稱"CTR2")被供應到每一電源域 121、125、123、131 和 141。

【0068】 根據每一第二控制訊號 CTR2-1 到 CTR2-5，供應到每個對應的電源域 121、125、123、131 和 141 及/或每一電源域的重置的電源可被獨立地控制。

【0069】 此外，當第二介面區塊 127 被定義成額外的電源域時，額外的控制訊號可被供應到第二介面區塊 127。額外的控制訊號可被包括在第二控制訊號 CTR2 中。

【0070】 共享 L2 快取 133 和 143 的定義域是可藉著控制訊號 CTR3-1 和 CTR3-2 而被獨立地控制。根據另一實施例，CTR3-1 和 CTR3-2 的訊號可以被整合到 CTR1 或 CTR2。

【0071】 圖 4A 和圖 4B 根據本發明之一範例實施例是顯示從第一 CPU 110 到第二 CPU 120 的 CPU 調整過程。

【0072】 在具有不同大小和能力之 CPU 的多 CPU 資料處理系統中，在 CPU 之間調整使用可以達到最高效能。例如，在低工作負荷時，第一 CPU 110 可被用來當成電源驅動 CPU，其運作在最高的每秒每毫瓦百萬指令集來最佳化電源使用。在高工作負荷時，第二 CPU 120 可被用來當成效能驅動 CPU，其即使在較低的每秒每毫瓦百萬指令之下，其運最仍可達到高效能。

【0073】 在此，CPU 調整意指為在相同的運作電壓下，從第一 CPU 110 切換到第二 CPU 120，或者從第二 CPU 120 切換到第一 CPU 110。也就是說，CPU 調整可以改變在電源消耗上的負載效能能力，例如，每秒每毫瓦，或在不改變電壓之下改變執行一 CPU 指令所需的電能量。

【0074】 參照圖 4A，第一 CPU 110 被顯示於運作上，隨著電源域 111、113 和 115(若需要就包括 117)處於電源開啟狀態，而第二 CPU 120 的每一電源域 121、125、131 和 141(若需要就包括 127)處於電源關閉狀態。服務共享 L2 快取的電源域 133 和 143 也是在電源開啟狀態。第一 L2 快取控制器 115 可透過每一選擇器 160 和 161 來存取至少一共享區域 133 和 143。

【0075】 當第一 CPU 110 的負載增加時，可能就需要調整到第二 CPU 120。當從第一 CPU 調整到第二 CPU 時，第一 CPU 110 的第一核心 111 會透過第一通訊通道 CH1 與系統匯流排 101 傳送第一指示訊號 IND1 到 PMU 150，以執行 CPU 調整或從第一 CPU 切換到第二 CPU 120。

【0076】 PMU 150 會輸出第一控制訊號 CTR1、第二控制訊號 CTR2 和選擇訊號 SEL，以回應第一指示訊號 IND1。據此，施予到每一電源域 111、113 和 115 的電源會被關閉，以回應每一個第一控制訊號 CTR1 並且第一 CPU 110 會停止目前工作。

【0077】 此時，施予到第二 CPU 120 的每一電源域 121、123、125、131 和 141 的電源會被開啟，且第二 CPU 120 開始工作的運作，

以回應第二控制訊號 CTR2-1 到 CTR2-5。

【0078】 至少一共享區域 133 和 143 會被用作為第二 CPU 120 的 L2 快取 130 或 140 的子集。上述從第一 CPU 110 到第二 CPU 120 的調整過程並不需要偵聽運作。

【0079】 再者，第二 CPU 120 不需要為了 L2 快取 130 或 140 執行冷啟動。至少一個 L2 快取 130 和 140 的至少一個專用區域 131 和 141 會隨著電源域 121、123 和 125 而處於 READY 狀態。

【0080】 在 CPU 從第一 CPU 110 到第二 CPU 120 的 CPU 調整過程中，供應到至少一個共享區域 133 和 143 的電源是保持在啟動狀態。此外，在 CPU 從第一 CPU 110 到第二 CPU 120 的 CPU 調整過程中，每一個選擇器 160 和 161 會被切換以使第二 L2 快取快取控制器 125 透過每一選擇器 160 和 161 可以存取至少一個共享區域 133 和 143。

【0081】 據此，根據本發明概念的實施例之包括第二 CPU 120 的結構可用於在 CPU 調整或切換之後立即最佳化效能。

【0082】 如圖 4B 所繪示，在 CPU 從第一 CPU 110 調整到第二 CPU 120 之後，第一 CPU 110 的每一電源域是在電源關閉狀態 POWER OFF，而第二 CPU 120 的每一電源域 121、125、131 和 141 是在電源開啟狀態 POWER ON。供應到共享區域 133 和 143 的電源是保持啟動。

【0083】 在多 CPU 系統 100 不支援偵聽運作的例子中，第一 CPU 110 會將儲存在至少一個共享區域 133 和 143 的資料透過通道

CH1、匯流排 101 和記憶體控制器 105(例如，不包括錯誤更正碼(ECC)的資料)刷新到記憶體 107。此後，第二 CPU 120 可透過記憶體控制器 105、匯流排 101 和通道 CH2 讀取存在記憶體 107 中的資料。第二 CPU120 可將 ECC 加到所讀取的資料中，且將加入 ECC 的資料存在至少一個共享 L2 快取 133 和 143 中。

【0084】 圖 5 是解釋 CPU 調整過程的流程圖。參照圖 1A 到 5，由第一 CPU 110 到第二 CPU 120 的 CPU 調整由第一 CPU 110 發出一調整訊號 IND1 來起始(步驟 S110)；PMU 150 會關閉第一 CPU 110 的電源域，開啟第二 CPU 120 的電源域，但維持共享 L2 快取 133 和 143 的電源域(步驟 S120)；且第一 CPU 110 的運作會被停止，而第二 CPU 120 的運作會在無偵聽運作下被啟動(步驟 S130)。

【0085】 根據一範例實施例，當第一 CPU 110 傳送存在至少一個共享區域 133 和 143 的資料到記憶體 107 時，第二 CPU 120 視需要讀取存在記憶體 107 中的資料。

【0086】 圖 6A 到圖 6D 繪示從第二 CPU 120 到第一 CPU 110 的 CPU 調整過程。

【0087】 參照圖 1A 到 3 和 6A 到 6D，當第二 CPU 120 如圖 6A 所示運作時，第一 CPU 110 的每一電源域 111、113 和 115 是在電源關閉狀態 POWER OFF，而第二 CPU 120 的每一電源域 121、123、125、131、133、141 和 143 是在電源開啟狀態 POWER ON。在此，第二 L2 快取控制器 125 可存取共享區域 133 和 143 兩者或其一。

【0088】 對於 CPU 從第二 CPU 120 到第一 CPU 110 的 CPU 調整

來說，第二 CPU 120 的第一核心 121 會透過第二通訊通道 CH2 和系統匯流排 101 輸出第二指示訊號 IND2 到 PMU 150。

【0089】 PMU 150 會輸出第一控制訊號 CTR1、第二控制訊號 CTR2 和選擇訊號 SEL，以回應第二指示訊號 IND2。

【0090】 每一選擇器 160 和 161 會形成在至少一個共享區域 133 與 143 和第一 L1 快取控制器 115 之間的通訊通道，而且，以回應選擇訊號 SEL。

【0091】 如圖 6B 所繪示，第一 CPU 110 的每一電源域 111 到 115 會變成電源開啟狀態 POWER ON，以回應每一第一控制訊號 CTR1，並且第二 CPU 120 的每一電源域 121 到 125、130 和 140 會保持在電源開啟狀態 POWER ON，以回應每一第二控制訊號 CTR2。對共享 L2 快取 133 和 143 的電源域會保持在第三控制訊號 CTR3。

【0092】 在此，第二 CPU 120 的電源域 121 到 125 的其中之一的資料會被更新到至少一個 L2 快取 130 和 140，而第二 CPU 120 會在至少一專用區域 131 和 141 上執行刷新運作，同時透過第二通訊通道 CH2 執行偵聽運作。來自於從刷新運作的資料會透過通道 CH2、匯流排 101 和記憶體控制器 105 被傳送到記憶體 107。

【0093】 如圖 6C 所繪示，第二 CPU 120 的每一電源域 121 和 123 會變成在電源關閉狀態 POWER OFF 以回應在第二控制訊號 CTR2 之中的每一對應控制訊號，同時執行刷新運作。

【0094】 當刷新運作完成時，第二 CPU 120 的每一電源域 125、

131 和 141 會變成在電源關閉狀態 POWER OFF，以回應在第二控制訊號 CTR2 之中的每一對應控制訊號，如圖 6D 所示。據此，當 CPU 調整完成時，第一 CPU 110 的第一 L2 快取控制器 115 可透過每一選擇器 160 和 161 存取至少一個共享區域 133 和 143。

【0095】 如圖 6A 到圖 6D 所繪示，供應到共享區域 133 和 143 的電源會在 CPU 調整時以控制訊號 CTR3 保持開啟。

【0096】 此外，在 CPU 調整期間，至少一共享區域 133 和 143 不會透過第二通訊通道 CH2 執行偵聽運作。也就是說，至少一個共享區域 133 和 143 是物理上地被每一第一 CPU 110 和第二 CPU 120 共享，所以執行偵聽運作的區域可被減少。

【0097】 圖 7 是解釋繪示在圖 6 的 CPU 調整的流程圖。參考圖 6 和 7，第二 CPU 120 藉由發出指向訊號 IND2 來初始調整運作(步驟 S210)；PMU 150 開啟第一 CPU 110 的定義域(步驟 S220)；第二 CPU 120 只在至少一個專用區域 131 和 141 上執行偵聽運作，而供應到 CPU 核心 121 和 131 的電源會被關閉(步驟 S230)。當偵聽被完成時，供應到定義域 125、127、131 和 141(第二 CPU 120 的其餘部份)的電源會被關閉(步驟 S240)；並且運作目標 CPU 會從第二 CPU 120 改變到第一 CPU 110(步驟 S250)。

【0098】 圖 8 是根據本發明另一實施例的多 CPU 系統的概要方塊圖。參照圖 8，多 CPU 系統包括第一 CPU 110-1 和第二 CPU 120-1。圖 8A 繪示多 CPU 系統的前視圖，而圖 8B 繪示多 CPU 系統的平面圖。

【0099】 如圖 8A 和 8B 所繪示，第一 CPU 110-1 是堆疊在第二 CPU 120-1 上。第一 CPU 110-1 和第二 CPU 120-1 可被實施在不同的晶片或晶粒中。共享 L2 快取區域 133 和 143 是實作在第二 CPU 120-1 中。此共享區域是可被第一 CPU 110-1 經由電子通道(例如，經由"矽"通道，TSVs)存取。根據本實施例，實作第一 CPU 110 之元件的晶片 110-1 並不包括其本身的 L2 快取。取而代之的是，第二 CPU 120 的整個 L2 快取 130 和 140 會被配置在晶片 120-1 中，而實體配置在晶片 120-1 中的 L2 快取的共享部分(133 和 143)會被第一 CPU 110 和第二 CPU 120 來使用。

【0101】 第一 CPU 110-1 的結構包括圖 1A 的第一 CPU 110 的結構，而第二 CPU 120-1 的結構包括圖 1A 的第二 CPU 120 的結構。在此，對應圖 1A 中的 PMU 150 的 PMU 也可被實作在第二 CPU 120-1 中。在此實施例，與 PMU 相關的控制訊號，例如，CTR1，也可藉著其中一個 TSV 來連接。

【0102】 圖 9 是根據本發明概念之一範例實施例的基板組裝的方塊圖。參考圖 9，基板組裝 200 包括第一 CPU 110-2、第二 CPU 120-2、至少一個共享區域 133 和 143、PMU 150、匯流排 210 以及記憶體 220。

【0103】 參考圖 1A、8A、8B 和 9，至少一個共享區域 133 和 143 可被分開從第一 CPU 110-2 和第二 CPU 120-2 來實作。

【0104】 除了至少一個共享區域 133 和 143 之外，圖 1A 的第一 CPU 110 具有本質上相同於圖 9 的第一 CPU 110-2 的結構和運作。

【0105】 第一 L2 快取控制器 115 或第一介面區塊 117 可透過第一通訊通道 CH1 和匯流排 210 通訊。第二 L2 快取控制器 125 或第二介面區塊 127 可透過第二通訊通道 CH2 和匯流排 210 通訊。

【0106】 每一第一通訊通道 CH1 和第二通訊通道 CH2 可被實作在電子式通訊通道或光纖通訊通道。每一 L2 快取控制器 115 和 125 可選擇性地存取至少一個共享區域 133 和 143。

【0107】 圖 10 是根據本發明概念的一個範例實施例的電腦平台。參考圖 10，電腦平台 300 可被用在像是計算系統的電子裝置中。此電子裝置可被實作在個人電腦(PC)、可攜式裝置、行動裝置或數位電視中。

【0108】 可攜式裝置可被實作在筆記型電腦或平板電腦中。行動裝置可實作在手機、智慧型手機、個人數位助理(PDA)、企業數位助理(EDA)、數位相機、數位攝影機、可攜式多媒體播放器(PMP)、個人導覽裝置或可攜式導覽裝置、掌上遊戲機或電子書中。

【0109】 電腦平台 300 包括多 CPU 系統 100、介面區塊 320 和記憶體 330。根據一範例實施例，電腦平台 300 更可包括至少一無線介面區塊 340 或顯示器 350。

【0110】 多 CPU 系統 100 可經由介面區塊 320 和記憶體 330、無線介面區塊 340 或顯示器 350 通訊。

【0111】 介面區塊 320 包括一或多個可執行各種介面控制功能的電路區塊。控制功能包括記憶體存取控制、圖形控制、輸入/輸出介面控制或無線網路存取控制。

【0112】 每一電路區塊可被實作在一個額外獨立晶片中、在多 CPU 系統 100 的一部分中或在多 CPU 系統 100 內。

【0113】 記憶體 330 可透過介面區塊 320 與多 CPU 系統 100 來傳送或接收資料。

【0114】 無線介面區塊 340 可透過天線將電腦平台 300 連接到無線網路，例如，行動通訊網路或無線區域網路(WLAN)。

【0115】 圖 11 是根據本發明概念的範例實施例所繪示的包括多 CPU 系統的計算系統的範例實施例。參考圖 11，計算系統 400 可被實作在個人電腦、資料伺服器、筆記型電腦或可攜式裝置。

【0116】 計算系統 400 可包括多 CPU 系統 100、電源 420、記憶體 430、輸入/輸出埠 440、擴充卡 450、網路裝置 460 和顯示器 470。根據範例實施例，計算系統 400 可再包括相機模組 480。

【0117】 多 CPU 系統 100 可控制元件 420 到 480 的至少其中之一的運作。電源 420 可提供運作電壓至元件 103 和 430 到 480 的至少其中之一。

【0118】 記憶體 430 可被實作在揮發記憶體或非揮發記憶體中。根據範例實施例，控制對記憶體 430 的資料存取運作，例如，讀出運作、寫入運作(或程式化運作)或刪除運作的記憶體控制器可被整合或內建在多 CPU 系統 100 內。根據另一範例實施例，記憶體控制器可另外地實作在多 CPU 系統 100 和記憶體 430 之間。

【0119】 輸入/輸出埠 440 意指可傳送資料到計算系統 400 或將從計算系統 400 輸出的資料傳送到外部裝置的埠。

【0120】 例如：輸入/輸出埠 440 可包括至少一個連接點選裝置(例如電腦滑鼠)的埠、一個連接印表機的埠和一個連接 USB 裝置的埠。

【0121】 擴充卡 450 可以安全數位(SD)卡或多媒體卡(MMC)來實作。根據範例實施例，擴充卡 450 可以是用戶識別卡(SIM)或全球用戶識別卡(USIM)。

【0122】 網路裝置 460 可指連接計算系統 400 到有線或無線網路的裝置。顯示器 470 可顯示從記憶體 430、輸入/輸出埠 440、擴充卡 450 或網路裝置 460 輸出的資料。

【0123】 相機模組 480 是指可將光學影像轉換成電子影像的模組。據此，從相機模組 480 輸出的電子影像可被儲存在記憶體 430 或擴充卡 450 中。此外，根據多 CPU 系統 100 的控制，從相機模組 480 輸出的電子影像可透過顯示器 470 來被顯示。

【0124】 多 CPU 系統 100 是被繪示成在圖 10 與圖 11 中的計算系統 300 或 400 的一個元件。然而根據一範例實施例，多 CPU 系統 100 可被多 CPU 103 或基板組裝 200 取代。在此例子中，每一計算系統 300 或 400 的結構可被適當地改變以用於多 CPU 103 或基底組合 200。

【0125】 圖 12 是根據本發明概念的一個範例實施例的製造多 CPU 系統的方法的流程圖。參照圖 1A 和 12，半導體基板被準備(步驟 S310)。包括連接到第一 CPU 核心 111 和 113 的至少其中之一的第一 L2 快取控制器 115 的第一 CPU 110 以及，包括連接到第二 CPU

核心 121 和 123 的至少其中之一的第二 L2 快取控制器 125 第二 CPU 120 會被形成在半導體基板上(步驟 S320)。

【0126】 在第一 CPU110 和第二 CPU 120 間的重疊區域 133 和 143 中，可由第一 L2 快取控制器 115 和第二 L2 快取控制器 125 來選擇性地存取的共享 L2 快取會被形成。

【0127】 在半導體基板上，系統匯流排 101、在系統匯流排 101 及第一快取控制器 115 間的第一通訊通道 CH1 和在系統匯流排 101 及第二快取控制器 125 間的第二通訊通道 CH2 會被形成。根據範例實施例，步驟 310 和步驟 320 可被實施在相同時間或不同時間。

【0128】 如圖 8 所繪示，在第一 CPU 110-1 和第二 CPU 120-1 被形成在不同晶片或晶粒之後，它們可透過垂直電子通道(TSV)彼此連接以便共享元件，例如，L2 快取 133 和 143 的共享區域。

【0129】 根據本發明概念的範例實施例，L2 快取的共享會減少多 CPU 系統的實體大小，減少偵聽運作的冗於工作以及消除 L2 快取的冷啟動。

【0130】 雖然本揭露已以實施例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中具有通常知識者，在不脫離本揭露之精神和範圍內，當可作些許之更動與潤飾，故本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0131】

100：多 CPU 系統

101：系統匯流排

103：多 CPU

105：記憶體控制器

110：第一 CPU

111、113：第一 CPU 核心

115：第一 L2 快取控制器

117：第一介面區塊

120：第二 CPU

121、123：第二 CPU 核心

125：第二 L2 快取控制器

127：第二介面區塊

130、140：L2 快取

133、143：第一 L2 快取

131、141：第二 L2 快取

150：電源管理單元

160：第一選擇器

161：第二選擇器

210：匯流排

220、330：記憶體

300：電腦平台

320：介面區塊

340：無線介面區塊

350：顯示器

S210、S220、S230、S240、S250：CPU 調整步驟

S310、S320：多 CPU 系統製造方法的步驟

400：計算系統

申請專利範圍

1. 一種多中央處理單元(CPU)資料處理系統，包括：
一多 CPU 處理器，包括：
一第一 CPU，配置有至少一第一核心、一第一快取、及用以存取該第一快取的一第一快取控制器；以及
一第二 CPU，配置有至少一第二核心、一第二快取、及用以存取該第二快取的一第二快取控制器，其中該第一快取從該第二快取的一共享部分來被配置。
2. 如申請專利範圍第 1 項所述之多 CPU 資料處理系統，更包括一共享電路，用以根據一選擇訊號從該第一快取控制器或該第二快取控制器中輸入資料到該第一快取。
3. 如申請專利範圍第 1 項所述之多 CPU 資料處理系統，更包括一電源管理單元，用以輸出控制訊號以獨立地控制該第一 CPU、該第二 CPU 和該第一快取的開啟和關閉。
4. 如申請專利範圍第 3 項所述之多 CPU 資料處理系統，其中該電源管理單元更用以選擇性地切換排除該第一快取的該第一 CPU 與該第二 CPU 之間的電源，同時維持該第一快取上的電源。
5. 如申請專利範圍第 2 項所述之多 CPU 資料處理系統，其中該第一快取和該共享電路被嵌入在一第一系統晶片中並且排除該第一快取的該第一 CPU 被嵌入在一第二系統晶片中。
6. 如申請專利範圍第 5 項所述之多 CPU 資料處理系統，其中排除該第一快取的該第一 CPU 被實作在一第一電源域中，排除

該第一快取的該第二 CPU 被實作在一第二電源域中，及該第一快取被實作在一第三電源域中，其中每一電源域是可獨立地控制。

7. 一種多 CPU 資料處理系統，包括：

一第一 CPU，配置有至少一第一核心、一第一快取和用以從該第一快取中存取資料的一第一快取控制器；以及

一第二 CPU，配置有至少一第二核心、一第二快取、及用以從該第二快取中存取資料的一第二快取控制器配置，其中該第一快取從該第二快取的一共享部分來被配置，其中排除該第一快取的該第一 CPU 被實作在一第一晶粒及該第二 CPU 被實作在一第二晶粒。

8. 如申請專利範圍第 7 項所述之多 CPU 資料處理系統，更包括一共享電路，用以根據一選擇訊號從該第一快取中輸出資料到該第一快取控制器或該第二快取控制器，其中該共享電路是實作在該第二晶粒內。

9. 如申請專利範圍第 8 項所述之多 CPU 資料處理系統，其中用於該共享電路的控制訊號線包括連接該第一晶片和該第二晶片之間的矽通孔。

10. 如申請專利範圍第 7 項所述之多 CPU 資料處理系統，其中一 L1 快取和該第一快取是實作在一共用基板。

11. 如申請專利範圍第 7 項所述之多 CPU 資料處理系統，其中至少一位址線是共用於一 L1 快取和該第一快取。

12. 如申請專利範圍第 7 項所述之多 CPU 資料處理系統，其

中排除該第一快取的該第一 CPU 是配置在一第一電源域中，排除該第一快取的該第二 CPU 是配置在一第二電源域中，並且該第一快取是配置在一第三電源域中。

13. 如申請專利範圍第 12 項所述之多 CPU 資料處理系統，更包括一電源管理單元，用以選擇性地施予電源到該第一電源域和該第二電源域，同時維持該第三電源域在電源開啟狀態。

14. 如申請專利範圍第 7 項所述之多 CPU 資料處理系統，其中該系統是被實作在一智慧型手機，一筆記型電腦或一平板電腦的其中之一。

15. 如申請專利範圍第 7 項所述之多 CPU 資料處理系統，其中該第一快取是一 L2 或一 L3 快取的其中之一。

16. 一種使用多 CPU 處理器的資料處理方法，包括：

由一第一 CPU 透過一第一快取控制器存取一第一快取；

由一第二 CPU 透過一第二快取控制器存取一第二快取，其中該第一快取是從該第二快取的一共享部分來配置；以及

在無該第一快取的刷新下從該第一 CPU 中切換快取存取運作到該第二 CPU。

17. 如申請專利範圍第 16 項所述之資料處理方法，更包括根據一選擇訊號多路傳輸從該第一 CPU 或該第二 CPU 中輸入至該第二快取的資料。

18. 如申請專利範圍第 16 項所述之資料處理方法，更包括在無偵聽下從該第一 CPU 切換快取存取運作到該第二 CPU。

19. 如申請專利範圍第 16 項所述之資料處理方法，更包括從該第二 CPU 切換快取存取運作到該第一 CPU 且在該第二快取的非共享部分上執行一刷新運作。

20. 如申請專利範圍第 16 項所述之資料處理方法，更包括從該第二 CPU 切換快取存取運作到該第一 CPU 且在該第二快取的非共享部分上執行一偵聽運作。

21. 一種處理器，包括：

一第一 CPU，配置有至少一第一核心、一第一快取，和用以存取該第一快取的一第一快取控制器；

一第二 CPU，配置有至少一第二核心、一第二快取，和用以存取該第二快取的一第二快取控制器，在儲存容量上該第二快取大於該第一快取；以及

一多工器，用以根據一選擇訊號從該第一核心透過該第一快取控制器傳遞資料至該第一快取或從該第二核心透過該第二快取控制器傳遞資料到該第一快取；以及

一解多工器，用以根據該選擇訊號透過該第一快取控制器從該第一快取傳遞資料到該第一核心或透過該第二快取控制器從該第一快取傳遞資料到該第二核心。

22. 如申請專利範圍第 21 項所述之處理器，其中該第一快取是從該第二快取的一共享部份來配置。

23. 一種多 CPU 資料處理系統，包括：

一多 CPU 處理器，包括：

一第一 CPU 配置至少一第一核心、一第一快取和用以存取該第一快取的一第一快取控制器；

一第二 CPU 配置至少一第二核心、一第二快取和用以存取該第二快取的一第二快取控制器，其中該第一快取是從該第二快取的一共享部分來配置；

一電源管理單元，用以選擇性地供應電源到該第一 CPU 或該第二 CPU 和該第一快取的至少其中之一；以及

一記憶體控制器，用以控制透過一資料匯流排至與來自於該多 CPU 處理器的記憶體存取。

24. 如申請專利範圍第 23 項所述之多 CPU 資料處理系統，其中該電源管理單元更用以輸出控制訊號來獨立地控制該第一 CPU 和該第二 CPU 的開啟和關閉，同時維持該第一快取的電源開啟。

25. 如申請專利範圍第 23 項所述之多 CPU 資料處理系統，其中排除該第一快取的該第一 CPU 是配置在一第一電源域中，排除該第一快取的該第二 CPU 是配置在一第二電源域中，並且該第一快取是配置在一第三電源域中。

26. 如申請專利範圍第 25 項所述之多 CPU 資料處理系統，其中該電源管理單元更用以來選擇性地在該第一電源域和該第二電源域之間切換電源，同時維持該第三電源域的電源開啟。

27. 如申請專利範圍第 23 項所述之多 CPU 資料處理系統，其中該系統是實作在一智慧型手機、一筆記型電腦或一平板電腦

106-3-17

的其中之一。

圖式

106-3-17

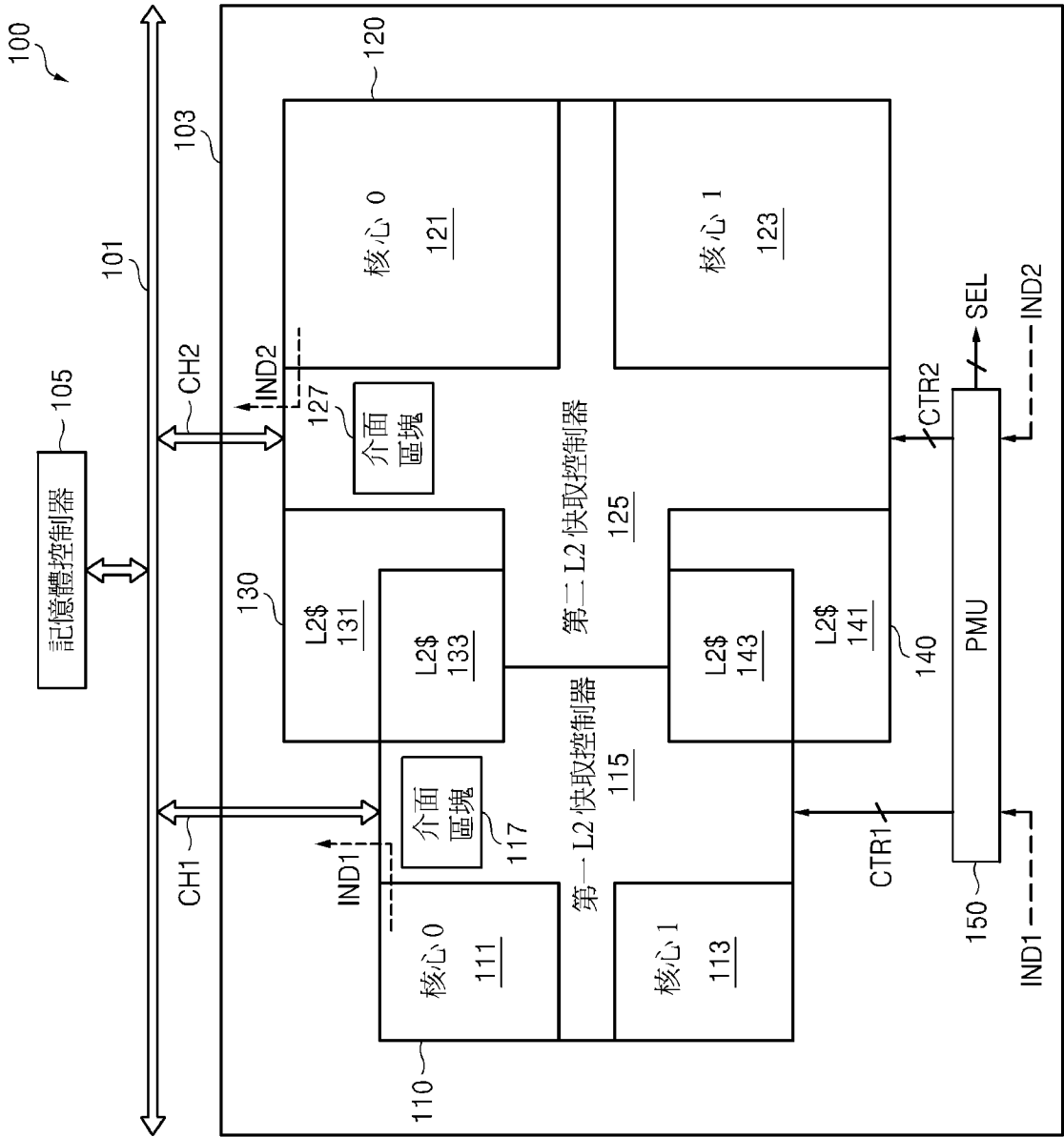


圖 1A

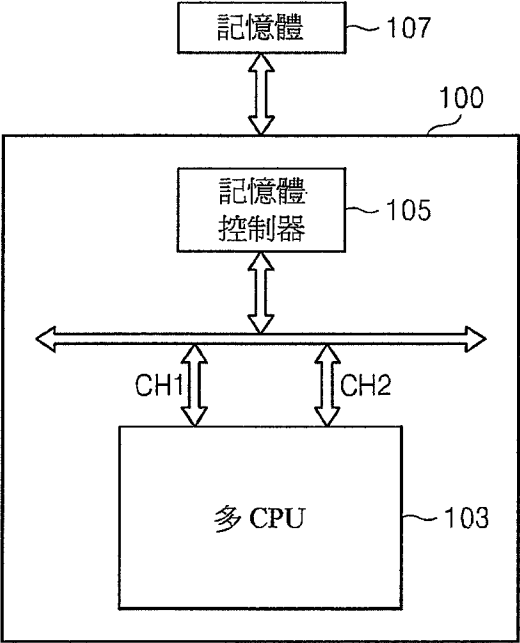


圖 1B

106-3-17

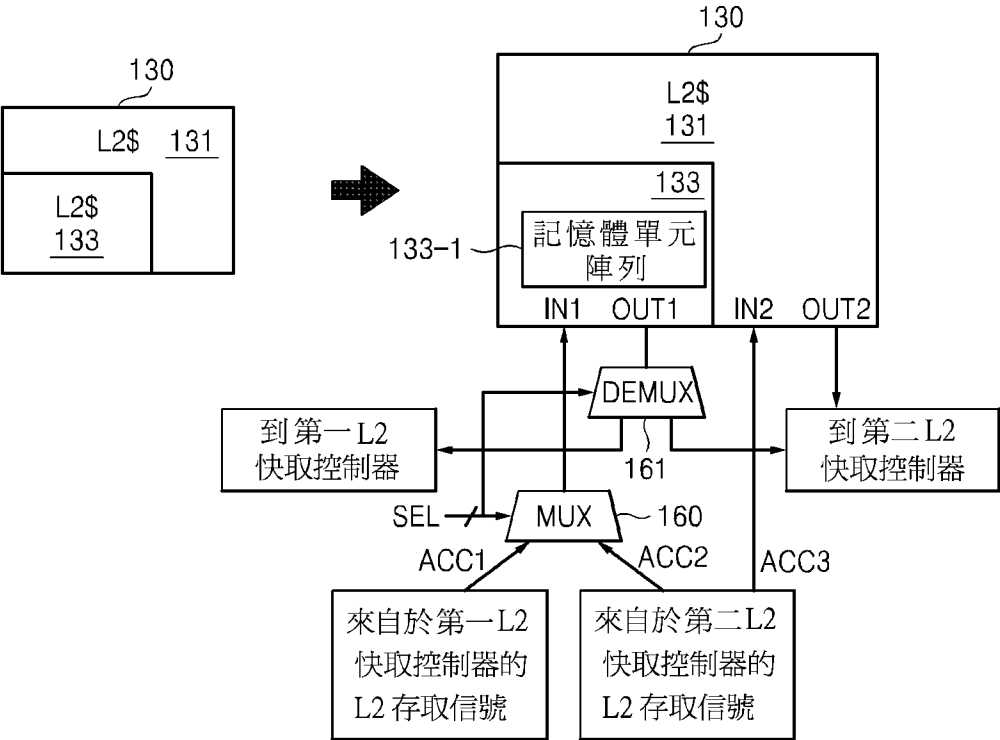


圖 2

106-3-17

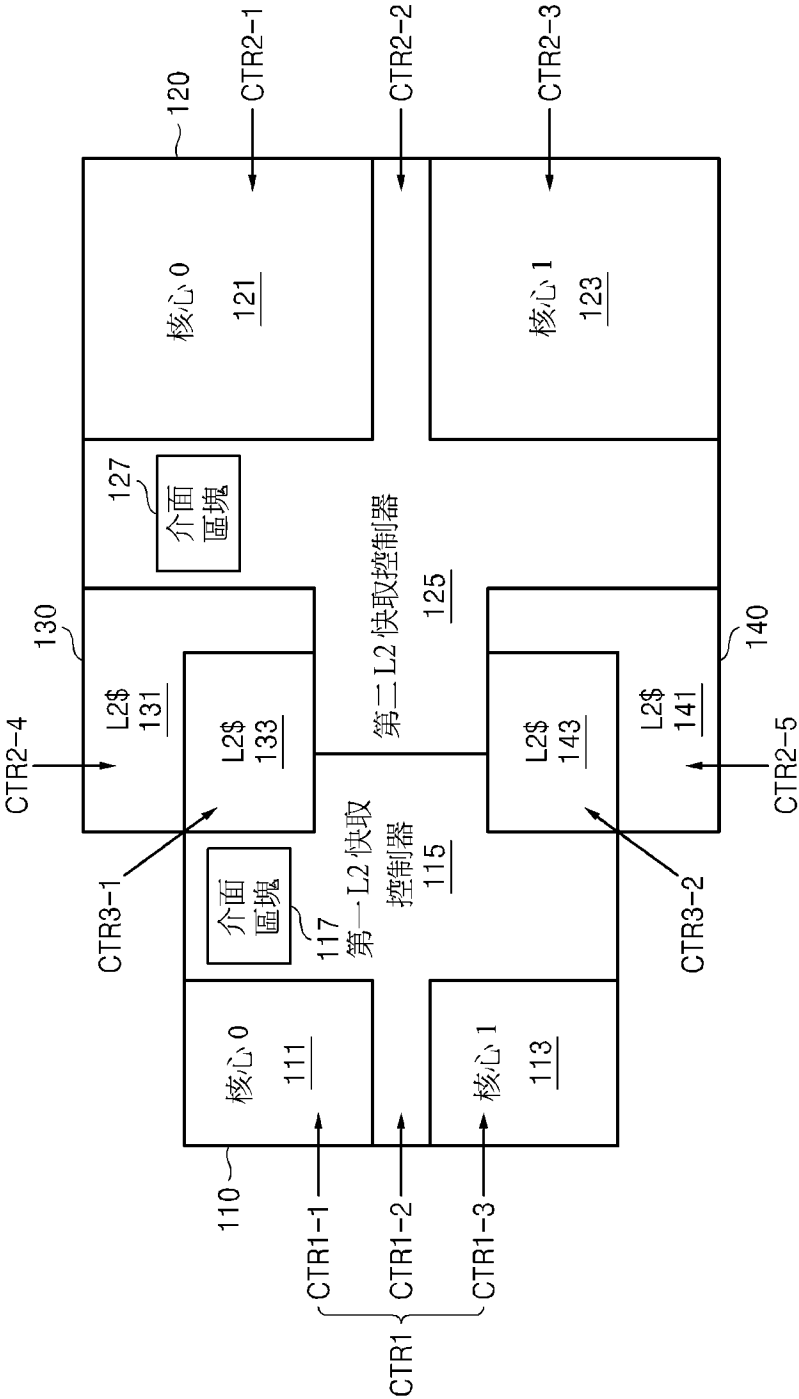
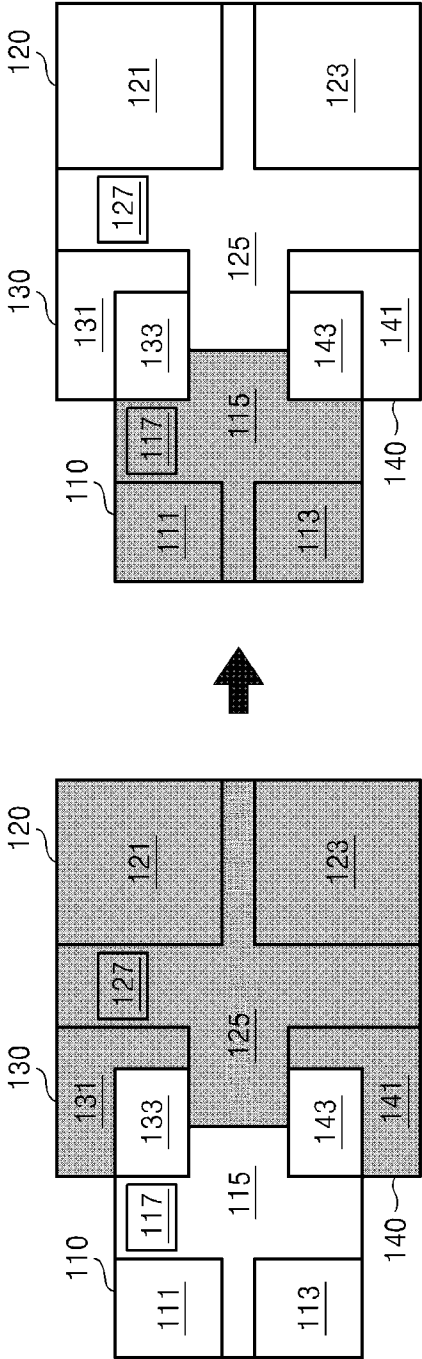


圖 3

106-3-17

第一CPU->第二CPU 切换



灰色：電源關閉
其他：電源開啓

圖 4A

圖 4B

106-3-17

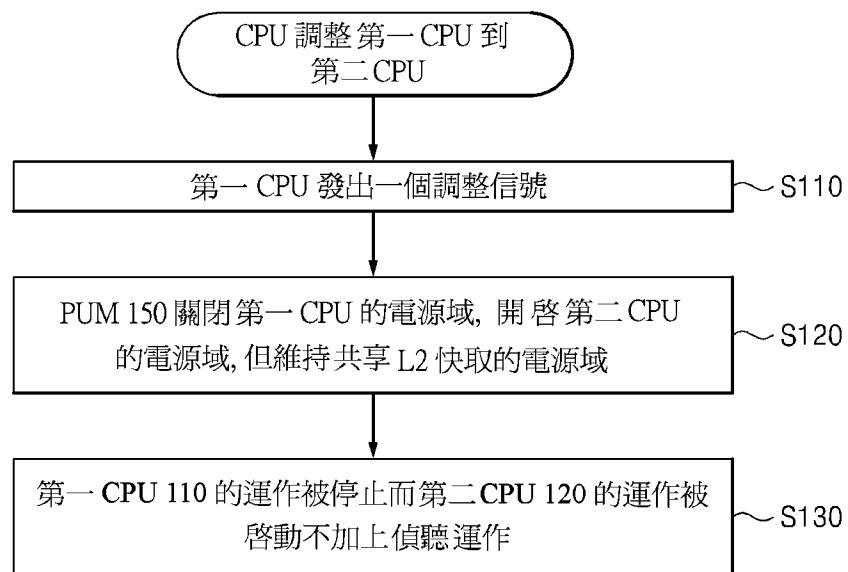


圖 5

圖 6B

第二CPU-> 第一CPU 切换

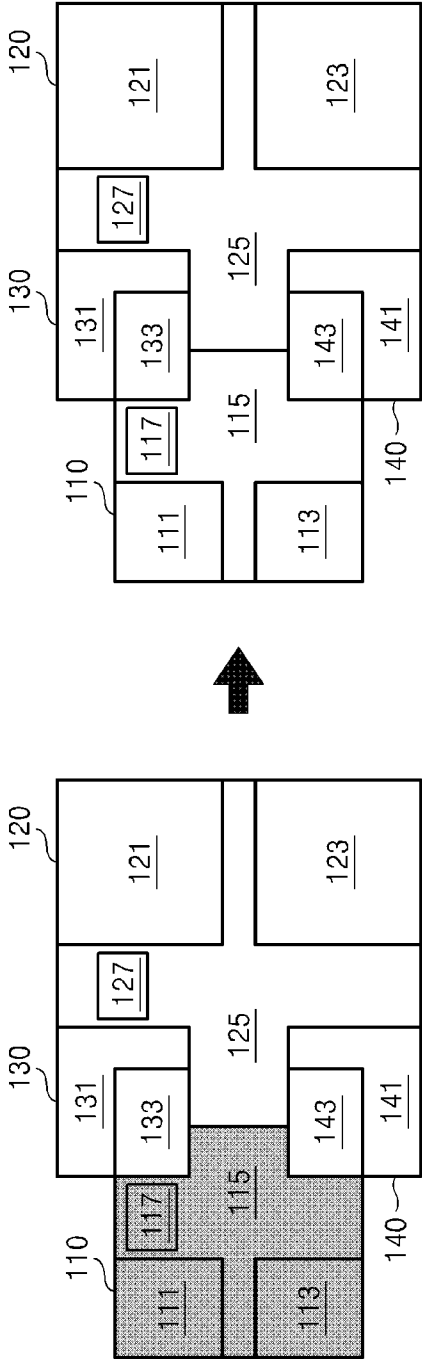


圖 6D

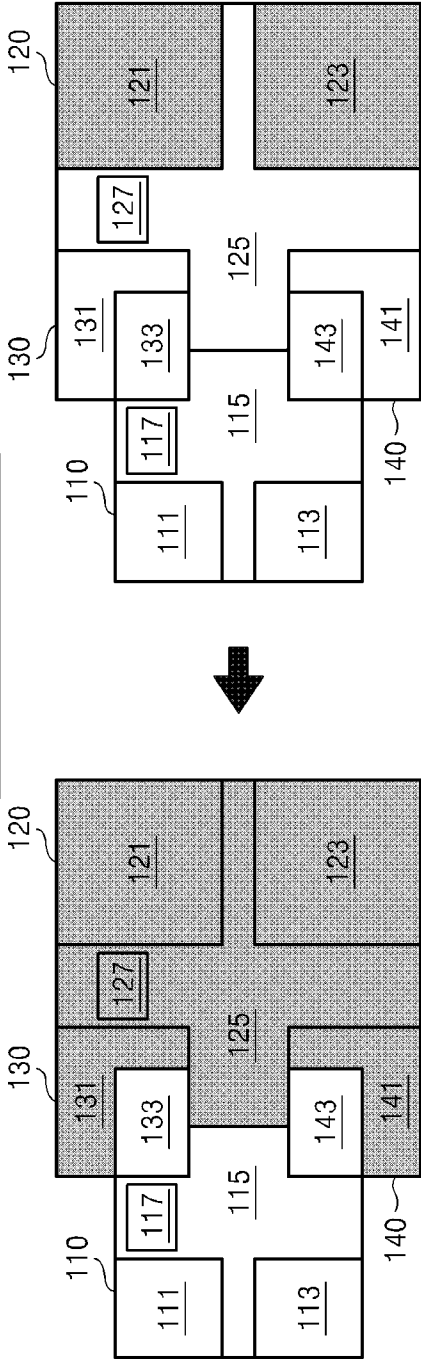


圖 6C

106-3-17

106-3-17

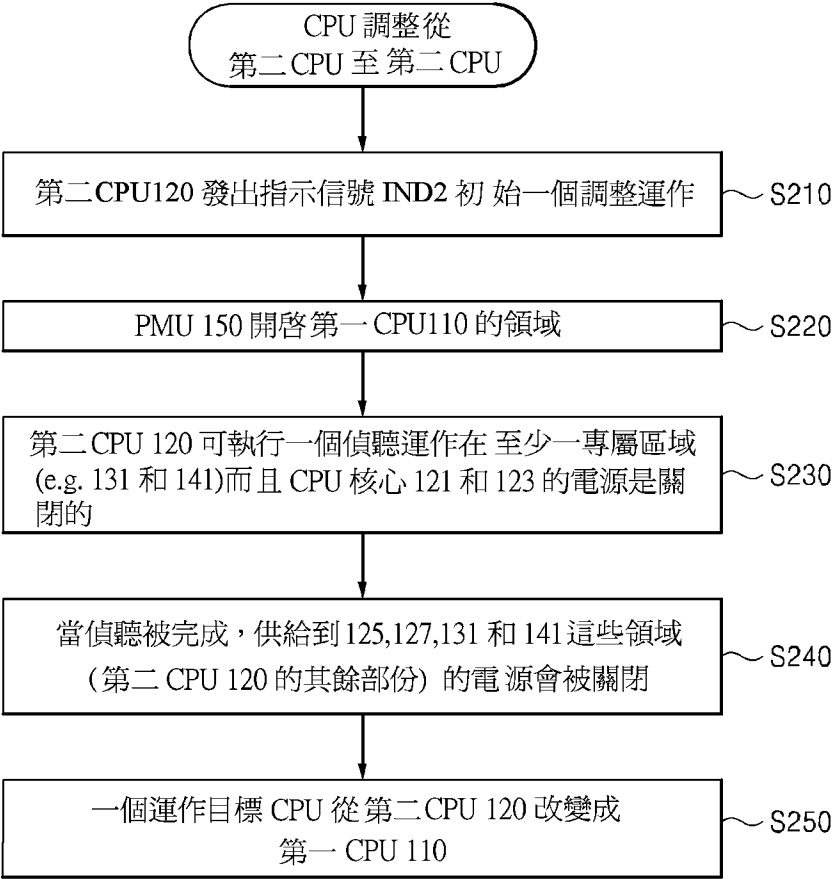
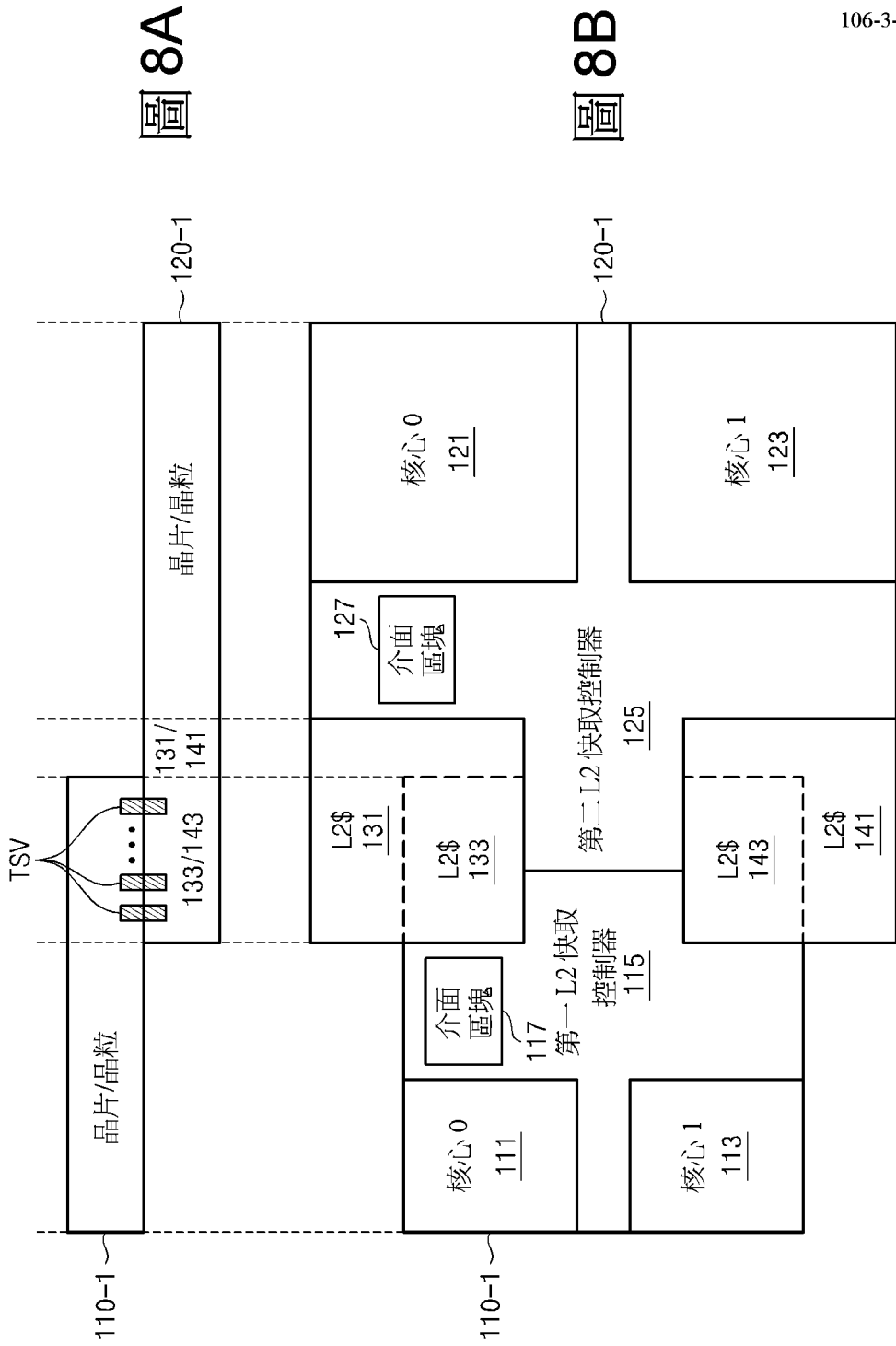


圖 7



106-3-17

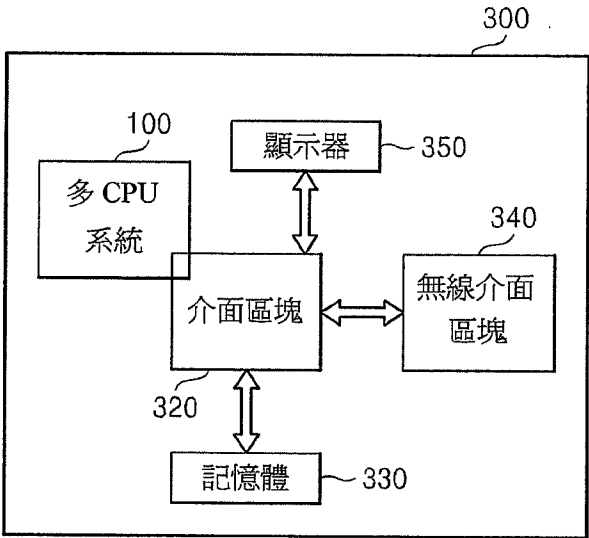


圖 10

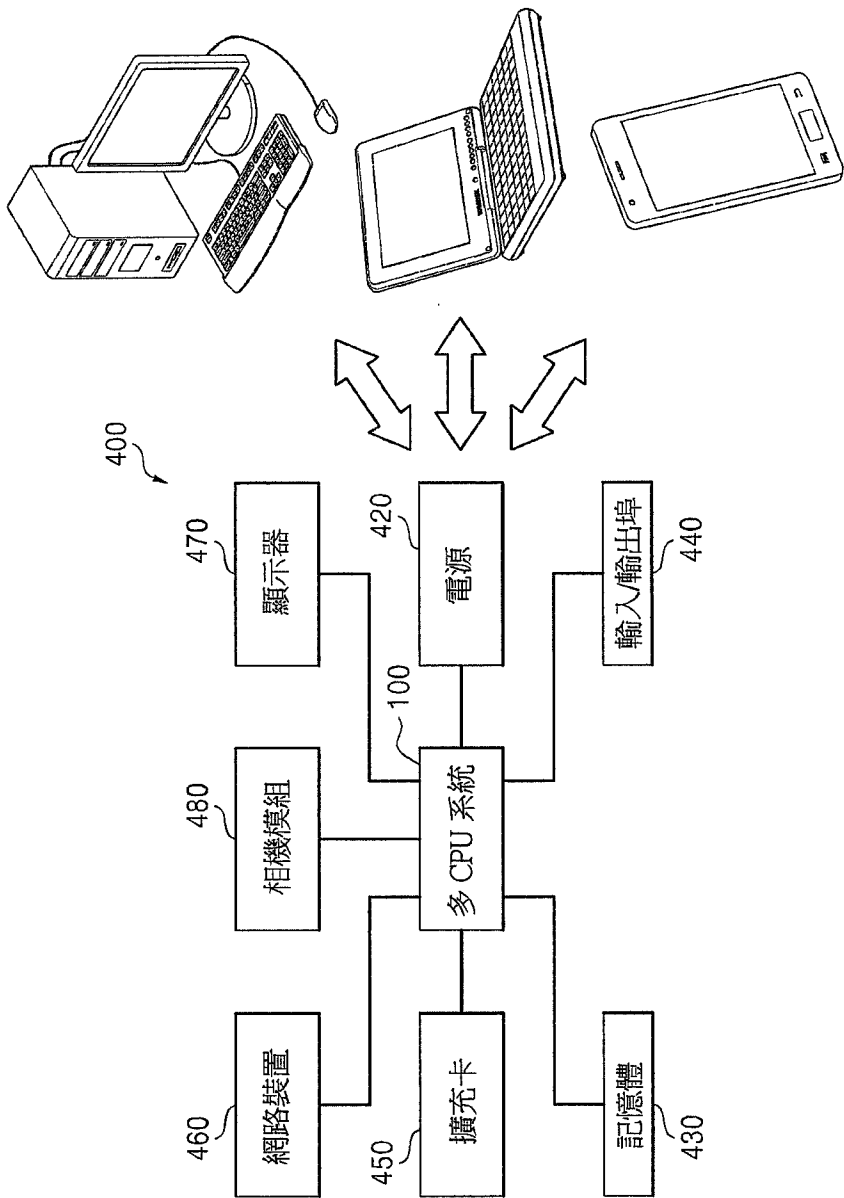


圖 11

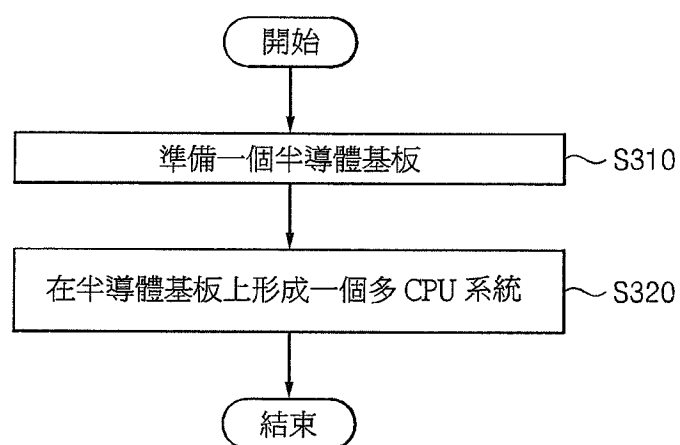


圖 12