



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월03일
 (11) 등록번호 10-1357042
 (24) 등록일자 2014년01월23일

(51) 국제특허분류(Int. Cl.)
 G02F 1/136 (2006.01)
 (21) 출원번호 10-2007-0024185
 (22) 출원일자 2007년03월12일
 심사청구일자 2011년11월10일
 (65) 공개번호 10-2008-0083515
 (43) 공개일자 2008년09월18일
 (56) 선행기술조사문헌
 KR1020060079040 A
 KR101126344 B1
 JP2006301560 A

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
남승희
 경기도 수원시 장안구 서부로 2065, 201동 1304호
 (울전동, 삼성아파트)
김남국
 경기도 수원시 영통구 봉영로1517번길 27,
 벽적골9단지아파트 904동 1003호 (영통동)
 (뒷면에 계속)
 (74) 대리인
박장원

전체 청구항 수 : 총 18 항

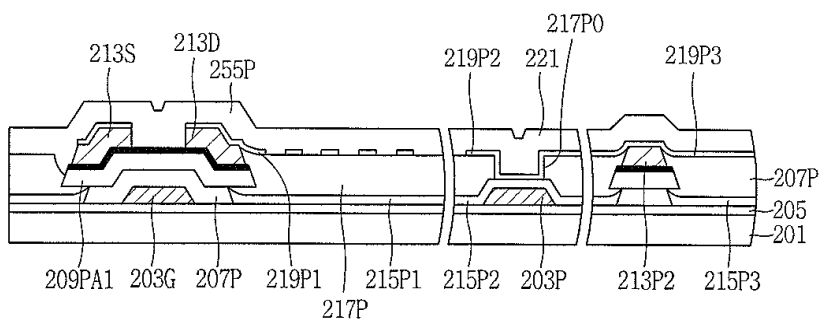
심사관 : 신창우

(54) 발명의 명칭 **액정표시장치의 제조방법**

(57) 요약

본 발명은 액정표시장치 및 그 제조방법에 관해 개시한다. 개시된 본 발명의 방법은 박막 트랜지스터부가 정의된 기판을 제공하는 단계와, 상기 기판 상에 게이트전극용 금속막을 형성하는 단계와, 제 1프린팅 공정에 의해 상기 금속막을 식각하여 게이트전극을 형성하는 단계와, 상기 기판 상에 게이트 절연막, 반도체층 및 소스/드레인전극용 금속막을 차례로 형성하는 단계와, 제 2프린팅 공정에 의해 상기 소스/드레인전극용 금속막, 반도체층 및 게이트 절연막을 선택적으로 식각하여 차례로 적층된 게이트 절연막 패턴, 예비 액티브 패턴 및 금속막 패턴을 형성하되, 상기 게이트 절연막 패턴은 상기 예비 액티브 패턴의 측면으로부터 오버 식각되도록 형성하는 단계와, 상기 금속막 패턴을 가진 기판 위에 절연막을 형성하는 단계와, 상기 금속막 패턴을 노출하는 시점까지 상기 절연막을 식각하는 단계와, 상기 금속막 패턴 및 잔류된 절연막 위에 투명도전막을 형성하는 단계와, 상기 투명도전막, 금속막 패턴 및 예비 액티브패턴을 선택적으로 식각하여 액티브 패턴, 소오스전극, 드레인전극 및 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함한다.

대표도 - 도3i



(72) 발명자

류순성

경기도 군포시 고산로517번길 20, 901동 1201호 (산본동, 금강아파트)

장윤경

경기도 안양시 동안구 경수대로 430, 대림e-편한세상아파트 111동 2504호 (호계동)

특허청구의 범위

청구항 1

박막 트랜지스터부가 정의된 기판을 제공하는 단계와,

상기 기판 상에 게이트전극용 금속막을 형성하고, 제1 프린팅 공정으로 상기 게이트전극용 금속막의 일부를 덮는 제1 레지스트 패턴을 형성하는 단계와,

상기 제1 레지스트 패턴을 마스크로 상기 게이트전극용 금속막을 식각하여 게이트전극을 형성하는 단계와,

상기 기판 상에 게이트 절연막, 반도체층 및 소스/드레인전극용 금속막을 차례로 형성하는 단계와,

상기 소스/드레인전극용 금속막을 가진 기판 상에 제 2프린팅 공정으로 상기 박막 트랜지스터부의 일부를 덮는 제2 레지스트 패턴을 형성하는 단계와,

상기 제2 레지스트 패턴을 마스크로 상기 소스/드레인전극용 금속막, 반도체층 및 게이트 절연막을 선택적으로 식각하여 차례로 적층된 게이트 절연막 패턴, 예비 액티브 패턴 및 금속막 패턴을 형성하되, 상기 게이트 절연막 패턴은 상기 예비 액티브 패턴의 측면으로부터 오버 식각되도록 형성하는 단계와,

상기 금속막 패턴을 가진 기판 위에 절연막을 형성하는 단계와,

상기 금속막 패턴을 노출하는 시점까지 상기 절연막을 식각하는 단계와,

상기 금속막 패턴 및 잔류된 절연막 위에 투명도전막을 형성하는 단계와,

상기 투명도전막, 금속막 패턴 및 예비 액티브패턴을 선택적으로 식각하여 액티브 패턴, 소오스전극, 드레인전극 및 상기 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함한 액정표시장치의 제조방법.

청구항 2

삭제

청구항 3

제 1항에 있어서, 상기 절연막은 상기 금속막 패턴을 가진 기판 위에 상기 제2 레지스트 패턴을 덮도록 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 1항에 있어서, 상기 절연막을 식각한 다음, 상기 제2 레지스트 패턴을 제거하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 5

제 1항에 있어서, 상기 절연막은 유기절연막으로 형성하는 것을 액정표시장치의 제조방법.

청구항 6

제 1항에 있어서, 상기 절연막은 플라즈마 에싱공정으로 식각하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 6항에 있어서, 상기 플라즈마 에싱 공정은 O₂가스를 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 4항에 있어서, 상기 제2 레지스트 패턴은 리프트 오프법으로 제거하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 1항에 있어서, 상기 투명도전막을 형성한 다음,

상기 투명도전막을 가진 기판 상에 서로 다른 두께를 가지되, 상기 박막 트랜지스터부의 채널 형성영역이 다른 영역에 비해 두께가 얇게 형성된 포토 레지스트 패턴을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 10

제 9항에 있어서, 상기 액티브 패턴, 소스/드레인전극 및 화소전극을 형성하는 단계는

상기 포토 레지스트 패턴을 이용하여 상기 투명도전막, 금속막 패턴 및 예비 액티브 패턴을 식각하여 예비 화소전극 패턴, 예비 소스/드레인전극 패턴 및 상기 액티브 패턴을 각각 형성하는 단계와,

상기 포토 레지스트 패턴을 에칭하는 단계와,

에칭된 포토 레지스트 패턴을 이용하여 상기 예비 화소전극 패턴 및 예비 소스 및 드레인전극 패턴을 식각하는 단계와,

상기 에칭된 포토 레지스트 패턴을 제거하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 11

제 1항에 있어서, 상기 소스/드레인전극 및 화소전극을 형성한 다음, 상기 화소전극을 가진 기판 상에 보호막을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 12

박막 트랜지스터부, 픽셀부 및 게이트 패드부가 각각 정의된 기판을 제공하는 단계와,

상기 기판 상에 게이트배선용 금속막을 형성하고, 제 1프린팅 공정으로 상기 게이트배선용 금속막의 일부를 덮는 제1 레지스트 패턴을 형성하는 단계와,

상기 제1 레지스트 패턴을 마스크로 상기 게이트배선용 금속막을 식각하여 상기 박막 트랜지스터부 및 패드부에 게이트전극, 게이트패드를 구비한 게이트배선을 형성하는 단계와,

상기 기판 상에 게이트 절연막, 반도체층 및 데이터배선용 금속막을 차례로 형성하는 단계와,

상기 데이터배선용 금속막을 가진 기판 위에 제 2프린팅 공정으로 상기 박막 트랜지스터부의 일부를 덮는 제2 레지스트 패턴을 형성하는 단계와,

상기 제2 레지스트 패턴을 마스크로 상기 데이터배선용 금속막, 상기 반도체층 및 상기 게이트 절연막을 식각하여 차례로 적층된 게이트 절연막 패턴, 예비 액티브 패턴 및 금속막 패턴을 형성하되, 상기 게이트 절연막 패턴은 상기 예비 액티브 패턴의 측면으로부터 언더 컷되도록 형성하는 단계와,

상기 금속막 패턴을 가진 기판 상에 상기 제2 레지스트 패턴을 덮도록 제 1투명도전막 및 절연막을 차례로 형성하는 단계와,

상기 금속막 패턴을 노출하는 시점까지 상기 절연막, 상기 제1 투명도전막 및 상기 제2 레지스트 패턴을 식각하여 상기 게이트전극과 평행하게 배열되는 공통전극과, 상기 공통전극과 연결되며 상기 게이트패드를 덮는 제1투명도전막 패턴을 형성하는 단계와,

제 3프린팅 공정으로 상기 게이트패드 상에 잔류된 절연막이 노출되도록 제3 레지스트 패턴을 형성하고, 상기 제3 레지스트 패턴을 마스크로 상기 잔류된 절연막을 식각하여 상기 게이트패드 상의 상기 제 1투명도전막 패턴 일부를 노출하는 개구부를 형성하는 단계와,

상기 개구부를 가진 기판 상에 제 2투명도전막을 형성하는 단계와,

상기 제 2투명도전막, 금속막 패턴 및 예비 액티브패턴을 선택적으로 식각하여 액티브 패턴, 소오스전극, 드레인전극, 상기 드레인전극과 연결되는 화소전극 및 상기 개구부를 통해 상기 제1투명도전막 패턴과 연결되는 제2투명도전막 패턴을 형성하는 단계를 포함한 액정표시장치의 제조방법.

청구항 13

삭제

청구항 14

제 12항에 있어서, 상기 절연막은 유기절연막으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 12항에 있어서, 상기 절연막은 플라즈마 에싱공정으로 식각하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 15항에 있어서, 상기 플라즈마 에싱 공정은 O₂가스를 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 12항에 있어서, 상기 제1 투명도전막 및 상기 제2 레지스트 패턴은 리프트 오프법으로 식각하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 12항에 있어서, 상기 제 2투명도전막을 형성한 다음,

상기 제 2투명도전막을 가진 기판 상에 서로 다른 두께를 가지되, 상기 박막 트랜지스터부의 채널 형성영역이 다른 영역에 비해 두께가 얇게 형성된 포토 레지스트 패턴을 형성하는 단계를 더 포함하는 액정표시장치의 제조 방법.

청구항 19

제 18항에 있어서, 상기 액티브 패턴, 소오스전극, 드레인전극 및 화소전극을 형성하는 단계는

상기 포토 레지스트 패턴을 이용하여 상기 제 2투명도전막, 금속막 패턴 및 예비 액티브 패턴을 식각하여 예비 화소전극 패턴, 예비 소스/드레인전극 패턴 및 상기 액티브 패턴을 각각 형성하는 단계와,

상기 포토 레지스트 패턴을 에싱하는 단계와,

에싱된 포토 레지스트 패턴을 이용하여 상기 예비 화소전극 패턴, 예비 소오스전극 패턴 및 드레인전극 패턴을 식각하는 단계와,

상기 에싱된 포토 레지스트 패턴을 제거하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 20

제 12항에 있어서, 상기 액티브 패턴, 소오스전극, 드레인전극 및 화소전극을 형성한 다음, 상기 화소 전극을 가진 기판 상에 보호막을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0004] 본 발명은 액정표시장치의 제조방법에 관한 것으로서, 보다 구체적으로는 공정을 단순화할 수 있는 액정표시장치의 제조방법에 관한 것이다.
- [0005] 일반적으로 알려진 바와 같이, 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직전계 인가형과 수평전계 인가형으로 대별된다.
- [0006] 상기 수직전계 인가형 액정표시장치는 상부 및 하부기판에 대향하게 배치된 화소전극과 공통전극 사이에 형성되는 수직전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직전계 인가형 액정표시장치는 개구율이 큰 장점을 가지는 반면 시야각이 90° 정도로 좁은 단점을 가진다.
- [0007] 한편, 상기 수평전계 인가형 액정표시장치는 하부기판에 나란하게 배치된 화소전극과 공통전극 간의 수평전계에 의해 인 플레인 스위치(In Plane Switch : 이하 “IPS” 라 함) 모드의 액정을 구동하게 된다. 이러한 수평전계 인가형 액정표시장치는 시야각이 160° 정도로 넓은 장점을 가지나 개구율 및 투과율이 낮은 단점을 가진다.
- [0008] 따라서, 이러한 수평전계 인가형 액정표시장치의 단점을 개선하기 위하여 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching : 이하, “FFS” 라 함) 타입의 액정표시장치가 제안되었다.
- [0009] 상기 FFS 타입의 액정표시장치는 화소영역에 절연막을 사이에 둔 공통전극판과 화소전극을 구비하고, 그 공통전극판과 화소전극의 간격을 상부 및 하부기판의 간격보다 좁게 형성하여 프린지 필드가 형성되게 한다. 그리고, 프린지 필드에 의해 상부 및 하부기판 사이에 채워진 액정 분자들이 동작되게 함으로써 개구율 및 투과율을 향상시키게 된다.
- [0010] 도 1은 종래 기술에 따른 FFS 타입 액정표시장치의 개략적인 구성을 보여주는단면도이다. 또한, 도 2a 내지 도 2e는 종래 기술에 따른 FFS 타입 액정표시장치를 제조하는 것을 보인 공정별 단면도이다. 이하, 도 1 및 도 2a 내지 도 2e를 참고로 하여 종래 기술에 따른 FFS 타입 액정표시장치 및 그 제조방법에 대해 설명한다.
- [0011] 도 1에 도시된 바와 같이, 종래의 FFS 타입의 박막 트랜지스터 기판은 기판(20) 위에 게이트 절연막(22)을 사이에 두고 교차하게 형성된 게이트라인(6) 및 데이터라인(미도시)과, 게이트라인(6)과 데이터라인의 교차부마다 형성된 박막 트랜지스터(Thin Flim Transister : 이하 “TFT” 라 함)와, 게이트라인(6)과 데이터라인의 교차구조로 마련된 화소영역에 프린지 필드를 형성하도록 게이트 절연막(22) 및 보호막(28)을 사이에 두고 형성된 공통전극판(14) 및 화소전극 슬릿(18)과, 공통전극판(14)과 접속된 공통라인(16)을 구비한다.
- [0012] 상기 공통전극판(14)은 각 화소영역에 형성되어 공통전극판(14) 위에 형성되어 접속된 공통라인(16)을 통해 액정 구동을 위한 기준전압(이하, 공통전압)을 공급받는다. 이러한 공통전극판(14)은 투명도전층으로, 공통라인(16)은 게이트라인과 함께 게이트금속층으로 형성된다.
- [0013] 상기 TFT는 게이트라인의 게이트신호에 응답하여 데이터라인(4)의 화소신호가 화소전극 슬릿(18)에 충전되어 유지되게 한다.
- [0014] 이를 위하여, TFT는 게이트라인에 접속된 게이트전극(6)과, 데이터라인(4)에 접속된 소스전극(8)과, 화소전극 슬릿(18)에 접속된 드레인전극(10)과, 게이트전극(6)과 게이트 절연막(22)을 사이에 두고 중첩되면서 소스전극(8) 및 드레인전극(10) 사이에 채널을 형성하는 활성층(24)과, 소스전극(8) 및 드레인전극(10)과 활성층(24)과의 오믹 접촉을 위한 오믹 접촉층(26)을 포함한다.
- [0015] 화소전극 슬릿(18)은 보호막(28)을 관통하는 컨택홀(12)을 통해 TFT의 드레인전극(10)과 접속되어 공통전극판(14)과 중첩되게 형성된다. 이러한 화소전극 슬릿(18)은 공통전극판(14)과 프린지 필드를 형성하여 TFT 기판과 칼라필터 기판 사이에서 수평방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0016] 그리고, 공통전극판(14)과 화소전극 슬릿(18)의 중첩부에는 화소전극 슬릿(18)에 공급된 비디오 신호를 안정적으로 유지시키는 스토리지 캐패시터가 형성된다.
- [0017] 이하, FFS 타입의 TFT 기판의 제조방법을 도 2a 내지 도 2e를 참조하여 설명하면 다음과 같다.

- [0018] 도 2a에 도시된 바와 같이, 기판(20)의 각 화소영역에 공통전극판(14)을 형성한다. 상기 공통전극판(14)은 기판(20) 위에 투명도전막을 형성한 다음, 제 1포토 마스크 공정으로 상기 투명도전막을 패터닝함으로써 각 화소 영역에 형성된다.
- [0019] 도 2b에 도시된 바와 같이, 제2 포토마스크 공정으로 공통전극판(14)이 형성된 기판(20) 위에 게이트전극(6)을 포함하는 게이트배선 및 공통라인(16)을 형성한다. 이러한 게이트배선 및 공통라인(16)은 공통전극판(14)이 형성된 기판(20) 위에 게이트 배선용 금속막을 형성한 다음, 제2포토 마스크 공정으로 상기 금속막을 패터닝함으로써 형성된다.
- [0020] 도 2c에 도시된 바와 같이, 게이트금속 패턴이 형성된 기판(20) 위에 게이트 절연막(22)이 형성되고, 제3 마스크 공정으로 게이트 절연막(22) 위에 활성층(24) 및 오믹 접촉층(26)을 포함하는 반도체패턴과, 데이터라인(4)과, 소스전극(8) 및 드레인전극(10)을 포함하는 소스/드레인금속 패턴이 형성된다.
- [0021] 이를 상세히 설명하면, 게이트금속 패턴이 형성된 기판(20) 위에 게이트 절연막(22), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인금속층이 순차적으로 형성된다. 그 다음, 소스/드레인금속층 위에 회절노광 마스크인 제3 마스크를 이용한 포토리소그래피 공정으로 단차를 갖는 포토레지스트 패턴을 형성하게 된다. 단차를 갖는 포토레지스트 패턴은 TFT의 채널부에서 상대적으로 낮은 높이를 갖는다. 이러한 포토레지스트 패턴을 이용한 식각공정으로 소스/드레인 패턴과, 그 아래에 반도체패턴이 형성된다. 이어서, 포토레지스트 패턴을 애싱(Ashing)하고 노출된 소스/드레인 패턴을 그 아래의 오믹 접촉층(26)과 함께 제거함으로써 소스전극(8) 및 드레인전극(10)을 분리시킨다.
- [0022] 도 2d에 도시된 바와 같이, 소스/드레인금속 패턴이 형성된 게이트 절연막(22) 위에 제 4포토 마스크 공정으로 개구부(12)을 가진 보호막(28)을 형성한다. 즉, 소스/드레인 전극(8)(10) 및 게이트 절연막(22) 위에 보호막(28)을 형성하고, 제 4포토 마스크 공정으로 상기 보호막(28)을 패터닝함으로써 상기 드레인전극(10)을 노출시키는 개구부(12)가 형성된다.
- [0023] 도 2e에 도시된 바와 같이, 제 5포토 마스크를 공정으로 보호막(28) 위에 화소전극 슬릿(18)을 형성한다. 상기 화소전극 슬릿(18)은 보호막(28) 위에 투명도전층을 형성한 다음, 제 5포토 마스크를 이용한 포토리소그래피 공정 및 식각공정으로 패터닝함으로써 형성된다.
- [0024] 이와 같이 종래의 FFS 타입의 TFT 기판 제조는 마스크 수는 5장이 사용되고 있으며, 여기서 마스크의 수가 여러 이 기판을 제조하는 공정 수를 나타낸다. 이때, 상기 사진 식각 공정에는 세정과 감광막의 도포, 노광 및 현상, 식각 등 여러 공정이 수반되므로, 공정시간이 많이 소요되고 제조비용이 상승하는 문제점이 있다.
- [0025] 따라서, 사진 식각 공정을 1회만 단축해도 제조 시간이 상당히 많이 줄어들고, 제조 비용을 감소시킬 수 있으며 불량 발생율이 적어지므로, 마스크 수를 줄이는 방안이 연구되어야 한다.

발명이 이루고자 하는 기술적 과제

- [0026] 따라서, 상기한 문제점을 해결하고자, 본 발명의 목적은 포토 마스크 수를 절감하여 공정을 단순화할 수 있는 액정표시장치의 제조 방법을 제공하려는 것이다.

발명의 구성 및 작용

- [0027] 상기 목적을 달성하고자, 본 발명에 따른 액정표시장치의 제조방법은 박막 트랜지스터부가 정의된 기판을 제공하는 단계와, 상기 기판 상에 게이트전극용 금속막을 형성하고, 제1 프린팅 공정으로 상기 게이트전극용 금속막의 일부를 덮는 제1 레지스트 패턴을 형성하는 단계와, 상기 제1 레지스트 패턴을 마스크로 상기 게이트전극용 금속막을 식각하여 게이트전극을 형성하는 단계와, 상기 기판 상에 게이트 절연막, 반도체층 및 소스/드레인전극용 금속막을 차례로 형성하는 단계와, 상기 소스/드레인전극용 금속막을 가진 기판 상에 제2프린팅 공정으로 상기 박막 트랜지스터부의 일부를 덮는 제2 레지스트 패턴을 형성하는 단계와, 상기 제2 레지스트 패턴을 마스크로 상기 소스/드레인전극용 금속막, 반도체층 및 게이트 절연막을 선택적으로 식각하여 차례로 적층된 게이트 절연막 패턴, 예비 액티브 패턴 및 금속막 패턴을 형성하되, 상기 게이트 절연막 패턴은 상기 예비 액티브 패턴의 측면으로부터 오버 식각되도록 형성하는 단계와, 상기 금속막 패턴을 가진 기판 위에 절연막을 형성하는 단계와, 상기 금속막 패턴을 노출하는 시점까지 상기 절연막을 식각하는 단계와, 상기 금속막 패턴 및 잔류된 절연막 위에 투명도전막을 형성하는 단계와, 상기 투명도전막, 금속막 패턴 및 예비 액티브 패턴을 선택적으로 식각하여 액티브 패턴, 소스전극, 드레인전극 및 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함한다.

다.

- [0028] 삭제
- [0029] 상기 절연막은 상기 금속막 패턴을 가진 기판 위에 상기 레지스트 패턴을 덮도록 형성하는 것이 바람직하다. 상기 절연막은 유기절연막으로 형성하는 것이 바람직하다.
- [0030] 상기 절연막을 식각한 다음, 상기 레지스트 패턴을 제거하는 단계를 더 포함한다. 이때, 상기 절연막 식각 공정은 플라즈마 에싱공정으로 진행되는 것이 바람직하다. 상기 플라즈마 에싱 공정은 O₂가스를 이용한다.
- [0031] 상기 레지스트 패턴 제거 공정은 상기 레지스트 패턴 및 상기 레지스트 패턴 상부의 공통전극막을 리프트 오프 방법으로 진행되는 것이 바람직하다.
- [0032] 상기 투명도전막을 형성한 다음, 상기 투명도전막을 가진 기판 상에 서로 다른 두께를 가지되, 상기 박막 트랜지스터부의 채널 형성영역이 다른 영역에 비해 두께가 얇게 형성된 포토 레지스트 패턴을 형성하는 단계를 더 포함한다.
- [0033] 상기 소스/드레인전극 및 화소전극을 형성하는 단계는 상기 포토 레지스트 패턴을 이용하여 투명도전막, 금속막 패턴 및 예비 액티브 패턴을 식각하여 예비 화소전극 패턴, 예비 소스/드레인전극 패턴 및 액티브 패턴을 각각 형성하는 단계와, 상기 포토 레지스트 패턴을 에싱하는 단계와, 상기 에싱된 포토 레지스트 패턴을 이용하여 상기 예비 화소전극 패턴 및 예비 소스 및 드레인전극 패턴을 식각하는 단계와, 상기 에싱된 포토 레지스트 패턴을 제거하는 단계를 더 포함한다.
- [0034] 상기 소스/드레인전극 및 화소전극을 형성한 다음, 상기 화소전극을 가진 기판 상에 보호막을 형성하는 단계를 더 포함한다.
- [0035] 삭제
- [0036] 삭제
- [0037] (실시예)
- [0038] 이하, 첨부된 도면을 참고로 하여 본 발명에 따른 액정표시장치 및 그 제조방법에 대해 설명하기로 한다.
- [0039] 본 발명은 포토 마스크 수를 절감하여 공정을 단순화하기 위해, 포토 공정 대신 프린팅 공정을 적용한다. 즉, 본 발명은 제 1프린팅 공정을 이용하여 게이트전극 및 게이트 패드를 구비한 게이트 배선 형성하고, 제 2프린팅 공정을 이용하여 소오스전극 및 드레인전극을 형성하기 위한 금속막 패턴 형성하고, 제 3프린팅 공정을 이용하여 상기 게이트 패드를 노출하는 개구부를 형성하고, 포토 마스크 공정을 이용하여 소오스전극, 드레인전극 및 화소전극 형성하는 순으로 진행된다.
- [0040] 따라서, 본 발명은 3회의 프린팅 공정 및 1회의 포토 마스크 공정으로 FFS타입 액정표시장치를 제조함으로써, 포토 마스크 공정을 단순화할 수 있고, 이에 따라 재료비 및 설비 투자비 절감과 아울러 수율을 향상시킬 수 있다.
- [0041] 도 3a 내지 도 3i는 본 발명에 따른 FFS 타입 액정표시장치의 개략적인 구성을 보인 공정별 단면도이다. 여기서, 도면의 왼쪽 부분은 박막 트랜지스터부 및 픽셀부를, 중간부분은 게이트 패드부를, 그리고 오른쪽 부분은 데이터 패드부를 각각 나타낸 것이다.
- [0042] 도 3a에 도시된 바와 같이, 박막 트랜지스터부, 픽셀부, 게이트 패드부 및 데이터 패드부가 각각 정의된 기판(201)을 제공한다. 이때, 상기 기판(201)은 박막 트랜지스터 어레이기판에 해당된다. 이어, 상기 기판(201) 전면에 게이트배선용 금속막(미도시)을 형성한다. 이때, 상기 기판(201)과 상기 금속막 사이에 완충막(205)이 개재될 수 있다. 또한, 상기 게이트배선용 금속막은 Al, Cu, Ta, Ti, Mo, Mo합금 또는 Al합금 등의 금속일 수 있다.
- [0043] 그 다음, 상기 게이트배선용 금속막을 패터닝하여 게이트전극(203G), 게이트패드(203P)를 구비한 게이트배선(270)을 형성한다. 이때, 상기 게이트배선(270)은 상기 게이트배선용 금속막을 프린팅 공정에 의해 패터

닝하여 형성할 수 있다. 상기 프린팅 공정은 게이트배선용 금속막 상의 게이트배선(270)이 형성될 영역에 선택적으로 감광막 패턴(미도시)을 형성하는 공정이며, 게이트배선(270)은 이러한 감광막 패턴을 마스크로 하여 게이트배선용 금속막을 식각함으로써 형성된다. 상기 프린팅 공정은 롤 프린팅 방식 또는 인플레이션 프린팅 방식 중 어느 하나를 이용하여 진행될 수 있다. (1회 프린팅 공정)

[0044] 이후, 도 3b에 도시된 바와 같이, 상기 게이트배선(203)을 가진 기판 상에 게이트 절연막(207), 반도체층(209) 및 데이터배선용 금속막(213)을 차례로 형성한다. 이때, 상기 게이트 절연막(207)은 실리콘 질화막일 수 있다. 또한, 상기 반도체층(209)은 실리콘막일 수 있다. 그리고, 상기 데이터배선용 금속막(213)은 상기 게이트배선용 금속막과 동일한 Al, Cu, Ta, Ti, Mo, Mo합금 또는 Al합금 등의 금속일 수 있다.

[0045] 계속하여, 상기 데이터배선용 금속막(213)을 가진 기판 상에 제 1감광막 패턴(251)을 형성한다. 이때, 상기 제 1감광막 패턴(251)은 박막 트랜지스터부 및 데이터 패드부의 일부위를 선택적으로 덮도록 패터닝된다. 여기서, 상기 제 1감광막 패턴(251)은 프린팅 공정에 의해 형성될 수 있다. 상기 프린팅 공정은 롤 프린팅 방식 또는 인플레이션 프린팅 방식 중 어느 하나를 이용하여 진행될 수 있다. (2회 프린팅 공정)

[0046] 이어, 도 3c에 도시된 바와 같이, 상기 제 1감광막 패턴(251)을 마스크로 하여 상기 데이터배선용 금속막, 반도체층 및 게이트 절연막을 식각하여 차례로 적층된 게이트 절연막 패턴(207P), 예비 액티브 패턴(209A) 및 데이터 배선(280)을 형성한다. 이때, 상기 데이터 배선(280)은 박막 트랜지스터부에 형성된 금속막 패턴(213P1) 및 상기 데이터 패드부에 형성된 데이터 패드(213P2)를 포함한다. 또한, 상기 게이트 절연막 패턴(207P)은 게이트 절연막을 오버 식각(over etch)하여 상기 예비 액티브 패턴(209A)의 측면으로부터 언더컷된 형상을 갖도록 형성된다.

[0047] 그 다음, 도 3d에 도시된 바와 같이, 상기 금속막 패턴(213P1)을 가진 기판 상에 상기 제 1감광막 패턴(251)을 덮도록 제 1투명도전막(215) 및 절연막(217)을 차례로 형성한다. 이때, 상기 제 1투명도전막(215)은 공통전극을 형성하기 위한 공통전극막에 해당되는 것으로서, ITO 등을 이용할 수 있다. 또한, 상기 절연막(217)은 유기절연막을 코팅처리하여 형성할 수 있다. 상기 절연막(217)은 상기 제 1투명도전막(215)을 가진 기판 전면을 평탄화할 수 있다.

[0048] 이 후, 도 3e에 도시된 바와 같이, 상기 금속막 패턴(213P1)을 노출하는 시점까지 상기 절연막을 1차 식각한다. 이때, 상기 절연막의 1차 식각 공정은 플라즈마를 이용한 에칭 공정(281)으로 진행할 수 있다. 상기 플라즈마 공정은 O₂가스를 이용할 수 있다.

[0049] 한편, 상기 플라즈마를 이용한 에칭 공정(281)을 통해 상기 1차 식각된 절연막(217P)은 제 1감광막 패턴(251) 상부의 제 1투명도전막 및 제 1감광막 패턴의 측면을 노출하되, 상기 금속막 패턴(213P1)을 덮도록 1차 식각될 수도 있다. 도 3e에서, 점선처리된 부분은 1차 식각되기 이전의 최초 절연막 두께를 나타낸 것이다.

[0050] 이어, 도 3f에 도시된 바와 같이, 상기 제 1감광막 패턴 및 상기 제 1감광막 패턴 상의 제 1투명도전막을 제거한다. 여기서, 상기 제 1감광막 패턴 및 상기 제 1감광막 패턴 상의 제 1투명도전막을 제거하는 공정은 리프트 오프법에 의해 진행하거나, 또는 상기 제 1감광막 패턴 상의 제 1투명도전막을 제거한 다음 상기 제 1감광막 패턴을 제거하는 방법을 이용하여 진행할 수도 있다. 이때, 상기 제 1감광막 패턴 및 상기 제 1감광막 패턴 상의 제 1투명도전막이 제거되는 동안, 상기 식각 후 잔류된 절연막은 상기 금속막 패턴(213P1)을 지지해주는 역할을 한다. 이하에서는, 상기 게이트배선과 평행하게 배열된 제 1투명도전막은 공통전극(215P1)으로 칭하고, 상기 게이트 패드부 및 상기 데이터 패드부에 각각 잔류된 제 1투명도전막은 제 1투명도전막 패턴들(215P1)(215P1)로 칭하기로 한다.

[0051] 한편, 상기 픽셀부에 잔류된 제 1투명도전막은 공통전극(215P1)에 해당된다.

[0052] 또한, 게이트 패드부 및 데이터 패드부에 잔류된 제 1투명도전막은 제 1투명도전막 패턴(215P2)(215P3)에 해당된다.

[0053] 그리고, 상기 1차 식각된 절연막(217P)을 가진 기판 상에 제 2감광막 패턴(253)을 형성한다. 이때, 상기 제 2감광막 패턴(253)은 박막트랜지스터부, 픽셀부 및 데이터 패드부 전체를 덮고 게이트 패드부의 소정영역을 노출하도록 패터닝된다. 이때, 상기 제 2감광막 패턴(253)은 프린팅 공정에 의해 형성될 수 있다. (3회 프린팅 공정) 상기 프린팅 공정은 롤 프린팅 방식 또는 인플레이션 프린팅 방식 중 어느 하나를 이용하여 진행될 수 있다.

[0054] 이어, 상기 제2감광막 패턴(253)을 마스크로 상기 1차 식각된 절연막을 2차 식각하여 상기 게이트 패드

부에 개구부(217P0)를 형성한다. (포토 마스크 공정)

- [0055] 그 다음, 도 3g에 도시된 바와 같이, 상기 제 2감광막 패턴을 제거한다. 이후, 상기 개구부(217P0)를 가진 기판 전면에서 제 2투명도전막을 형성한다. 이때, 상기 제 2투명도전막은 화소전극 형성을 위한 것으로서, ITO 또는 IZO를 이용할 수 있다.
- [0056] 이어, 상기 제 2투명도전막 상에 감광막을 도포하고 노광 및 현상 공정을 거쳐 박막 트랜지스터부의 채널 형성 및 화소전극 형성을 위한 제 3감광막 패턴(255)을 형성한다. (1회 포토 마스크 공정) 이때, 상기 제 3감광막 패턴(255)은 서로 다른 두께를 가지되, 박막 트랜지스터부의 채널 형성영역이 다른 영역에 비해 두께가 얇게 형성될 수 있다.
- [0057] 그 다음, 상기 제 3감광막 패턴(255)을 마스크로 상기 제 2투명도전막을 식각하여 화소전극(219P1)을 형성함과 동시에 게이트 패드부 및 데이터 패드부에 각각 제 2투명도전막 패턴들(219P2)(219P3)을 형성한다. 이때, 상기 게이트 패드부에서, 상기 제 2투명도전막 패턴(219P2)은 상기 개구부(217P0)를 통해 상기 게이트 패드(203P) 상의 제 1투명도전막 패턴(215P2)과 전기적으로 연결된다.
- [0058] 계속하여, 상기 제 3감광막 패턴(255)을 마스크로 잔류된 절연막, 금속막 패턴 및 예비 액티브 패턴을 식각하여 차례로 적층된 액티브 패턴(209A1) 및 예비 소오스/드레인전극 패턴(213P1A)을 형성한다.
- [0059] 이어, 도 3h에 도시된 바와 같이, 상기 제 3감광막 패턴을 에싱하여 박막 트랜지스터부의 채널 형성영역에 해당되는 제 2투명도전막을 노출한다. 그 다음, 상기 에싱된 제 3감광막 패턴(255P)을 마스크로 상기 제 2투명도전막 및 예비 소오스/드레인전극 패턴을 식각하여 각각의 소오스/드레인전극(213S)(213D)을 형성한다.
- [0060] 이후, 도 3i에 도시된 바와 같이, 상기 에싱된 제 3감광막 패턴을 제거한다. 이어, 상기 소오스/드레인전극(213S)(213D)을 가진 기판 상에 보호막(221)을 형성한다.
- [0061] 상술한 방법에 의해 형성된 본 발명에 따른 액정표시장치는, 도 3i에 도시된 바와 같이, 박막 트랜지스터부, 픽셀부, 게이트 패드부 및 데이터 패드부가 각각 정의된 기판(201)과, 상기 기판(201) 상에 형성되며 게이트전극(203G) 및 게이트패드(203P)와, 상기 게이트 패드(203)를 가진 기판 상에 차례로 형성된 게이트 절연막 패턴(207P), 액티브 패턴(209PA1), 소스/드레인전극(213S)(213D)과, 상기 소스/드레인전극(213S)(213D)을 가진 기판에 공통전극(215P1) 및 상기 게이트 패드(203P)를 덮되 상기 공통전극(215P1)과 동일층으로 이루어진 제 1투명도전막 패턴(215P2)과, 상기 제 1투명도전막 패턴(215P2)을 가진 기판을 덮되 상기 소오스/드레인전극(213S)(213D)을 노출하고 상기 게이트 패드(203P)와 대응된 일부위를 노출하는 개구부(217P0)를 가진 절연막(217P)과, 상기 절연막(217P) 상에 형성되며 상기 드레인전극(213D)을 덮는 화소전극(219P1) 및 상기 화소전극(219P1)과 동일층으로 이루어진 제2투명도전막 패턴(219P2)을 포함한다.
- [0062] 이때, 상기 게이트 절연막 패턴(207P)은 상기 액티브 패턴(209PA1)의 측면으로부터 언더 컷된 형상을 가지도록 형성된다.
- [0063] 상술한 바와 같이, 본 발명은 3회의 프린팅 공정 및 1회의 포토 마스크 공정으로 FFS타입 액정표시장치를 제조하는 것으로서, 구체적으로는 제 1프린팅 공정을 이용하여 게이트전극 및 게이트 패드를 구비한 게이트 배선 형성하고, 제 2프린팅 공정을 이용하여 소오스전극 및 드레인전극을 형성하기 위한 금속막 패턴 형성하고, 제 3프린팅 공정을 이용하여 상기 게이트 패드를 노출하는 개구부를 형성하고, 포토 마스크 공정을 이용하여 소오스전극, 드레인전극 및 화소전극 형성하는 순으로 진행된다. 따라서, 포토 마스크 공정을 단순화할 수 있다.

발명의 효과

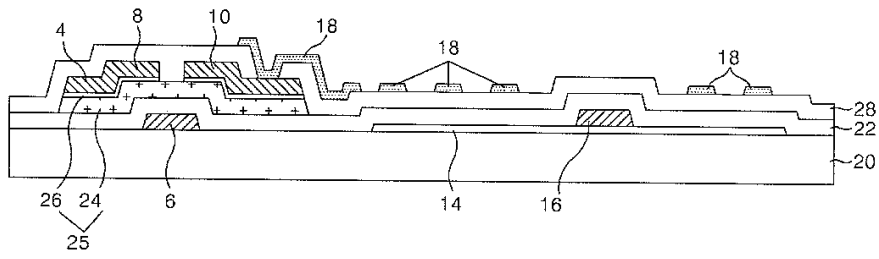
- [0064] 본 발명에 따르면, 3회의 프린팅 공정 및 1회의 포토 마스크 공정으로 제조된 액정표시장치 및 그 제조방법을 제공한다. 따라서, 포토 마스크 공정을 단순화할 수 있고, 이에 따라 재료비 및 설비 투자비 절감과 아울러 수율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

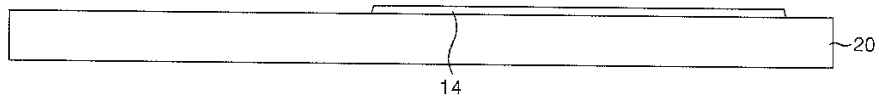
- [0001] 도 1은 종래 기술에 따른 FFS 타입 액정표시장치의 개략적인 구성을 보여 주는단면도.
- [0002] 도 2a 내지 도 2e는 종래 기술에 따른 FFS 타입 액정표시장치를 제조하는 것을 보인 공정별 단면도.
- [0003] 도 3a 내지 도 3i는 본 발명에 따른 FFS 타입 액정표시장치의 개략적인 구성을 보인 공정별 단면도.

도면

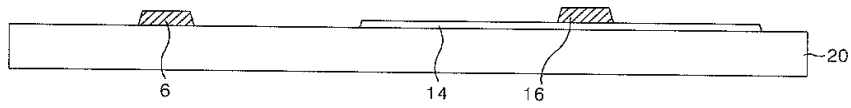
도면1



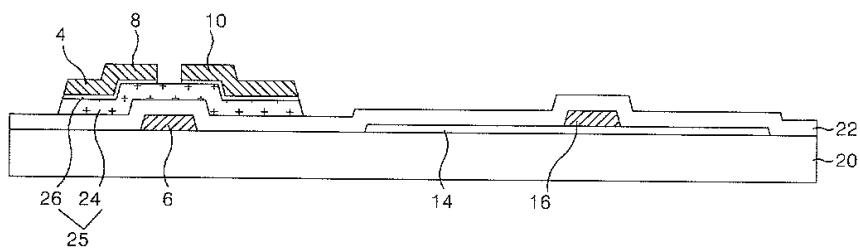
도면2a



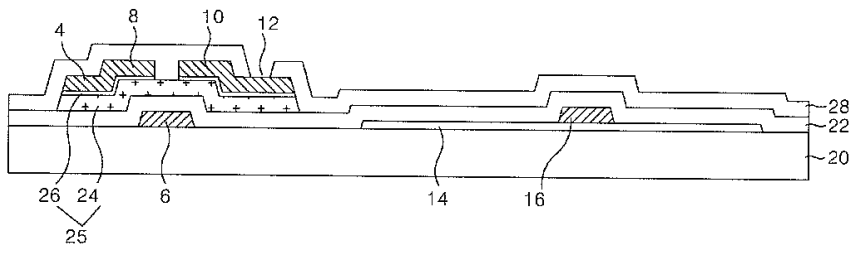
도면2b



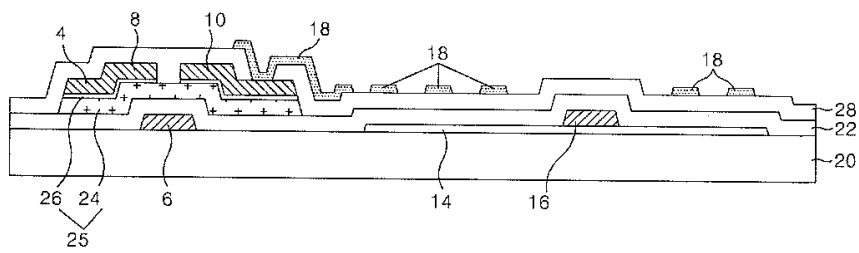
도면2c



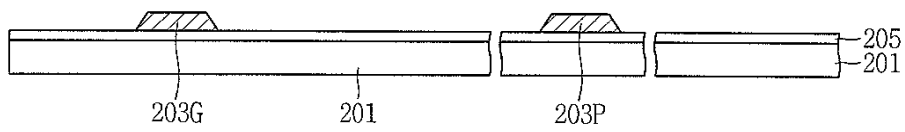
도면2d



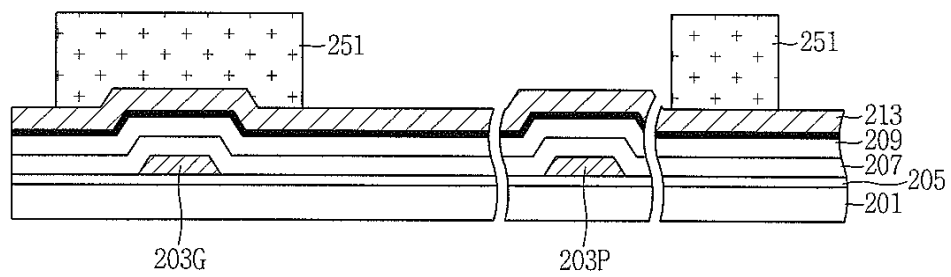
도면2e



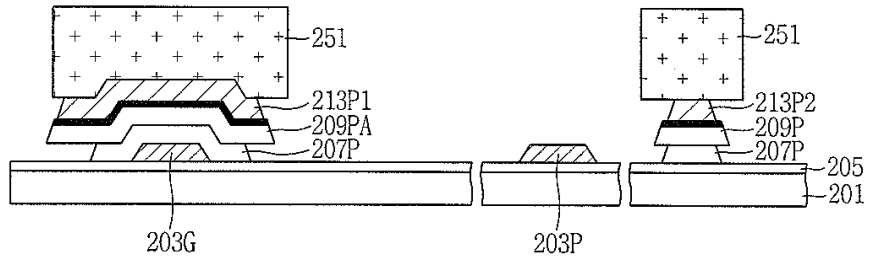
도면3a



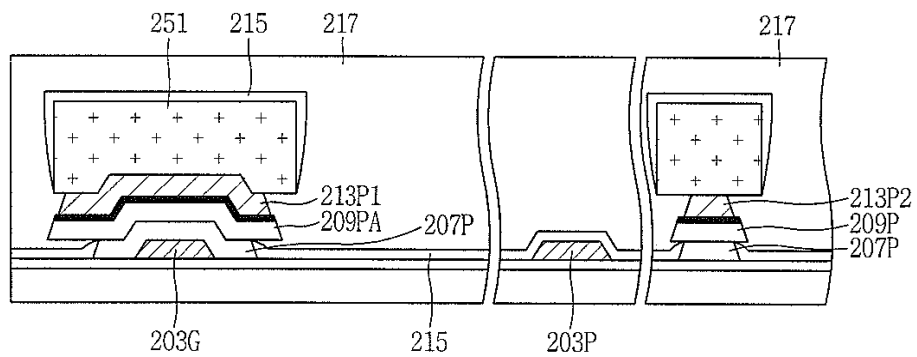
도면3b



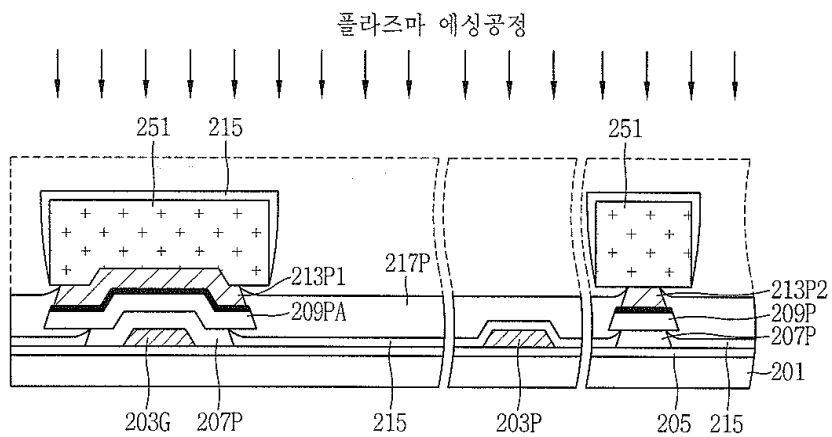
도면3c



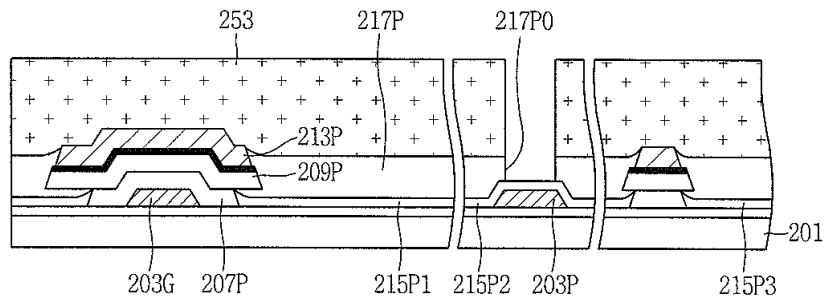
도면3d



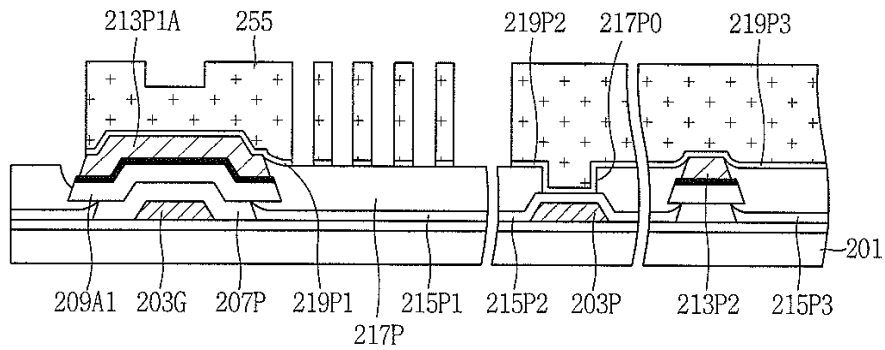
도면3e



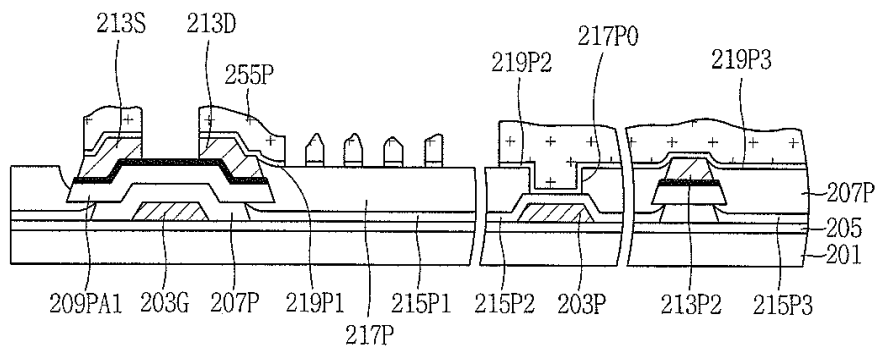
도면3f



도면3g



도면3h



도면3i

