



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년06월25일
(11) 등록번호 10-2677824
(24) 등록일자 2024년06월19일

(51) 국제특허분류(Int. Cl.)
H01L 25/16 (2023.01) G01R 33/07 (2006.01)
H01L 23/31 (2006.01) H01L 23/522 (2006.01)
H01L 23/58 (2006.01) H03F 3/45 (2006.01)
(52) CPC특허분류
H01L 25/16 (2023.08)
G01R 33/07 (2013.01)
(21) 출원번호 10-2023-0019313
(22) 출원일자 2023년02월14일
심사청구일자 2023년02월14일
(65) 공개번호 10-2024-0002896
(43) 공개일자 2024년01월08일
(30) 우선권주장
JP-P-2022-106345 2022년06월30일 일본(JP)
(56) 선행기술조사문헌
JP2019102803 A
KR1020220056403 A
KR102407367 B1
JP2021165698 A

(73) 특허권자
아사히 가세이 일렉트로닉스 가부시끼가이샤
일본국 도쿄도 치요다쿠 유라쿠쵸 1쵸메 1방 2고
(72) 발명자
오까다, 게이따
일본 100-0006 도쿄 치요다쿠 유라쿠쵸 1-1-2 아사히 가세이 가부시끼가이샤 내
사카모토, 료타
일본 100-0006 도쿄 치요다쿠 유라쿠쵸 1-1-2 아사히 가세이 가부시끼가이샤 내
(74) 대리인
장수길, 이중희

전체 청구항 수 : 총 31 항

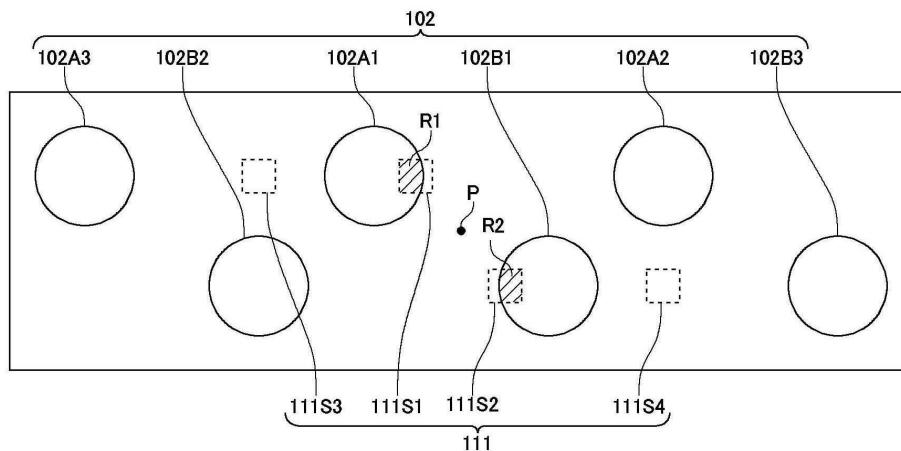
심사관 : 김신

(54) 발명의 명칭 반도체 패키지 및 구동 장치

(57) 요약

반도체 패키지는, 복수의 홀 소자를 내장하는 반도체 칩과, 상기 반도체 칩의 일면측에 배치되는 복수의 외부 단자를 갖는다. 제1 홀 소자 및 제2 홀 소자는, 평면에서 볼 때 반도체 패키지의 중심의 점에 관해서 점대칭으로 배치된다. 제1 홀 소자는, 복수의 제1 외부 단자 중 제1 외부 단자에 평면에서 볼 때 적어도 일부를 덮이고, 제2 홀 소자는, 상기 복수의 제2 외부 단자 중 제2 외부 단자에 평면에서 볼 때 적어도 일부를 덮인다. 제1 홀 소자의 제1 외부 단자에 평면에서 볼 때 덮이는 제1 영역과, 제2 홀 소자의 제2 외부 단자에 평면에서 볼 때 덮이는 제2 영역은, 평면에서 볼 때 반도체 패키지의 중심의 점에 관해서 점대칭이다.

대표도



100

(52) CPC특허분류

H01L 23/3107 (2013.01)

H01L 23/522 (2013.01)

H01L 23/58 (2013.01)

H03F 3/45475 (2013.01)

H04N 23/54 (2023.01)

H04N 23/55 (2023.01)

H01L 2224/023 (2013.01)

명세서

청구범위

청구항 1

복수의 홀 소자를 내장하는 반도체 칩과, 상기 반도체 칩의 일면측에 배치되는 복수의 외부 단자를 갖는 반도체 패키지가며,

상기 반도체 패키지는, 평면에서 볼 때 제1 방향으로 연장되는 직사각 형상이며,

상기 복수의 외부 단자는, 상기 제1 방향을 따른 제1 열에 포함되는 복수의 제1 외부 단자와, 상기 반도체 패키지의 중심을 사이에 두고 상기 제1 열에 대향하고, 또한 상기 제1 방향을 따른 제2 열에 포함되는 복수의 제2 외부 단자를 포함하고,

상기 복수의 제1 외부 단자의 각각의 무게 중심은, 상기 복수의 제2 외부 단자의 각각의 무게 중심과 상기 제1 방향 및 상기 제1 방향에 교차하는 제2 방향에 있어서 겹치지 않고,

상기 복수의 홀 소자는, 제1 홀 소자와, 제2 홀 소자를 포함하고,

상기 제1 홀 소자 및 상기 제2 홀 소자는, 평면에서 볼 때 상기 반도체 패키지의 중심의 점에 관해서 점대칭으로 배치되고,

상기 제1 홀 소자는, 상기 복수의 제1 외부 단자 중 제1 외부 단자에 평면에서 볼 때 적어도 일부를 덮이고,

상기 제2 홀 소자는, 상기 복수의 제2 외부 단자 중 제2 외부 단자에 평면에서 볼 때 적어도 일부를 덮이고,

상기 제1 홀 소자의 상기 제1 외부 단자에 평면에서 볼 때 덮이는 제1 영역과, 상기 제2 홀 소자의 상기 제2 외부 단자에 평면에서 볼 때 덮이는 제2 영역은, 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 관해서 점대칭인, 반도체 패키지.

청구항 2

제1항에 있어서,

상기 복수의 홀 소자는, 제1 군에 속하는 상기 제1 홀 소자 및 제3 홀 소자와, 제2 군에 속하는 상기 제2 홀 소자 및 제4 홀 소자를 포함하고,

상기 제3 홀 소자 및 상기 제4 홀 소자는, 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 관해서 점대칭으로 배치되는, 반도체 패키지.

청구항 3

제2항에 있어서,

상기 반도체 패키지를, 평면에서 볼 때, 상기 반도체 패키지의 중심을 통과하는 상기 제1 방향을 따른 제1 축 및 상기 제2 방향을 따른 제2 축에서 제1 사상 영역, 제2 사상 영역, 제3 사상 영역 및 제4 사상 영역으로 구분한 경우, 상기 제1 홀 소자 및 상기 제3 홀 소자는 상기 제1 사상 영역 위에 배치되고, 상기 제2 홀 소자 및 상기 제4 홀 소자는 상기 제3 사상 영역 위에 배치되거나, 또는 상기 제1 홀 소자 및 상기 제3 홀 소자는 상기 제2 사상 영역 위에 배치되고, 상기 제2 홀 소자 및 상기 제4 홀 소자는 상기 제4 사상 영역 위에 배치되는, 반도체 패키지.

청구항 4

제2항에 있어서,

상기 반도체 칩은, 상기 제1 홀 소자, 상기 제2 홀 소자, 상기 제3 홀 소자, 및 상기 제4 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 합에 기초하여, 상기 반도체 패키지에 대하여 자석의 위치 또는 자세를 상대적으로 변화시키는 구동부를 제어하기 위한 구동 신호를 출력하는 제어 회로를 더 내장하는, 반도체 패키지.

청구항 5

제4항에 있어서,

상기 제어 회로는, 상기 출력의 합을 증폭시키는 증폭 회로를 포함하는, 반도체 패키지.

청구항 6

제4항에 있어서,

상기 제어 회로는, 상기 제1 홀 소자와 상기 제3 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 합과, 상기 제2 홀 소자와 상기 제4 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 합의 차에 더욱 기초하여, 상기 구동부를 제어하는, 반도체 패키지.

청구항 7

제6항에 있어서,

상기 제어 회로는,

상기 차에 대한 상기 제1 홀 소자, 상기 제2 홀 소자, 상기 제3 홀 소자, 및 상기 제4 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 상기 합의 비를 증폭시키는 증폭 회로를 포함하는, 반도체 패키지.

청구항 8

제4항에 있어서,

상기 복수의 외부 단자는, 상기 반도체 패키지에 전원을 공급하는 한 쌍의 전원용 단자와, 상기 제어 회로로부터 상기 구동부에 대한 구동 신호를 출력하는 한 쌍의 구동용 단자와, 외부와 통신하기 위한 한 쌍의 통신용 단자를 포함하고,

상기 제1 외부 단자 및 상기 제2 외부 단자는, 상기 한 쌍의 구동용 단자의 한쪽과, 상기 한 쌍의 전원용 단자의 한쪽인, 반도체 패키지.

청구항 9

제2항에 있어서,

상기 제3 홀 소자 및 상기 제4 홀 소자는, 상기 복수의 외부 단자 중 어느 것과도 평면에서 볼 때 겹치지 않는, 반도체 패키지.

청구항 10

제9항에 있어서,

상기 제1 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 전부 덮이고,

상기 제2 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 전부 덮이는, 반도체 패키지.

청구항 11

제2항에 있어서,

상기 제1 홀 소자 및 상기 제3 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 전부 덮이고,

상기 제2 홀 소자 및 상기 제4 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 전부 덮이는, 반도체 패키지.

청구항 12

제2항에 있어서,

상기 제1 홀 소자 및 상기 제2 홀 소자는, 상기 제1 방향에 있어서 대향하는 한 쌍의 제1 전극과, 상기 제1 방향과 교차하는 제2 방향에 있어서 대향하는 한 쌍의 제2 전극을 갖고,

상기 제1 홀 소자에 있어서, 상기 한 쌍의 제1 전극이 출력 전극이며,
상기 제2 홀 소자에 있어서, 상기 한 쌍의 제2 전극이 출력 전극인, 반도체 패키지.

청구항 13

제2항에 있어서,
상기 제1 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 전부 덮이고,
상기 제2 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 전부 덮이고,
상기 제3 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 일부가 덮이고,
상기 제4 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 일부가 덮이는, 반도체 패키지.

청구항 14

제13항에 있어서,
상기 제3 홀 소자 및 상기 제4 홀 소자는, 상기 제1 방향에 있어서 대향하는 한 쌍의 제1 전극과, 상기 제1 방향과 교차하는 제2 방향에 있어서 대향하는 한 쌍의 제2 전극을 갖고,
상기 제3 홀 소자에 있어서, 상기 한 쌍의 제2 전극이 출력 전극이며,
상기 제4 홀 소자에 있어서, 상기 한 쌍의 제1 전극이 출력 전극인, 반도체 패키지.

청구항 15

제1항에 있어서,
상기 제1 외부 단자 및 상기 제2 외부 단자의 각각은, 상기 복수의 외부 단자 중 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 가장 가까운 위치에 있는 외부 단자인, 반도체 패키지.

청구항 16

제1항에 있어서,
상기 제1 외부 단자 및 상기 제2 외부 단자는, 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 관해서 점대칭인, 반도체 패키지.

청구항 17

제2항에 있어서,
상기 제1 홀 소자 및 상기 제3 홀 소자는, 상기 제1 방향을 따라 일렬로 배치되고, 상기 제2 홀 소자 및 상기 제4 홀 소자는, 상기 제1 방향을 따라 일렬로 배치되는, 반도체 패키지.

청구항 18

제17항에 있어서,
상기 제3 홀 소자와 상기 제4 홀 소자는, 상기 제1 방향과 교차하는 제2 방향을 따라 일렬로 배치되는, 반도체 패키지.

청구항 19

제1항에 있어서,
상기 반도체 패키지의 상기 제1 방향의 폭은, 상기 반도체 패키지의 상기 제1 방향과 교차하는 제2 방향의 폭보다 긴, 반도체 패키지.

청구항 20

제19항에 있어서,

상기 제1 방향의 폭은, 상기 제2 방향의 폭의 1.65배 이상 긴, 반도체 패키지.

청구항 21

제19항에 있어서,

상기 제1 방향의 폭은, 상기 제2 방향의 폭의 2.5배 이상 긴, 반도체 패키지.

청구항 22

제1항에 있어서,

상기 복수의 외부 단자의 평면에서 볼 때의 면적의 합계는, 상기 반도체 패키지의 평면에서 볼 때의 면적의 14% 이상인, 반도체 패키지.

청구항 23

제1항에 있어서,

상기 복수의 외부 단자의 평면에서 볼 때의 면적의 합계는, 상기 반도체 패키지의 평면에서 볼 때의 면적의 19% 이상인, 반도체 패키지.

청구항 24

제1항에 있어서,

상기 복수의 외부 단자는, 상기 제1 방향을 따라 2열로 배치되는, 반도체 패키지.

청구항 25

제1항에 있어서,

상기 반도체 칩의 상방에 배치되고, 상기 반도체 칩과 전기적으로 접속되는 재배선층과,

상기 재배선층의 상방에 배치되는 밀봉재를 더 구비하고,

상기 복수의 외부 단자는, 상기 밀봉재를 통해 상기 재배선층과 전기적으로 접속되는, 반도체 패키지.

청구항 26

제25항에 있어서,

상기 재배선층은, 상기 복수의 외부 단자 중 적어도 하나의 외부 단자로부터 상기 제1 방향을 따라 100 μ m 이상 연장되어 상기 반도체 칩과 전기적으로 접속되는 배선을 포함하는, 반도체 패키지.

청구항 27

제26항에 있어서,

상기 배선은, 평면에서 볼 때 상기 적어도 하나의 외부 단자의 중심을 통과하는 상기 제1 방향을 따른 선 위로 연장되는 부분을 갖는, 반도체 패키지.

청구항 28

제25항에 있어서,

상기 재배선층은, 상기 복수의 외부 단자 중 적어도 하나로부터 상기 제2 방향을 따라 100 μ m 이상 연장되어 상기 반도체 칩과 전기적으로 접속되는 배선을 포함하는, 반도체 패키지.

청구항 29

제1항에 있어서,

웨이퍼 레벨 칩 사이즈 패키지(WL-CSP)인, 반도체 패키지.

청구항 30

자석을 보유 지지하는 제1 부분과,

제1항 내지 제29항 중 어느 하나에 기재된 반도체 패키지를 상기 자석에 대향하도록 보유 지지하는 제2 부분이며, 상기 제1 부분에 대하여 상기 제2 부분의 위치 또는 자세를 변경 가능하게 상기 제1 부분에 보유 지지되는 제2 부분과,

상기 제1 부분에 대한 상기 제2 부분의 위치 또는 자세를 변경시키는 구동부

를 구비하고,

상기 반도체 패키지는, 상기 복수의 홀 소자로부터의 출력에 기초하여 상기 구동부로 구동 신호를 출력하는, 구동 장치.

청구항 31

제30항에 있어서,

상기 제1 부분은, 렌즈부를 더 보유 지지하고,

상기 제2 부분은, 상기 렌즈부를 통해 결상된 상을 촬상하는 촬상 소자를 더 보유 지지하는, 구동 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 패키지 및 구동 장치에 관한 것이다.

배경 기술

[0002] 특허문헌 1에는, 길이 방향을 따라 지그재그형으로 배치된 단자를 갖는 반도체 패키지가 개시되어 있다. 특허문헌 2에는, 홀 센서를 온도 및 기계적 응력의 양쪽에 관하여 보상하기 위한 방법 및 디바이스가 개시되어 있다. 특허문헌 3에는, 홀 소자의 구동 전류의 방향을 전환함으로써 오프셋을 저감시키는 것이 개시되어 있다.

선행기술문헌

특허문헌

- [0003] (특허문헌 0001) 일본 특허 제6826088호 공보
- (특허문헌 0002) 일본 특허 제6371338호 공보
- (특허문헌 0003) 일본 특허 제5658715호 공보

발명의 내용

해결하려는 과제

[0004] 홀 소자를 내장하는 반도체 패키지에 있어서, 오프셋의 영향을 저감시키는 것이 요망되고 있다.

과제의 해결 수단

[0005] 본 발명의 일 형태에 따른 반도체 패키지는, 복수의 홀 소자를 내장하는 반도체 칩과, 상기 반도체 칩의 일면측에 배치되는 복수의 외부 단자를 갖는 반도체 패키지여도 된다. 상기 반도체 패키지는, 평면에서 볼 때 제1 방향으로 연장되는 직사각 형상이어도 된다. 상기 복수의 외부 단자는, 상기 제1 방향을 따른 제1 열에 포함되는 복수의 제1 외부 단자와, 상기 반도체 패키지의 중심을 사이에 두고 상기 제1 열에 대향하고, 또한 상기 제1 방향을 따른 제2 열에 포함되는 복수의 제2 외부 단자를 포함해도 된다. 상기 복수의 제1 외부 단자의 각각의 무게 중심은, 상기 복수의 제2 외부 단자의 각각의 무게 중심과 상기 제1 방향 및 상기 제1 방향에 교차하는 제2 방향에 있어서 겹치지 않아도 된다. 상기 복수의 홀 소자는, 제1 홀 소자와, 제2 홀 소자를 포함해도 된다.

상기 제1 홀 소자 및 상기 제2 홀 소자는, 평면에서 볼 때 상기 반도체 패키지의 중심의 점에 관해서 점대칭으로 배치되어도 된다. 상기 제1 홀 소자는, 상기 복수의 제1 외부 단자 중 제1 외부 단자에 평면에서 볼 때 적어도 일부를 덮여도 된다. 상기 제2 홀 소자는, 상기 복수의 제2 외부 단자 중 제2 외부 단자에 평면에서 볼 때 적어도 일부를 덮여도 된다. 상기 제1 홀 소자의 상기 제1 외부 단자에 평면에서 볼 때 덮이는 제1 영역과, 상기 제2 홀 소자의 상기 제2 외부 단자에 평면에서 볼 때 덮이는 제2 영역은, 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 관해서 점대칭이어도 된다.

- [0006] 상기 반도체 패키지에 있어서, 상기 복수의 홀 소자는, 제1 군에 속하는 상기 제1 홀 소자 및 제3 홀 소자와, 제2 군에 속하는 상기 제2 홀 소자 및 제4 홀 소자를 포함해도 된다. 상기 제3 홀 소자 및 상기 제4 홀 소자는, 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 관해서 점대칭으로 배치되어도 된다.
- [0007] 어느 상기 반도체 패키지에 있어서, 상기 반도체 패키지를, 평면에서 볼 때, 상기 반도체 패키지의 중심을 통과하는 상기 제1 방향을 따른 제1 축 및 상기 제2 방향을 따른 제2 축에서 제1 사상 영역, 제2 사상 영역, 제3 사상 영역 및 제4 사상 영역으로 구분한 경우, 상기 제1 홀 소자 및 상기 제3 홀 소자는 상기 제1 사상 영역 위에 배치되고, 상기 제2 홀 소자 및 상기 제4 홀 소자는 상기 제3 사상 영역 위에 배치되거나, 또는 상기 제1 홀 소자 및 상기 제3 홀 소자는 상기 제2 사상 영역 위에 배치되고, 상기 제2 홀 소자 및 상기 제4 홀 소자는 상기 제4 사상 영역 위에 배치되어도 된다.
- [0008] 어느 상기 반도체 패키지에 있어서, 상기 반도체 칩은, 상기 제1 홀 소자, 상기 제2 홀 소자, 상기 제3 홀 소자, 및 상기 제4 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 합에 기초하여, 상기 반도체 패키지에 대하여 자석의 위치 또는 자세를 상대적으로 변화시키는 구동부를 제어하기 위한 구동 신호를 출력하는 제어 회로를 더 내장해도 된다.
- [0009] 어느 상기 반도체 패키지에 있어서, 상기 제어 회로는, 상기 출력의 합을 증폭시키는 증폭 회로를 포함해도 된다.
- [0010] 어느 상기 반도체 패키지에 있어서, 상기 제어 회로는, 상기 제1 홀 소자와 상기 제3 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 합과, 상기 제2 홀 소자와 상기 제4 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 합과의 차에 더욱 기초하여, 상기 구동부를 제어해도 된다.
- [0011] 어느 상기 반도체 패키지에 있어서, 상기 제어 회로는, 상기 차에 대한 상기 제1 홀 소자, 상기 제2 홀 소자, 상기 제3 홀 소자, 및 상기 제4 홀 소자로부터 출력되는 자장의 크기를 나타내는 출력의 상기 합의 비를 증폭시키는 증폭 회로를 포함해도 된다.
- [0012] 어느 상기 반도체 패키지에 있어서, 상기 복수의 외부 단자는, 상기 반도체 패키지에 전원을 공급하는 한 쌍의 전원용 단자와, 상기 제어 회로로부터 상기 구동부로의 구동 신호를 출력하는 한 쌍의 구동용 단자와, 외부와 통신하기 위한 한 쌍의 통신용 단자를 포함해도 된다. 상기 제1 외부 단자 및 상기 제2 외부 단자는, 상기 한 쌍의 구동용 단자의 한쪽과, 상기 한 쌍의 전원용 단자의 한쪽이어도 된다.
- [0013] 어느 상기 반도체 패키지에 있어서, 상기 제3 홀 소자 및 상기 제4 홀 소자는, 상기 복수의 외부 단자 중 어느 것보다도 평면에서 볼 때 겹치지 않아도 된다.
- [0014] 어느 상기 반도체 패키지에 있어서, 상기 제1 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 전부 덮여도 된다. 상기 제2 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 전부 덮여도 된다.
- [0015] 어느 상기 반도체 패키지에 있어서, 상기 제1 홀 소자 및 상기 제3 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 전부 덮여도 된다. 상기 제2 홀 소자 및 상기 제4 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 전부 덮여도 된다.
- [0016] 어느 상기 반도체 패키지에 있어서, 상기 제1 홀 소자 및 상기 제2 홀 소자는, 상기 제1 방향에 있어서 대향하는 한 쌍의 제1 전극과, 상기 제1 방향과 교차하는 제2 방향에 있어서 대향하는 한 쌍의 제2 전극을 가져도 된다. 상기 제1 홀 소자에 있어서, 상기 한 쌍의 제1 전극이 출력 전극이어도 된다. 상기 제2 홀 소자에 있어서, 상기 한 쌍의 제2 전극이 출력 전극이어도 된다.
- [0017] 어느 상기 반도체 패키지에 있어서, 상기 제1 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 전부 덮여도 된다. 상기 제2 홀 소자는, 상기 제2 외부 단자에 평면에서 볼 때 전부 덮여도 된다. 상기 제3 홀 소자는, 상기 제1 외부 단자에 평면에서 볼 때 일부가 덮여도 된다. 상기 제4 홀 소자는, 상기 제2 외부 단자에 평면에서 볼

때 일부가 덮여도 된다.

- [0018] 어느 상기 반도체 패키지에 있어서, 상기 제3 홀 소자 및 상기 제4 홀 소자는, 상기 제1 방향에 있어서 대향하는 한 쌍의 제1 전극과, 상기 제1 방향과 교차하는 제2 방향에 있어서 대향하는 한 쌍의 제2 전극을 가져도 된다. 상기 제3 홀 소자에 있어서, 상기 한 쌍의 제2 전극이 출력 전극이어도 된다. 상기 제4 홀 소자에 있어서, 상기 한 쌍의 제1 전극이 출력 전극이어도 된다.
- [0019] 어느 상기 반도체 패키지에 있어서, 상기 제1 외부 단자 및 상기 제2 외부 단자의 각각은, 상기 복수의 외부 단자 중 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 가장 가까운 위치에 있는 외부 단자여도 된다.
- [0020] 어느 상기 반도체 패키지에 있어서, 상기 제1 외부 단자 및 상기 제2 외부 단자는, 평면에서 볼 때 상기 반도체 패키지의 중심의 상기 점에 관해서 점대칭이어도 된다.
- [0021] 어느 상기 반도체 패키지에 있어서, 상기 제1 홀 소자 및 상기 제3 홀 소자는, 상기 제1 방향을 따라 일렬로 배치되어도 된다. 상기 제2 홀 소자 및 상기 제4 홀 소자는, 상기 제1 방향을 따라 일렬로 배치되어도 된다.
- [0022] 어느 상기 반도체 패키지에 있어서, 상기 제3 홀 소자와 상기 제4 홀 소자는, 상기 제1 방향과 교차하는 제2 방향을 따라 일렬로 배치되어도 된다.
- [0023] 어느 상기 반도체 패키지에 있어서, 상기 반도체 패키지의 상기 제1 방향의 폭은, 상기 반도체 패키지의 상기 제1 방향과 교차하는 제2 방향의 폭보다 길어도 된다.
- [0024] 어느 상기 반도체 패키지에 있어서, 상기 제1 방향의 폭은, 상기 제2 방향의 폭의 1.65배 이상 길어도 된다.
- [0025] 어느 상기 반도체 패키지에 있어서, 상기 제1 방향의 폭은, 상기 제2 방향의 폭의 2.5배 이상 길어도 된다.
- [0026] 어느 상기 반도체 패키지에 있어서, 상기 복수의 외부 단자의 평면에서 볼 때의 면적의 합계는, 상기 반도체 패키지의 평면에서 볼 때의 면적의 14% 이상이어도 된다.
- [0027] 어느 상기 반도체 패키지에 있어서, 상기 복수의 외부 단자의 평면에서 볼 때의 면적의 합계는, 상기 반도체 패키지의 평면에서 볼 때의 면적의 19% 이상이어도 된다.
- [0028] 어느 상기 반도체 패키지에 있어서, 상기 복수의 외부 단자는, 상기 제1 방향을 따라 2열로 배치되어도 된다.
- [0029] 어느 상기 반도체 패키지는, 상기 반도체 칩의 상방에 배치되고, 상기 반도체 칩과 전기적으로 접속되는 재배선층과, 상기 재배선층의 상방에 배치되는 밀봉재를 더 구비해도 된다. 상기 복수의 외부 단자는, 상기 밀봉재를 통해 상기 재배선층과 전기적으로 접속되어도 된다.
- [0030] 어느 상기 반도체 패키지에 있어서, 상기 재배선층은, 상기 복수의 외부 단자 중 적어도 하나의 외부 단자로부터 상기 제1 방향을 따라 100 μ m 이상 연장되어 상기 반도체 칩과 전기적으로 접속되는 배선을 포함해도 된다.
- [0031] 어느 상기 반도체 패키지에 있어서, 상기 배선은, 평면에서 볼 때 상기 적어도 하나의 외부 단자의 중심을 통과하는 상기 제1 방향을 따른 선 위로 연장되는 부분을 가져도 된다.
- [0032] 어느 상기 반도체 패키지에 있어서, 상기 재배선층은, 상기 복수의 외부 단자 중 적어도 하나로부터 상기 제2 방향을 따라 100 μ m 이상 연장되어 상기 반도체 칩과 전기적으로 접속되는 배선을 포함해도 된다.
- [0033] 웨이퍼 레벨 칩 사이즈 패키지(WL-CSP)여도 된다.
- [0034] 본 발명의 일 형태에 따른 구동 장치는, 자석을 보유 지지하는 제1 부분을 구비해도 된다. 구동 장치는, 어느 상기 반도체 패키지를 상기 자석에 대향하도록 보유 지지하는 제2 부분이며, 상기 제1 부분에 대하여 상기 제2 부분의 위치 또는 자세를 변경 가능하게 상기 제1 부분에 보유 지지되는 제2 부분을 구비해도 된다. 상기 구동 장치는, 상기 제1 부분에 대한 상기 제2 부분의 위치 또는 자세를 변경시키는 구동부를 구비해도 된다. 상기 반도체 패키지는, 상기 복수의 홀 소자로부터의 출력에 기초하여 상기 구동부로 구동 신호를 출력해도 된다.
- [0035] 상기 구동 장치에 있어서, 상기 제1 부분은, 렌즈부를 더 보유 지지해도 된다. 상기 제2 부분은, 상기 렌즈부를 통해 결상된 상을 촬상하는 촬상 소자를 더 보유 지지해도 된다.
- [0036] 또한, 상기 발명의 개요는, 본 발명의 특징의 전부를 열거한 것은 아니다. 또한, 이들 특징군의 서브 콤비네이션도 또한, 발명으로 될 수 있다.

도면의 간단한 설명

- [0037] 도 1은 카메라 모듈의 분해 사시도이다.
- 도 2는 반도체 패키지의 회로 구성의 일례를 나타내는 도면이다.
- 도 3은 자기 센서의 출력 신호를 증폭시킴으로써 오프셋량이 증대되는 모습을 나타내는 도면이다.
- 도 4는 도체 패키지의 외부 단자측에서 본 평면도이다.
- 도 5는 도 4에 도시한 A-A 단면을 모식적으로 나타내는 도면이다.
- 도 6은 렌즈 유닛의 이동 거리와, 자기 센서로 검출되는 자장의 크기의 관계를 나타내는 도면이다.
- 도 7은 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 8은 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 9는 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 10은 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 11은 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 12는 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 13은 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 14는 복수의 홀 소자의 배치예를 나타내는 도면이다.
- 도 15는 홀 소자의 등가 회로를 나타내는 도면이다.
- 도 16a는 홀 소자(111S1)의 등가 회로를 나타내는 도면이다.
- 도 16b는 홀 소자(111S2)의 등가 회로를 나타내는 도면이다.
- 도 16c는 홀 소자(111S3)의 등가 회로를 나타내는 도면이다.
- 도 16d는 홀 소자(111S4)의 등가 회로를 나타내는 도면이다.
- 도 17은 각각의 외부 단자의 기능에 대하여 설명하기 위한 도면이다.
- 도 18은 반도체 패키지의 재배선층에 있어서의 배선 상황을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하, 발명의 실시 형태를 통하여 본 발명을 설명하지만, 이하의 실시 형태는 청구범위에 따른 발명을 한정하는 것은 아니다. 또한, 실시 형태 중에서 설명되어 있는 특징의 조합의 전부가 발명의 해결 수단에 필수적이라고 할 수 없다.
- [0039] 도 1은, 본 실시 형태에 따른 카메라 모듈(10)의 분해 사시도를 나타낸다. 카메라 모듈(10)은, 기판(300)과, 기부(20)와, 보유 지지 프레임(30)과, 렌즈 유닛(40)을 구비한다. 기판(300)에는, 촬상 소자(302)가 배치된다. 촬상 소자(302)는, CCD 또는 CMOS에 의해 구성되어도 된다. 촬상 소자(302)는, 렌즈 유닛(40)을 통해 결상된 광학 상의 화상 데이터를 출력한다.
- [0040] 보유 지지 프레임(30)은, 렌즈 유닛(40)을 내부에 보유 지지한다. 보유 지지 프레임(30)의 외측면에는, 자석(32)이 배치되어 있다. 기부(20)는, 보유 지지 프레임(30)을 렌즈 유닛(40)과 함께, 렌즈 유닛(40)의 광축 방향(Z축 방향) 및 광축과 교차하는 방향(X축 및 Y축 방향)으로 이동 가능하게 보유 지지한다. 기부(20)의 측면에는, 코일(200) 및 반도체 패키지(100)가 배치되어 있다. 코일(200)은, 자석(32)에 대항하는 위치에 배치된다. 코일(200)은, 공심 코일이어도 된다.
- [0041] 자석(32) 및 코일(200)은, 기부(20)에 대하여 보유 지지 프레임(30)을 이동 또는 회전시키는 구동원인 VCM(보이스 코일 모터)으로서 기능한다. 보유 지지 프레임(30)은, 제1 부분의 일레이며, 기부(20)는, 제2 부분의 일레이다.
- [0042] 자석(32)의 자장 내에서, 코일(200)에 전류를 흘리면, 코일(200)에 자계와 수직인 방향으로 힘이 발생한다. 이에 의해, 보유 지지 프레임(30)에 X 방향 또는 Y 방향을 따른 추력을 부여한다. 코일(200)에 전류를 흘림으로

써, 보유 지지 프레임(30)에 Z 방향을 따른 추력을 부여하도록, 코일(200)의 배치 또는 자석(32)의 자계 방향을 설계해도 된다.

[0043] 코일(200)의 중심 부분에는, 반도체 패키지(100)가 배치된다. 반도체 패키지(100)는, 기부(20)에 대한 보유 지지 프레임(30)의 위치 또는 자세를 검출하는 위치 센서로서 기능해도 된다. 위치 센서는, 홀 소자를 포함하는 자기 센서여도 된다. 위치 센서는, 자장의 변화에 따른 크기의 전압을 출력해도 된다. 보유 지지 프레임(30)이 이동함으로써, 반도체 패키지(100)와 자석(32)의 위치 관계가 변화하고, 위치에서 검출되는 자장의 크기가 변화한다. 이에 의해, 위치 센서는, 반도체 패키지(100)에 대한 자석(32)의 위치, 즉, 기부(20)에 대한 보유 지지 프레임(30)의 위치를 검출한다. 본 실시 형태에서는, 자기 센서로서, 홀 효과를 응용하고, 발생하는 기전력으로부터 외부 자장의 변화를 검지하는 홀 소자를 포함하는 자기 센서를 예로 들어 설명한다. 그러나, 자기 센서는, 홀 소자를 갖는 형태로 한정되는 것은 아니다. 자기 센서는, 홀 소자 이외의 전자 변환 소자를 가져도 된다. 자기 센서는, 외부 자장의 변화에 따라서 저항이 변화하는 스핀 밸브형의 자기 저항 효과 소자(GMR 소자, TMR 소자 등) 등, 자장을 검출 가능한 다양한 센서여도 되며, 이들 다양한 센서의 콤비네이션이어도 된다. 또한, 자기 센서는, 복수의 자기 센서 소자로 이루어지는 센서 소자군으로 구성되어도 된다.

[0044] 반도체 패키지(100)는, 기부(20)에 대한 보유 지지 프레임(30)의 위치 또는 자세에 따라서, 보유 지지 프레임(30)의 위치 또는 자세를 목표 위치 또는 자세로 하기 위해서, 코일(200)에 전류를 공급한다. 반도체 패키지(100)는, 코일(200)의 외측에 마련되어도 된다. 또한, 보유 지지 프레임(30)은, 반도체 패키지(100) 및 코일(200)을 구비하고, 기부(20)가 자석(32)을 구비해도 된다.

[0045] 이와 같이 구성된 카메라 모듈(10)은, 자석(32)과 코일(200)을 구동원으로 하여, 반도체 패키지(100)가, 촬상 소자(302)의 촬상면에 대한 렌즈 유닛(40)의 위치 또는 자세가 원하는 위치 또는 자세가 되도록, 코일(200)에 전류를 흘린다. 이에 의해, 렌즈 유닛(40)을 줌렌즈 또는 포커스 렌즈로서 기능시킨다. 혹은, 반도체 패키지(100)가, 상(像) 흔들림을 제거하는 방향으로 렌즈 유닛(40)의 위치 또는 자세를 변화시키도록, 코일(200)에 전류를 흘림으로써, 상 흔들림 보정을 실행한다. 본 실시 형태에서는, 렌즈 유닛(40)을 구동하는 구동원으로서, VCM(보이스 코일 모터)을 예로 들어 설명한다. 그러나, 구동원은, VCM으로 한정되지는 않는다. 카메라 모듈(10)은, 렌즈 유닛(40)을 구동하는 구동원으로서, VCM 이외에, 미소 전기 기계 시스템(MEMS), 형상 기억 합금(SMA), 고분자 액추에이터(EAP), 바이메탈 액추에이터, 또는 압전 소자를 가져도 된다.

[0046] 도 2는, 반도체 패키지(100)의 회로 구성의 일례를 나타내는 도면이다. 반도체 패키지(100)는, 자기 센서(112), 증폭기(113), A/D 컨버터(114), PID 제어부(115), D/A 컨버터(116) 및 출력 드라이버(117)를 구비한다. 자기 센서(112), 증폭기(113), A/D 컨버터(114), PID 제어부(115), D/A 컨버터(116) 및 출력 드라이버(117)는, 반도체 칩에 내장되어도 된다.

[0047] 자기 센서(112)는, 복수의 홀 소자를 갖고, 자장의 크기에 따른 크기의 전압 또는 전류를 렌즈 유닛(40)의 위치를 나타내는 위치 신호로서 출력한다. 증폭기(113)는, 자기 센서(112)로부터 출력되는 위치 신호를 증폭한다. A/D 컨버터(114)는, 증폭기(113)에 증폭된 위치 신호인 아날로그 신호를 디지털 신호로 변환한다.

[0048] PID 제어부(115)는, A/D 컨버터(114)로부터 출력되는 디지털 신호에 나타내어지는 렌즈 유닛(40)의 위치와, 위치 지령 생성부(210)로부터 출력되는 렌즈 유닛(40)의 목표 위치에 기초하여, PID 제어에 의해, 렌즈 유닛(40)의 위치가 목표 위치가 되도록 제어하기 위해서, 구동 신호를 출력한다. 카메라 모듈(10)의 촬상을 제어하는 CPU 또는 MPU 등의 마이크로프로세서, MCU 등의 마이크로컨트롤러 등의 제어부가, 위치 지령 생성부(210)를 가져도 된다.

[0049] D/A 컨버터(116)는, 구동 신호를 디지털 신호로부터 아날로그 신호로 변환하여 출력 드라이버(117)로 출력한다. 출력 드라이버(117)는, 구동 신호에 따른 전류를 코일(200)로 출력한다.

[0050] 도 3에 도시한 바와 같이, 자기 센서(112)로부터 출력되는 신호는, 적지 않게 노이즈를 포함한다. 자기 센서(112)의 후단의 증폭기(113)는, 노이즈를 포함하는 신호를 그대로 증폭하게 된다. 노이즈가 크면, 즉 오프셋량이 크면, 증폭기(113)의 증폭률을 높이려고 해도, A/D 컨버터(114)에 입력할 수 있는 신호의 크기에는 한도가 있어, 노이즈 이외의 신호를 적절하게 증폭시킬 수 없는 경우가 있다. 자기 센서(112)로부터 출력되는 신호에 포함되는 오프셋량을 적게 함으로써, 증폭률을 높여, 결과적으로 S/N비를 높일 수 있다.

[0051] 도 4는, 반도체 패키지(100)의 외부 단자(102)측에서 본 평면도이다. 반도체 패키지(100)는, 복수의 외부 단자(102)를 갖는다. 반도체 패키지(100)는, 6개의 외부 단자(102)를 갖는다.

[0052] 반도체 패키지(100)는, 평면에서 볼 때 제1 방향(X축 방향)으로 연장되는 직사각형상이다. 여기서, 직사각형

상은, 대략 직사각형상도 포함하는 개념이다. 대략 직사각형상은, 4개의 각이 90° 이외의 사각형, 4개의 각이 $90^\circ \pm 5^\circ$ 의 범위 내인 사각형 또는 4개의 각을 둥글게 한 모서리 둥근 사각형을 포함하는 개념이다. 반도체 패키지(100)는, 평면에서 볼 때 제1 방향(X축 방향)의 폭이 제2 방향(Z축 방향)의 폭보다 긴 직사각형이어도 된다. 복수의 외부 단자(102)는, 제1 방향을 따라 2열로 배치되어도 된다. 복수의 외부 단자(102)는, 제1 방향(X축 방향)을 따른 제1 열에 포함되는 복수의 외부 단자(102A1, 102A2 및 102A3)와, 반도체 패키지(100)의 중심 P를 사이에 두고 제1 열에 대향하고, 또한 제1 방향(X축 방향)을 따른 제2 열에 포함되는 복수의 외부 단자(102B1, 102B2 및 102B3)를 포함한다. 복수의 외부 단자(102A1, 102A2 및 102A3)의 각각의 무게 중심은, 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각의 무게 중심과 제1 방향(X축 방향) 및 제1 방향에 교차하는 제2 방향(Z축 방향)에 있어서 겹치지 않는다. 즉, 복수의 외부 단자(102A1, 102A2 및 102A3) 및 복수의 외부 단자(102B1, 102B2 및 102B3)는, 제1 방향을 따라 지그재그형으로 배치되어 있다.

[0053] 복수의 외부 단자(102A1, 102A2 및 102A3)의 각각의 제1 방향에 있어서의 간격과, 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각의 제1 방향에 있어서의 간격은 동일하며, 또한, 복수의 외부 단자(102A1, 102A2 및 102A3)의 각각과, 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각은, 제1 방향에 있어서 시프트하고 있다. 복수의 외부 단자(102A1, 102A2 및 102A3)의 각각은, 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각과 제2 방향에 있어서도 시프트하고 있다. 여기서, 동일이라 함은, 대략 동일함도 포함하는 개념이다. 즉, 복수의 외부 단자(102A1, 102A2 및 102A3)의 각각의 제1 방향에 있어서의 간격과, 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각의 제1 방향에 있어서의 간격은, 완전히 동일하지 않아도 된다.

[0054] 반도체 패키지(100) 등의 IC의 소형화가 진행되고, IC의 표면에 있어서의 외부 단자의 비율이 증가하고 있다. 또한, 반도체 패키지(100)를 코일(200)의 중심 부분에 배치하는 경우, 중심 부분의 간극은 좁으므로, 반도체 패키지(100)의 형상은, 가늘고 긴 직사각형상이 바람직하다. 이와 같은 가늘고 긴 형상의 반도체 패키지(100)의 표면에, 도 4에 도시한 바와 같이, 복수의 외부 단자(102)를 제1 방향을 따라 지그재그형으로 배치함으로써, 반도체 패키지(100)의 제2 방향의 폭을 좁게 할 수 있다. 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각이, 복수의 외부 단자(102B1, 102B2 및 102B3)의 각각과, 제2 방향에 있어서 일부만이 겹치도록 배치함으로써, 반도체 패키지(100)의 제2 방향에 있어서의 폭을 좁게 할 수 있다. 복수의 외부 단자(102)를 지그재그형으로 배치함으로써, 단자 형상 또는 단자 수는 동일한 채 그대로, 반도체 패키지(100)를 제2 방향(폭 방향)으로 소형화할 수 있다. 그 때문에, 반도체 패키지(100)를 폭 방향으로 소형화하였다고 해도, 실장 시의 안정성이 저하되는 것을 억제할 수 있다.

[0055] 반도체 패키지(100)의 제1 방향의 폭은, 제2 방향의 폭의 1.65배 이상 길어도 된다. 반도체 패키지(100)의 제1 방향의 폭은, 제2 방향의 폭의 2.5배 이상 길어도 된다. 복수의 외부 단자(102)의 평면에서 볼 때의 면적의 합계는, 반도체 패키지(100)의 평면에서 볼 때의 면적의 14% 이상이어도 된다. 복수의 외부 단자(102)의 평면에서 볼 때의 면적의 합계는, 반도체 패키지(100)의 평면에서 볼 때의 면적의 19% 이상이어도 된다.

[0056] 도 5는, 도 4에 도시한 A-A 단면을 모식적으로 나타낸다. 본 실시 형태에서는, 반도체 패키지(100)는, 웨이퍼 레벨 칩 사이즈 패키지(WL-CSP)형의 반도체 패키지에 대하여 설명한다. 그러나, 반도체 패키지(100)는, 팬아웃 웨이퍼 레벨 패키지(FO-WLP)형의 반도체 패키지여도 된다. 반도체 패키지(100)는, 실리콘 기판(110)과, 실리콘 기판(110)의 제1 면측에 배치되는 재배선층(120)과, 재배선층(120)의 실리콘 기판(110)측의 면과 반대측의 면에 적어도 배치되는 밀봉재(130)를 구비한다. 실리콘 기판(110)은, 반도체 칩을 내장한다. 반도체 칩은, 자기 센서(112), 증폭기(113), A/D 컨버터(114), PID 제어부(115), D/A 컨버터(116), 및 출력 드라이버(117)를 포함해도 된다.

[0057] 이와 같은 반도체 패키지(100)를 구비하는 카메라 모듈(10)에 있어서, 고화소화에 수반되어, 렌즈 유닛(40)의 증량화도 진행되고 있다. 고화소화에 수반되어 촬상 소자(302)가 대형화하고, 촬상 소자(302)가 고온이 되는 경향이 있다. 또한, 렌즈 유닛(40)이 증량화하면, 렌즈 유닛(40)을 구동하는 데 필요한 전류가 커지게 되어, 전류의 증가에 수반되는 온도 상승도 발생한다. 이와 같은 온도 상승은, 반도체 패키지(100)에 내장되는 자기 센서(112)에도 영향을 미친다. 즉, 온도 상승에 수반되어 자기 센서(112)의 오프셋량도 커지게 된다. 자기 센서(112)의 오프셋량이 커지게 되면, S/N비는 낮아진다. 온도 특성이 나쁘고 S/N비가 낮은 자기 센서(112)를 사용하여, 카메라 모듈(10)이, 렌즈 유닛(40)을 제어하는 경우, 노이즈의 억압 성능이 열화되고, 렌즈 유닛(40)의 실제 위치와 목표 위치의 오차가 커지게 되어, 고정밀도로 렌즈 유닛(40)의 위치 제어를 실행할 수 없다. 따라서, 고정밀도의 상 흔들림 보정을 실현하는 것도 어렵다.

[0058] 도 6은, 렌즈 유닛(40)의 이동 거리와, 자기 센서(112)로 검출되는 자장의 크기의 관계를 나타낸다. 직선

A1은, 통상 카메라의 경우의 렌즈 유닛(40)의 이동 거리와, 자기 센서(112)로 검출되는 자장의 크기의 관계를 나타낸다. 직선 A2는, 고화소화된 고성능 카메라의 경우의 렌즈 유닛(40)의 이동 거리와, 자기 센서(112)로 검출되는 자장의 크기의 관계를 나타낸다. 도 6에 도시한 바와 같이, 고성능 카메라의 경우의 자장의 크기의 변화에 대한 렌즈 유닛(40)의 이동 거리가, 통상 카메라의 경우의 자장의 크기의 변화에 대한 렌즈 유닛(40)의 이동 거리보다 길다. 즉, 자기 센서(112)로 검출되는 신호의 오차가 동일해도, 고성능 카메라에서의 렌즈 유닛(40)의 위치 오차는, 통상 카메라의 렌즈 유닛(40)의 위치 오차보다 커지게 된다. 고화소화에 수반되어 렌즈 유닛(40)의 위치 오차는, 화상의 흔들림으로서 현저하게 나타나게 된다. 즉, 자기 센서(112)의 S/N비의 저하는, 고정밀도의 상 흔들림 보정을 할 수 없는 등, 고성능 카메라이고, 보다 현저하게 영향을 미친다. 따라서, 자기 센서(112)의 오프셋량의 영향을 보다 적게 하는 것이 보다 요망되고 있다.

[0059] 그런데, 도 7에 도시한 바와 같이, 자기 센서(112)를 구성하는 복수의 홀 소자(111)를 제1 방향(X축 방향) 및 제2 방향(Z축 방향)의 각각으로 나란히 배치한 경우, 복수의 외부 단자(102)가 지그재그형으로 배치되어 있음으로써, 홀 소자(111)와 외부 단자(102)가 평면에서 볼 때 겹치는 중복 영역의 크기에 변동이 발생한다. 중복 영역의 크기가 다르면, 반도체 패키지(100)의 주위의 온도 또는 습도의 변화에 수반되어 발생하는 홀 소자(111)에 가해지는 응력의 크기의 변화가 다르다. 홀 소자(111)에 가해지는 응력이 변화하면, 홀 소자(111)로부터 출력되는 신호에 포함되는 오프셋량도 변화한다.

[0060] 그래서, 본 실시 형태에서는, 오프셋량의 변화를 상쇄하기 위해서, 도 8 또는 도 9에 도시한 바와 같이, 복수의 홀 소자(111)가 반도체 패키지(100)의 평면에서 볼 때 중심 P에 관해서 점대칭으로 배치된다.

[0061] 홀 소자(111S1)와, 홀 소자(111S2)가 중심 P에 관해서 점대칭으로 배치된다. 홀 소자(111S3)와, 홀 소자(111S4)가 중심 P에 관해서 점대칭으로 배치된다.

[0062] 반도체 패키지(100)를, 평면에서 볼 때, 중심 P를 통과하는 제1 방향(X축 방향)을 따른 제1 축 L1 및 제2 방향(Z축 방향)을 따른 제2 축 L2에서 제1 사상 영역, 제2 사상 영역, 제3 사상 영역 및 제4 사상 영역으로 구분한 경우, 홀 소자(111S1) 및 홀 소자(111S3)는, 제1 사상 영역 위에 배치되어도 된다. 홀 소자(111S2) 및 홀 소자(111S4)는, 제1 사상 영역과 중심 P에 관해서 점대칭에 있는 제3 사상 영역 위에 배치되어도 된다. 또는, 홀 소자(111S1) 및 홀 소자(111S3)는, 제2 사상 영역 위에 배치되어도 된다. 홀 소자(111S2) 및 홀 소자(111S4)는, 제2 사상 영역과 중심 P에 관해서 점대칭에 있는 제4 사상 영역 위에 배치되어도 된다.

[0063] 도 8에서는, 홀 소자(111S1) 및 홀 소자(111S3)는, 제1 방향을 따른 제1 열로 나란히 배치되어 있다. 홀 소자(111S2) 및 홀 소자(111S4)는, 제1 방향을 따라 제1 열에 대하여 중심 P를 사이에 두고 반대측의 제2 열로 나란히 배치된다. 홀 소자(111S1) 및 홀 소자(111S3)는, 제2 방향에 있어서, 홀 소자(111S2) 및 홀 소자(111S4)에 겹치지 않는다.

[0064] 도 9에서는, 홀 소자(111S1) 및 홀 소자(111S3)는, 제1 방향을 따른 제1 열로 나란히 배치되어 있다. 홀 소자(111S2) 및 홀 소자(111S4)는, 제1 방향을 따라 제1 열에 대하여 중심 P를 사이에 두고 반대측의 제2 열로 나란히 배치된다. 홀 소자(111S1)는, 제2 방향에 있어서, 홀 소자(111S2) 및 홀 소자(111S4)에 겹치지 않는다. 홀 소자(111S2)는, 제2 방향에 있어서, 홀 소자(111S1) 및 홀 소자(111S3)와 겹치지 않는다. 한편, 홀 소자(111S3)는, 제2 방향에 있어서, 홀 소자(111S4)와 겹친다. 즉, 홀 소자(111S3) 및 홀 소자(111S4)는, 제2 방향을 따라 나란히 배치된다.

[0065] 여기서, 홀 소자(111S1)의 출력을 S1, 홀 소자(111S2)의 출력을 S2, 홀 소자(111S3)의 출력을 S3, 홀 소자(111S4)의 출력을 S4로 한 경우, 자기 센서(112)는, 자장의 크기를 나타내는 신호로서, S1, S2, S3 및 S4의 합/차 연산 또는 합 연산의 결과를 출력한다. 즉, 자기 센서(112)는, $(S1+S2+S3+S4)/((S1+S3)-(S2+S4))$, 또는 $(S1+S2+S3+S4)$ 를, 자장의 크기를 나타내는 신호로서 출력한다. 각각의 홀 소자(111)의 페어끼리를 중심 P에 관해서 점대칭으로 배치함으로써, 각각의 홀 소자(111)의 페어끼리의 출력을 합계함으로써, 각각의 홀 소자(111)의 출력에 포함되는 노이즈, 즉 오프셋량을 상쇄할 수 있다.

[0066] PID 제어부(115)는, 홀 소자(111S1), 홀 소자(111S2), 홀 소자(111S3) 및 홀 소자(111S4)로부터 출력되는 자장의 크기를 나타내는 출력의 합(S1+S2+S3+S4)에 기초하여, 반도체 패키지(100)에 대하여 자석(32)의 위치 또는 자세를 상대적으로 변화시키는 구동부로서 기능하는 코일(200)을 제어하기 위한 구동 신호를 출력해도 된다. 증폭기(113)는, 출력의 합(S1+S2+S3+S4)을 증폭시켜, A/D 컨버터(114)를 통해 PID 제어부(115)에 출력의 합을 제공해도 된다.

[0067] PID 제어부(115)는, 홀 소자(111S1)와 홀 소자(111S3)로부터 출력되는 자장의 크기를 나타내는 출력의 합

(S1+S3)과, 홀 소자(111S2)와 홀 소자(111S4)로부터 출력되는 자장의 크기를 나타내는 출력의 합(S2+S4)의 차((S1+S3)-(S2+S4))에 더욱 기초하여, 구동 신호를 출력해도 된다.

- [0068] PID 제어부(115)는, 차((S1+S3)-(S2+S4))에 대한 홀 소자(111S1), 홀 소자(111S2), 홀 소자(111S3) 및 홀 소자(111S4)로부터 출력되는 자장의 크기를 나타내는 출력의 합(S1+S2+S3+S4)의 비(S1+S2+S3+S4)/((S1+S3)-(S2+S4))에 기초하여, 구동 신호를 출력해도 된다. 증폭기(113)는, 비(S1+S2+S3+S4)/((S1+S3)-(S2+S4))를 증폭시켜, A/D 컨버터(114)를 통해 PID 제어부(115)에 출력의 합을 제공해도 된다.
- [0069] 도 10에 도시한 바와 같이, 복수의 홀 소자(111)는, 제1 군에 속하는 홀 소자(111S1) 및 홀 소자 S3과, 제2 군에 속하는 홀 소자(111S2) 및 홀 소자(111S4)를 포함한다. 홀 소자(111S1)는, 복수의 외부 단자(102A1, 102A2 및 102A3) 중 외부 단자(102A1)에 평면에서 볼 때 적어도 일부를 덮여도 된다. 홀 소자(111S2)는, 복수의 외부 단자(102B1, 102B2 및 102B3) 중 외부 단자(102B1)에 평면에서 볼 때 적어도 일부를 덮여도 된다. 홀 소자(111S1)의 외부 단자(102A1)에 평면에서 볼 때 덮이는 영역 R1과, 홀 소자(111S2)의 외부 단자(102B1)에 평면에서 볼 때 덮이는 영역 R2는, 평면에서 볼 때 반도체 패키지(100)의 중심 P에 관해서 점대칭이다. 홀 소자(111S3) 및 홀 소자(111S4)는, 평면에서 볼 때 반도체 패키지(100)의 중심 P에 관해서 점대칭으로 배치된다.
- [0070] 도 11에 도시한 바와 같이, 홀 소자(111S1) 및 홀 소자(111S)는, 외부 단자(102A1)에 평면에서 볼 때 전부 덮여도 된다. 홀 소자(111S2) 및 홀 소자(111S4)는, 외부 단자(102B1)에 평면에서 볼 때 전부 덮여도 된다.
- [0071] 도 12에 도시한 바와 같이, 홀 소자(111S1)는, 외부 단자(102A1)에 평면에서 볼 때 전부 덮여도 된다. 홀 소자(111S2)는, 외부 단자 B1에 평면에서 볼 때 전부 덮여도 된다. 한편, 홀 소자(111S3) 및 홀 소자(111S4)는, 복수의 외부 단자(102) 중 어느 것에도 일부도 덮여 있지 않아도 된다. 즉, 홀 소자(111S3) 및 홀 소자(111S4)는, 복수의 외부 단자(102) 중 어느 것보다도 평면에서 볼 때 겹치지 않아도 된다.
- [0072] 도 13에 도시한 바와 같이, 홀 소자(111S1)는, 외부 단자(102A1)에 평면에서 볼 때 일부가 덮여도 된다. 홀 소자(111S2)는, 외부 단자 B1에 평면에서 볼 때 일부가 덮여도 된다. 한편, 홀 소자(111S3) 및 홀 소자(111S4)는, 복수의 외부 단자(102) 중 어느 것에도 일부도 덮여 있지 않아도 된다. 즉, 홀 소자(111S3) 및 홀 소자(111S4)는, 복수의 외부 단자(102) 중 어느 것보다도 평면에서 볼 때 겹치지 않아도 된다.
- [0073] 도 14에 도시한 바와 같이, 홀 소자(111S1)는, 외부 단자(102A1)에 평면에서 볼 때 전부 덮여도 된다. 홀 소자(111S2)는, 외부 단자(102B1)에 평면에서 볼 때 전부 덮여도 된다. 홀 소자(111S3)는, 외부 단자(102A1)에 평면에서 볼 때 일부가 덮여도 된다. 홀 소자(111S4)는, 외부 단자(102B1)에 평면에서 볼 때 일부가 덮여도 된다.
- [0074] 여기서, 홀 소자(111)는, 도 15에 도시한 바와 같이, 저항값 R의 4개의 저항 R1, R2, R3 및 R4를 브리지 접속한 등가 회로로 나타낼 수 있다. 홀 소자(111)는, 제1 방향에 있어서 대향하는 한 쌍의 전극 D1 및 D2와, 제2 방향에 있어서 대향하는 한 쌍의 전극 D3 및 D4를 갖는다.
- [0075] 4개의 저항 R1, R2, R3 및 R4는, 저항값 R이 동일하다. 그러나, 4개의 저항 R1, R2, R3 및 R4의 각각에 부여되는 응력이 다르면, 4개의 저항 R1, R2, R3 및 R4의 저항값에 변동이 발생한다. 그 결과, 홀 소자(111)로부터 출력되는 신호에 포함되는 오프셋량이 변화한다.
- [0076] 이와 같은 오프셋량의 변동을 저감시키기 위해서, 홀 소자(111)로부터 출력되는 한 쌍의 전극을 전환하여, 2개의 출력을 가산하는 것을 생각할 수 있다. 즉, 제1 타이밍에, 홀 소자(111)의 한 쌍의 전극 D1 및 D2로부터, 자장의 크기에 따른 신호 Sa를 출력하고, 제1 타이밍에 계속되는 제2 타이밍에, 홀 소자(111)의 한 쌍의 전극 D3 및 D4로부터, 자장의 크기에 따른 신호 Sb를 출력하고, 신호 Sa 및 신호 Sb를 가산함으로써 오프셋량을 저감시키는 것이 생각된다. 그러나, 출력하는 전극을 전환하기 위한 시간이 필요해져, 응답이 느려지게 된다. 예를 들어, 렌즈 유닛(40)을 이동시켜 포커싱을 행하거나, 상 흔들림 보정을 행하거나 하는 경우에는, 이와 같은 응답의 지연이 있으면, 포커싱에 지연이 발생하거나, 고정밀도의 상 흔들림 보정을 실시할 수 없을 가능성이 있다.
- [0077] 그래서, 점대칭으로 배치된 홀 소자(111)의 각각의 출력의 전극을 다른 방향의 한 쌍의 전극에 설정한다. 그것들의 홀 소자(111)의 출력을 가산함으로써, 전극의 전환을 행하는 형태와 마찬가지로, 오프셋량을 저감시킬 수 있다. 또한, 전극의 전환에 의한 응답의 지연도 발생하지 않는다. 이와 같이 오프셋량을 저감시킴으로써, 응답의 지연을 억제할 수 있을 뿐 아니라, 자기 센서(112)는, S1+S2 및 S1+S3을 순차 시분할로 연산하므로, AD 레인을 희생으로 하지 않고 각 홀 소자(111)의 출력 연산을 실시할 수 있다.

[0078] 보다 구체적으로, 도 14에 도시한 구성에 있어서, 홀 소자(111S1, 111S2, 111S3 및 111S4)는, 제1 방향에 있어서 대향하는 한 쌍의 전극 D1 및 D2와, 제1 방향과 교차하는 제2 방향에 있어서 대향하는 한 쌍의 전극 D3 및 D4를 갖는다. 홀 소자(111S1) 및 홀 소자(111S4)에 있어서, 한 쌍의 전극 D1 및 D2가, 출력 전극이다. 한편, 홀 소자(111S2) 및 홀 소자(111S3)에 있어서, 한 쌍의 전극 D3 및 D4이다.

[0079] 도 14에 도시한 구성에 있어서, 홀 소자(111S1)는, 평면에서 볼 때 외부 단자(102A1)에 일부만이 덮여 있다. 그 결과, 홀 소자(111S1)에 걸리는 응력에, 변동이 발생한다. 도 16a는, 홀 소자(111S1)의 등가 회로를 나타낸다. 도 16a에 도시한 바와 같이, 홀 소자(111S1)에 있어서, 브리지 접속된 4개의 저항 R1, R2, R3 및 R4 중, 저항 R1의 저항값이 R+r로 되고, 다른 3개의 저항 R2, R3 및 R4의 저항값이 R로 된다. 즉, 저항 R1의 저항값은, 저항 R2, R3 및 R4의 저항값과 차를 갖는다.

[0080] 도 16b는, 홀 소자(111S2)의 등가 회로를 나타낸다. 홀 소자(111S2)는, 홀 소자(111S1)와 마찬가지로, 평면에서 볼 때 외부 단자(102B1)에 일부만이 덮여 있다. 그 결과, 홀 소자(111S2)에 걸리는 응력에, 변동이 발생한다. 단, 홀 소자(111S2)가 평면에서 볼 때 외부 단자(102B1)에 덮이는 영역의 위치는, 홀 소자(111S1)가 평면에서 볼 때 외부 단자(102A1)에 덮이는 영역의 위치와는 다르다. 홀 소자(111S2)가 평면에서 볼 때 외부 단자(102B1)에 덮이는 영역은, 중심 P에 관해서, 홀 소자(111S1)가 평면에서 볼 때 외부 단자(102A1)에 덮이는 영역과 점대칭이다. 그 때문에, 홀 소자(111S2)에 있어서, 브리지 접속된 4개의 저항 R1, R2, R3 및 R4 중, 저항 R3의 저항값이 R+r로 되고, 다른 3개의 저항 R1, R2 및 R4의 저항값이 R로 된다. 즉, 저항 R3의 저항값은, 저항 R1, R2 및 R4의 저항값과 차를 갖는다.

[0081] 도 16c는, 홀 소자(111S3)의 등가 회로, 도 16d는, 홀 소자(111S4)의 등가 회로를 나타낸다. 홀 소자(111S3)는, 평면에서 볼 때 외부 단자(102A1)에 전부 덮이고, 홀 소자(111S4)는, 평면에서 볼 때 외부 단자(102B1)에 전부 덮여 있다. 그 결과, 홀 소자(111S3) 및 홀 소자(111S4)에 걸리는 응력에, 변동은 발생하지 않는다. 따라서, 홀 소자(111S3) 및 홀 소자(111S4)에 있어서, 브리지 접속된 4개의 저항 R1, R2, R3 및 R4의 저항값은 동일하다.

[0082] 도 16a에 도시한 홀 소자(111S1)의 등가 회로에 있어서, 오프셋량에 상당하는 오프셋 전압 V_{offset_1} 은, 식 (1)로 규정된다.

[0083]
$$V_{offset_1} = V_{1_1} - V_{2_1} = ((R + r) / (2R + r) - 1 / 2) \times V_{in} = r / (2 \times (2R + r)) \dots (1)$$

[0084] 도 16b에 도시한 홀 소자(111S2)의 등가 회로에 있어서, 오프셋량에 상당하는 오프셋 전압 V_{offset_1} 은, 식 (2)로 규정된다.

[0085]
$$V_{offset_1} = V_{1_2} - V_{2_2} = ((R / (2R + r)) - 1 / 2) \times V_{in} = -r / (2 \times (2R + r)) \dots (2)$$

[0086] 도 16c에 도시한 홀 소자(111S3)의 등가 회로에 있어서, 오프셋량에 상당하는 오프셋 전압 V_{offset_3} 은, 식 (3)으로 규정된다.

[0087]
$$V_{offset_3} = V_{1_3} - V_{2_3} = 0 \dots (3)$$

[0088] 도 16d에 도시한 홀 소자(111S4)의 등가 회로에 있어서, 오프셋량에 상당하는 오프셋 전압 V_{offset_4} 는, 식 (4)로 규정된다.

[0089]
$$V_{offset_3} = V_{1_4} - V_{2_4} = 0 \dots (4)$$

[0090] 이상으로부터, 홀 소자(111S1, 111S2, 111S3 및 111S4)의 출력을 모두 가산하면, 자기 센서(112)로부터 출력되는 오프셋량에 상당하는 오프셋 전압 V_{offset} 는, 식 (5)로 규정되고, 홀 소자(111S1) 및 홀 소자(111S2)에서 발생하는 오프셋량이 상쇄되어, 제로가 된다.

[0091]
$$V_{offset} = V_{offset_1} + V_{offset_2} + V_{offset_3} + V_{offset_4} = r / (2 \times (2R + r)) - r / (2 \times (2R + r)) = 0 \dots (5)$$

[0092] 도 17은, 반도체 패키지(100) 각각의 외부 단자(102)의 기능을 나타낸다. 평면에서 볼 때, 제2 사상 영역에 배

치된 외부 단자(102A1) 및 외부 단자(102A3)가, 한 쌍의 전원용 단자이다. 제3 사상 영역에 배치된 외부 단자(102B2) 및 제4 사상 영역에 배치된 외부 단자(102B1)가, 코일(200)의 구동 신호를 출력하는 한 쌍의 구동용 단자이다. 제1 사상 영역에 배치된 외부 단자(102A2) 및 제4 사상 영역에 배치된 외부 단자(102B3)가, 카메라 모듈(10)의 제어부와 통신하기 위한 한 쌍의 통신용 단자이다.

[0093] 홀 소자(111S1)는, 한 쌍의 전원용 단자의 한쪽인 외부 단자(102A1)와 평면에서 볼 때 적어도 일부가 겹치고, 홀 소자(111S2)는, 한 쌍의 구동용 단자의 한쪽인 외부 단자(102B1)와 평면에서 볼 때 적어도 일부가 겹쳐도 된다. 이와 같이, 홀 소자(111)는, 한 쌍의 통신용 단자 이외의 외부 단자와 평면에서 볼 때 겹쳐도 된다. 그러나, 홀 소자(111)는, 한 쌍의 통신용 단자와 평면에서 볼 때 겹치지 않는 편이 좋다. 홀 소자(111)가 평면에서 볼 때 한 쌍의 통신용 단자 중 어느 하나가 겹치는 경우, 홀 소자(111) 및 한 쌍의 통신용 단자가 서로 노이즈의 영향을 받아, 악영향이 커지게 된다.

[0094] 홀 소자(111)와 평면에서 볼 때 적어도 일부가 겹치는 외부 단자(102A1 및 102B1)의 각각은, 복수의 외부 단자(102) 중 평면에서 볼 때 반도체 패키지(100)의 중심 P에 가장 가까운 위치에 있는 외부 단자가 좋다.

[0095] 홀 소자(111)와 평면에서 볼 때 적어도 일부가 겹치는 외부 단자(102A1 및 102B1)는, 평면에서 볼 때 반도체 패키지(100)의 중심 P에 관해서 점대칭이면, 외부 단자(102A1 및 102B1)의 평면에서 볼 때의 형상은, 원형이 아니어도 된다.

[0096] 도 18은, 반도체 패키지(100)의 재배선층(120)에 있어서의 배선 상황을 나타낸다. 복수의 외부 단자(102)가 제1 방향을 따라 지그재그형으로 배치됨으로써, 각 외부 단자(102)의 제1 방향 및 제2 방향을 향하는 영역에 스페이스가 있다. 따라서, 외부 단자(102)로부터, 반도체 칩으로의 전기적으로 접속되기 위한 배선을 제1 방향 및 제2 방향을 향해서 비교적 길게 연장시킬 수 있다. 예를 들어, 재배선층(120)은, 외부 단자(102B1)로부터 제1 방향을 따라 100 μ m 이상 연장되어 반도체 칩과 전기적으로 접속되는 배선 LB1을 포함해도 된다. 즉, 배선 LB1의 제1 방향을 따라 연장되는 부분 kb1은, 100 μ m 이상이어도 된다. 마찬가지로, 재배선층(120)은, 외부 단자(102B3)로부터 제1 방향을 따라 100 μ m 이상 연장되어 반도체 칩과 전기적으로 접속되는 배선 LB3을 포함해도 된다. 즉, 배선 LB3의 제1 방향을 따라 연장되는 부분 kb3은, 100 μ m 이상이어도 된다. 이와 같이 제1 방향 또는 제2 방향을 따라 배선함으로써, 최단 경로로 배선을 실현할 수 있기 때문에, 반도체 패키지(100)의 평면에서 볼 때의 면적을 작게 할 수 있다.

[0097] 또한, 배선 LB1은, 외부 단자(102B1)의 중심을 통과하는 제1 방향을 따른 선 위로 연장되는 부분 kb1을 포함한다. 배선 LB3은, 외부 단자(102B3)의 중심을 통과하는 제1 방향을 따른 선 위로 연장되는 부분 kb3을 포함한다.

[0098] 재배선층(120)은, 외부 단자(102B2)로부터 제2 방향을 따라 100 μ m 이상 연장되어 반도체 칩과 전기적으로 접속되는 배선 LB2를 포함해도 된다. 배선 LB2는, 외부 단자(102B2)의 중심을 통과하는 제2 방향을 따른 선 위로 연장되는 부분 kb2를 포함한다.

[0099] 이상, 본 발명을 실시 형태를 사용하여 설명하였지만, 본 발명의 기술적 범위는 상기 실시 형태에 기재된 범위로 한정되지는 않는다. 상기 실시 형태에, 다양한 변경 또는 개량을 가하는 것이 가능함이 당업자에게 명확하다. 그와 같은 변경 또는 개량을 가한 형태도 본 발명의 기술적 범위에 포함될 수 있음이, 청구범위의 기재로부터 명확하다.

[0100] 청구범위, 명세서 및 도면 중에 있어서 나타낸 장치, 시스템, 프로그램, 및 방법에 있어서의 동작, 수순, 스텝, 및 단계 등의 각 처리의 실행 순서는, 특별히 「보다 전에」, 「앞서」 등으로 명시하지 않고, 또한, 전의 처리의 출력을 후의 처리에서 사용하는 것이 아닌 한, 임의의 순서로 실현할 수 있음에 유의해야 한다. 청구범위, 명세서 및 도면 중의 동작 흐름에 관해서, 편의상 「우선」, 「다음으로」 등을 사용하여 설명하였다고 해도, 이 순서로 실시하는 것이 필수적임을 의미하는 것은 아니다.

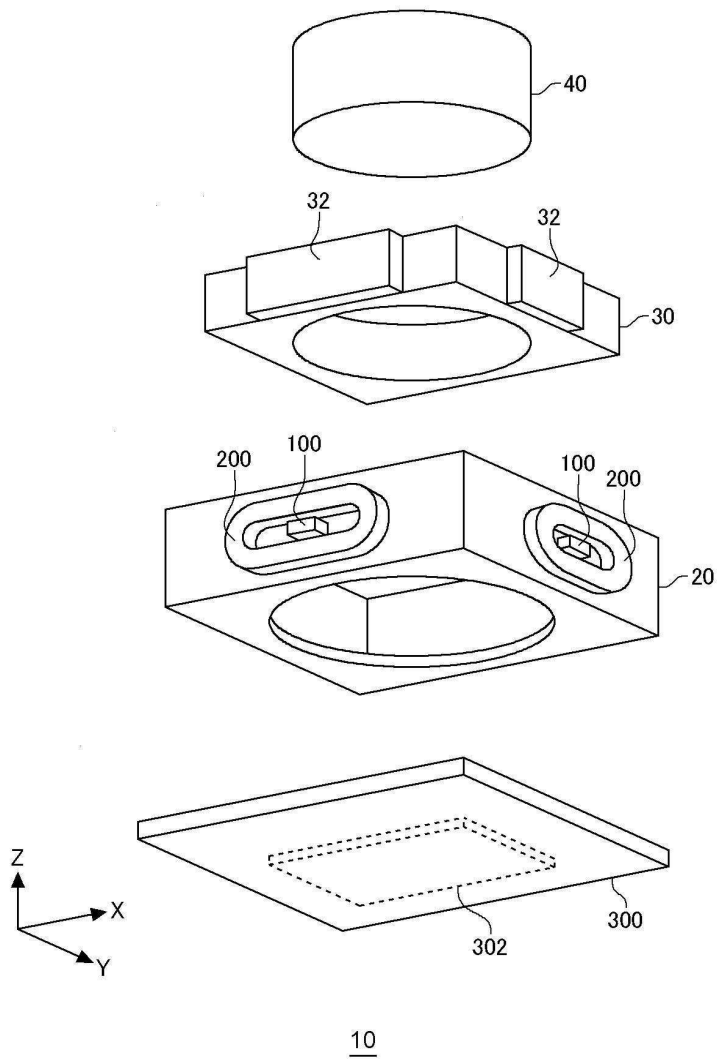
부호의 설명

- [0101] 10: 카메라 모듈
- 20: 기부
- 30: 보유 지지 프레임
- 32: 자석

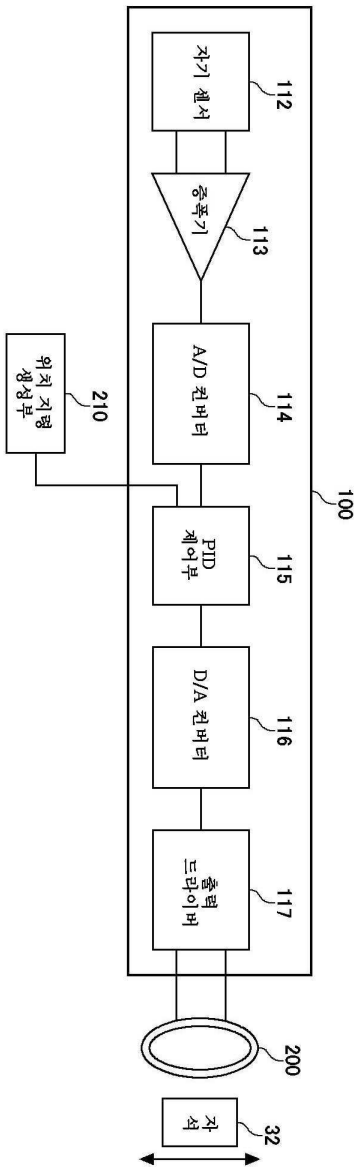
- 40: 렌즈 유닛
- 100: 반도체 패키지
- 102: 외부 단자
- 110: 실리콘 기판
- 111: 홀 소자
- 112: 자기 센서
- 113: 증폭기
- 114: A/D 컨버터
- 115: PID 제어부
- 116: D/A 컨버터
- 117: 출력 드라이버
- 120: 재배선층
- 130: 밀봉재
- 200: 코일
- 210: 위치 지령 생성부
- 300: 기판
- 302: 활상 소자

도면

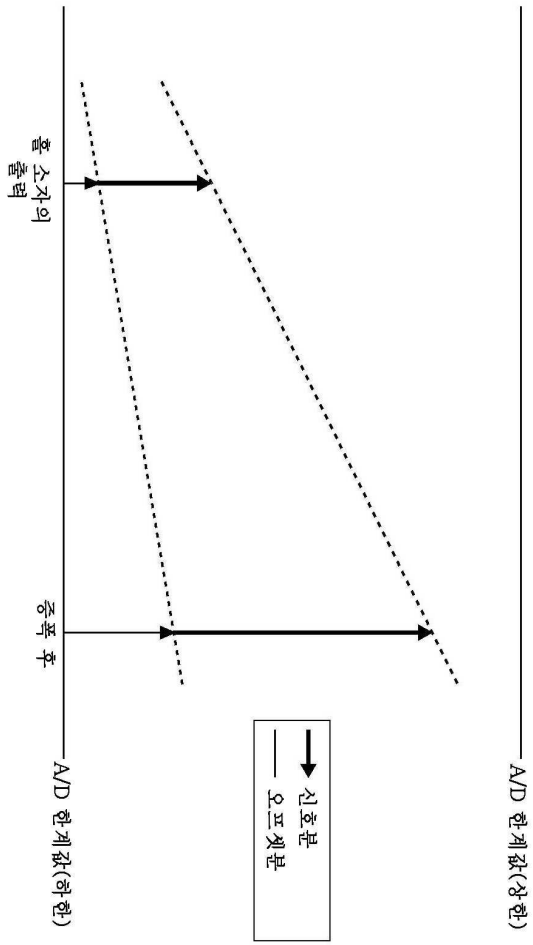
도면1



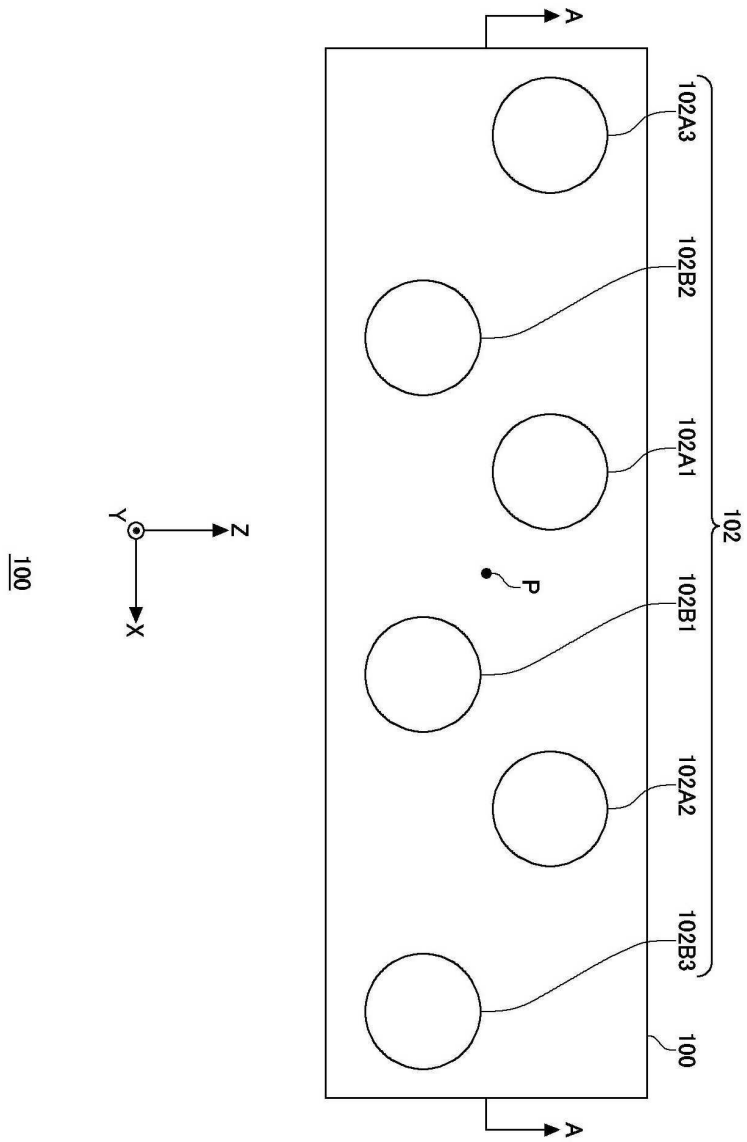
도면2



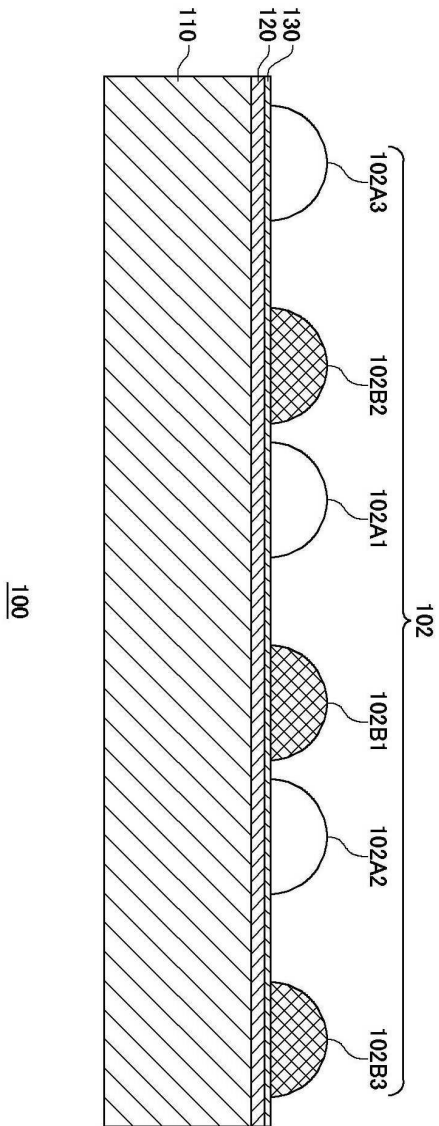
도면3



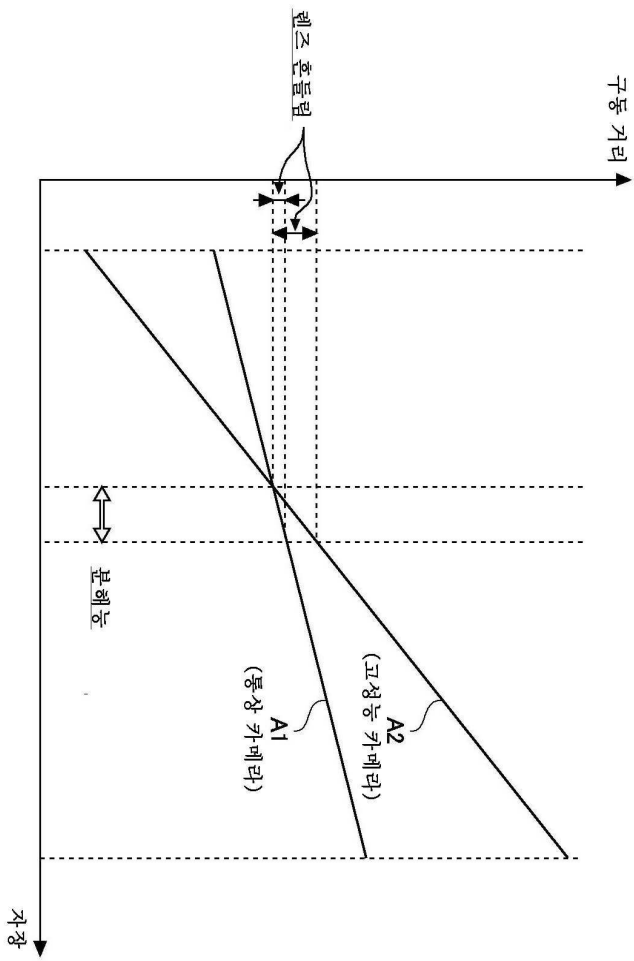
도면4



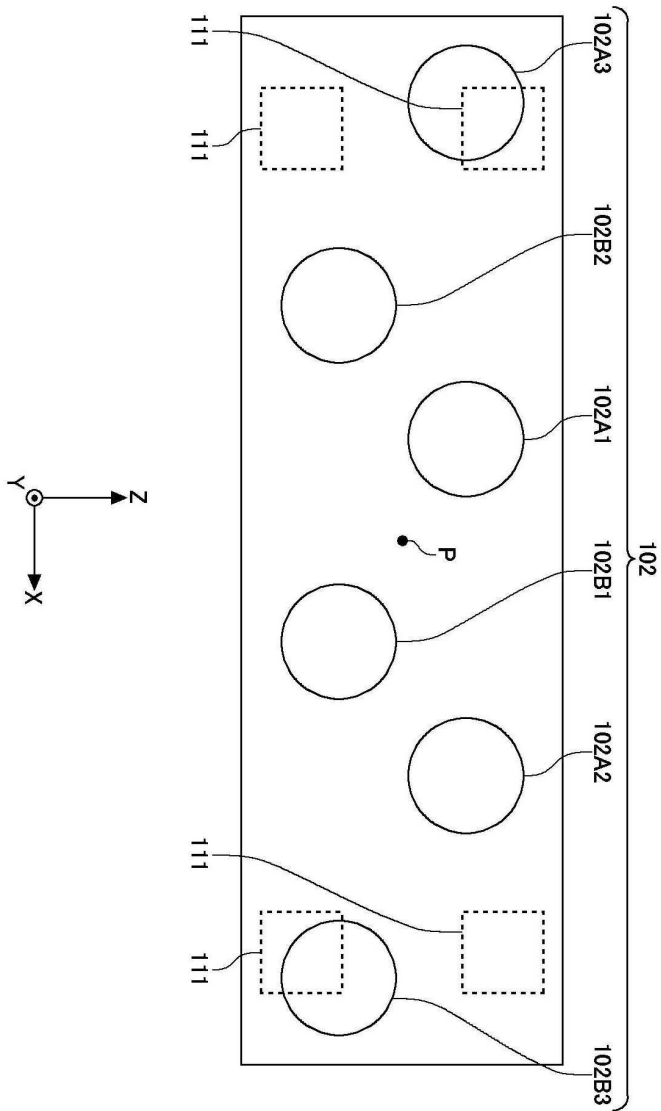
도면5



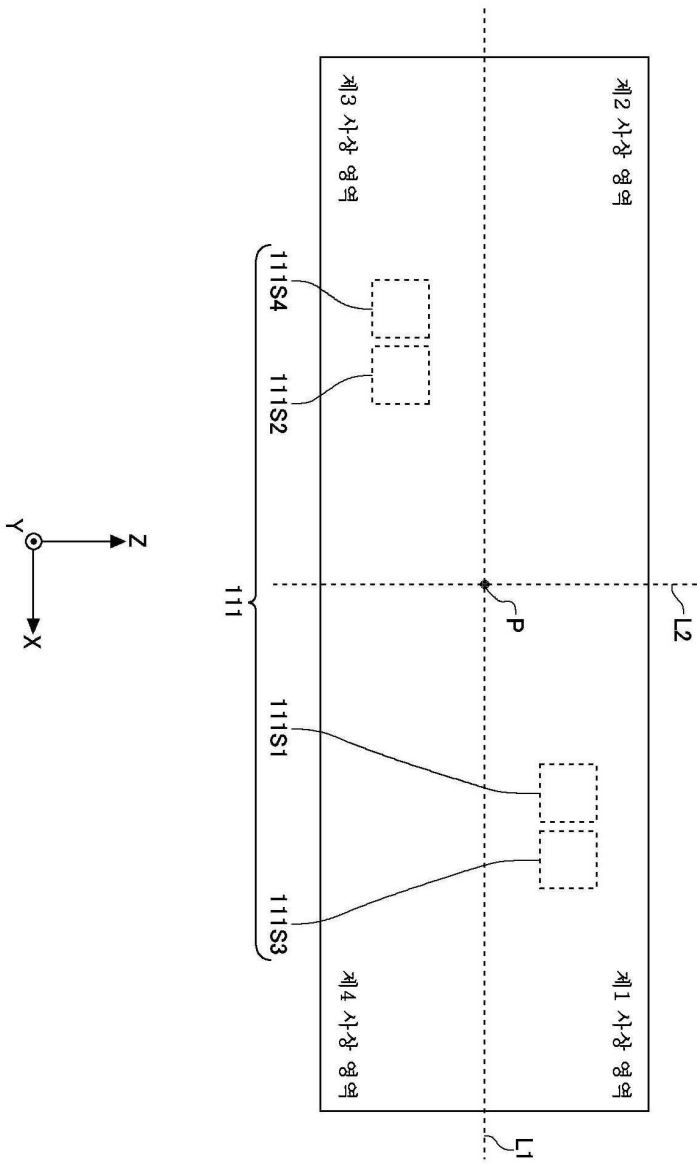
도면6



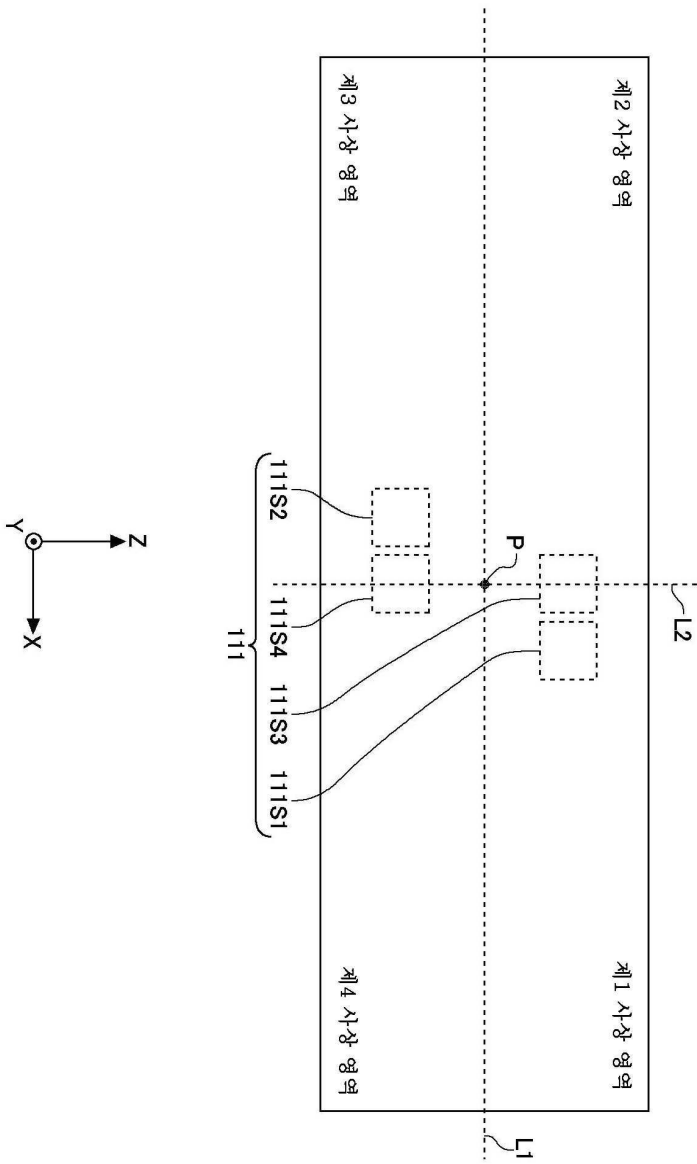
도면7



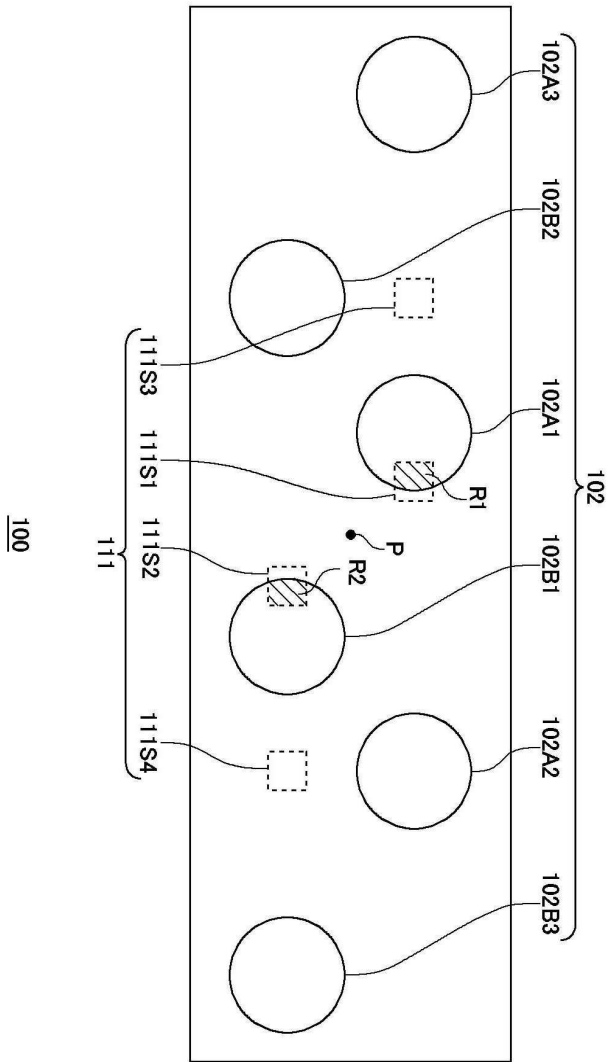
도면8



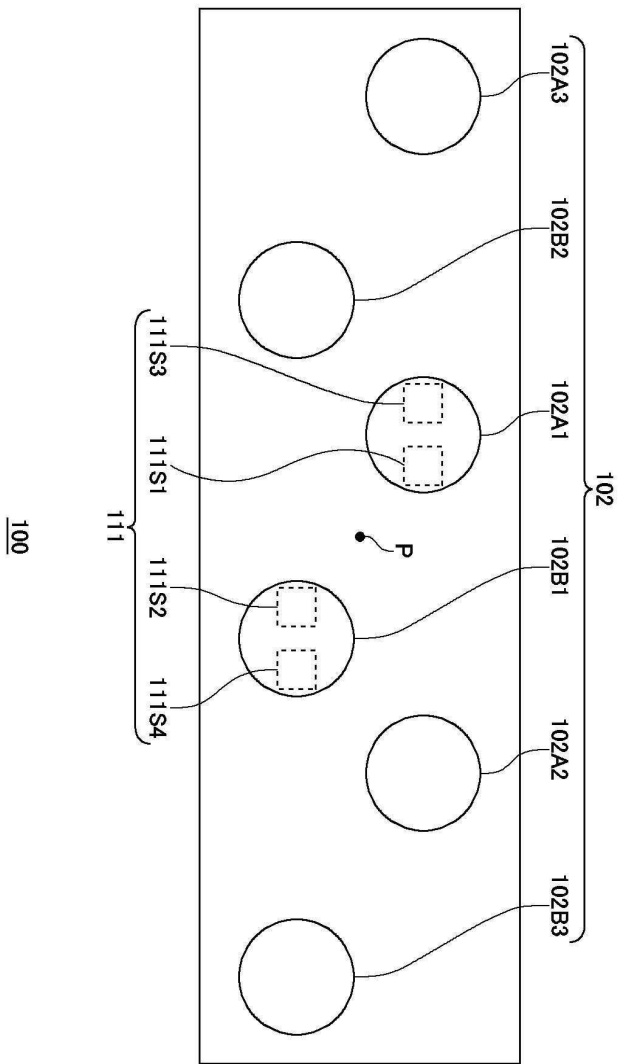
도면9



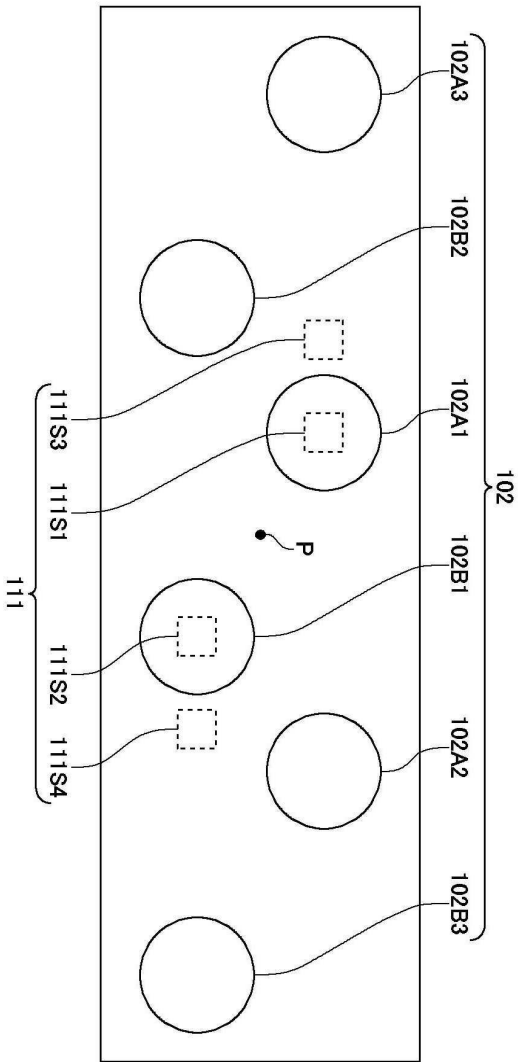
도면10



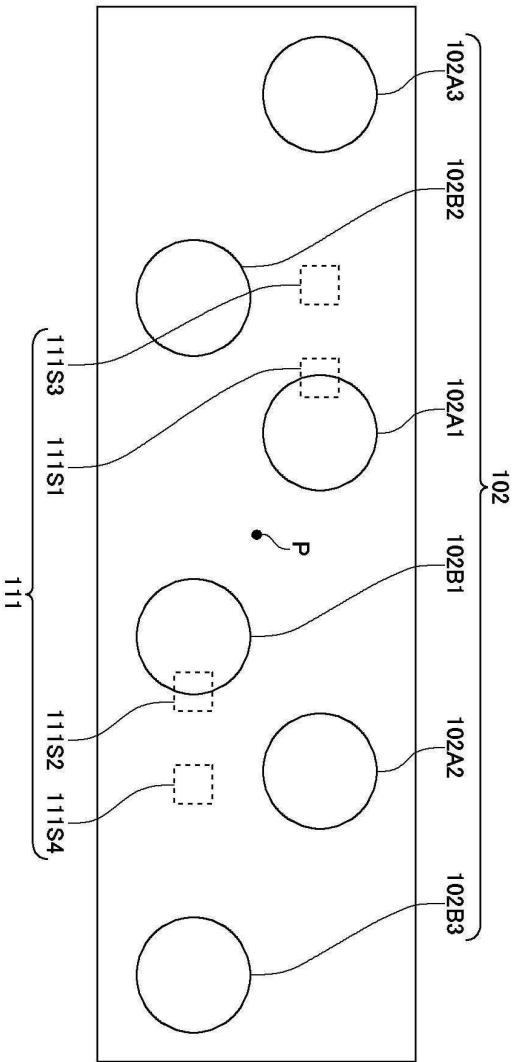
도면11



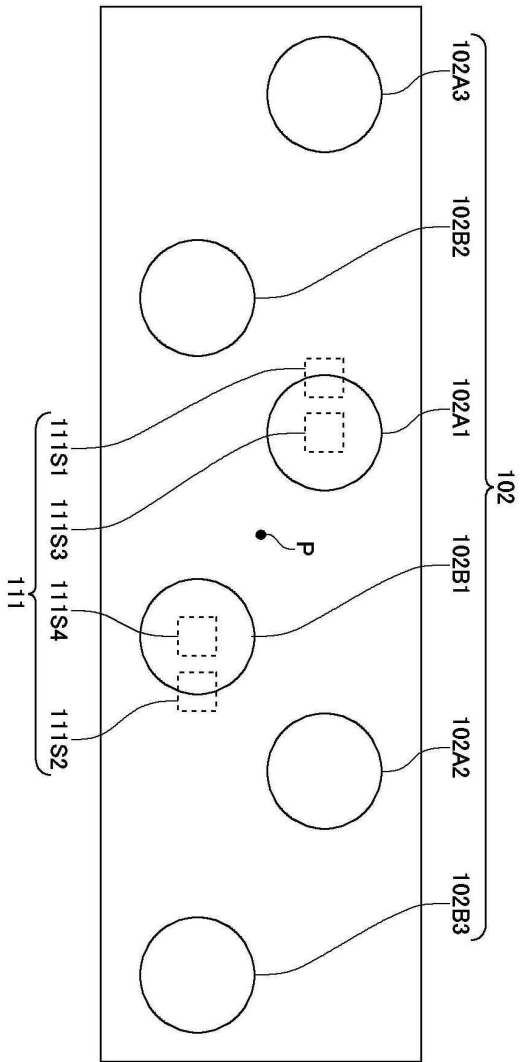
도면12



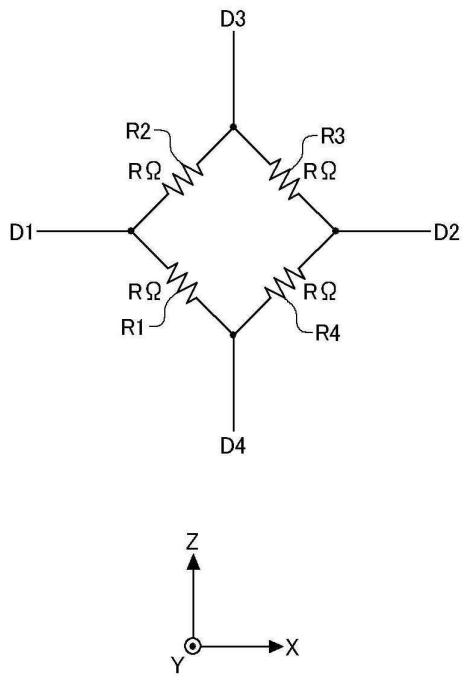
도면13



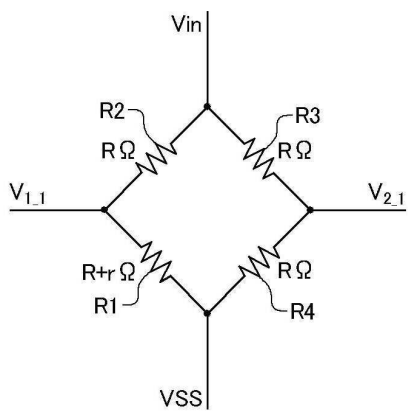
도면14



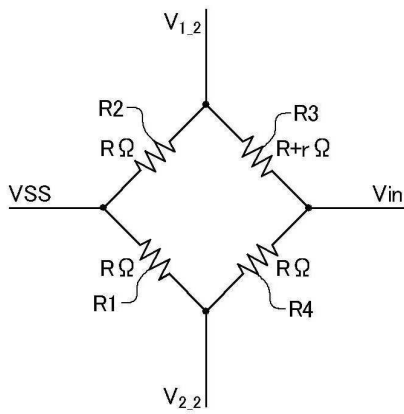
도면15



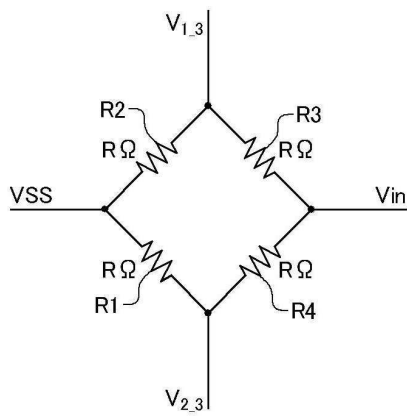
도면16a



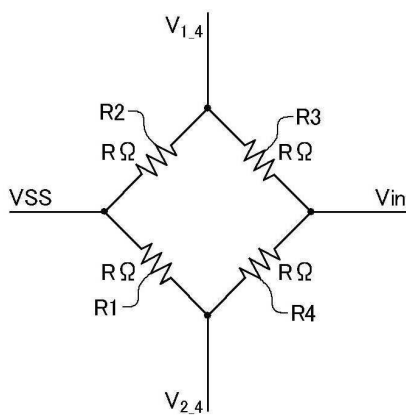
도면16b



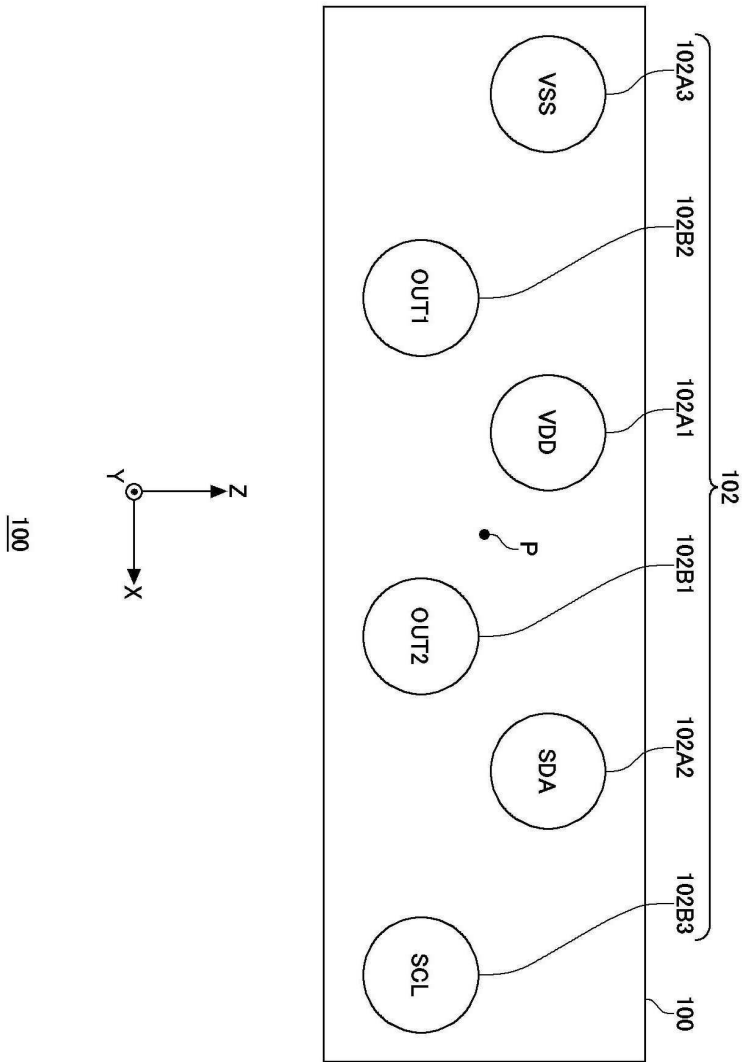
도면16c



도면16d



도면17



도면18

