

A1

**DEMANDE
DE BREVET D'INVENTION**

(21) **N° 81 04868**

(54) **Système de test de la défaillance ou du bon fonctionnement d'un circuit à composants logiques.**

(51) **Classification internationale (Int. Cl.³). G 01 R 31/28.**

(22) **Date de dépôt..... 11 mars 1981.**

(33) (32) (31) **Priorité revendiquée :**

(41) **Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 37 du 17-9-1982.**

(71) **Déposant : COMMISSARIAT A L'ENERGIE ATOMIQUE, établissement de caractère scienti-
fique, technique et industriel, résidant en France.**

(72) **Invention de : André Laviron et Claude Bérard.**

(73) **Titulaire : *Idem* (71)**

(74) **Mandataire : Brevatome,
25, rue de Ponthieu, 75008 Paris.**

La présente invention concerne un système de test de la défaillance ou du bon fonctionnement d'un circuit à composants logiques dans lequel n composants forment un ensemble de composants repérés de 1 à n de manière prédéterminée. Ces composants sont reliés entre eux pour que cet ensemble présente, sur une sortie, un état logique qui dépend de l'état de défaillance ou de bon fonctionnement de l'ensemble et qui dépend de l'état de défaillance ou de bon fonctionnement de chacun des n composants de l'ensemble. Chacun des composants de l'ensemble présente au moins une entrée de simulation qui est apte à recevoir un signal de simulation de la défaillance ou du bon fonctionnement de ce composant.

Ce système de test peut permettre l'étude de circuits électroniques comprenant une pluralité de composants logiques, mais il peut permettre, par analogie, l'étude de la défaillance ou du bon fonctionnement d'un circuit hydraulique par exemple, dont un ou plusieurs composants peuvent être en état de défaillance ou de bon fonctionnement ; dans ce cas, le circuit hydraulique est remplacé par un circuit électronique comprenant une pluralité de composants logiques dont le fonctionnement est équivalent, par analogie, à celui des composants correspondants du circuit hydraulique.

Généralement, un circuit constitué de composants logiques présente une sortie dont l'état logique dépend de l'état de défaillance ou de bon fonctionnement de chacun de ses composants. Ce circuit peut être, comme on l'a mentionné plus haut, soit un circuit réel, soit un circuit simulant un circuit à étudier. Chacun des composants présente généralement une entrée qui est reliée à une sortie

d'un autre composant du circuit et une autre entrée qui peut recevoir un signal de simulation de la défaillance ou du bon fonctionnement de ce composant.

5 Les systèmes qui permettent de tester des circuits de ce type sont généralement compliqués et coûteux, difficiles à mettre en oeuvre ; ils sont généralement constitués par un calculateur qui est relié au circuit à tester par l'intermédiaire d'une interface spécifique à chaque circuit. Ce type de système nécessite un programme de traitement particulier à chaque circuit et il en résulte que les tests effectués peuvent présenter une durée importante.

15 Dans les tests de circuits constitués de composants logiques, l'homme de l'art a coutume d'utiliser un certain nombre de termes qui sont les suivants :

- 20 - la coupe d'un circuit est l'ensemble de tous les repères des composants défaillants de ce circuit, tels que si tous ces composants sont défaillants, le circuit est défaillant, les autres composants de ce circuit, qui ne font pas partie de la coupe, étant en bon fonctionnement ;
- 25 - le lien d'un circuit est l'ensemble de tous les repères des composants en bon fonctionnement de ce circuit, tels que si tous ces composants sont en bon fonctionnement, le circuit est en bon fonctionnement, tous les autres composants du circuit qui ne font pas partie du lien, étant défaillants.
- 30 L'ordre d'une coupe ou d'un lien est constitué par le nombre de repères des composants respectivement défaillants ou en bon fonctionnement qui décrivent la coupe ou le lien ;
- 35 - la coupe minimale est une coupe telle qu'il est impossible de trouver une autre configuration, en

supprimant un ou plusieurs éléments défaillants parmi ceux dont les repères décrivent la coupe et qui permettraient de maintenir le circuit en état de défaillance ;

- 5 - un lien minimal est un lien tel qu'il est impossible de trouver une autre configuration, en supprimant un ou plusieurs composants en bon fonctionnement, parmi ceux dont les repères décrivent le lien et qui permettraient de maintenir le circuit
- 10 en état de bon fonctionnement ;
- la coupe minimale par rapport à l'ordre précédent est une coupe telle qu'il n'est pas possible de trouver une autre configuration de cette coupe, en supprimant un seul composant défaillant, parmi
- 15 ceux dont les repères décrivent la coupe, tout en maintenant le circuit en état de défaillance ;
- de la même manière, un lien minimal par rapport à l'ordre précédent est un lien tel qu'il n'est pas possible de trouver une autre configuration de ce
- 20 lien en supprimant un seul composant en bon fonctionnement parmi ceux dont les repères décrivent le lien, tout en maintenant le circuit en état de bon fonctionnement.

 En plus des inconvénients mentionnés plus

25 haut, les systèmes de test connus ne permettent pas, de façon simple, de déterminer si une coupe ou un lien est minimal par rapport à l'ordre précédent. Dans la suite de la description, le terme "minimal" devra être compris comme "minimal par rapport à

30 l'ordre précédent".

 L'invention a pour but de réaliser un système de test de la défaillance ou du bon fonctionnement d'un circuit à n composants, qui permet de remédier aux inconvénients mentionnés plus haut et notamment d'effectuer des tests de manière rapide,

35

simple, peu coûteuse et efficace, sur des circuits dont on a déterminé une coupe ou un lien ; elle permet également de rechercher de manière simple et rapide si cette coupe ou ce lien est minimal.

- 5 L'invention a pour objet un système de test de la défaillance ou du bon fonctionnement d'un circuit à composants logiques dans lequel n composants forment un ensemble de composants repérés de 1 à n de manière prédéterminée et reliés entre eux
- 10 pour que cet ensemble présente sur une sortie, un état logique qui correspond à l'état de défaillance ou au bon fonctionnement de l'ensemble, et qui dépend de l'état de défaillance ou de bon fonctionnement de chacun des n composants de l'ensemble, cha-
- 15 cun des n composants de l'ensemble présentant au moins une entrée de simulation apte à recevoir un signal de simulation de la défaillance ou du bon fonctionnement de ce composant, caractérisé en ce qu'il comprend :
- 20 - des moyens de test dont les sorties sont respectivement reliées aux entrées de simulation des composants, ces moyens de test permettant de mettre un ou plusieurs composants, respectivement en état de défaillance ou de bon fonctionnement, puis de
- 25 remettre inversement et réciproquement ce ou ces composants, en état de bon fonctionnement ou de défaillance, pour une ou plusieurs combinaisons parmi les n composants de l'ensemble, ces moyens de test présentant une sortie caractéristique qui,
- 30 lorsque la sortie de l'ensemble présente un état de défaillance ou de bon fonctionnement correspondant à un état de défaillance ou de bon fonctionnement des composants de l'ensemble, fournit un signal qui présente :
- 35 - un premier état logique, si la sortie de

5 l'ensemble présente un état de bon fonctionnement ou un état de défaillance, à chaque fois qu'un ou plusieurs composants respectivement défaillant ou en bon fonctionnement sont remis par les moyens de test respectivement en bon fonctionnement ou en défaillance et ceci pour une ou plusieurs combinaisons des composants de l'ensemble, pris séparément.

10 - un second état logique, si la sortie de l'ensemble présente un état de bon fonctionnement ou de défaillance, à chaque fois qu'un ou plusieurs composants respectivement en bon fonctionnement ou en défaillance sont remis par les moyens de test, respectivement en état de défaillance ou de bon fonctionnement et ceci pour une ou plusieurs combinaisons des composants de l'ensemble, puis séparément.

20 - des moyens pour arrêter les moyens de test.

25 Selon une autre caractéristique, l'ensemble des repères des composants défaillants définissant une coupe si le circuit est défaillant et l'ensemble des repères des composants en bon fonctionnement définissant un lien si le circuit est en bon fonctionnement, l'ordre de la coupe ou du lien est défini comme étant respectivement le nombre de repères des composants défaillants ou en bon fonctionnement, les moyens de test comprennent des moyens de mémorisation comportant une bascule de mémorisation des résultats de simulation présentant une entrée de commande d'initialisation apte à recevoir un signal

30 de commande d'initialisation pour que cette bascule présente, à l'initialisation, un état logique prédéterminé initial, correspondant respectivement à une

35

coupe minimale ou un lien minimal si cet état est restitué à la fin du test, ces moyens de mémorisation comportant en outre un circuit logique dont une entrée est reliée à la sortie du circuit à tester et dont une sortie commande le changement d'état de la bascule, de façon à obtenir sur la sortie de celle-ci, l'état logique complémentaire de l'état prédéterminé initial dans le cas où la sortie du circuit à tester ne change pas de niveau lorsqu'on simule l'état complémentaire d'un composant décrivant respectivement la coupe ou le lien étudié et ceci pour chacun des composants décrivant la coupe ou le lien, pris séparément, la bascule restant dans son état initial dans le cas où la sortie du circuit change d'état.

Selon une autre caractéristique, les moyens de test comprennent un ensemble d'au moins n bascules de mémorisation d'états logiques de simulation, les sorties de ces bascules étant reliées respectivement aux entrées de simulation des composants, les états logiques de simulation de défaillance ou de bon fonctionnement des composants du circuit étant chargés dans ces bascules à l'initialisation du système des moyens de commande dont des sorties de commande sont reliées à des entrées d'un ensemble logique de sélection et de commande des bascules, pour que la sortie de chaque bascule de mémorisation d'état de simulation, sélectionnée présente successivement et respectivement l'état logique de la bascule à l'initialisation, l'état logique inverse, puis à nouveau l'état logique de la bascule à l'initialisation.

Selon une autre caractéristique, les moyens de commande comprennent un registre à décalage comportant au moins n bascules de commande reliées en série et présentant chacune une sortie de

commande, ce registre présentant en outre une entrée générale de remise à zéro, une entrée de mémorisation et une entrée de commande de décalage de ce signal, les entrées de commande de l'ensemble logique de sélection étant reliées aux sorties de commande des bascules du registre à décalage, les sorties de cet ensemble logique étant reliées à des entrées de commande des bascules de l'ensemble de mémorisation P, l'ensemble logique étant constitué de manière que chaque bascule sélectionnée pour appliquer un signal de simulation sur l'entrée de simulation de chaque composant prédéterminé, corresponde à la présence d'un niveau logique prédéterminé sur la sortie de commande de la bascule correspondante du registre à décalage, cet ensemble logique comprenant en outre deux entrées supplémentaires de commande aptes à recevoir respectivement des signaux de commande de test pour que la sortie de chaque bascule sélectionnée présente successivement l'état logique de la bascule à l'initialisation, l'état logique inverse de l'état initial, puis à nouveau l'état logique initial de cette bascule.

Selon une autre caractéristique, les moyens de commande de test comprennent en outre des moyens logiques de synchronisation pour produire sur des sorties les signaux de commande de mémorisation des résultats de simulation des signaux de remise à zéro du registre à décalage, de signaux de mémorisation et de commande de décalage appliqués aux entrées correspondantes de la première bascule du registre et un signal de commande d'initialisation appliqué à l'entrée correspondante de la bascule de mémorisation des résultats de simulation.

Selon une autre caractéristique, le système comprend en outre un compteur chargé initiale-

ment à la valeur de l'ordre de la coupe ou du lien, ce compteur présentant une entrée reliée à la sortie des moyens logiques de synchronisation qui produit les signaux de commande de mémorisation des résultats de simulation, le contenu de ce compteur décrémentant d'une unité à chaque signal de commande de mémorisation des résultats de simulation, une sortie de ce compteur étant reliée à une entrée de commande d'arrêt des moyens de synchronisation pour arrêter le système lorsque tous les composants ont été testés.

Selon une autre caractéristique, une sortie de la bascule de mémorisation des résultats de simulation est reliée d'une part à des moyens pour indiquer que la coupe ou le lien n'est pas minimale et d'autre part, à l'entrée de commande d'arrêt des moyens de synchronisation pour arrêter le système lorsque la coupe ou le lien n'est pas minimal.

Selon une autre caractéristique, l'ensemble logique de commande comprend deux ensembles de portes ET comprenant chacun un nombre de portes égal au nombre n de bascules P_i et au nombre n de bascules L_i , chacune de ces portes correspondant à une bascule L_i et à une bascule P_i , chaque porte ET du premier ensemble présentant une entrée reliée à une sortie de commande de la bascule correspondante du registre à décalage et une autre entrée reliée à la sortie des moyens de synchronisation pour recevoir l'un des signaux de commande de test, la sortie de cette bascule étant reliée à l'une des entrées de commande de la bascule P_1 de l'ensemble P pour la faire passer dans l'état inverse de son état initial, chaque porte ET du deuxième ensemble présentant une entrée reliée à une sortie de commande de la bascule L_1 correspondante du registre à décalage

et une autre entrée reliée à la sortie des moyens de synchronisation pour recevoir un autre des signaux de commande de test, la sortie de cette porte ET étant reliée à une autre des entrées de commande de la bascule P_1 correspondante de l'ensemble pour ramener cette bascule dans son état initial.

Selon une autre caractéristique, l'ensemble logique de commande et de sélection comprend en outre un troisième ensemble logique de portes ET, chaque porte ET présentant une entrée reliée à la sortie de commande de la bascule L_i correspondante du registre à décalage et une autre entrée reliée à la sortie de la bascule P_i correspondante de l'ensemble de mémorisation, les sorties de ces portes ET étant reliées aux entrées d'une porte OU dont la sortie est reliée à une autre entrée de commande des moyens de synchronisation pour indiquer la présence d'un état logique de simulation sur une sortie d'une bascule P_i sélectionnée dans l'ensemble de mémorisation.

Selon une autre caractéristique, les bascules P_i de mémorisation d'états logiques de simulation sont groupées par ensembles identiques sur des modules identiques reliés en série, chacun de ces modules comprenant un registre à décalage de sorte que les registres à décalage soient reliés en série, la sortie de la dernière bascule de mémorisation d'états logiques de simulation d'un module étant reliée à l'entrée de chargement de la première bascule du module suivant, la première bascule L_1 du premier registre à décalage présentant les entrées de mémorisation, de remise à zéro et de commande de décalage, tandis que la sortie de commande de la dernière bascule d'un registre à décalage, est reliée à l'entrée de mémorisation du registre à décalage suivant,

l'ensemble logique de commande et de sélection comprenant en outre, pour chaque module, un troisième ensemble de portes ET, chaque porte ET présentant une entrée reliée à la sortie de commande de la bascule L_i correspondante du registre à décalage de ce module, et une autre entrée reliée à la sortie de la bascule P_i correspondante de l'ensemble P correspondant, les sorties de ces portes ET pour chaque module étant reliées aux entrées d'une porte OU dont la sortie est reliée à une autre entrée de commande des moyens de synchronisation, par l'intermédiaire d'un transistor monté en collecteur ouvert, pour indiquer la présence d'un état logique de simulation sur une sortie d'une bascule P_i sélectionnée dans un ensemble de mémorisation de l'un des modules.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, donnés en référence aux dessins annexés dans lesquels :

- 20 - la figure 1A représente schématiquement un circuit hydraulique dont on veut étudier l'état de défaillance ou de bon fonctionnement en cas de défaillance ou de bon fonctionnement d'un ou de plusieurs de ses composants ;
- 25 - la figure 1B représente schématiquement le circuit de la figure 1A dans lequel ont été rajoutés sur chacun des composants du circuit, des moyens permettant de simuler la défaillance ou le bon fonctionnement de chacun des composants ;
- 30 - la figure 2A est un circuit logique équivalent au circuit hydraulique de la figure 1B et permettant d'étudier les coupes de ce circuit ;
- la figure 2B est un circuit logique équivalent au circuit hydraulique de la figure 1B et permettant d'étudier les liens de ce circuit ;

- la figure 3 représente schématiquement le système conforme à l'invention ;

- la figure 4 représente schématiquement le système de l'invention, réalisé sous forme modulaire.

- la figure 5 est un schéma simplifié du système de la figure 3, pour l'étude d'une coupe à 3 composants, dans un circuit C.

La figure 1A représente schématiquement un circuit hydraulique qui permet d'établir par exemple, la circulation entre un conduit amont 4 et un conduit aval 5, grâce à trois vannes pneumatiques, 1, 2, 3 dont l'ouverture ou la fermeture peut être commandée par la présence ou l'absence d'air comprimé dans les conduits de commande 6, 7, 8. Dans ce circuit, les vannes constituent les seuls composants qui peuvent être, soit en état de défaillance, soit en état de bon fonctionnement. Le circuit hydraulique considéré est défaillant si le fluide n'est pas transmis dans le conduit aval 5. Lorsque seules les vannes 1 et 2 sont défaillantes, le fluide ne passe plus du conduit amont 4 vers le conduit aval 5 ; il en est de même lorsque les vannes 1 et 3 sont défaillantes. Il en résulte que l'ensemble des repères 1 et 2 constitue une coupe et que de la même façon, l'ensemble des repères 1 et 3 constitue aussi une coupe. Dans ce circuit, conformément aux définitions qui ont été données plus haut, la coupe constituée par les repères 1 et 2 (portes ET_1 , ET_2) est une coupe d'ordre 2 ; il en est de même pour la coupe 1,3. La coupe 1,2 est minimale car si on remet le composant 1 en bon fonctionnement, le système redevient en bon fonctionnement ; il en est de même pour le composant 2. Par contre la coupe 1,3 n'est pas minimale car si l'on remet en bon fonctionnement le composant 1, le système reste défaillant.

Lorsque seules les vannes 1 et 3 sont en bon fonctionnement, le fluide passe d'amont en aval, si bien que l'ensemble des repères 1 et 3 constitue un lien. Ce lien est d'ailleurs un lien minimal d'ordre 2 puisqu'il est impossible de trouver une autre configuration, en supprimant le bon fonctionnement d'une de ces deux vannes, qui permette de maintenir le circuit en état de bon fonctionnement.

La figure 1B représente schématiquement le circuit de la figure précédente dans lequel ont été rajoutés, pour chacune des vannes 1, 2, 3, sur les conduits de commande 6, 7, 8, de celles-ci, des moyens 9, 10, 11 qui permettent de simuler l'état de défaillance ou de bon fonctionnement de ces vannes. Un détecteur 12 de passage fluide peut être disposé sur le conduit aval 5 pour indiquer par exemple, par un état logique 0, sur sa sortie 16, la défaillance du circuit hydraulique, lorsqu'un fluide fourni au conduit amont 4, ne se retrouve pas dans le conduit aval 5. Les moyens 9, 10, 11, qui permettent de simuler la défaillance des vannes qui leur correspondent, présentent respectivement des entrées de commande 13, 14, 15. Ces moyens sont respectivement constitués, par exemple, par une vanne à commande électrique qui intervient sur la commande pneumatique de chacune des vannes 1, 2, 3 du circuit. L'entrée de commande de chacune des vannes à commande électrique agit de manière que si une tension est appliquée sur cette entrée, cette vanne se ferme et coupe l'air comprimé qui arrive dans le conduit de commande de la vanne correspondante du circuit hydraulique. Cet arrêt d'arrivée de l'air comprimé simule la défaillance de la vanne correspondante dans le circuit. Cette défaillance étant simulée, il suffit alors d'observer le signal de sortie du détec-

teur de passage de fluide 12 pour savoir si cette défaillance interrompt ou non le passage du fluide vers la sortie des circuits hydrauliques.

La figure 2A représente un circuit logique équivalent au circuit hydraulique de la figure 1B ; ce circuit équivalent permet d'étudier les coupes du circuit hydraulique, c'est-à-dire sa réponse aux défaillances simulées. Dans ce circuit équivalent, la vanne 1 ainsi que la vanne 9 à commande électrique, qui permet de simuler la défaillance de la vanne 1, sont remplacées par la porte ET_1 , une entrée directe 30 de cette porte est portée à un niveau logique 1, pour simuler l'arrivée du fluide dans le conduit amont du circuit hydraulique et une entrée inversée 17 est portée à un état logique de niveau 1, pour simuler la défaillance de ce circuit. De la même manière, la porte ET_2 est équivalente à la vanne 2 associée à la vanne de simulation 10, à commande électrique. Un état logique de niveau 1 sur l'entrée 18 de cette porte simule le passage du fluide, tandis qu'un état logique de niveau 1, sur l'entrée inverse 19, simule la défaillance de cette porte. Enfin, la porte ET_3 est équivalente à la vanne 3 et à la vanne de simulation 11, à commande électrique. L'entrée directe 20 de cette porte, portée à un état logique 1, simule le passage du fluide, tandis que l'entrée inverse 21, portée à un état logique 1, simule la défaillance de cette porte. La porte OU_1 est équivalente à la jonction entre les sorties des vannes 1 et 2. Ce circuit équivalent au circuit hydraulique de la figure 1B, est considéré en état de défaillance lorsque la sortie 22 de la porte ET_3 est à un niveau logique 0. On voit que grâce à ce circuit équivalent, il est possible d'étudier les coupes du circuit hydraulique représenté sur la figure 1B, de manière beaucoup plus simple.

Le circuit de la figure 2B est un circuit logique équivalent au circuit hydraulique de la figure 1b et il permet d'étudier les liens de ce circuit. De la même manière que précédemment, les vannes 1, 2, 3 ainsi que leurs vannes de commande de simulation 9, 10, 11, à commande électrique sont respectivement remplacées par les portes ET₄, ET₅ et ET₆. La porte OU₂ représente la jonction entre les sorties des vannes 1 et 2. Comme précédemment, les portes ET₄, ET₅ et ET₆ présentent des entrées 23, 25, 27 qui, lorsqu'elles sont portées à un niveau logique 1, simulent le passage du fluide dans le circuit hydraulique. Les entrées 24, 26, 28 de ces portes permettent de simuler le bon fonctionnement de chacune des vannes, lorsqu'elles sont portées à un niveau logique 1. Lorsque le circuit est en état de bon fonctionnement, la sortie 29 de la porte ET₆ est à un niveau logique 1. Ainsi, ce circuit logique équivalent au circuit hydraulique de la figure 1B permet d'étudier les liens de ce circuit hydraulique, c'est-à-dire son état de bon fonctionnement, en fonction de l'état de bon fonctionnement de chacun de ses composants.

Comme on le verra plus loin en détail, le système de test conforme à l'invention permet d'appliquer par exemple à chacune des entrées de simulation de défaillance ou de bon fonctionnement des portes ET des figures 2A et 2B, des signaux permettant de simuler le bon fonctionnement ou la défaillance de chacune de ces portes et de mémoriser en sortie, l'état de défaillance ou de bon fonctionnement du circuit, au cours de la simulation de chaque composant du circuit correspondant à la coupe ou au lien que l'on veut étudier.

La figure 3 représente de manière schématique un système de test de la défaillance ou du bon fonctionnement d'un circuit C à n composants logiques, repérés de 1 à n , de manière prédéterminée. Le circuit C représenté en exemple sur cette figure est le même que celui de la figure 2A. Ce circuit est équivalent au circuit de la figure 1B et permet d'étudier les coupes de ce circuit. Les composants qu'il permet de simuler sont constitués par les portes ET₁, ET₂ et ET₃. Comme indiqué plus haut, l'entrée 30 de ce circuit est portée à un niveau logique 1 pour simuler le passage du fluide dans le circuit hydraulique correspondant. La sortie de ce circuit est représentée en 22, tandis que les entrées de simulation des différents composants sont référencées 17, 19, 21. La présence d'un niveau logique 0 sur la sortie 22 de ce circuit indique la défaillance de celui-ci.

Il est bien évident que dans l'exemple du circuit C représenté sur cette figure, le système de l'invention permet de tester une coupe sur un circuit constituée de trois composants, mais qu'il pourrait permettre de tester une coupe sur un circuit comportant un nombre n de composants, bien supérieur à 3.

Il est bien évident aussi que d'autres composants supposés non défaillants dans l'étude, peuvent être simulés dans le circuit C ; c'est par exemple le cas de la porte OUI. Avec le circuit C, tel qu'il est décrit, plusieurs coupes peuvent être étudiées : par exemple la coupe simulant une défaillance sur les entrées 17, 19, 21, ou encore la coupe simulant une défaillance sur les entrées 17, 19, ou encore la coupe simulant une défaillance sur l'entrée 21, ou encore la coupe simulant une dé-

faillance sur les entrées 17, 21 etc....

Enfin, le système qui va être décrit dans son application au test des composants d'une coupe dans un circuit, tel que le circuit de la figure 2A, peut être appliqué de la même manière au test des composants d'un lien dans un circuit tel que le circuit de la figure 2B.

Dans l'exemple représenté sur la figure, les sorties QP_1 , QP_2 , QP_3 des moyens de test MT sont reliées respectivement aux entrées de simulation 17, 19, 21 des portes ET_1 , ET_2 , ET_3 du circuit C. Ces moyens de test, qui seront décrits plus loin en détail, permettent d'appliquer à l'ensemble des composants, décrivant une coupe, des signaux logiques de niveau 1 simulant leur défaillance et des niveaux logiques 0 simulant le bon fonctionnement des autres composants, puis successivement à chaque composant décrivant la coupe un signal logique de niveau 0 simulant l'état de bon fonctionnement de ce composant suivi d'une remise au niveau logique 1, afin d'observer si en sortie du circuit, la remise en état de bon fonctionnement de l'un des composants maintient ou non le circuit en état de défaillance. Si à la fin de ces tests, le circuit a été remis à chaque test, en état de bon fonctionnement, c'est que la coupe étudiée est minimale. Le système de test comprend aussi des moyens de mémorisation M, reliés à la sortie 22 du circuit pour mémoriser l'état de défaillance ou de bon fonctionnement de ce circuit, au cours de la simulation des divers composants d'une coupe de celui-ci. Ces moyens de mémorisation comprennent une bascule 31 qui permet de mémoriser les résultats de simulation des divers composants de la coupe étudiée. Cette bascule bien connue dans l'état de la technique, comprend notamment des entrées de commande PR et CLEAR. L'entrée PR

permet de mettre cette bascule au niveau logique 1, à l'initialisation du système, par application sur cette entrée d'un signal logique de niveau logique 0. L'entrée CLEAR permet de mettre cette bascule au niveau logique 0, en appliquant un signal de niveau logique 0 sur cette entrée. Comme on le verra plus loin en détail, le signal appliqué à l'entrée PR de la bascule 31, à l'initialisation du système est fourni par des moyens logiques de synchronisation SYN. L'entrée CLEAR de la bascule 31 est reliée à la sortie 22 du circuit C, par l'intermédiaire d'un circuit logique constitué par une porte ET_8 à sortie inversée, dont une entrée 32 inverse le niveau du signal logique provenant de la sortie 22 du circuit C. L'autre entrée 33, de la porte ET_8 est reliée à une sortie de moyens de test MT et plus précisément à une sortie 34 des moyens de synchronisation SYN qui permettent d'appliquer à cette porte un signal impulsif de synchronisation SYNC, de niveau logique 1, à chaque fois qu'un signal de simulation est appliqué à un composant. L'entrée CLEAR de la bascule 31 est une entrée de commande de mémorisation des résultats de simulation.

Si l'on procède à l'étude d'une coupe minimale la bascule 31 reste à un niveau logique 1 initial au cours de la simulation des divers composants. Comme on l'a indiqué plus haut, les 3 composants ET_1 , ET_2 , ET_3 du circuit C des figures 2A et 3, ne constituent pas une coupe minimale. Le circuit C représenté sur ces figures est équivalent au circuit hydraulique de la figure 1B ; l'arrivée du fluide à l'entrée du circuit hydraulique est simulée par un signal de niveau logique 1, appliqué à l'entrée 30 du circuit C. Si on étudie une coupe sur le circuit C, ou un circuit analogue la défaillance de

ce circuit se traduit par un signal de niveau logique 0 sur la sortie 22 de celui-ci. Il en résulte qu'une coupe étudiée sur le circuit C est minimale si la sortie inversée de la porte ET_8 est toujours
5 remise à un niveau logique 1 lorsque les composants qui décrivent la coupe sont remis successivement et séparément en état de bon fonctionnement, puis en état de défaillance. (C'est le cas par exemple de la coupe constituée par les composants ET_1 , ET_2 du circuit C). Si la coupe est minimale, la sortie 35 de
10 la bascule 31 reste à un niveau logique 1. Si par contre, lors de la simulation de l'un des composants du circuit C, qui traduit le bon fonctionnement de ce composant, la sortie 22 du circuit C reste à un
15 niveau logique 0, la sortie de la porte ET_8 passe à un niveau 0 au moment de l'application du signal SYNC et la sortie 35 de la bascule 31, passe à un niveau logique 0 ; ce niveau logique 0 sur la sortie 35 de la bascule 31 indique qu'au cours de la simulation des différents composants, le passage d'un
20 état de défaillance à un état de bon fonctionnement de l'un des composants a gardé le circuit C en état de défaillance et qu'ainsi, la coupe n'est pas minimale. Au cours des tests, les moyens de test MT permettent d'appliquer à l'ensemble des entrées de simulation des composants correspondant à la coupe, un
25 niveau logique 1 simulant une défaillance, puis successivement, l'entrée de simulation de chaque composant est portée à un niveau logique 0 simulant l'état de bon fonctionnement de ce composant, puis à
30 un niveau logique 1 simulant à nouveau un état de défaillance ; les entrées de simulation des autres composants correspondant à la coupe sont, pendant la durée de la simulation d'un composant, à un niveau
35 logique 1 simulant la défaillance de ceux-ci.

Il est bien évident que le même agencement de signaux peut permettre d'étudier les liens sur le circuit représenté sur la figure IIb.

Les moyens de test MT comprennent un ensemble P dont au moins n bascules $P_1, P_2, P_3, P_i \dots P_n$ qui permettent de mémoriser les états logiques de simulation des composants de la coupe à étudier. Les sorties $QP_1, QP_2 \dots QP_i, \dots QP_n$ de ces bascules sont, comme on l'a mentionné plus haut, respectivement reliées aux entrées de simulation des composants des circuits C. C'est ainsi que dans l'exemple considéré, les sorties QP_1, QP_2, QP_3 sont respectivement reliées aux entrées de simulation 17, 19, 21 des composants du circuit C. Dans ce cas, la coupe étudiée est d'ordre 3.

Comme on le verra plus loin en détail, les états logiques de simulation de défaillance ou de bon fonctionnement des composants du circuit C qui constituent une coupe, sont chargés dans ces bascules, à l'initialisation du système. Les moyens de test MT comprennent aussi des moyens de commande MC dont des sorties $QL_1, QL_2, QL_3 \dots QL_i \dots QL_n$ sont reliées à des entrées d'un ensemble logique EL_1, EL_2 de sélection et de commande des bascules P_i , pour que les sorties de ces bascules de mémorisation P_i , sélectionnées pour simuler les composants déterminés du circuit présentent tout d'abord l'état logique 1 pour simuler une défaillance dans le cas d'une coupe, puis pour que chaque sortie présente successivement l'état logique inverse (zéro), (simulant le bon fonctionnement du composant correspondant) puis à nouveau l'état logique 1 initial de la bascule.

Comme on le verra plus loin en détail, ces changements d'état logique sur les sorties des bascules P_i sélectionnées, sont commandés par des si-

gnaux MA_0 , MA_1 , provenant des moyens de synchronisation SYN ; ces signaux sont appliqués respectivement aux ensembles logiques EL_1 et EL_2 . Les moyens de commande MC comprennent un registre à décalage L ainsi que les moyens de synchronisation SYN mentionnés plus haut. Le registre à décalage L comporte au moins n bascules de commande $L_1, L_2 \dots L_i \dots L_n$ qui sont reliées en série. Les sorties $QL_1 \dots QL_i \dots QL_n$, de ces bascules constituent des sorties de commande de l'ensemble P de mémorisation d'états logiques de simulation. La première bascule L_1 du registre à décalage L présente trois entrées reliées respectivement aux sorties R, Q, C, des moyens de synchronisation SYN ; cette bascule reçoit ainsi un signal RAZL de remise à zéro du contenu du registre à décalage, un signal QL_0 présentant un état logique prédéterminé qui est mémorisé, avant décalage, dans la bascule L_1 du registre, et un signal CL d'horloge qui permet de commander les décalages dans le registre L du signal QL_0 mémorisé initialement dans la bascule L_1 . Les entrées de commande de l'ensemble logique EL_1, EL_2 de sélection sont respectivement reliées aux sorties de commande $QL_1 \dots QL_i \dots QL_n$ des bascules $L_1 \dots L_i \dots L_n$. Les sorties de cet ensemble logique sont reliées à des entrées de commande $PR_1 \dots PR_i \dots PR_n, CL_1 \dots CL_i \dots CL_n$, des bascules de l'ensemble P. L'ensemble logique EL_1, EL_2 est constitué de manière que chaque bascule P_i sélectionnée dans l'ensemble de mémorisation P, pour appliquer un signal de simulation sur l'entrée de simulation d'un composant prédéterminé d'une coupe du circuit C, corresponde à la présence d'un niveau logique prédéterminé (niveau 1) sur la sortie de commande QL_i de la bascule L_i correspondante. Cet ensemble logique présente en outre deux entrées supplémentaires de

commande, aptes à recevoir respectivement les signaux MA_0 , MA_1 , de commande de test, pour que la sortie de chaque bascule P_i sélectionnée présente successivement l'état logique de la bascule à l'initialisation (état logique 1), l'état logique inverse (état logique 0) de l'état initial, puis à nouveau l'état logique initial 1 de cette bascule. (Dans le cas de l'étude d'une coupe).

Les moyens logiques de synchronisation SYN produisent sur leurs sorties des signaux SYNC de commande de mémorisation des résultats de simulation, les signaux RAZL de remise à zéro du registre à décalage L, ainsi que les signaux QL_0 et CL de mémorisation et de commande de décalage, appliqués à la première bascule du registre L. Ces moyens de synchronisation produisent également sur une sortie, un signal INIT qui permet d'initialiser l'état logique de la bascule 31 de mémorisation des résultats de simulation. Dans l'exemple décrit, le signal 0, à l'initialisation du système, pour charger la bascule 31 au niveau 1.

Le système comprend aussi un compteur CPRE qui est chargé par une entrée CP, à l'initialisation, par une valeur correspondant à l'ordre de la coupe ou du lien (valeur égale à 3, si l'on considère la coupe constituée par les composants ET_1 , ET_2 , ET_3). Ce compteur présente une entrée qui est reliée à la sortie 34 des moyens de synchronisation SYN pour recevoir le signal de commande de mémorisation SYNC des résultats de simulation. Le contenu de ce compteur décroît ainsi d'une unité pour chaque signal SYNC de commande de mémorisation, reçu sur son entrée. Une sortie de ce compteur est reliée, comme on le verra plus loin en détail, à une entrée BL de commande d'arrêt des moyens de synchronisation SYN, pour arrêter le système lorsque tous les composants de la coupe ont été simulés.

Enfin, la sortie 35 de la bascule 31 de mémorisation des résultats de simulation, est reliée d'une part à des moyens 36 pour indiquer que la coupe ou le lien n'est pas minimale, et d'autre part, à l'entrée de commande d'arrêt BL des moyens de synchronisation, par l'intermédiaire d'une porte OU 37, pour arrêter le système lorsque la coupe ou le lien n'est pas minimal. Les moyens 36 peuvent être constitués par exemple par un indicateur lumineux. La coupe ou le lien n'est pas minimal lorsque la sortie 35 qui était au niveau 1, passe au niveau 0.

L'ensemble logique de sélection et de commande comprend deux ensembles EL_1 , EL_2 , de porte ET présentant chacune une sortie inversée. Ces deux ensembles comprennent chacun respectivement un nombre de portes égal au nombre n de bascules P_i de l'ensemble P ainsi qu'au nombre n de bascules L_i du registre à décalage L . Chaque porte ET à sortie inversée du premier ensemble logique EL_1 , présente une entrée qui est reliée à une sortie de commande de la bascule L_i correspondante et une autre entrée qui est reliée à la sortie M_0 des moyens de synchronisation pour recevoir le signal de commande de test MA_0 .

C'est ainsi, par exemple sur la figure, que l'entrée 38 de la première porte 39 de l'ensemble EL_1 est reliée à la sortie QL_1 du registre L , tandis que l'autre entrée 40 de cette porte reçoit le signal MA_0 de commande de test, provenant des moyens de synchronisation SYN. Les sorties des portes de ce premier ensemble logique sont respectivement reliées, après inversion, à l'une des entrées de commande $CL_1 \dots CL_i \dots CL_n$ des bascules P_i de l'ensemble P . Les bascules de l'ensemble P sont chargées

à l'initialisation du système. Le signal MA_0 de niveau logique 1 qui, après passage dans chaque porte de l'ensemble EL_1 devient un signal de niveau logique 0, est appliqué successivement sur les entrées de commande CL_1, CL_2, CL_3 des bascules de l'ensemble P et fait passer ces bascules à l'état logique 0, si leur état initial était au niveau 1.

De même manière, chaque porte ET à sortie inversée du deuxième ensemble logique EL_2 , présente une entrée qui est reliée à une sortie de commande de la bascule L_1 correspondante du registre à décalage L, et une autre entrée qui est reliée à la sortie M_1 des moyens de synchronisation SYN, pour recevoir les signaux MA_1 de commande de test. Les sorties inversées de ces portes ET du deuxième ensemble logique, sont respectivement reliées aux autres entrées de commande $PR_1...PR_i...PR_n$ des bascules de l'ensemble P pour ramener ces bascules dans leur état initial (niveau logique 1) au cours des tests, grâce aux signaux MA_1 .

C'est ainsi par exemple que la première porte ET 41 de ce deuxième ensemble logique présente une entrée 42 qui est reliée à la première sortie QL_1 de commande du registre à décalage L, et une autre entrée 43, qui reçoit un signal MA_1 de niveau logique 1 quand la bascule doit être ramenée dans son état logique initial, c'est-à-dire l'état logique 1.

Les bascules de mémorisation P_i de l'ensemble de mémorisation P d'état logique de simulation peuvent être par exemple les bascules de l'ensemble P du générateur de signaux logiques combinés décrits dans la demande de brevet n° 8 101 392 déposée le 26 Janvier 1981 au nom du même demandeur.

Dans ce cas, les bascules ont été initia-

lement chargées grâce à ce générateur de combinaison de manière qu'un agencement prédéterminé de certaines d'entre elles correspondant à la coupe ou au lien étudié, présente sur ses sorties, des signaux logiques de niveau 1.

Dans le système de test qui vient d'être décrit, des bascules successives de l'ensemble P correspondent à chacun des composants qui décrit la coupe ou le lien. Il est bien évident que d'autres bascules P_k peuvent être insérées entre les bascules P_i pour agir sur d'autres composants, non représentés, dont les repères ne correspondent pas à ceux de la coupe ou du lien étudié.

Il est ainsi possible d'obtenir un ensemble P de bascules, ordonnées de 1 à n , dans lequel n représente le nombre total des composants d'un circuit.

Lors des simulations des différents composants du circuit C dont on veut étudier une coupe, la sortie 22 de ce circuit est au niveau logique 0, si celui-ci est en défaillance.

Au cours des simulations des divers composants d'une coupe de circuit C , s'il apparaît que la mise en état de bon fonctionnement de l'un des composants, par l'application d'un signal de niveau logique 0 sur l'entrée de défaillance de ce composant, conserve la défaillance du circuit C , la sortie de ce circuit reste au niveau logique 0. Au moment de l'application de l'impulsion SYNC, sur la porte ET_8 , il apparaît à la sortie de cette porte, un signal de niveau logique 0 qui provoque le passage de la bascule de mémorisation 31 à l'état logique 0. Ce changement indique alors que la coupe étudiée n'était pas une coupe minimale.

Le système fonctionne de manière diffé-

rente dans la recherche d'une coupe minimale, selon que les repères de composants en panne et donc les positions des niveaux logiques 1 sur les sorties de l'ensemble de mémorisation P, sont connus ou selon

5 que ces repères ainsi que les positions de niveaux logiques 1 sur les sorties de l'ensemble de mémorisation P, sont inconnus. A l'initialisation du système et dans les deux cas, les sorties du registre P de mémorisation de l'état logique de simulation, qui

10 sont reliées aux entrées de simulation des composants du circuit C, sont à un niveau logique 1 pour tous les composants correspondant à la coupe et à un niveau logique 0 pour tous les autres composants. Si l'étude est celle d'une coupe, un état logique 0 est

15 présent sur la sortie 22 de ce circuit. Si cette coupe est minimale, les simulations successives d'états de bon fonctionnement, sur chacune des entrées de simulation des trois composants de la coupe doivent toutes provoquer l'apparition d'un signal de

20 niveau logique 1 sur la sortie 22 de ce circuit. Les composants ET_1 , ET_2 , ET_3 du circuit C ne constituent pas une coupe minimale.

En effet, la remise en état de bon fonctionnement d'un seul des composants du circuit (ET_3 par exemple), conserve le circuit lui-même en état de défaillance, et la coupe n'est pas minimale.

25

Il en résulte que le système de test de l'invention va opérer de la manière suivante, dans le cas du circuit C représenté en exemple sur la

30 figure et dans le cas où on étudie la coupe ET_1 , ET_2 , ET_3 , d'ordre 3 : Les entrées de simulation 17, 19, 21 des portes ET_1 , ET_2 , ET_3 étant initialement à un niveau logique 1 simulant la défaillance de ces composants, l'entrée 17 de la porte ET_1 va être por-

tée à un niveau logique 0, simulant l'état de bon fonctionnement de cette porte, les autres entrées de simulation des deux autres portes restant à un niveau logique 1. La simulation de l'état de bon fonctionnement de la porte ET_1 ne change rien sur la sortie 22 du circuit C, qui reste à l'état logique 0 et change donc sur la sortie 35 de la bascule 31 de mémorisation, qui passe à l'état logique 0, au moment de l'impulsion SYNC.

- 10 Il résulte de ces tests que la coupe constituée par les composants ET_1 , ET_2 , ET_3 du circuit C, n'est pas une coupe minimale, puisque la remise en état de bon fonctionnement de l'un des composants décrivant la coupe, ne change rien à l'état de défaillance de ce circuit. Les mêmes opérations pourraient être bien entendu effectuées sur un circuit représentant un lien, analogue par exemple à celui de la figure 2B ou sur une coupe quelconque du circuit C. C'est ainsi que la coupe d'ordre 2, constituée par les composants ET_1 , ET_2 , est une coupe minimale. En effet, si ET_3 est en bon fonctionnement, ET_1 et ET_2 en défaillance le circuit C est en défaillance ; si on simule alors le bon fonctionnement de ET_1 , la sortie du circuit C passe en état de bon fonctionnement (niveau logique 1) ce qui ne provoque pas de changement sur la sortie 35 de la bascule 31 de mémorisation, au moment de l'impulsion SYNC. Le composant ET_1 est alors remis en état de défaillance. Si on simule alors le bon fonctionnement du composant ET_2 , le circuit C passe en état de bon fonctionnement, ce qui ne provoque pas de changement sur la sortie 35 de la bascule 31. Le composant ET_2 est alors remis en état de défaillance. Les deux composants décrivant la coupe ayant été testés en remettant en bon fonctionnement le circuit, la coupe est donc minimale, ce qui se traduit par un niveau 1 à la sortie 35 de la bascule 31.

Dans le mode de réalisation du système de l'invention, représenté sur cette figure, on a supposé que les repères et donc les positions des bascules de l'ensemble P qui sont à un niveau 1, sont connus.

Dans ce cas, à l'initialisation, la bascule de mémorisation 31 est mise à 1, et le registre L est remis à zéro par un signal de remise à zéro appliqué sur l'entrée RAZL du registre L, commandant ainsi la remise à zéro de toutes les bascules L_i . Un signal de mémorisation de niveau logique 1 est alors appliqué sur l'entrée de mémorisation QL_0 du registre à décalage L, en même temps qu'une impulsion CL provoquant une mise à l'état logique 1 de la première bascule L_1 , toutes les autres bascules du registre à décalage L étant au niveau logique 0. Cette opération est celle qui permet d'insérer un niveau logique 1 unique dans le registre L, dans la bascule L_1 . Cette opération permet, par l'intermédiaire de la première bascule de l'ensemble logique EL_1 et de la première bascule de l'ensemble logique EL_2 , de simuler le premier composant du circuit C en appliquant le signal MA_0 sur l'entrée 40 de la porte 39 qui fait passer la sortie QP_1 de la bascule P_1 de l'ensemble P au niveau logique 0, simulant ainsi le bon fonctionnement du premier composant ET_1 . Si cette simulation de bon fonctionnement laisse apparaître sur la sortie 22 du circuit C, un niveau logique 0 représentant la défaillance de ce circuit, c'est que la coupe n'était pas minimale et il n'est pas nécessaire alors d'effectuer d'autres simulations.

Au contraire, si cette simulation du bon fonctionnement du composant ET_1 remet en état de bon fonctionnement la sortie du circuit C, une autre impulsion de décalage est appliquée à l'entrée CL du registre à décalage L, tandis que l'entrée QL_0 est

portée au niveau logique 0. Cette nouvelle impulsion appliquée à l'entrée CL du registre à décalage propage le niveau 1 qui était contenu dans la bascule L_1 , dans la bascule L_2 pour permettre la simulation du composant ET_2 par l'intermédiaire de la bascule P_2 .

Il est bien évident que ce niveau est propagé jusqu'à la bascule L_i du registre à décalage L, pour permettre la simulation du composant de rang i , par l'intermédiaire de la bascule P_i .

Il est bien évident que si les composants de rang i décrivant la coupe ne correspondent pas à des bascules P_i successives, il faut propager le niveau 1 dans le registre L en face de chacune des bascules P correspondant aux composants décrivant la coupe.

Bien entendu aussi, après la simulation de bon fonctionnement du composant ET_1 , la bascule P_1 de l'ensemble P est remise à l'état initial de niveau 1 grâce à l'application du signal MA_1 sur la première porte de l'ensemble logique EL_2 , la bascule P_1 ayant été mise à 0 par application du signal MA_0 sur la première porte de l'ensemble logique EL_1 . L'application des signaux MA_0 et MA_1 est répétée un nombre de fois égal à celui des composants qui constituent la coupe. Si à la fin de toutes ces opérations, la bascule de mémorisation 31 est restée à l'état logique 1, c'est que la coupe était minimale, comme on l'a indiqué plus haut.

La figure 4 représente schématiquement deux autres modes de réalisation d'un système conforme à l'invention. L'un de ces modes de réalisation concerne le cas où la position des bascules de l'ensemble de mémorisation P, qui sont à un niveau logique 1, est inconnue. Un autre mode de réalisa-

tion, qui est représenté sur la même figure, concerne le cas où la position des bascules de l'ensemble P, qui sont au niveau 1, étant inconnue, le système est construit sous forme modulaire. Les mêmes éléments portent les mêmes références sur cette figure et sur la figure précédente.

Dans le mode de réalisation qui est représenté sur la partie gauche de la figure, le système de l'invention comprend comme précédemment, les bascules $P_1, P_2 \dots P_n$ de l'ensemble de mémorisation P qui délivrent sur leurs sorties les signaux $QP_1, QP_2 \dots QP_i \dots QP_n$. Il comprend également l'ensemble logique EL_1 et EL_2 qui reçoit les signaux MA_0 et MA_1 qui permettent de commander les changements d'états logiques des sorties prédéterminées des bascules de l'ensemble P ; il comprend également le registre à décalage L, formé des bascules $L_1, L_2 \dots L_i \dots L_n$ qui reçoit respectivement sur ses entrées, un signal de mémorisation QL_0 , des signaux de commande de décalage CL, et un signal de remise à zéro RAZL.

On a aussi représenté sur cette figure les moyens de synchronisation SYN qui commandent le registre à décalage L, qui fournissent les signaux MA_0 et MA_1 ainsi que les signaux SYNC et INIT qui commandant le compteur CPRE. On a aussi représenté les moyens de mémorisation M des résultats de simulation du circuit C ; ce circuit reçoit sur ses entrées E les signaux de sorties prédéterminées provenant des bascules de l'ensemble P. La porte OU 37, reliée au compteur CPRE ainsi qu'à la sortie des moyens de mémorisation des résultats de simulation M, fournit, comme on l'a mentionné plus haut, le signal de blocage BL des moyens de synchronisation SYN.

Enfin, les moyens indiquant que la coupe ou le lien n'est pas minimal, sont représentés en 36.

Dans ce mode de réalisation, le système fonctionne de la même manière que précédemment, sauf en ce qui concerne la sélection des bascules de l'ensemble P de mémorisation ; cette sélection permet de simuler le circuit C, sur ses entrées E. En effet, si les bascules P_i correspondant aux composants décrivant la coupe sont à un niveau 1 permettant de simuler les entrées du circuit C, et sont mélangées à des bascules P_k à un niveau 0, et si la position des bascules P_i de l'ensemble P, est inconnue, il est nécessaire de gérer ce registre à décalage L d'une manière différente de celle qui a été décrite plus haut.

Dans ce cas, l'ensemble logique de commande comprend en outre un troisième ensemble logique EL_3 de porte ET ; chacune de ces portes présente une entrée qui est reliée à la sortie de commande de la bascule L_i correspondante dans le registre à décalage L, et une autre entrée qui est reliée à la sortie de la bascule P_i correspondante, dans l'ensemble de mémorisation P. C'est ainsi par exemple que la porte ET 45, de l'ensemble logique EL_3 présente une entrée 46 qui est reliée à la sortie QL_1 de la bascule L_1 du registre à décalage L, et une entrée 47 qui est reliée à la sortie QP_1 de la bascule P_1 de l'ensemble P. Les sorties des portes de l'ensemble logique EL_3 sont reliées aux entrées d'une porte OU 48, dont la sortie est reliée à une entrée 49 des moyens de synchronisation SYN, par l'intermédiaire d'un amplificateur inverseur 50. La sortie de cet amplificateur applique à l'entrée 49 des moyens de synchronisation SYN, dans des conditions que l'on définira par la suite, un signal \overline{LECT} .

Dans ce mode de réalisation, le système fonctionne de la manière suivante : on propage tou-

jours un niveau logique 1 unique dans le registre L. Pour rechercher par exemple, si l'état logique de la bascule P_m de rang m compris entre 1 et n , est 1, on propage dans le registre L un niveau logique 1 jusqu'à la bascule L_m . La porte ET correspondante de l'ensemble logique EL_3 , dont les entrées sont reliées respectivement à la sortie QP_m de la bascule P_m et à la sortie QL_m de la bascule L_m du registre à décalage L, valide la transmission du niveau logique 1 de sortie de la bascule P_m , vers le circuit SYN, grâce à un signal \overline{LECT} apparaissant alors sur la sortie de l'amplificateur-inverseur 50 qui est reliée à l'entrée 49 des moyens de synchronisation SYN. Ces moyens de synchronisation déclenchent sur la réception du signal \overline{LECT} la validation du signal MA_0 puis celle du signal MA_1 , ces signaux sont appliqués successivement sur les portes ET à sortie inversée, qui correspondent à la bascule P_m , dans l'ensemble logique EL_1 et EL_2 .

Initialement, les bascules P_i dont les sorties correspondent à la coupe ou au lien à étudier, sont portées au niveau logique 1, par exemple à l'aide du générateur de signaux logiques combinés, décrit dans la demande de brevet précitée. La bascule des moyens M de mémorisation des résultats de simulation est chargée par un niveau logique 1, tandis que le compteur CPRE est chargé avec l'ordre de la coupe, c'est-à-dire 3, dans l'exemple de coupe d'ordre 3 décrit plus haut, comprenant les portes ET_1 , ET_2 , ET_3 . Un niveau logique 1 est alors injecté sur l'entrée QL_0 de la bascule L_1 après que le registre à décalage L ait été remis à zéro par un signal de remise à zéro appliqué sur son entrée RAZL. Si le signal \overline{LECT} est au niveau logique 0, c'est que la bascule P_1 correspondant à la bascule L_1 du registre à décalage, présente sur sa sortie QP_1 un niveau logique 1.

Dans le cas contraire, des impulsions CL sont appliquées sur l'entrée de commande de décalage, du registre à décalage L ; chacune de ces impulsions est suivie d'un test du signal \overline{LECT} . Si à la
5 suite d'un test, ce signal est au niveau 1, une nouvelle impulsion est envoyée sur l'entrée CL du registre à décalage, jusqu'à ce que le signal \overline{LECT} soit au niveau logique 0, indiquant ainsi la présence d'un niveau logique 1 sur une sortie d'une bascule
10 de l'ensemble de mémorisation P qui correspond à la bascule qui est au niveau 1 dans le registre L. A chaque fois qu'un niveau logique 1 est trouvé sur une sortie QP_i de l'ensemble de mémorisation P, les signaux MA_0 et MA_1 sont appliqués successivement sur
15 les entrées des ensembles logiques EL_1 et EL_2 . Toutes ces opérations sont répétées jusqu'à ce que le compteur CPRE, qui a été chargé initialement à la valeur de l'ordre de la coupe soit à zéro.

En effet, lorsque ce compteur est à zéro,
20 c'est que tous les composants de la coupe ou du lien ont été simulés. La coupe est alors minimale si la bascule de mémorisation de l'ensemble M est restée à l'état logique 1. Les mêmes opérations seraient effectuées dans le cas d'un lien tel que celui qui est
25 représenté en exemple sur la figure 2B.

Sur la figure 4, on a aussi représenté un autre mode de réalisation du système de l'invention ; dans ce mode de réalisation, le système fonctionne de la même manière. Le système est ici réalisé sous forme modulaire et on n'a représenté sur
30 cette figure que deux modules m_1 et m_2 , mais il est évident qu'il serait possible d'associer un nombre plus important de modules. Les bascules de mémorisation P_i sont groupées en ensembles identiques P,
35 P'... reliés en série, de sorte que la dernière bas-

cule P_n du premier module m_1 soit reliée à l'entrée
 de la première bascule de l'ensemble P' du deuxième
 module m_2 . Les modules comprennent des registres à
 décalage $L, L'...$ identiques. Le registre à décalage
 5 du premier module m_1 comprend notamment les entrées
 de mémorisation, de remise à zéro, et de commande de
 décalage $QL_0, RAZL$ et CL , tandis que la sortie de
 commande QL_n de la dernière bascule du registre à
 décalage L du premier module m_1 , est reliée à l'en-
 10 trée de mémorisation $Q'L_0$ du registre à décalage L'
 du module suivant. Les modules m_1 et m_2 comprennent
 respectivement les premier, deuxième et troisième
 ensembles logiques EL_1 , des bascules de l'ensemble
 de mémorisation P' du second module m_2 sont repré-
 15 sentées en $Q'P_1, Q'P_2...Q'P_i...Q'P_n$. Les sorties de
 commande du registre à décalage L' de ce second mo-
 dule, sont représentées en $Q'L_1...Q'L_i...Q'L_n$;
 elles sont reliées aux entrées des ensembles logi-
 ques $E'L_1, E'L_2, E'L_3$. Les sorties du troisième en-
 20 semble logique $E'L_3$ du deuxième module m_2 sont re-
 liées aux entrées d'une porte OU 51, dont la sortie
 est reliée à l'entrée de commande 49 des moyens de
 synchronisation SYN par l'intermédiaire de l'ampli-
 ficateur-inverseur 52, comparable à l'amplifica-
 25 teur-inverseur 50 et par l'intermédiaire de la li-
 gne BUS.

Comme précédemment aussi, la sortie de
 l'amplificateur 52 fournit un signal \overline{LECT} à chaque
 fois qu'un niveau 1 est trouvé sur une sortie $Q'P_i$
 30 d'une bascule P'_i de l'ensemble P' , grâce à la pré-
 sence d'un niveau 1 sur la sortie correspondante
 $Q'L_i$ d'une bascule L'_i du registre à décalage L' .

En fait, cette construction modulaire
 permet de disposer d'un nombre important de signaux
 35 de simulation, lorsqu'une coupe C comportant un très

grand nombre de composants, est à étudier. Chacun des amplificateurs 50 et 52 est constitué par un transistor monté en collecteur ouvert (connu dans l'état de la technique et décrit dans la demande de brevet précitée).

La figure 5 représente schématiquement, de manière simplifiée, le système de test de la figure 3. Sur cette figure, on a représenté le circuit C pour lequel on veut étudier une coupe constituée de trois composants. Les entrées de simulation de ces composants sont reliées respectivement aux sorties des bascules P_1 , P_2 , P_3 de l'ensemble de mémorisation P. Toutes ces bascules sont mises au niveau logique 1, pour simuler une panne des trois composants simultanément. Comme il s'agit d'une coupe, la sortie 22 du circuit C est dans un état logique indiquant la défaillance, c'est-à-dire dans l'état logique 0, comme indiqué plus haut (figure 3).

Pour savoir si cette coupe est minimale par rapport à l'ordre précédent, le système fonctionne de la manière suivante :

Le registre à décalage L est chargé par un seul niveau logique 1, en première position, par les moyens de synchronisation SYN. La sortie 35 des moyens de mémorisation M est initialisée au niveau logique 1. Les moyens de synchronisation SYN, grâce au signal MA_0 , mettent à zéro la bascule P_1 qui est située en face de la première bascule du registre L qui est à un niveau logique 1. Si la sortie 22 du circuit C passe à un niveau logique qui indique le bon fonctionnement de ce circuit, c'est-à-dire au niveau logique 1, la sortie 35 des moyens de mémorisation M reste au niveau logique 1. Dans le cas contraire, la sortie 35 des moyens de mémorisation M passe au niveau logique 0 et le test peut être arrêté.

5 té par les moyens d'arrêt A, car la coupe n'est pas
minimale. Les moyens A qui ne sont pas décrits ici
en détail, comprennent notamment le compteur CPRE et
la porte OU37 (figure 3). Si le test n'est pas ter-
miné, les moyens de synchronisation SYN remettent au
niveau logique 1 la bascule P_1 , par le signal MA_1 .
Le même processus est alors répété en décalant le
niveau logique 1 dans le registre L et le même test
est effectué à partir de la bascule de mémorisation
10 P_2 , puis de la même manière, à partir de la bascule
de mémorisation P_3 .

Lorsque tous les composants décrivant la
coupe sont testés, sans arrêt par passage au niveau
logique 0 de la sortie 35 des moyens de mémorisation
15 M, les moyens d'arrêt A arrêtent le test. La sortie
35 des moyens de mémorisation M présente alors un
niveau logique 1 qui indique que la coupe est mini-
male. Le fonctionnement qui vient d'être décrit peut
être repris de la même manière, en remplaçant le mot
20 "coupe" par le mot "lien" et le mot "défaillance"
par le mot "bon fonctionnement".

Si l'on veut étudier sur le même circuit
C, une coupe ne comprenant que deux composants (les
composants 1 et 3 par exemple), il y a deux solu-
25 tions : il est possible de relier la sortie de la
bascule P_1 au composant 1 et la sortie de la bascule
 P_2 au composant 3, puis d'opérer de la manière dé-
crite plus haut.

Il est également possible de laisser les
30 entrées de simulation des composants 1, 2, 3 reliées
respectivement aux sorties des bascules P_1 , P_2 , P_3 ,
et de maintenir la sortie de la bascule P_2 au niveau
logique 0, en permanence, pour simuler le bon fonc-
tionnement du composant 2. Lors du fonctionnement du
35 système, au lieu de procéder à un seul décalage du

niveau 1 dans le registre L, on réalise des décalages jusqu'à la bascule P_i de rang i correspondant aux composants suivants décrits par la coupe. Dans l'exemple considéré, le niveau 1 contenu dans le registre L serait positionné successivement en regard des bascules P_1 , puis P_3 .

Il est bien évident que dans le système qui vient d'être décrit, les moyens utilisés auraient pu être remplacés par des moyens équivalents, sans sortir du cadre de l'invention.

REVENDECATIONS

1. Système de test de la défaillance ou de bon fonctionnement d'un circuit (C) à composants logiques, dans lequel n composants forment un ensemble de composants repérés de 1 à n de manière prédéterminée et reliés entre eux pour que cet ensemble présente sur une sortie, un état logique qui correspond à l'état de défaillance ou au bon fonctionnement de l'ensemble, et qui dépend de l'état de défaillance ou de bon fonctionnement de chacun des n composants de l'ensemble, chacun des n composants de l'ensemble présentant au moins une entrée de simulation apte à recevoir un signal de simulation de la défaillance ou du bon fonctionnement de ce composant, caractérisé en ce qu'il comprend :
- des moyens de test (MT) dont les sorties sont respectivement reliées aux entrées de simulation des composants, ces moyens de test permettant de mettre un ou plusieurs composants, respectivement en état de défaillance ou de bon fonctionnement, puis de remettre inversement et réciproquement ce ou ces composants, en état de bon fonctionnement ou de défaillance, pour une ou plusieurs combinaisons parmi les n composants de l'ensemble, ces moyens de test présentant une sortie (35) caractéristique qui, lorsque la sortie de l'ensemble présente un état de défaillance ou de bon fonctionnement correspondant à un état de défaillance ou de bon fonctionnement des composants de l'ensemble, fournit un signal qui présente :
 - un premier état logique, si la sortie de l'ensemble présente un état de bon fonctionnement ou un état de défaillance, à

5 chaque fois qu'un ou plusieurs composants respectivement défaillant ou en bon fonctionnement sont remis par les moyens de test respectivement en bon fonctionnement ou en défaillance et ceci pour une ou plusieurs combinaisons des composants de l'ensemble pris séparément.

10 - un second état logique, si la sortie de l'ensemble présente un état de défaillance ou de bon fonctionnement à chaque fois qu'un ou plusieurs composants respectivement en défaillance ou en bon fonctionnement sont remis par les
15 moyens de test, respectivement en état de bon fonctionnement ou de défaillance et ceci pour une ou plusieurs combinaisons des composants de l'ensemble, pris séparément .

20 - des moyens (CPRE, BL) pour arrêter les moyens de test.

2. Système de test, selon la revendication 1, caractérisé en ce que l'ensemble des repères des composants défaillants définissant une coupe si
25 le circuit est défaillant et l'ensemble des repères des composants en bon fonctionnement définissant un lien si le circuit est en bon fonctionnement, l'ordre de la coupe ou du lien est défini comme étant respectivement le nombre de repères des composants défaillants ou en bon fonctionnement, les moyens de
30 test (MT) comprennent des moyens de mémorisation (M) comportant une bascule (31) de mémorisation des résultats de simulation présentant une entrée (PR) de commande d'initialisation apte à recevoir un signal de commande d'initialisation pour que cette bascule
35 (31) présente, à l'initialisation, ledit premier état logique prédéterminé initial, correspondant

respectivement à une coupe minimale ou un lien minimal si cet état est restitué à la fin du test, ces moyens de mémorisation comportant en outre un circuit logique (ET_8) dont une entrée est reliée à la sortie du circuit (C) à tester et dont une sortie commande le changement d'état de la bascule, de façon à obtenir sur la sortie (35) de celle-ci, ledit second état logique complémentaire dudit premier état logique initial, dans le cas où la sortie du circuit (C) à tester ne change pas de niveau lorsqu'on simule l'état complémentaire d'un composant décrivant respectivement la coupe ou le lien étudié et ceci pour chacun des composants décrivant la coupe ou le lien, pris séparément, la bascule restant dans son état initial dans le cas où la sortie du circuit (C) change d'état.

3. Système selon la revendication 2, caractérisé en ce que les moyens de test (MT) comprennent en outre un ensemble d'au moins n bascules ($P_1, P_2 \dots P_i \dots P_n$) de mémorisation d'états logiques de simulation, les sorties ($QP_1, QP_2 \dots QP_i \dots QP_n$) de ces bascules étant reliées respectivement aux entrées de simulation (17 ou 19 ou 21...) des composants décrivant la coupe ou le lien, les états logiques de simulation de défaillance ou de bon fonctionnement des composants du circuit (C) étant chargés dans ces bascules ($P_1, P_2 \dots P_i \dots P_n$) à l'initialisation du système des moyens de commande (MC) dont des sorties de commande ($QL_1, QL_2 \dots QL_i \dots QL_n, M_1, M_2, Q, C, R$) sont reliées à des entrées d'un ensemble logique (EL_1, EL_2) de sélection et de commande des bascules (P_i) pour que la sortie (QP_i) de chaque bascule (P_i) de mémorisation d'état de simulation, sélectionnée présente successivement et respectivement l'état logique de la bascule à l'initialisation, l'état logique inverse, puis à nouveau l'état logique de la bascule à l'initialisation.

4. Système selon la revendication 3, caractérisé en ce que les moyens de commande (MC) comprennent un registre à décalage (L) comportant au moins n bascules de commande ($L_1, L_2 \dots L_i \dots L_n$) reliées en série et présentant chacune une sortie de commande (QL_i), ce registre présentant en outre une entrée générale de remise à zéro (RAZL), une entrée de mémorisation d'un signal (QL_0) présentant un état logique prédéterminé et une entrée (CL) de commande de décalage de ce signal, les entrées de commande de l'ensemble logique de sélection (EL_1, EL_2) étant reliées aux sorties de commande ($QL_1 \dots QL_i \dots QL_n$) des bascules ($L_1 \dots L_i \dots L_n$) du registre à décalage, (L) les sorties de cet ensemble logique étant reliées à des entrées de commande ($PR_1 \dots PR_i \dots PR_n, CL_1 \dots CL_i \dots CL_n$) des bascules (P_i) de l'ensemble (P), l'ensemble logique (EL_1, EL_n) étant constitué de manière que chaque bascule (P_i) sélectionnée pour appliquer un signal de simulation sur l'entrée de simulation de chaque composant prédéterminé, corresponde à la présence d'un niveau logique prédéterminé sur la sortie de commande (QL_i) de la bascule (L_i) correspondante, cet ensemble logique comprenant en outre deux entrées supplémentaires de commande aptes à recevoir respectivement des signaux (MA_0, MA_1) de commande de test, pour que la sortie de chaque bascule (P_i) sélectionnée présente successivement l'état logique de la bascule à l'initialisation, l'état logique inverse de l'état initial, puis à nouveau l'état logique initial de cette bascule.

5. Système selon la revendication 4, caractérisé en ce que les moyens de commande (MC) comprennent en outre des moyens logiques (SYN) de synchronisation pour produire sur des sorties les signaux (SYNC) de commande de mémorisation des résultats.

tats de simulation, des signaux (RAZL, QL_0 , CL) de remise à zéro du registre à décalage (L), de mémorisation et de commande de décalage (L), appliqués aux entrées correspondantes de la première bascule du
5 registre (L) et un signal (INIT) de commande d'initialisation, appliqué à l'entrée correspondante de la bascule de mémorisation (31) des résultats de simulation.

6. Système selon la revendication 5, caractérisé en ce qu'il comprend en outre un compteur
10 (CPRE) chargé initialement à la valeur de l'ordre de la coupe ou du lien, ce compteur présentant une entrée (CP) reliée à la sortie (34) des moyens logiques de synchronisation qui produit les signaux de
15 commande (SYNC) de mémorisation des résultats de simulation, le contenu de ce compteur décrémentant d'une unité à chaque signal de commande de mémorisation des résultats de simulation, une sortie de ce compteur étant reliée à une entrée (BL) de commande
20 d'arrêt des moyens de synchronisation (SYN) pour arrêter le système lorsque tous les composants ont été testés.

7. Système selon la revendication 6, caractérisé en ce qu'une sortie (35) de la bascule de
25 mémorisation (31) des résultats de simulation est reliée d'une part à des moyens (36) pour indiquer que la coupe ou le lien n'est pas minimal et d'autre part, à l'entrée de commande d'arrêt (BL) des moyens de synchronisation (SYN) pour arrêter le système
30 lorsque la coupe ou le lien n'est pas minimal.

8. Système selon la revendication 5, caractérisé en ce que l'ensemble logique de sélection et de commande comprend deux ensembles (EL_1 , EL_2) de portes ET comprenant chacun un nombre de portes égal
35 au nombre n de bascules (P_i) et au nombre n de bascules (L_i), chacune de ces portes correspondant à

une bascule (L_i) et à une bascule (P_i), chaque porte ET (39) du premier ensemble (EL_1) présentant une entrée (38) reliée à une sortie (QL_1) de commande de la bascule (L_1) correspondante du registre (L) à décalage et une autre entrée (40) reliée à la sortie (M_0) des moyens de synchronisation pour recevoir l'un des signaux (MA_0) de commande de test, la sortie de cette bascule étant reliée à l'une des entrées (CL_1) de commande de la bascule (P_1) de l'ensemble (P) pour la faire passer dans l'état inverse de son état initial, chaque porte ET (41) du deuxième ensemble (EL_2) présentant une entrée (42) reliée à une sortie (QL_1) de commande de la bascule (L_1) correspondante du registre à décalage (L) et une autre entrée (43) reliée à la sortie (M_1) des moyens de synchronisation (SYN) pour recevoir un autre (MA_1) des signaux de commande de test, la sortie de cette porte ET étant reliée à une autre des entrées (PR_1) de commande de la bascule (P_1) correspondante de l'ensemble (P) pour ramener cette bascule dans son état initial.

9. Système selon la revendication 8, caractérisé en ce que l'ensemble logique de commande et de sélection comprend en outre un troisième ensemble logique (EL_3) de portes ET, chaque porte ET présentant une entrée reliée à la sortie de commande (QL_i) de la bascule (L_i) correspondante du registre à décalage (L) et une autre entrée reliée à la sortie de la bascule (P_i) correspondante de l'ensemble de mémorisation (P), les sorties de ces portes ET étant reliées aux entrées d'une porte OU (48) dont la sortie est reliée à une autre entrée de commande (49) des moyens de synchronisation (SYN) pour indiquer la présence d'un état logique de simulation sur une sortie d'une bascule (P_i) sélectionnée dans l'ensemble de mémorisation (P).

10. Système selon la revendication 8, caractérisé en ce que les bascules (P_i) de mémorisation d'états logiques de simulation sont groupées par ensembles ($P, P'...$) identiques sur des modules
5 identiques (m_1, m_2) reliés en série, chacun de ces modules comprenant un registre à décalage ($L, L'...$) de sorte que les registres à décalage soient reliés en série, la sortie de la dernière bascule de mémorisation d'états logiques de simulation d'un module
10 (m_1) étant reliée à l'entrée de chargement de la première bascule du module (m_2) suivant, la première bascule (L_1) du premier registre à décalage présentant les entrées de mémorisation, de remise à zéro et de commande de décalage ($QL_0, RAZL, CL$), tandis
15 que la sortie de commande de la dernière bascule d'un registre à décalage, est reliée à l'entrée de mémorisation du registre à décalage suivant, l'ensemble logique de commande et de sélection comprenant en outre, pour chaque module, un troisième ensemble de portes ET ($EL_3, E'L_3$), chaque porte ET
20 présentant une entrée reliée à la sortie de commande de la bascule (L_i) correspondante du registre à décalage de ce module, et une autre entrée reliée à la sortie de la bascule (P_i) correspondante de l'ensemble (P) correspondant, les sorties de ces portes ET
25 pour chaque module étant reliées aux entrées d'une porte OU (48, 51) dont la sortie est reliée à une autre entrée de commande (49) par des moyens de synchronisation (SYN), par l'intermédiaire d'un transistor monté en collecteur ouvert, pour indiquer la
30 présence d'un état logique de simulation sur une sortie d'une bascule (P_i) sélectionnée dans un ensemble de mémorisation (P ou P') de l'un des modules (m_1, m_2).

1/4

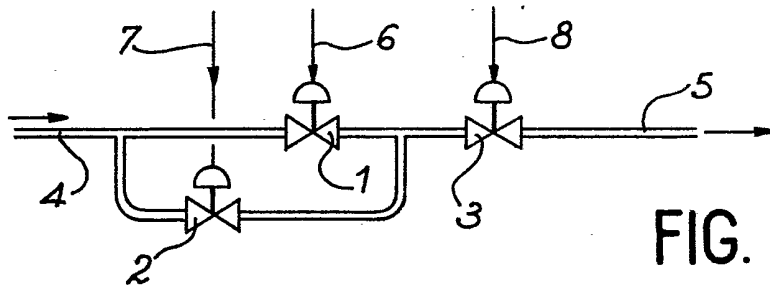


FIG. 1 A

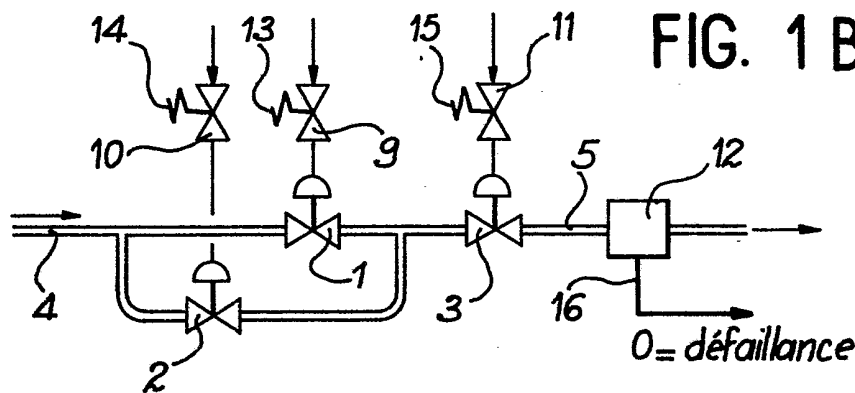


FIG. 1 B

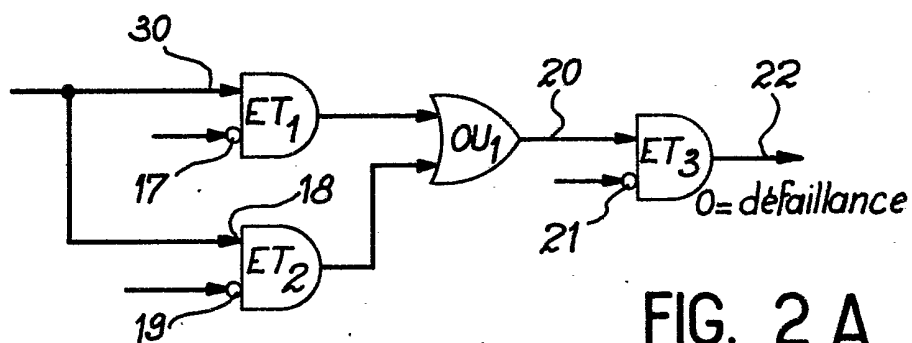


FIG. 2 A

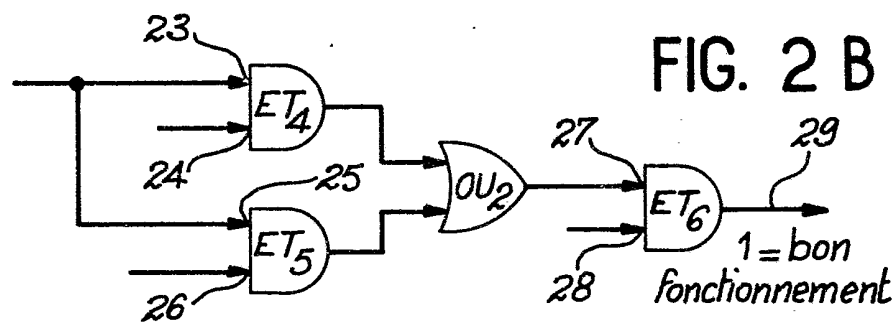
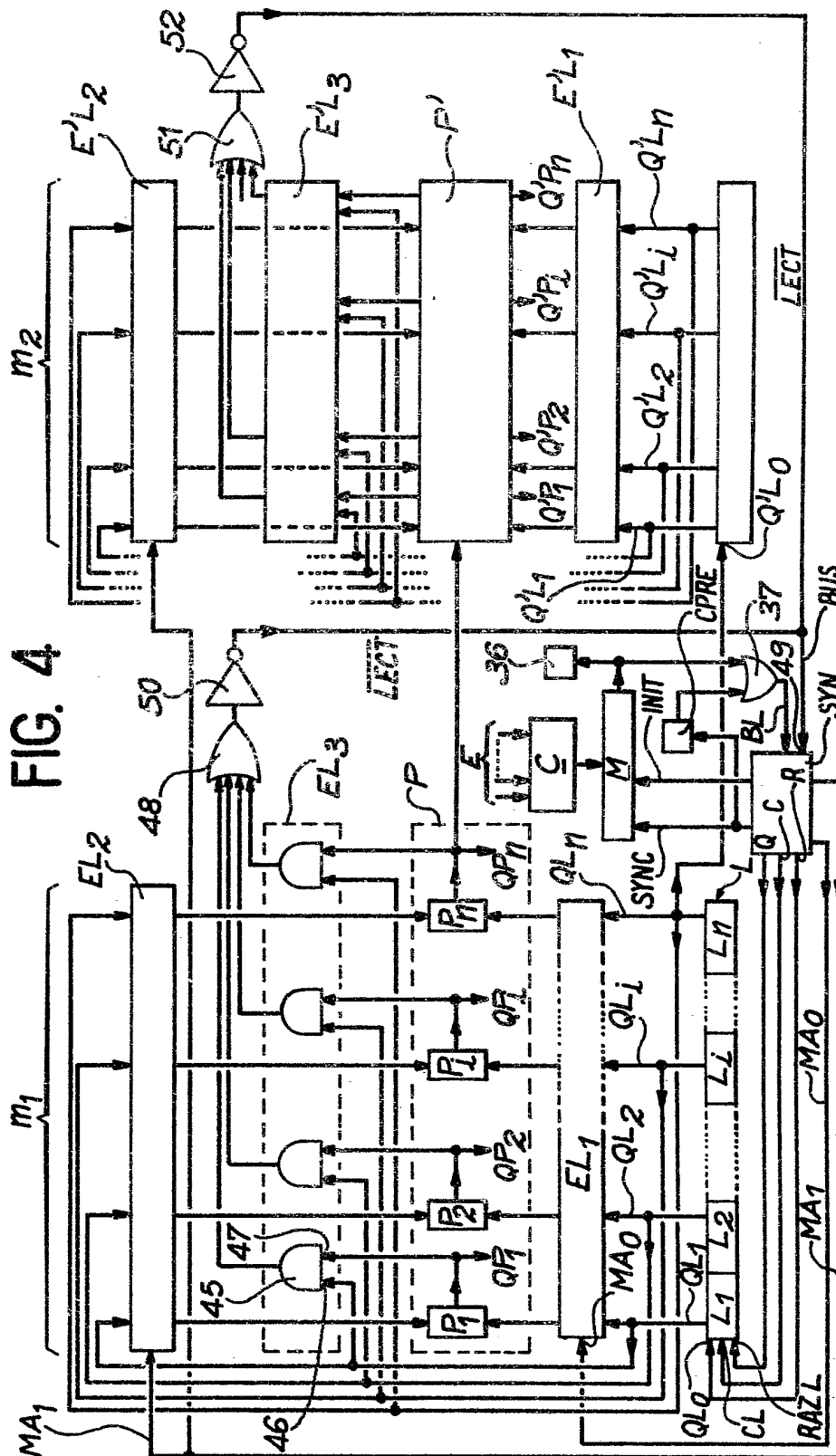


FIG. 2 B

46



4 / 4

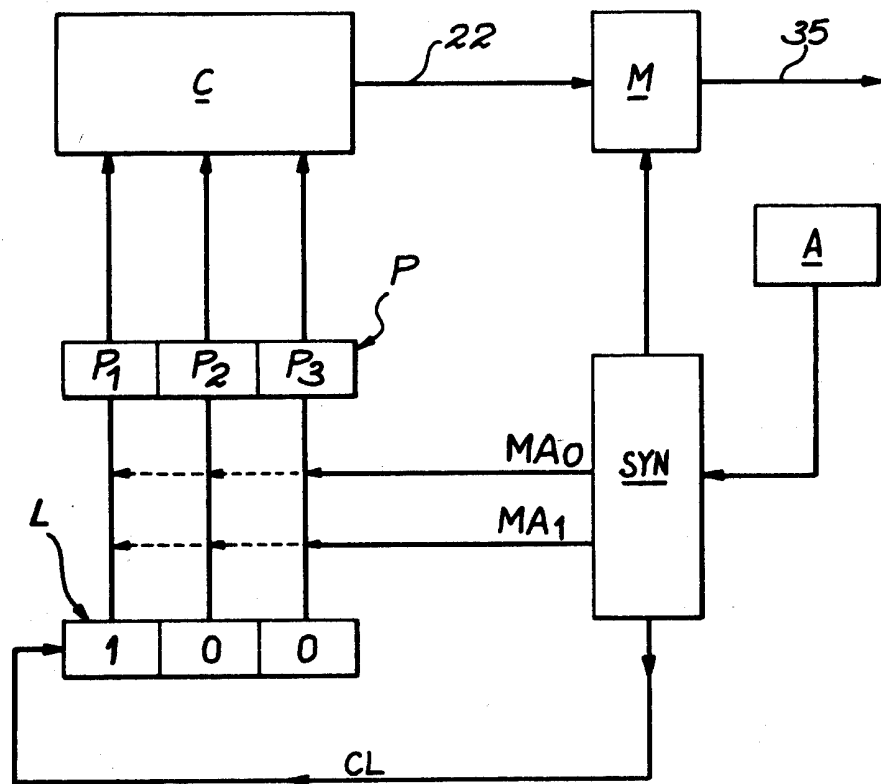


FIG. 5