



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월07일  
(11) 등록번호 10-2107389  
(24) 등록일자 2020년04월28일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2017.01)  
(21) 출원번호 10-2013-0137004  
(22) 출원일자 2013년11월12일  
심사청구일자 2018년10월18일  
(65) 공개번호 10-2015-0054503  
(43) 공개일자 2015년05월20일  
(56) 선행기술조사문헌  
KR1020120031658 A  
(뒷면에 계속)

(73) 특허권자  
삼성전자 주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김비오  
서울 동작구 동작대로29길 195, 103동 101호 (사당동, 사당유니드)  
노진태  
경기 용인시 기흥구 서천서로 27, 103동 1103호 (서천동, 서천마을1단지)  
(뒷면에 계속)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 8 항

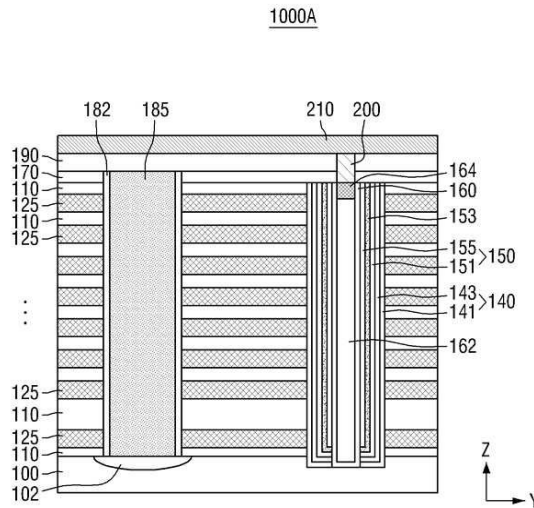
심사관 : 고연화

(54) 발명의 명칭 반도체 메모리 소자 및 그 제조 방법

(57) 요약

수직 채널을 갖는 반도체 메모리 소자는, 기판 상에 교대로 적층된 절연막들 및 게이트 전극들; 상기 절연막들 및 게이트 전극들을 수직으로 관통하여 상기 기판과 연결되는 수직 채널; 상기 수직 채널 및 상기 게이트 전극들 사이에 배치되는 터널 절연막 및 전하 저장막; 및 상기 전하 저장막보다 상기 수직 채널에 가깝게 배치되어, 상기 수직 채널에서 반전층(inversion layer)의 형성을 억제하는 문턱 전압 제어 절연막을 포함할 수 있다

대표도 - 도2b



(72) 발명자

**신수진**

경기 화성시 동탄반석로 71, 451동 1002호 (반송동, 솔빛마을쌍용예가아파트)

**안재영**

경기 성남시 분당구 불정로 361, 507동 403호 (서현동, 효자촌삼환아파트)

**황기현**

경기 성남시 분당구 정자로 143, 202동 604호 (정자동, 한솔마을LG아파트)

(56) 선행기술조사문헌

KR1020120121746 A

KR1020120113338 A

KR1020120128438 A\*

US20120299086 A1

US20120193700 A1

KR1020130014990 A

KR101056113 B1

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

기관 상에 교대로 적층된 절연막들 및 게이트 전극들;

상기 절연막들 및 게이트 전극들을 수직으로 관통하는 수직 채널; 및

상기 수직 채널 및 상기 게이트 전극들 사이에 배치되는 문턱 전압 제어 절연막, 터널 절연막 및 전하 저장막을 포함하되,

상기 문턱 전압 제어 절연막은 상기 전하 저장막 및 상기 수직 채널 사이에 배치되어 상기 수직 채널에서 반전층(inversion layer)의 형성을 억제하는 물질을 포함하고,

상기 터널 절연막은 상기 문턱 전압 제어 절연막의 일측면에 접촉하도록 형성된 제1 게이트 절연막과, 상기 문턱 전압 제어 절연막의 타측면에 접촉하도록 형성된 제2 게이트 절연막을 포함하는 반도체 메모리 소자.

**청구항 2**

제1 항에 있어서,

상기 문턱 전압 제어 절연막은 알루미늄 산화막을 포함하는 반도체 메모리 소자.

**청구항 3**

삭제

**청구항 4**

제 1항에 있어서,

상기 수직 채널은 상기 제1 게이트 절연막 또는 제2 게이트 절연막과 접촉하도록 형성된 반도체 메모리 소자.

**청구항 5**

제 1항에 있어서,

상기 전하 저장막은 전하 트랩막 및 블로킹 막을 포함하는 반도체 메모리 소자

**청구항 6**

기관 상에 교대로 적층된 다수의 절연막 및 다수의 게이트 전극;

상기 다수의 절연막 및 상기 다수의 게이트 전극을 관통하는 수직 채널;

상기 수직 채널 및 상기 다수의 게이트 전극들 사이에 배치되는 터널 절연막 및 전하 저장막; 및

상기 전하 저장막보다 상기 수직 채널에 가깝게 배치되어, 상기 수직 채널에서 반전층(inversion layer)의 형성을 억제하는 문턱 전압 제어 절연막을 포함하고,

상기 터널 절연막은 상기 문턱 전압 제어 절연막의 일측면에 접촉하도록 형성된 제1 게이트 절연막과, 상기 문턱 전압 제어 절연막의 타측면에 접촉하도록 형성된 제2 게이트 절연막을 포함하는 반도체 메모리 소자.

**청구항 7**

제 6항에 있어서,

상기 문턱전압 제어 절연막은 상기 수직 채널과 직접 접촉하도록 형성된 반도체 메모리 소자.

**청구항 8**

제 6항 또는 제 7항에 있어서,  
 상기 수직 채널은 일측면과 타측면을 포함하고,  
 상기 수직 채널의 일측면 방향에는 상기 터널 절연막과 상기 전하 저장막이 위치하고,  
 상기 문턱전압 제어 절연막은 상기 수직 채널의 타측면 방향에 위치하는 반도체 메모리 소자.

**청구항 9**

제 6항에 있어서,  
 상기 문턱전압 제어 절연막은 알루미늄 산화막을 포함하는 반도체 메모리 소자.

**청구항 10**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 수직 채널을 갖는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 수직 채널을 갖는 낸드 플래시 메모리 소자 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 종래의 2차원 반도체 메모리 소자는 2차원적으로 배열하는 메모리 셀과 수평 채널을 구비한다. 2차원 메모리 셀들의 문턱 전압은 수평 채널에 불순물을 이온 주입하여 제어할 수 있다. 반도체 소자의 집적도를 증가시키기 위하여 제안된 3차원 반도체 메모리 소자는 수직으로 적층된 메모리 셀들과 수직 채널을 포함한다. 상기 수직 채널은 수평 채널에 비하여 구조적으로 불순물을 이온 주입하기 어렵다. 따라서 수직 채널을 갖는 반도체 메모리 셀들의 문턱 전압을 제어할 수 있는 개선된 기술이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 해결하고자 하는 과제는, 수직 채널을 갖는 반도체 메모리 셀의 문턱전압을 증가시켜 프로그램 마진이 개선된 반도체 메모리 소자를 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 과제는, 수직 채널을 갖는 반도체 메모리 셀의 문턱전압을 증가시켜 프로그램 마진이 개선된 반도체 메모리 소자의 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0006] 본 발명의 기술적 사상의 일 면(aspect)에 따른 수직 채널을 갖는 반도체 메모리 소자는, 기판 상에 교대로 적층된 절연막들 및 게이트 전극들; 상기 절연막들 및 게이트 전극들을 수직으로 관통하여 상기 기판과 연결되는 수직 채널; 및 상기 수직 채널 및 상기 게이트 전극들 사이에 배치되는 문턱 전압 제어 절연막, 터널 절연막 및 전하 저장막을 포함하되, 상기 문턱 전압 제어 절연막은 상기 전하 저장막 및 상기 수직 채널 사이에 배치되어 상기 수직 채널에서 반전층(inversion layer)의 형성을 억제하는 물질을 포함할 수 있다

[0007] 본 발명의 기술적 사상의 다른 면(aspect)에 따른 수직 채널을 갖는 반도체 메모리 소자는, 기판 상에 교대로 적층된 절연막들 및 게이트 전극들; 상기 절연막들 및 게이트 전극들을 수직으로 관통하여 상기 기판과 연결되는 수직 채널; 상기 수직 채널 및 상기 게이트 전극들 사이에 배치되는 터널 절연막 및 전하 저장막; 상기 수직 채널의 내부를 채우는 충전 절연막; 및 상기 충전 절연막 및 상기 수직 채널 사이에 문턱 전압 제어 절연막을 배치하되, 상기 문턱 전압 제어 절연막은 상기 수직 채널에서 반전층(inversion layer)의 형성을 억제하는 물질을 포함하는 반도체 메모리 소자.

[0008] 기타 본 발명의 구체적인 사항들은 본문 내에서 보다 상세하게 설명 될 것이다.

**발명의 효과**

[0009] 본 발명의 기술적 사상에 의한 수직 채널을 갖는 반도체 메모리 소자는, 상기 수직 채널에 인접하여 문턱 전압 제어 절연막을 배치함으로써, 상기 수직 채널에 반전층의 형성을 억제하여 상기 반도체 메모리 소자의 문턱 전압을 증가시킬 수 있다. 이에 따라 반도체 메모리 소자의 프로그램 마진이 개선될 수 있다.

**도면의 간단한 설명**

[0010] 도 1은 본 발명의 기술적 사상의 몇몇 실시예(some embodiments)에 따른 반도체 소자의 메모리 셀 어레이의 등가 회로도이다.

도 2a는 본 발명의 기술적 사상의 몇몇 실시예(some embodiments)에 따른 반도체 소자를 나타내는 사시도이고, 도 2b는 도 2a의 A를 확대한 도면으로 본 발명의 제 1 실시예에 따른 반도체 소자를 나타내는 단면도이고, 도 2c는 도 2a의 A를 확대한 도면으로 본 발명의 제 2 실시예에 따른 반도체 소자를 나타내는 단면도이다.

도 3a 내지 도 3j는 본 발명의 기술적 사상의 제 1 실시예에 따른 반도체 소자의 제조 방법을 설명하는 단면도들이다.

도 4a 내지 도 4k는 본 발명의 기술적 사상의 제 2 실시예에 따른 반도체 소자의 제조 방법을 설명하는 단면도들이다.

도 5은 문턱전압 제어 절연막의 두께에 따른 반도체 소자의 문턱 전압의 변화를 설명하기 위한 그래프이다.

도 6a는 본 발명의 기술적 사상의 몇몇 실시예에 의한 반도체 모듈을 개념적으로 도시한 도면이다.

도 6b 및 도 6c는 본 발명의 기술적 사상의 몇몇 실시예에 의한 전자 시스템들을 개념적으로 도시한 블록다이어그램이다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0012] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 또한, 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0013] 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막(또는 층)이 개재될 수도 있다. 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어 들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 "및/또는"이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다.

[0014] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.

[0015] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해

석되지 않는다.

- [0016] 도 1은 본 발명의 기술적 사상의 몇몇 실시예(some embodiments)에 따른 반도체 소자의 메모리 셀 어레이의 등가 회로도이다.
- [0017] 도 1을 참조하면, 메모리 셀 어레이(10)는 수직 방향으로 연장하는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함할 수 있다.
- [0018] 각각의 셀 스트링(CS11, CS12, CS21, CS22)은 직렬로 연결된 그라운드 선택 트랜지스터(GST), 복수의 메모리 셀 트랜지스터들(MC1, MC2, ???, MC6) 및 스트링 선택 트랜지스터(SST)를 포함할 수 있다. 도 1에는 각 셀 스트링들(CS11, CS12, CS21, CS22)이 한 개의 그라운드 선택 트랜지스터(GST) 및 한 개의 스트링 선택 트랜지스터(SST)를 갖는 것이 도시되었지만, 각 셀 스트링들(CS11, CS12, CS21, CS22)은 직렬로 연결된 2개 이상의 그라운드 선택 트랜지스터들(GST) 및/또는 2개 이상의 스트링 선택 트랜지스터(SST)들을 포함할 수 있다. 또한, 각 셀 스트링들(CS11, CS12, CS21, CS22)이 6개의 메모리 셀 트랜지스터들(MC1, MC2, ???, MC6)을 갖는 것으로 도시되었으나, 각 셀스트링들(CS11, CS12, CS21, CS22)은 적어도 8개 이상의 메모리 셀 트랜지스터들(MC1, MC2, ???, MC6)을 포함할 수 있다.
- [0019] 복수의 셀 스트링들(CS11, CS12, CS21, CS22)은 행 및 열 단위로 연결될 수 있다. 각각의 셀 스트링(CS11, CS12, CS21, CS22)의 스트링 선택 트랜지스터(SST)는 대응되는 비트 라인들(BL1, BL2)에 연결될 수 있다. 예를 들어, 제1 비트 라인(BL1)에 공통으로 연결된 셀 스트링들(CS11, CS21)은 제1 열을 형성하고, 제2 비트라인(BL2)에 공통으로 연결된 셀 스트링들(CS12, CS22)은 제2 열을 형성할 수 있다. 또한, 각각의 셀 스트링(CS11, CS12, CS21, CS22)의 스트링 선택 트랜지스터(SST)는 스트링 선택 라인들(SSL1, SSL2)에 연결될 수 있다. 예를 들어, 제1 스트링 선택 라인(SSL1)에 공통으로 연결된 셀 스트링들(CS11, CS12)은 제1 행을 형성하고, 제2 스트링 선택 라인(SSL2)에 공통으로 연결된 셀 스트링들(CS21, CS22)은 제2 행을 형성할 수 있다.
- [0020] 각각의 셀 스트링(CS11, CS12, CS21, CS22)의 그라운드 선택 트랜지스터(GST)는 그라운드 선택 라인(GSL)에 의해 연결된다. 공통 소스 라인(CSL)은 각각의 셀 스트링(CS11, CS12, CS21, CS22)의 그라운드 선택 트랜지스터(GST)에 연결될 수 있다.
- [0021] 동일한 높이에 위치한 메모리 셀 트랜지스터들(MC1, MC2, ???, MC6)은 동일한 워드 라인들(WL1, WL2, ???, WL6)에 각각 연결될 수 있다. 예를 들어, 그라운드 선택 트랜지스터(GST)와 연결되어 있는 제1 메모리 셀 트랜지스터(MC1)는 인접한 열의 제1 메모리 셀 트랜지스터(MC1)와 제1 워드 라인(WL1)을 통해 연결될 수 있다.
- [0022] 도 2a는 본 발명의 기술적 사상의 몇몇 실시예(some embodiments)에 따른 반도체 소자를 나타내는 사시도이고, 도 2b는 도 2a의 A를 확대한 도면으로 본 발명의 제 1 실시예에 따른 반도체 소자를 나타내는 단면도이다.
- [0023] 도 2a를 참조하면, 반도체 소자(1000)는 기판(100) 상에 교대로 적층된 절연막들(110) 및 게이트 전극들(125), 전하 저장막(140), 터널 절연막(150) 및 수직 채널(160)을 포함 할 수 있다.
- [0024] 기판(100)은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘 온 인슐레이터(silicon on insulator: SOI) 기판 등을 포함할 수 있다.
- [0025] 전하 저장막(140)은 복수의 막들을 포함할 수 있다. 터널 절연막(150)은 복수의 막들을 포함할 수 있다. 전하 저장막(140) 및 터널 절연막(150)은 도 2b 및 도 2c를 참조하여 상세히 설명될 것이다.
- [0026] 기판(100) 내에 제1 방향(X)을 따라 연장하며, 상기 제1 방향(X)에 수직인 제2 방향(Y)을 따라 이격된 복수의 불순물 영역들(102)이 제공될 수 있다. 인접한 불순물 영역들(102) 사이의 기판(100) 상에 상기 제1 방향(X) 및 제2 방향(Y)에 수직인 제3 방향(Z)을 따라 연장하는 실린더 형태의 수직 채널들(160)이 형성될 수 있다. 수직 채널(160)은 실리콘을 포함할 수 있다. 수직 채널(160)의 내부에 충전 절연막(162)이 형성될 수 있다. 충전 절연막(162)은 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물과 같은 절연물질을 포함할 수 있다. 수직 채널(160)의 외측벽 상에 전하 저장막(140) 및 터널 절연막(150)이 형성될 수 있다. 수직 채널(160)의 측벽 및 충전 절연막(162) 상에 채널 패드(164)가 형성될 수 있다. 채널 패드(164)는 보론(B) 같은 불순물이 도핑된 실리콘을 포함할 수 있다.
- [0027] 수직 채널(160)의 저면은 기판(100)과 접촉하여 전기적으로 연결된다. 복수의 게이트 전극들(125)은 수직 채널(160), 터널 절연막(150) 및 전하 저장막(140)의 외측벽을 따라 제3 방향(Z)으로 이격되어 형성될 수 있다. 복수의 게이트 전극들 중 최하부의 게이트 전극은 그라운드 선택 게이트 전극으로 이용될 수 있고, 도 1의 그라운드 선택 라인(도 1의 GSL)으로 작용할 수 있다. 최상부의 게이트 전극은 스트링 선택 게이트 전극으로 이용될



수 있고, 도 1의 스트링 선택 라인(도 1의 SSL1, SSL2)로 작용할 수 있다. 상기 그라운드 선택 게이트 전극과 스트링 선택 게이트 전극 사이에 위치한 게이트 전극들은 셀 게이트 전극들로 이용될 수 있고, 도 1의 워드라인들(도 1의 WL1, WL2, ???, WL6)로 작용할 수 있다. 복수의 게이트 전극들(125)은 텅스텐, 구리, 금속 실리사이드 등의 도전 물질을 포함할 수 있다.

- [0028] 게이트 전극들(125) 사이 및 최하부 게이트 전극 및 기판 사이에 절연막(110)이 개재될 수 있다. 최상부 게이트 전극의 상부에 절연막(110)이 형성될 수 있다. 절연막 (110)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 절연물질을 포함할 수 있다.
- [0029] 공통 소스 라인(185)은 각각의 불순물 영역(102) 상에서 상기 제1 방향(X)을 따라 연장하도록 형성될 수 있다. 공통 소스 라인(185)의 양 측벽 상에 절연 스페이서(182)가 형성되어 복수의 게이트 전극들(125)과 공통 소스 라인(185) 사이를 전기적으로 절연시킬 수 있다.
- [0030] 채널 패드(164) 상에 콘택 패드(200)가 형성되며, 콘택 패드(200) 상에 제2 방향(Y)으로 연장하는 비트 라인(210)이 형성된다.
- [0031] 도 1 및 도 2a에 도시된 메모리 셀 어레이는 예시적인 것으로, 예시적으로 설명된 워드 라인들(WLx)의 수, 스트링 선택 라인들(SSLx)의 수, 그라운드 선택 라인들(GSLx)의 수는 여기에 한정되지 않는다. 예를 들어, 스트링 선택 라인(SSLx)이 제2 방향(Y)을 따라 순차적으로 2개 이상 형성되거나, 그라운드 선택 라인(GSLx)이 제2 방향(Y)을 따라 순차적으로 2개 이상 형성될 수 있다. 또한, 워드 라인들(WLx)의 수 역시 8개, 16개, 32개 등 다양하게 형성될 수 있다. 비트 라인(BL)에 연결되는 셀 스트링들(CSxy)의 수 역시 도 1 및 도 2a에 도시된 셀 스트링들(CSxy)의 수에 한정되지 않고, 메모리 셀 어레이의 설계에 따라 다양한 수로 형성될 수 있다.
- [0032] 도 2b를 더 참조하면, 본 발명의 기술적 사상의 제 1 실시예에 따른 반도체 소자(1000A)는 수직 채널(160)의 외측벽 상에 터널 절연막(150) 및 전하 저장막(140)을 형성할 수 있다. 문턱 전압 제어 절연막(153)은 터널 절연막(150) 내에 개재될 수 있다. 즉, 터널 절연막(150)은 제1 게이트 절연막(151), 제2 게이트 절연막(155)을 포함한다. 문턱 전압 제어 절연막(153)은 제1 게이트 절연막(151)과 제2 게이트 절연막(155) 사이에 위치할 수 있다. 전하 저장막(140)은 복수의 게이트 전극들(125)과 터널 절연막(150) 사이에 형성할 수 있다. 전하 저장막(140)은 전하 트랩막(143) 및 블로킹 막(141)을 포함할 수 있다. 수직 채널(160)의 외측벽에서 복수의 게이트 전극들(125) 방향으로, 제2 게이트 절연막(155), 문턱 전압 제어 절연막(153), 제1 게이트 절연막(151), 전하 트랩막(143) 및 블로킹 막(141)이 순차적으로 배치될 수 있다. 이에 따라, 문턱 전압 제어 절연막(153)은 수직 채널(160) 및 전하 트랩막(143) 사이에 배치된다.
- [0033] 수직 채널(160)의 내부는 충전 절연막(162) 및 채널 패드(164)를 포함할 수 있다. 채널 패드(164)는 수직 채널(160)의 상부 측벽과 직접 접촉하여 전기적으로 연결될 수 있다.
- [0034] 본 발명의 기술적 사상의 제1 실시예에 따른 반도체 메모리 소자(1000A)에 따르면, 수직 채널(160)에 인접하여 형성된 문턱 전압 제어 절연막(153)은, 상기 수직 채널(160) 내에 반전층(inversion layer)의 형성을 억제하여 반도체 메모리 소자(1000A)의 문턱 전압을 증가시킬 수 있다. 문턱 전압이 증가함에 따라 프로그램 마진(margine)이 개선될 수 있다.
- [0035] 한편, 도 2b에서는, 문턱 전압 제어 절연막(153)은 터널 절연막(150) 내에 개재된 것만을 도시하였으나, 이에 한정되지 않는다. 예를 들어, 문턱 전압 제어 절연막(153)은 수직 채널(160)에 직접 접촉하도록 형성될 수 있다.
- [0036] 도시된 것과 같이, 문턱 전압 제어 절연막(153)은 수직 채널(160)에 의해서 분리될 수 있다. 제조 과정(도 3d 참조)를 통해서 후술하겠으나, 문턱 전압 제어 절연막(153)을 형성한 후에, 이방성 식각을 통해서 문턱 전압 제어 절연막(153)의 일부를 제거하기 때문이다.
- [0037] 도 2c는 도 2a의 A를 확대한 도면으로, 본 발명의 제 2 실시예에 따른 반도체 소자를 나타내는 단면도이다. 설명의 편의상, 도 2a 및 도 2b를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0038] 도 2c를 참조하면, 본 발명의 기술적 사상의 제 2 실시예에 따른 반도체 소자(1000B)는 수직 채널(160)의 외측벽 상에 터널 절연막(150) 및 전하 저장막 (140)을 형성할 수 있다. 터널 절연막(150)은 게이트 절연막을 포함할 수 있다. 전하 저장막(140)은 복수의 게이트 전극들(125)과 터널 절연막(150) 사이에 형성할 수 있다. 전하 저장막(140)은 전하 트랩막(143) 및 블로킹 막(141)을 포함할 수 있다.
- [0039] 수직 채널(160)의 내측벽 상에 문턱 전압 제어 절연막(153)을 형성하고, 상기 문턱 전압 제어 절연막(153) 내부

는 충전 절연막(162)으로 채울 수 있다. 채널 패드(164)는 수직채널(160)의 측벽, 문턱 전압 제어 절연막(153) 및 충전 절연막(162) 상에 형성하고, 수직 채널(160)의 상부 측벽과 직접 접촉하여 전기적으로 연결될 수 있다.

[0040] 도시된 것과 같이, 터널 절연막(150)과 전하 저장막(140)은 수직 채널(160)의 일측면에 형성되고, 문턱 전압 제어 절연막(153)은 수직 채널(160)의 타측면에 형성된다. 문턱 전압 제어 절연막(153)은 수직 채널(160)에 직접 접촉하여 형성될 수 있다. 이와 같이, 문턱 전압 제어 절연막(153)이 수직 채널(160)에 매우 인접하여 형성되기 때문에, 상기 수직 채널(160) 내에 반전층(inversion layer)의 형성을 억제하여 반도체 메모리 소자(1000B)의 문턱 전압을 증가시킬 수 있다.

[0041] 또한, 수직 채널(160)은 채널홀의 측벽과 바닥면을 따라서 컨포말하게(conformally) 형성될 수 있다. 문턱 전압 제어 절연막(153)은 수직 채널(160)상에, 수직 채널(160)을 따라서 컨포말하게 형성될 수 있다. 따라서, 문턱 전압 제어 절연막(153)도 채널홀의 측벽과 바닥면을 따라서 형성될 수 있다.

[0042] 도 3a 내지 도 3j는 도 2b에 도시된 반도체 소자의 제조하는 방법을 설명하는 단면도들이다.

[0043] 도 3a를 참조하면, 기판(100) 상에 절연막(110) 및 희생막(120)을 교대로 반복적으로 적층한다. 이에 따라, 복수의 절연막들(110) 및 복수의 희생막들(120)이 상기 제3 방향(Z)을 따라 교대로 적층될 수 있다. 상기 기판(100)은 실리콘, 게르마늄 등과 같은 반도체 물질을 포함할 수 있다.

[0044] 희생막들(120)은 절연막들(110)에 대해 식각 선택비를 갖는 물질들을 사용하여 형성될 수 있다. 예를 들면, 절연막들(110)이 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물을 사용하여 형성하는 경우, 희생막들(120)은 실리콘, 실리콘 카바이드, 실리콘 산화물 또는 실리콘 질화물을 포함하고 절연막들(110)의 물질과는 상이한 물질을 사용하여 형성할 수 있다.

[0045] 복수의 희생막들(120)의 두께는 동일하지 않을 수 있다. 예를 들면, 최하부 희생막과 최상부 희생막은 다른 희생막들 보다 두꺼운 두께로 형성될 수 있다. 또한, 복수의 절연막들(110)의 두께는 동일하지 않을 수 있다. 예를 들면, 최하부 절연막은 다른 절연막들보다 얇은 두께로 형성될 수 있다.

[0046] 후속 공정을 통해 희생막들(120)이 제거되고 트랜지스터들의 게이트로 전환된다. 그러므로, 복수의 절연막들(110) 및 희생막들(120)이 적층되는 수는 적층되는 트랜지스터들의 수에 따라 증감될 수 있다.

[0047] 도 3b를 참조하면, 복수의 절연막들(110) 및 희생막들(120)을 관통하여 기판(100)을 노출하는 채널 홀(135)을 형성한다. 채널 홀(135)을 형성하는 것은 최상부 절연막 상에 제1 마스크 패턴(130)을 형성하고, 상기 제1 마스크 패턴(130)을 식각 마스크로 사용하여 기판(100)의 상면이 노출 될 때까지 복수의 절연막들(110) 및 희생막들(120)을 순차적으로 이방성 식각할 수 있다. 이방성 식각 공정에서 채널 홀(135) 내의 기판의 표면은 과도 식각(overetch)에 의해 소정의 깊이로 리세스 될 수 있다. 채널 홀(135)은 홀 형태로 형성될 수 있다. 도 2a를 함께 참조하면, 채널 홀들(135)은 제1 방향(X)으로 지그재그(zigzag)로 형성될 수 있다. 제1 마스크 패턴(130)은 포토레지스트를 포함할 수 있다. 이후 제1 마스크 패턴(130)은 제거될 수 있다.

[0048] 도 3c를 참조하면, 최상부 절연막, 채널 홀(135)의 측벽 및 채널 홀(135) 내에 노출된 기판(100)의 상에 전하 저장막(140) 및 터널 절연막(150)을 형성한다. 전하 저장막(140)은 블로킹 막(141) 및 전하 트랩막(143)을 포함할 수 있다. 문턱 전압 제어 절연막(153)은 터널 절연막(150) 내에 개재될 수 있다. 문턱 전압 제어 절연막(153)의 양측에 제1 게이트 절연막(151)과 제2 게이트 절연막(155)이 배치될 수 있다. 따라서, 최상부 절연막, 채널 홀(135)의 측벽 및 채널 홀(135) 내에 노출된 기판(100)의 상에 블로킹 막(141), 전하 트랩막(143), 제1 게이트 절연막(151), 문턱 전압 제어 절연막(153) 및 제2 게이트 절연막(155)이 순차적으로 형성될 수 있다. 블로킹 막(141)은 실리콘 산화물 또는 금속 산화물을 포함할 수 있고, 전하 트랩막(143)은 실리콘 질화물을 포함할 수 있고, 제1 및 제2 게이트 유전막(151, 155)은 실리콘 산화물 또는 질소가 도핑된 실리콘 산화물을 포함할 수 있고, 및 문턱 전압 제어 절연막(153)은 수직채널(160)에 반전층(inversion layer)의 형성을 억제할 수 있는 물질, 예를 들어 알루미늄 산화물을 포함할 수 있다. 알루미늄 산화막 내의 알루미늄 원자가 수직채널(160)로 이동하여 실리콘과 결합하여 음의 고정 전하(negative fixed charge)을 형성할 수 있다. 음의 고정 전하(negative fixed charge)는 수직채널(160)에 반전층의 생성을 억제할 수 있다. 따라서, 문턱 전압 제어 절연막(153)은 수직채널(160)에 근접하여 형성하는 것이 바람직 할 수 있다. 이에 따라, 문턱 전압 제어 절연막(153)은 전하 트랩막(143) 및 수직채널(160) 사이에 배치될 수 있다.

[0049] 도 3d를 참조하면, 최상부 절연막(110) 및 기판(100) 상에 형성된 블로킹 막(141), 전하 트랩막(143), 제1 게이트 절연막(151), 문턱 전압 제어 절연막(153) 및 제2 게이트 절연막(155)을 이방성 식각 방법 등을 이용하여 제거한다. 이에 따라, 채널 홀(135)의 측벽 상에 블로킹막(141), 전하 트랩막(143), 제1 게이트 절연막(151), 문



터 전압 제어 절연막(153) 및 제2 게이트 절연막(155)이 스페이서 형상으로 형성되고, 기관(100)의 일부가 노출될 수 있다.

- [0050] 도 3e를 참조하면, 제2 게이트 절연막(155) 및 채널 홀(135) 내의 노출된 기관(100) 상에 수직 채널(160)을 형성한다. 채널 홀(135)의 측벽 상에 블로킹막(141), 전하 트랩막(143), 제1 게이트 절연막(151), 문턱 전압 제어 절연막(153), 제2 게이트 절연막(155) 및 수직 채널(160)이 순차적으로 형성될 수 있다. 수직 채널(160)은 언도프트 다결정 실리콘막 또는 n-type 불순물이 도핑된 다결정 실리콘 막을 포함할 수 있다. 또한 수직 채널(160) 내에 충전 절연막(162)을 형성하고, 수직 채널(160)의 측벽 및 충전 절연막(162) 상에 채널 홀(135)의 상부를 채우는 채널 패드(164)를 형성할 수 있다.
- [0051] 도 3f를 참조하면, 최상부 절연막(110) 및 채널 패드(164) 상에 제1 층간 절연막(170)을 형성하고, 인접한 수직 채널들(160) 사이의 제1 층간 절연막(170), 복수의 절연막들(110) 및 희생막들(120)을 이방성 식각하여 기관(100)을 노출하는 트렌치(180)를 형성할 수 있다. 트렌치(180)를 형성하는 것은 제1 층간 절연막(170) 상에 제2 마스크 패턴(172)을 형성하고, 상기 제2 마스크 패턴(172)을 식각 마스크로 사용하여 기관(100)의 상면이 노출될 때까지 복수의 절연막들(110) 및 희생막들(120)을 수직으로 관통하여 제1 방향(X)으로 연장하도록 형성될 수 있다. 제1 층간 절연막(170), 복수의 절연막들(110) 및 희생막들(120)의 측면이 트렌치(180) 내에 노출될 수 있다. 제2 마스크 패턴(172)은 포토 레지스트를 포함할 수 있다. 이후 제2 마스크 패턴(172)은 제거될 수 있다.
- [0052] 도 3g를 참조하면, 트렌치(180)의 측벽에 노출된 복수의 희생막들(120)을 제거한다. 이에 따라, 복수의 희생막들(120)이 제거된 영역에 전하 저장막(140)이 노출될 수 있다. 복수의 희생막들(120)이 실리콘 질화막 또는 실리콘 산질화막을 포함하는 경우, 희생막들(120)은 인산을 포함하는 식각 용액을 사용하여 제거할 수 있다.
- [0053] 도 3h를 참조하면, 복수의 희생막들(120)의 제거된 영역 내에 도전 물질을 형성하여 복수의 게이트 전극들(125)을 형성한다. 도전 물질은 금속 또는 금속 실리사이드 또는 이들의 조합을 포함할 수 있다. 예를 들어, 도전 물질은 텅스텐, 알루미늄, 구리 및 금속 실리사이드 등을 포함할 수 있다.
- [0054] 이후, 트렌치(180) 내에 노출된 기관(100)에 고농도의 불순물 이온이 제공되어 불순물 영역(102)이 형성될 수 있다. 예를 들어, 인(P) 또는 비소(As) 등과 같은 n형 불순물을 트렌치(180)의 바닥의 기관(100) 내에 이온 주입하는 것을 포함할 수 있다.
- [0055] 도 3i를 참조하면, 트렌치(180)의 내벽 상에 절연 스페이서(182)를 형성한다. 예를 들어, 트렌치(180)의 측벽, 트렌치(180)의 바닥에 노출된 기관(100) 및 제1 층간 절연막(170) 상에 절연 물질을 형성하고, 트렌치의 바닥의 기관 상면이 노출되도록 이방성 식각 공정을 수행하여 절연 물질을 제거하는 것을 포함할 수 있다.
- [0056] 이후, 절연 스페이서(182) 상에 트렌치(180)를 채우는 공통 소스 라인(185)을 형성한다. 예를 들어, 절연 스페이서(182), 트렌치(180)의 바닥에 노출된 기관(100) 및 제1 층간 절연막(170) 상에 전면적으로 도전 물질을 형성한 후, 제1 층간 절연막(170)의 상면이 노출되도록 상기 도전 물질을 평탄화하는 것을 포함할 수 있다. 공통 소스 라인(185)은 기관(100)의 불순물 영역(102)과 전기적으로 연결되며, 제1 방향(X)으로 연장할 수 있다. 공통 소스 라인(185)은 금속, 금속 실리사이드 또는 이들의 조합을 포함할 수 있다. 예를 들면, 공통 소스 라인(185)은 텅스텐, 알루미늄, 구리, 금속 실리사이드 등을 포함할 수 있다.
- [0057] 도 3j를 참조하면, 제1 층간 절연막(170), 절연 스페이서(182) 및 공통 소스 라인(185) 상에 제2 층간 절연막(190)을 형성하고, 제1 층간 절연막(170) 및 제2 층간 절연막(190)을 관통하여 채널 패드(164)와 전기적으로 연결되는 콘택 패드(200)를 형성한다.
- [0058] 이후, 콘택 패드(200)를 연결하는 비트 라인(210)을 제2 층간 절연층(190) 상에 형성할 수 있다. 비트 라인(210)은 제2 방향(Y)으로 연장하는 라인 형태를 가질 수 있다. 콘택 패드(200) 및 비트 라인(210)은 구리(Cu), 텅스텐(W), 알루미늄(Al)과 같은 도전성 물질을 포함할 수 있다.
- [0059] 상기 수직 채널을 갖는 반도체 메모리 소자의 제조 방법에 따르면, 게이트 전극(125)과 수직 채널(160) 사이에 문턱 전압 제어 절연막(153)이 포함된 터널 절연막(150)을 형성함으로써 상기 반도체 메모리 소자의 문턱 전압을 상승시킬 수 있다. 이에 따라, 상기 반도체 메모리 소자의 프로그램 마진(margin)을 개선시킬 수 있다.
- [0060] 도 4a 내지 도 4k는 본 발명의 기술적 사상의 제 2 실시예에 따른 반도체 소자의 제조 방법을 설명하는 단면도들이다.
- [0061] 도 4a를 참조하면, 기관(100) 상에 절연막(110) 및 희생막(120)을 교대로 반복적으로 적층한다. 이에 따라, 복수의 절연막들(110) 및 복수의 희생막들(120)이 상기 제3 방향(Z)을 따라 교대로 적층될 수 있다. 상기 기관

(100)은 실리콘, 게르마늄 등과 같은 반도체 물질을 포함할 수 있다.

- [0062] 희생막들(120)은 절연막들(110)에 대해 식각 선택비를 갖는 물질들을 사용하여 형성될 수 있다. 예를 들면, 절연막들(110)이 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물을 사용하여 형성하는 경우, 희생막들(120)은 실리콘, 실리콘 카바이드, 실리콘 산화물 또는 실리콘 질화물을 포함하고 절연막들(110)의 물질과는 상이한 물질을 사용하여 형성할 수 있다.
- [0063] 복수의 희생막들(120)의 두께는 동일하지 않을 수 있다. 예를 들면, 최하부 희생막과 최상부 희생막은 다른 희생막들 보다 두꺼운 두께로 형성될 수 있다. 복수의 절연막들(110)의 두께는 동일하지 않을 수 있다. 예를 들면, 최하부 절연막은 다른 절연막들보다 얇은 두께로 형성될 수 있다.
- [0064] 후속 공정을 통해 희생막들(120)이 제거되고 트랜지스터들의 게이트로 전환된다. 그러므로, 복수의 절연막들(110) 및 희생막들(120)이 적층되는 수는 적층되는 트랜지스터들의 수에 따라 증감될 수 있다.
- [0065] 도 4b를 참조하면, 복수의 절연막들(110) 및 희생막들(120)을 관통하여 기관(100)을 노출하는 채널 홀(135)을 형성한다. 채널 홀(135)을 형성하는 것은 최상부 절연막 상에 제1 마스크 패턴(130)을 형성하고, 상기 제1 마스크 패턴(130)을 식각 마스크로 사용하여 기관의 상면이 노출 될 때까지 복수의 절연막들(110) 및 희생막들(120)을 순차적으로 이방성 식각할 수 있다. 이방성 식각 공정에서 채널 홀(135) 내의 기관(100)의 표면은 과도 식각(overetch)에 의해 소정의 깊이로 리세스 될 수 있다. 채널 홀(135)은 홀 형태로 형성될 수 있다. 도 2a를 함께 참조하면, 채널 홀들(135)은 제1 방향(X)으로 지그재그(zigzag)로 형성될 수 있다. 제1 마스크패턴(130)은 포토 레지스트를 포함할 수 있다. 이후 제1 마스크 패턴(130)은 제거될 수 있다.
- [0066] 도 4c를 참조하면, 최상부 절연막, 채널 홀(135)의 측벽 및 채널 홀(135) 내에 노출된 기관(100)의 상에 전하 저장막(140) 및 터널 절연막(150)을 형성한다. 전하 저장막(140)은 블로킹 막(141) 및 전하 트랩막(143)을 포함할 수 있다. 터널 절연막(150)은 게이트 절연막을 포함할 수 있다. 따라서, 최상부 절연막, 채널 홀(135)의 측벽 및 채널 홀(135) 내에 노출된 기관(100) 상에 블로킹 막(141), 전하 트랩막(143), 터널 절연막(150)이 순차적으로 형성될 수 있다. 블로킹 막(141)은 실리콘 산화물 또는 금속 산화물을 포함할 수 있고, 전하 트랩막(143)은 실리콘 질화물을 포함할 수 있고, 터널 절연막(150)은 실리콘 산화물 또는 질소가 도핑된 실리콘 산화물을 포함할 수 있다.
- [0067] 도 4d를 참조하면, 최상부 절연막(110) 및 기관(100) 상에 형성된 블로킹 막(141), 전하 트랩막(143), 터널 절연막(150)을 이방성 식각 방법 등을 이용하여 제거한다. 이에 따라, 채널 홀(135)의 측벽 상에 블로킹 막(141), 전하 트랩막(143), 터널 절연막(150)이 스페이서 형상으로 형성되고, 기관(100)의 일부가 노출될 수 있다.
- [0068] 도 4e를 참조하면, 최상부 절연막(110), 터널 절연막(150) 및 채널 홀(135) 내에 노출된 기관(100) 상에 수직 채널(160), 문턱 전압 제어 절연막(153) 및 충전 절연막(162)을 순차적으로 형성한다. 수직 채널(160)은 언도프트 다결정 실리콘막 또는 n-type 불순물이 도핑된 다결정 실리콘 막을 포함할 수 있다. 수직 채널(160)은 기관(100)과 직접 접촉하여 전기적으로 연결될 수 있다. 문턱 전압 제어 절연막(153)은 수직채널(160)에 반전층(inversion layer)의 생성을 억제할 수 있는 물질, 예를 들어 알루미늄 산화막을 포함할 수 있다. 알루미늄 산화막 내의 알루미늄 원자가 수직채널(160)로 이동하여 실리콘과 결합하여 음의 고정 전하(negative fixed charge)을 형성할 수 있다. 음의 고정 전하(negative fixed charge)는 수직채널에 반전층의 생성을 억제할 수 있다.
- [0069] 문턱 전압 제어 절연막(153)은 수직 채널(160)과 직접 접촉할 수 있다. 또한 문턱 전압 제어 절연막(153) 내에 충전 절연막(162)을 완전히 채운다.
- [0070] 도 4f를 참조하면, 최상부 절연막(110) 상에 형성된 수직 채널(160), 문턱 전압 제어 절연막(153) 및 충전 절연막(162)을 이방성 식각 방법 등을 이용하여 제거한다. 이에 따라, 채널 홀(135) 내의 터널 절연막(150) 및 기관(100) 상에 수직 채널(160), 문턱 전압 제어 절연막(153) 및 충전 절연막(162)이 형성될 수 있다. 이후, 이방성 식각을 추가로 진행하여 채널 홀(135) 내의 충전 절연막(162)의 일부를 제거한다. 문턱 전압 제어 절연막(153)의 측벽 및 충전 절연막(162) 상에 채널 홀(135)의 상부를 채우는 채널 패드(164)를 형성할 수 있다. 채널 패드(164)는 구리(Cu), 텅스텐(W), 알루미늄(Al)과 같은 도전성 물질을 포함할 수 있다.
- [0071] 도 4g를 참조하면, 채널 패드(164) 상에 제1 층간 절연막(170)을 형성하고, 인접한 수직 채널들(160) 사이의 제1 층간 절연막, 복수의 절연막들(110) 및 희생막들(120)을 이방성 식각하여 기관(100)을 노출하는 트렌치(180)를 형성할 수 있다. 트렌치(180)를 형성하는 것은 제1 층간 절연막(170) 상에 제2 마스크 패턴(172)을 형성하고, 상기 제2 마스크 패턴(172)을 식각 마스크로 사용하여 기관(100)의 상면이 노출 될 때까지 복수의 절

연막들(110) 및 희생막들(120)을 수직으로 관통하여 제1 방향(X)으로 연장하도록 형성될 수 있다. 제1 층간 절연막, 복수의 절연막들(110) 및 희생막들(120)의 측면이 트렌치(180) 내에 노출될 수 있다. 제2 마스크 패턴(172)은 포토 레지스트를 포함할 수 있다. 이후 제2 마스크 패턴(172)은 제거될 수 있다.

- [0072] 도 4h를 참조하면, 트렌치(180)의 측벽에 노출된 복수의 희생막들(120)을 제거한다. 이에 따라, 복수의 희생막들(120)이 제거된 영역에 전하 저장막(140)이 노출될 수 있다. 복수의 희생막들(120)이 실리콘 질화막 또는 실리콘 산질화막을 포함하는 경우, 희생막들(120)은 인산을 포함하는 식각 용액을 사용하여 제거할 수 있다.
- [0073] 도 4i를 참조하면, 복수의 희생막들(120)의 제거된 영역 내에 도전 물질을 형성하여 복수의 게이트 전극들(125)을 형성한다. 도전 물질은 금속 또는 금속 실리사이드 또는 이들의 조합을 포함할 수 있다. 예를 들어, 도전 물질은 텅스텐, 알루미늄, 구리 및 금속 실리사이드 등을 포함할 수 있다.
- [0074] 이후, 트렌치(180) 내에 노출된 기판(100)에 고농도의 불순물 이온이 제공되어 불순물 영역(102)이 형성될 수 있다. 예를 들어, 인(P) 또는 비소(As) 등과 같은 n형 불순물을 트렌치(180)의 바닥의 기판(100) 내에 이온 주입하는 것을 포함할 수 있다.
- [0075] 도 4j를 참조하면, 트렌치(180)의 내벽 상에 절연 스페이서(182)를 형성한다. 예를 들어, 트렌치(180)의 측벽, 트렌치(180)의 바닥에 노출된 기판(100) 및 제1 층간 절연막(170) 상에 절연 물질을 형성하고, 트렌치(180)의 바닥의 기판(100) 상면이 노출되도록 이방성 식각 공정을 수행하여 절연 물질을 제거하는 것을 포함할 수 있다.
- [0076] 이후, 절연 스페이서(182) 상에 트렌치(180)를 채우는 공통 소스 라인(185)을 형성한다. 예를 들어, 절연 스페이서(182), 트렌치(180)의 바닥에 노출된 기판(100) 및 제1 층간 절연막(170) 상에 전면적으로 도전 물질을 형성한 후, 제1 층간 절연막(170)의 상면이 노출되도록 상기 도전 물질을 평탄화하는 것을 포함할 수 있다. 공통 소스 라인(185)은 기판(100)의 불순물 영역(102)과 전기적으로 연결되며, 제1 방향(X)으로 연장할 수 있다. 공통 소스 라인(185)은 금속, 금속 실리사이드 또는 이들의 조합을 포함할 수 있다. 예를 들면, 공통 소스 라인(185)은 텅스텐, 알루미늄, 구리, 금속 실리사이드 등을 포함할 수 있다.
- [0077] 도 4k를 참조하면, 제1 층간 절연막(170), 절연 스페이서(182) 및 공통 소스 라인(185) 상에 제2 층간 절연막(190)을 형성하고, 제1 층간 절연막(170) 및 제2 층간 절연막(190)을 관통하여 채널 패드(164)와 전기적으로 연결되는 콘택 패드(200)를 형성한다.
- [0078] 이후, 콘택 패드(200)를 연결하는 비트 라인(210)을 제2 층간 절연층(190) 상에 형성할 수 있다. 비트 라인(210)은 제2 방향(Y)으로 연장하는 라인 형태를 가질 수 있다. 콘택 패드(200) 및 비트 라인(210)은 구리(Cu), 텅스텐(W), 알루미늄(Al)과 같은 도전성 물질을 포함할 수 있다.
- [0079] 상기 수직 채널(160)을 갖는 반도체 메모리 소자의 제조 방법에 따르면, 수직 채널(160)과 층간 절연막(162) 사이에 문턱 전압 제어 절연막(153)을 형성함으로써 상기 반도체 메모리 소자의 문턱 전압을 상승시킬 수 있다. 이에 따라, 상기 반도체 메모리 소자의 프로그램 마진(margin)을 개선시킬 수 있다.
- [0080] 이하에서, 도 5를 이용하여 문턱 전압 제어 절연막이 반도체 메모리 소자의 문턱 전압에 미치는 영향을 실험한 실험예를 설명한다.
- [0081] 도 5는 문턱 전압 제어 절연막의 두께에 따른 반도체 메모리 소자의 문턱 전압의 변화를 나타내는 그래프이다.
- [0082] 도 5를 참조하면, 그래프의 X축은 알루미늄 산화막( $Al_2O_3$ )의 두께를 표시하고, Y축은 반도체 메모리 소자의 문턱 전압( $V_{th}$ )을 표시한다. 문턱 전압 제어 절연막(153)으로 이용된 알루미늄 산화막의 두께가 증가할수록 반도체 메모리 소자의 문턱 전압이 증가함을 보여준다.
- [0083] 도 6a는 본 발명의 기술적 사상의 몇몇 실시예에 의한 반도체 모듈(2200)을 개념적으로 도시한 도면이다.
- [0084] 도 6a를 참조하면, 본 발명의 몇몇 실시예에 의한 반도체 모듈(2200)은, 모듈 기판(2210) 상에 실장된 프로세서(2220) 및 반도체 소자들(2230)을 포함할 수 있다. 프로세서(2220) 또는 반도체 소자들(2230)은 본 발명의 기술적 사상의 다양한 일 실시예에 의한 반도체 소자(1000)를 포함할 수 있다. 모듈 기판(2210)의 적어도 한 번에는 입출력 터미널들(2240)이 배치될 수 있다.
- [0085] 도 6b 및 6c는 본 발명의 기술적 사상의 실시예들에 의한 전자 시스템들(2300, 2400)을 개념적으로 도시한 블록 다이어그램이다.
- [0086] 도 6b를 참조하면, 본 발명의 몇몇 실시예에 의한 전자 시스템(2300)은 바디(2310), 디스플레이 유닛(2360), 및

외부 장치(2370)를 포함할 수 있다.

[0087] 바디(2310)는 마이크로 프로세서 유닛(Micro Processor Unit; 2320), 파워 공급부(Power Supply; 2330), 기능 유닛(Function Unit; 2340), 및/또는 디스플레이 컨트롤 유닛(Display Control Unit; 2350)을 포함할 수 있다. 바디(2310)는 인쇄 회로기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board), 및/또는 케이스(case)를 포함할 수 있다. 마이크로 프로세서 유닛(2320), 파워 공급부(2330), 기능 유닛(2340), 및 디스플레이 컨트롤 유닛(2350)은 바디(2310)의 상면 또는 내부에 실장 또는 배치될 수 있다. 바디(2310)의 상면 혹은 바디(2310)의 내/외부에 디스플레이 유닛(2360)이 배치될 수 있다.

[0088] 디스플레이 유닛(2360)은 디스플레이 컨트롤 유닛(2350)에 의해 프로세싱된 이미지를 표시할 수 있다. 예를 들어, 디스플레이 유닛(2360)은 LCD (liquid crystal display), AMOLED(active matrix organic light emitting diodes), 또는 다양한 디스플레이 패널을 포함할 수 있다. 디스플레이 유닛(2360)은 터치 스크린을 포함할 수 있다. 따라서, 디스플레이 유닛(2360)은 입출력 기능을 가질 수 있다.

[0089] 파워 공급부(2330)는 전류 또는 전압을 마이크로 프로세서 유닛(2320), 기능 유닛(2340), 디스플레이 컨트롤 유닛(2350) 등으로 공급할 수 있다. 파워 공급부(2330)는 충전 배터리, 건전지용 소켓, 또는 전압/전류 변환기를 포함할 수 있다.

[0090] 마이크로 프로세서 유닛(2320)은 파워 공급부(2330)로부터 전압을 공급받아 기능 유닛(2340)과 디스플레이 유닛(2360)을 제어할 수 있다. 예를 들어, 마이크로 프로세서 유닛(2320)은 CPU 또는 AP (application processor)를 포함할 수 있다.

[0091] 기능 유닛(2340)은 다양한 전자 시스템(2300)의 기능을 수행할 수 있다. 예를 들어, 기능 유닛(2340)은 터치 패드, 터치 스크린, 휘발성/비휘발성 메모리, 메모리 카드 컨트롤러, 카메라, 라이트, 음성 및 동영상 재생 프로세서, 무선 송수신 안테나, 스피커, 마이크, USB 포트, 기타 다양한 기능을 가진 유닛을 포함할 수 있다.

[0092] 마이크로 프로세서 유닛(2320) 또는 기능 유닛(2340)은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 소자(1000)를 포함할 수 있다.

[0093] 도 6c를 참조하면, 본 발명의 몇몇 실시예에 의한 전자 시스템(2400)은 버스(2420)를 통하여 데이터 통신을 수행하는 마이크로프로세서(2414), 메모리 시스템(2412) 및 유저 인터페이스(2418)를 포함할 수 있다. 마이크로프로세서(2414)는 CPU 또는 AP를 포함할 수 있다. 전자 시스템(2400)은 마이크로프로세서(2414)와 직접적으로 통신하는 램(2416)을 더 포함할 수 있다. 마이크로프로세서(2414) 및/또는 램(2416)은 단일 패키지 내에 조립될 수 있다. 유저 인터페이스(2418)는 전자 시스템(2400)으로 정보를 입력하거나 또는 전자 시스템(2400)으로부터 정보를 출력하는데 사용될 수 있다. 예를 들어, 유저 인터페이스(2418)는 터치 패드, 터치 스크린, 키보드, 마우스, 스캐너, 음성 디텍터, CRT(cathode ray tube) 모니터, LCD, AMOLED, PDP(plasma display panel), 프린터, 라이트, 또는 기타 다양한 입출력 장치들을 포함할 수 있다. 메모리 시스템(2412)은 마이크로프로세서(2414) 동작용 코드들, 마이크로프로세서(2414)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 메모리 시스템(2412)은 메모리 컨트롤러, 하드 디스크, 또는 SSD(solid state drive)를 포함할 수 있다. 마이크로프로세서(2414), 램(2416), 및/또는 메모리 시스템(2412)은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 소자(1000)를 포함할 수 있다.

[0094] 이상, 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

- [0095] 100: 기관
- 102: 불순물 영역
- 110: 절연막
- 120: 희생막
- 125: 게이트 전극
- 130: 제1 마스크 패턴
- 135: 채널 홀
- 140: 전하 저장막
- 141: 블로킹 절연막
- 143: 전하 트랩막
- 150: 터널 절연막

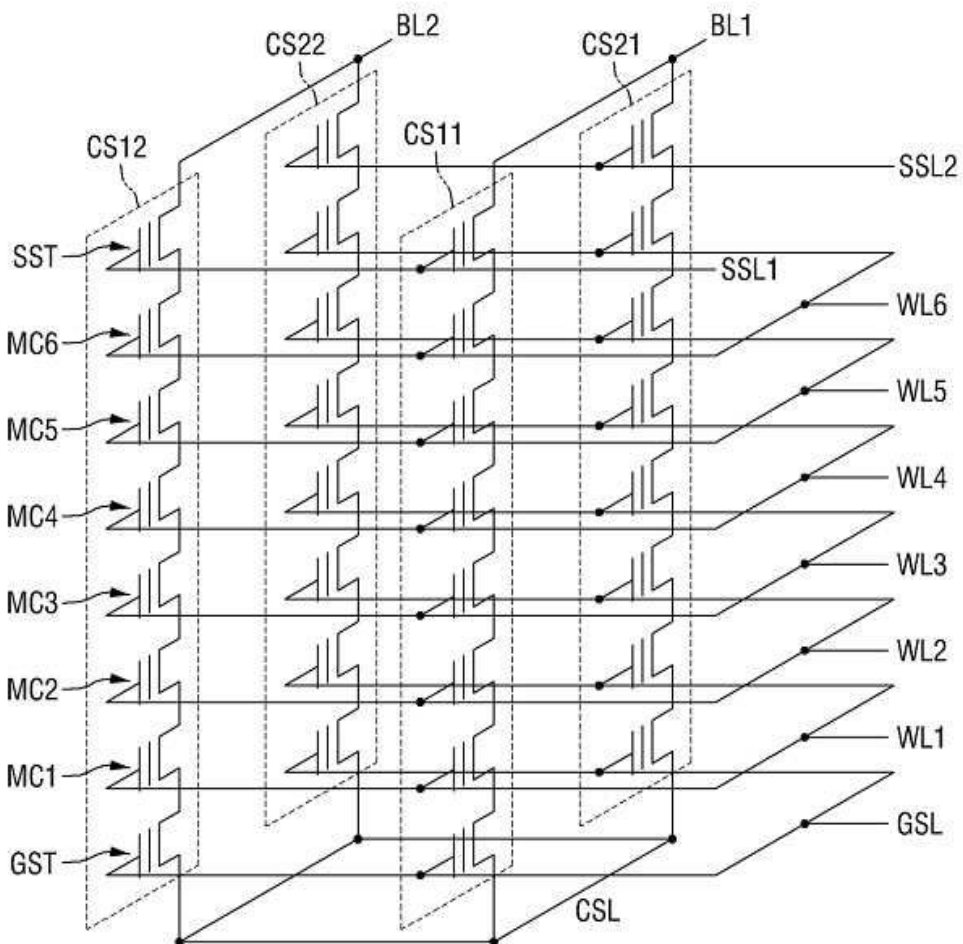


- 151: 제1 게이트 절연막                    153: 문턱 전압 제어 절연막
- 155: 제2 게이트 절연막
- 160: 수직 채널                            162: 충전 절연막
- 172: 제2 마스크 패턴                    180: 트렌치
- 182: 절연스페이서                        185: 공통 소스 라인
- 190: 제2 충전 절연막                    200: 콘택 패드
- 210: 비트 라인

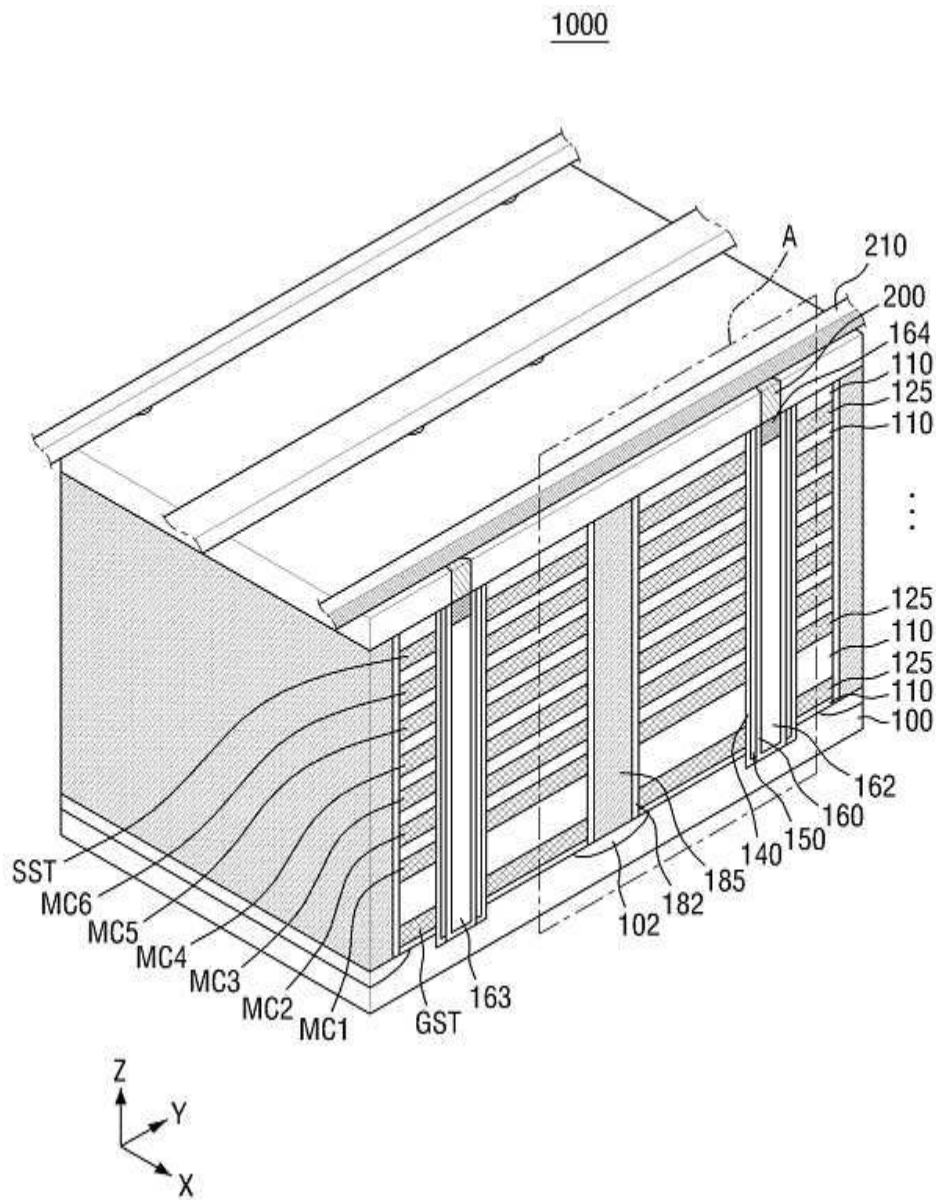
**도면**

**도면1**

10

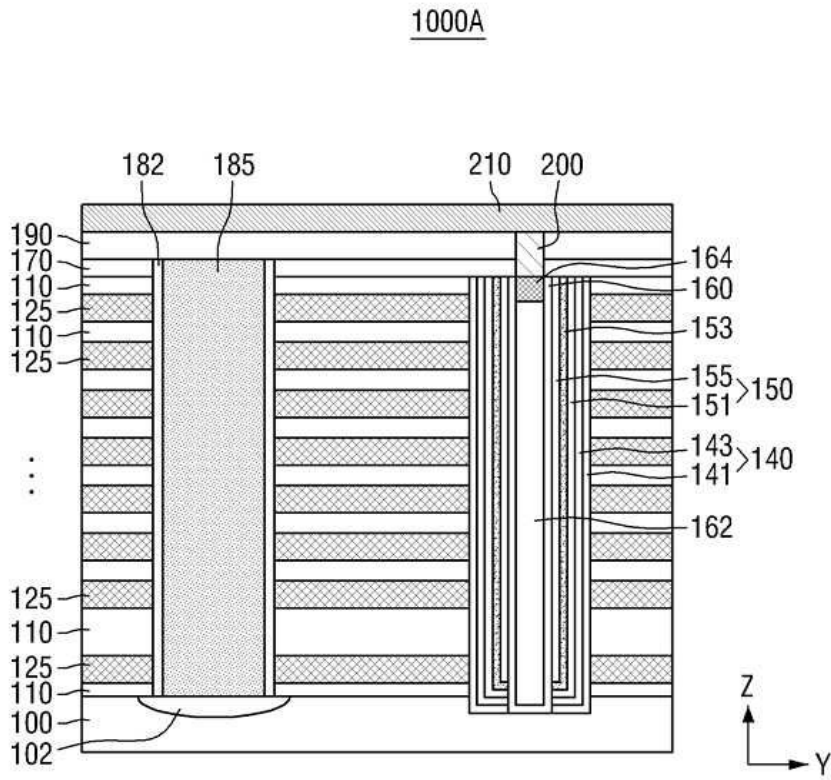


도면2a

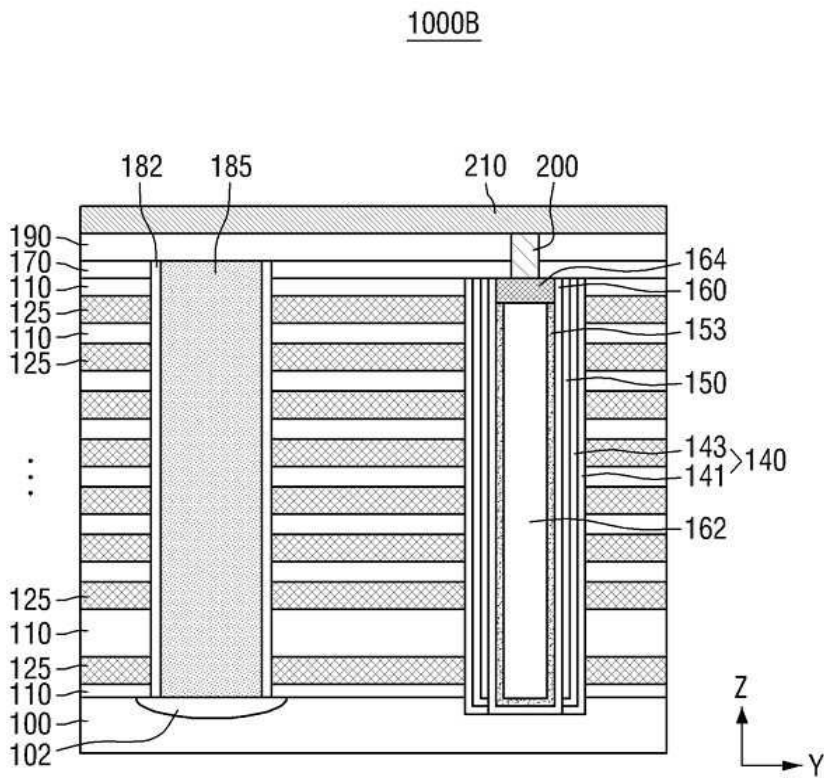




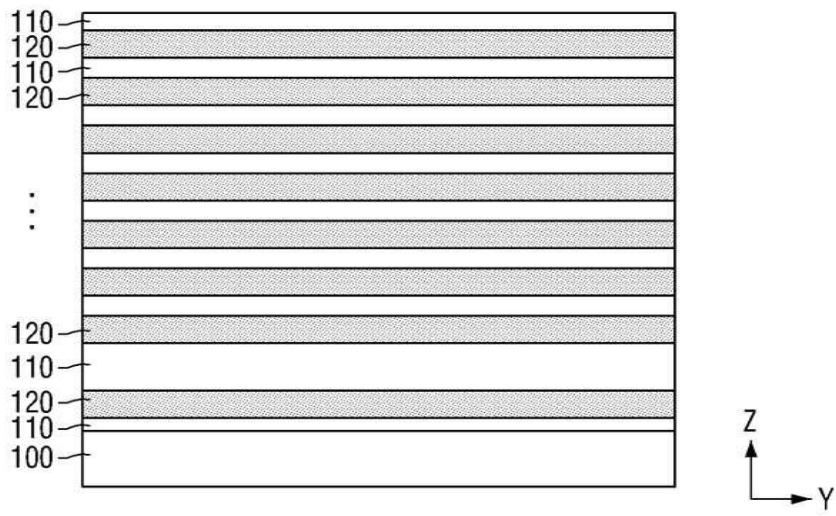
도면2b



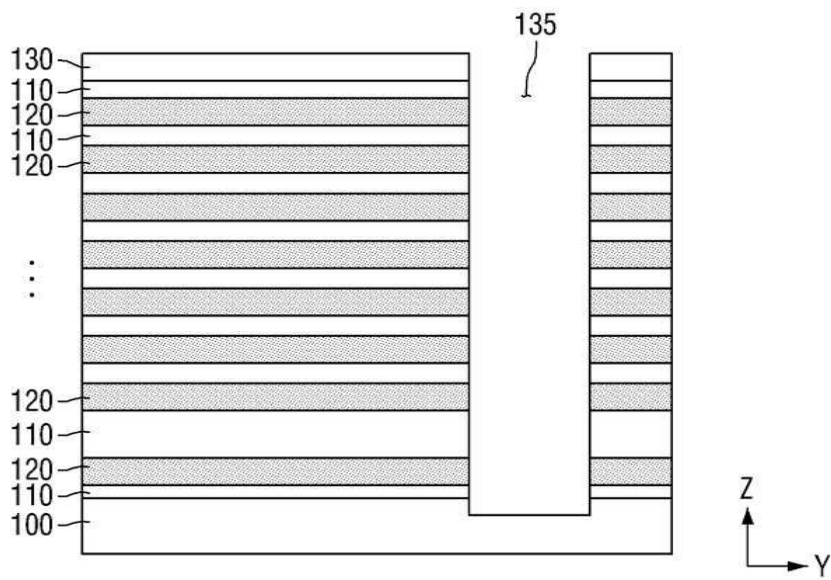
도면2c



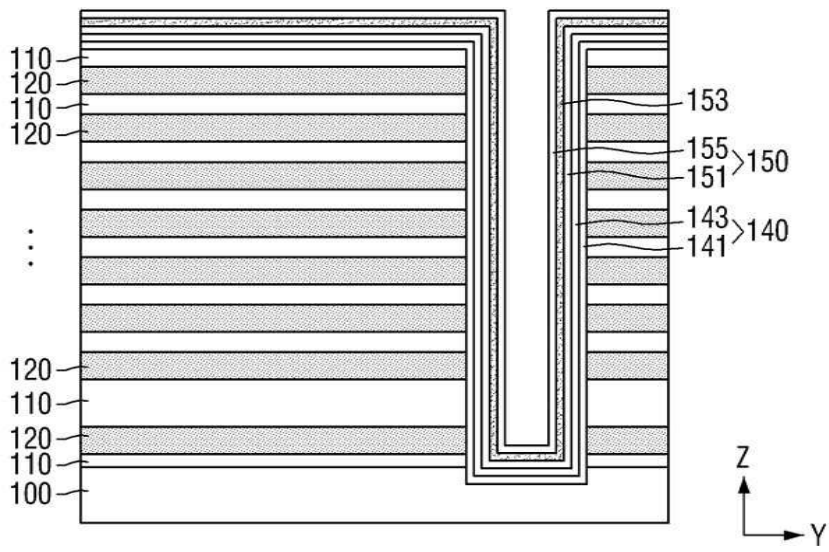
도면3a



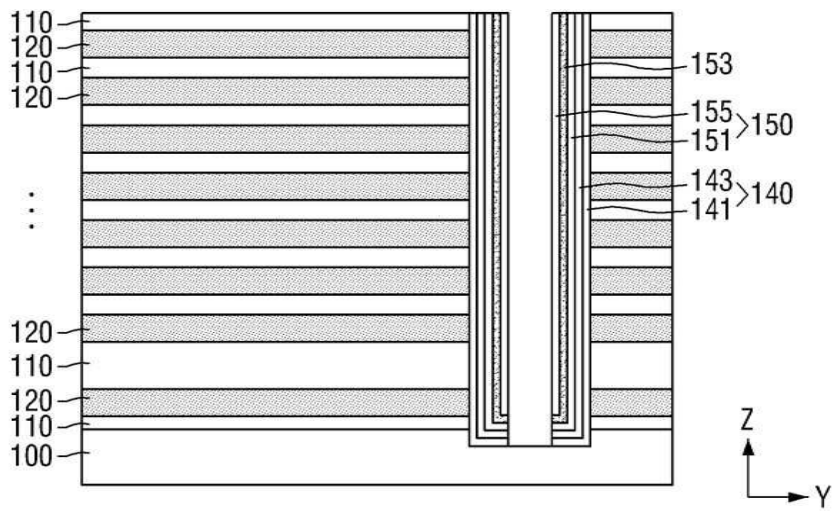
도면3b



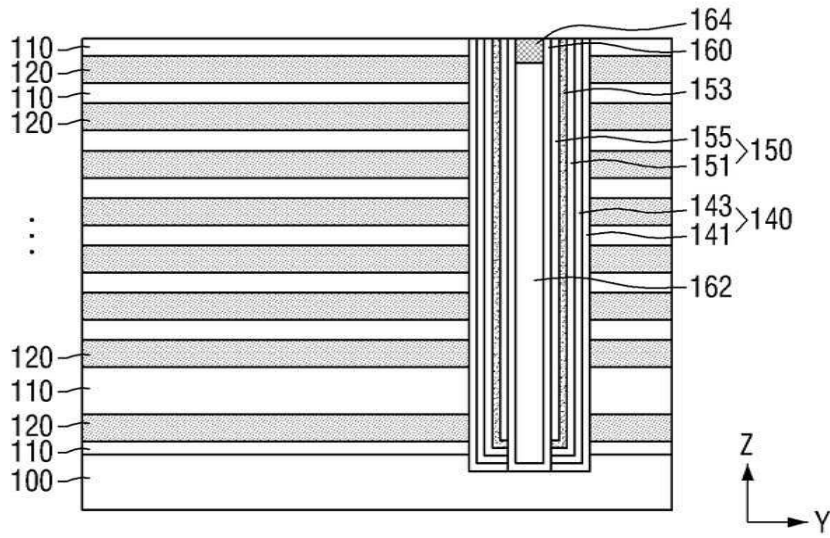
도면3c



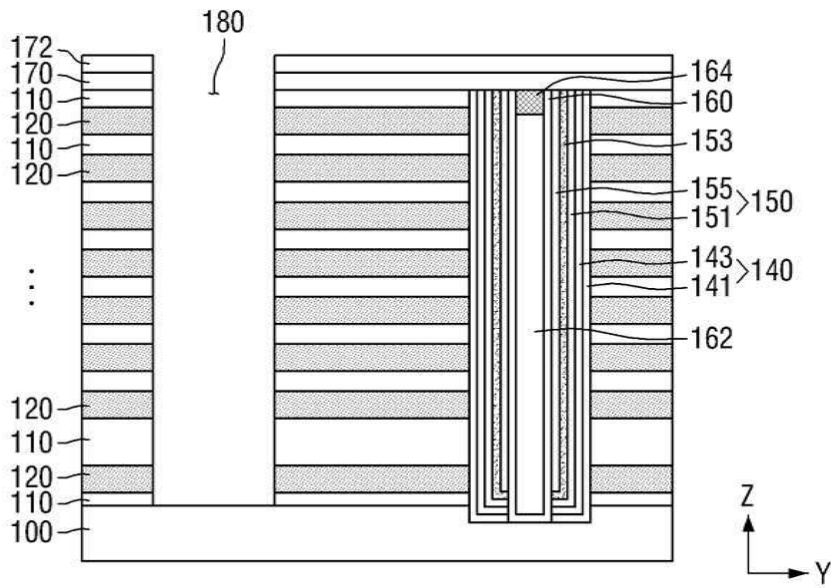
도면3d



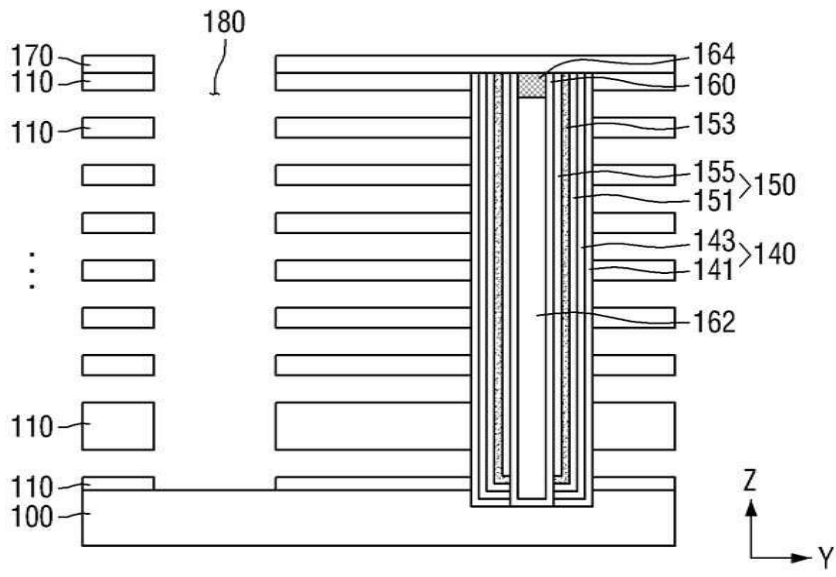
도면3e



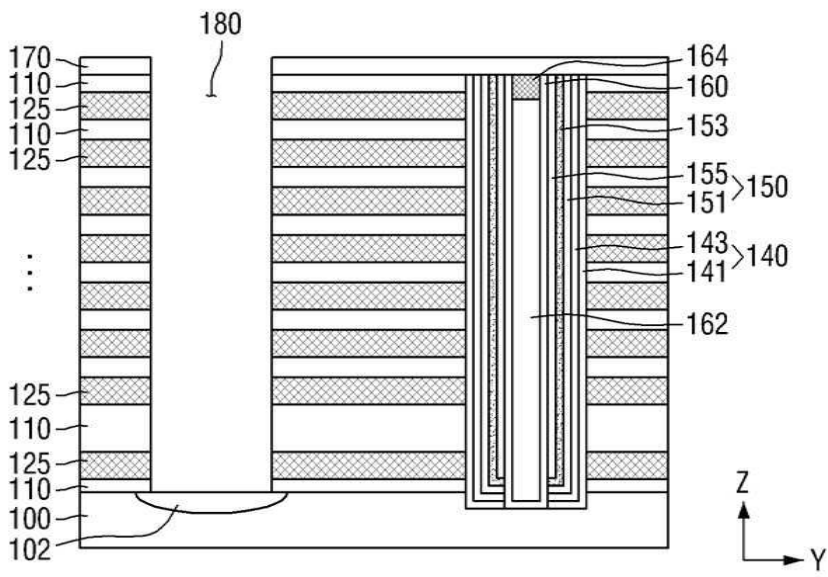
도면3f



도면3g

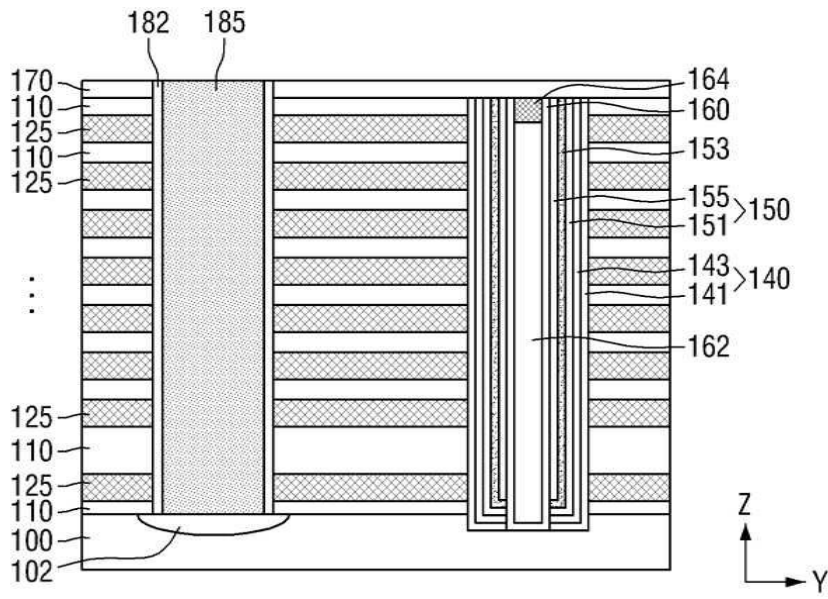


도면3h

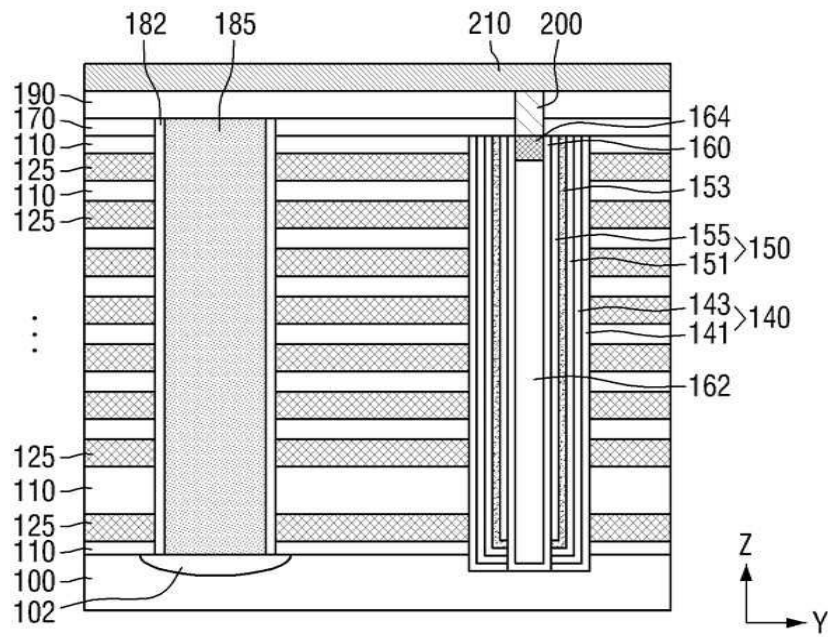




도면3i

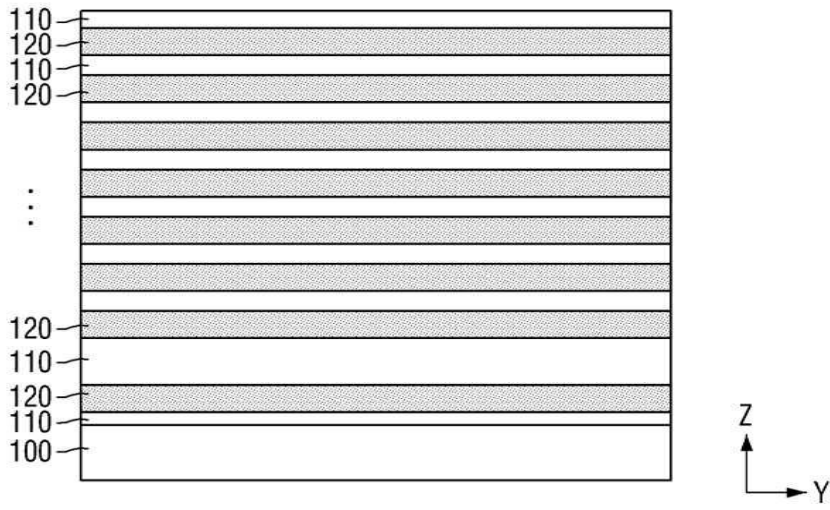


도면3j

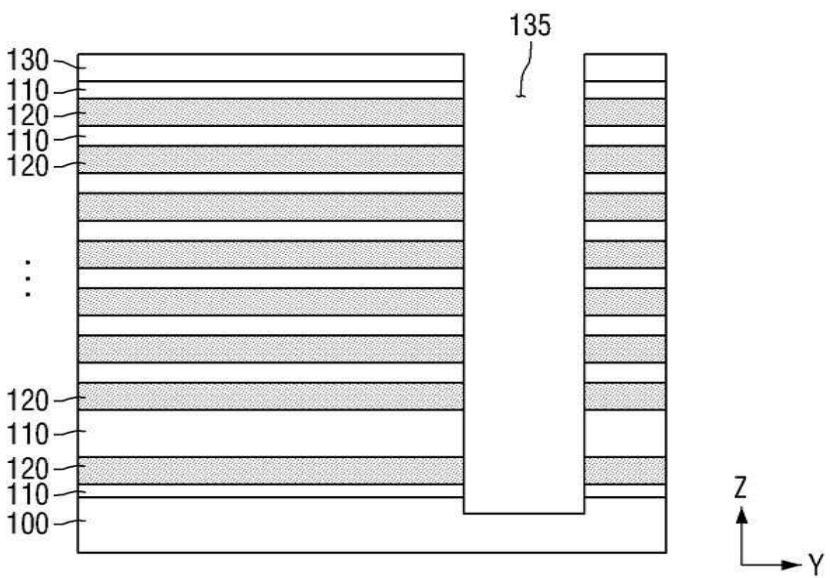




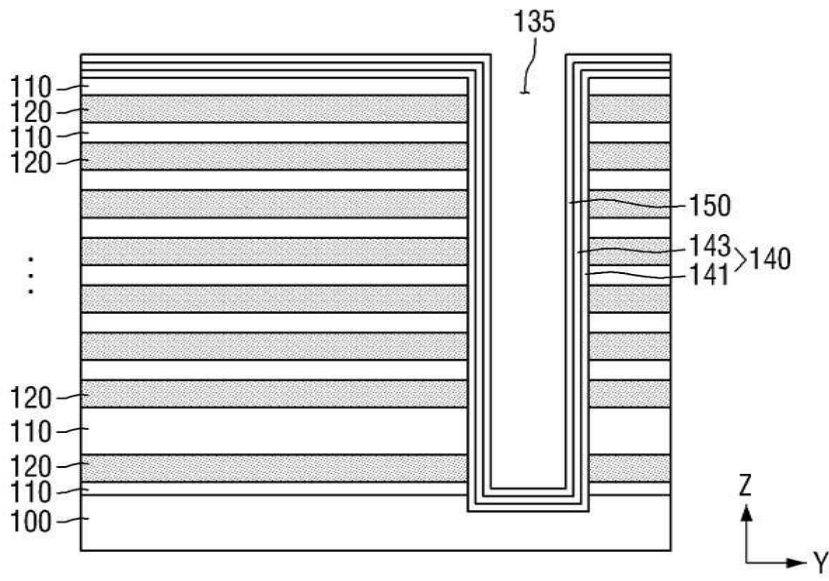
도면4a



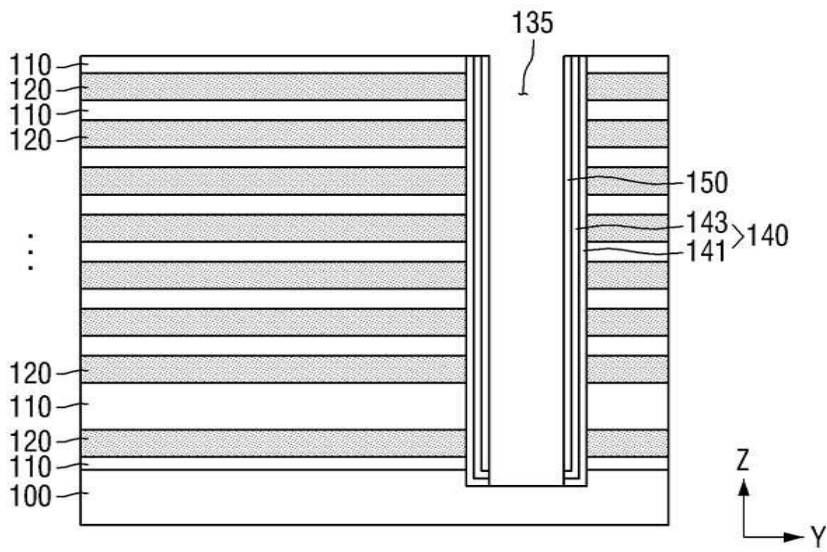
도면4b



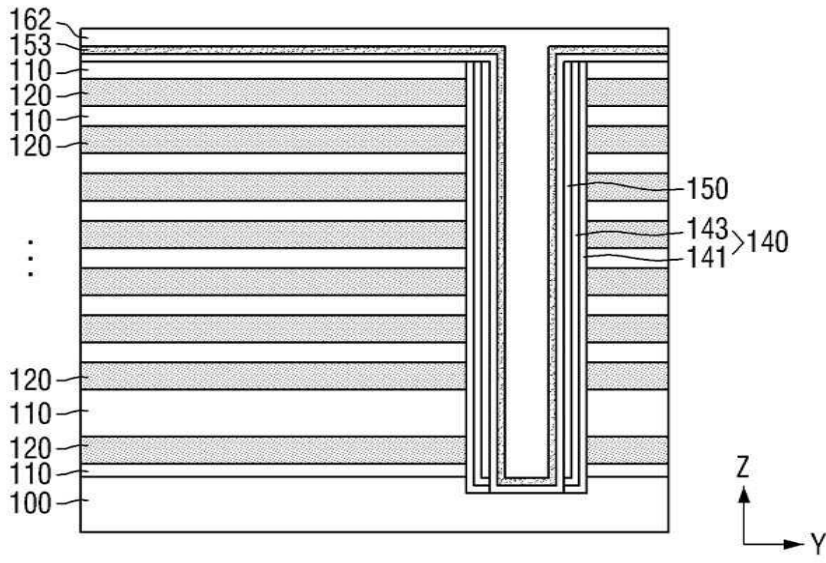
도면4c



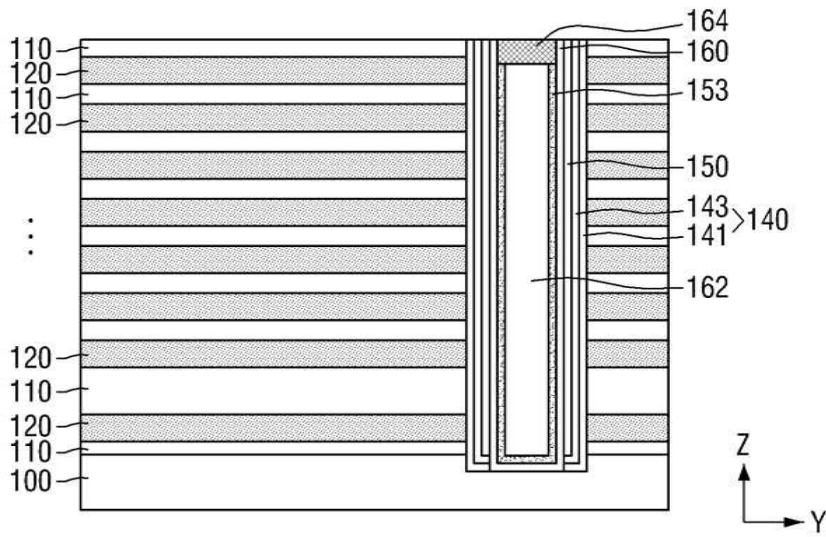
도면4d



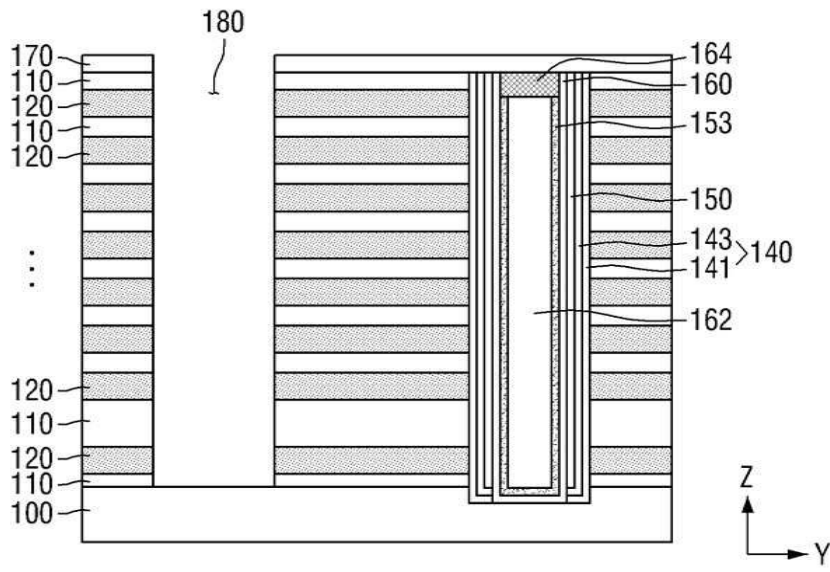
도면4e



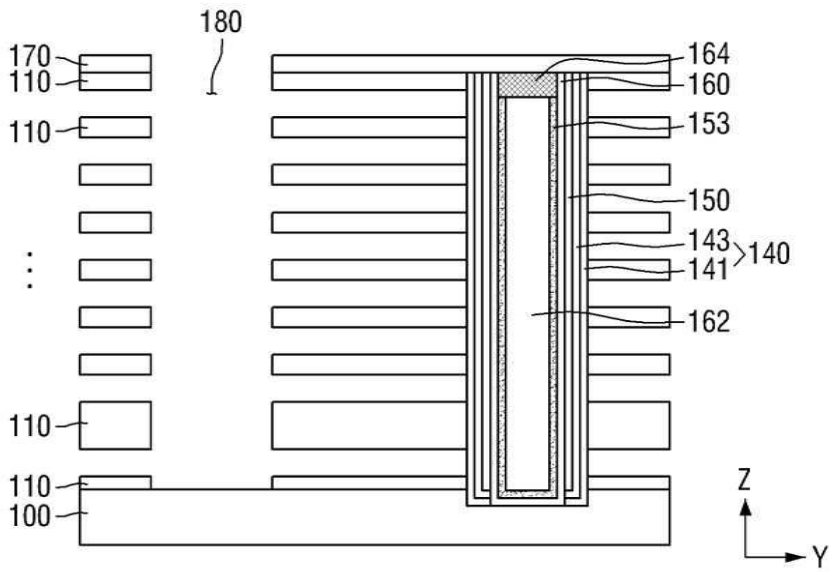
도면4f



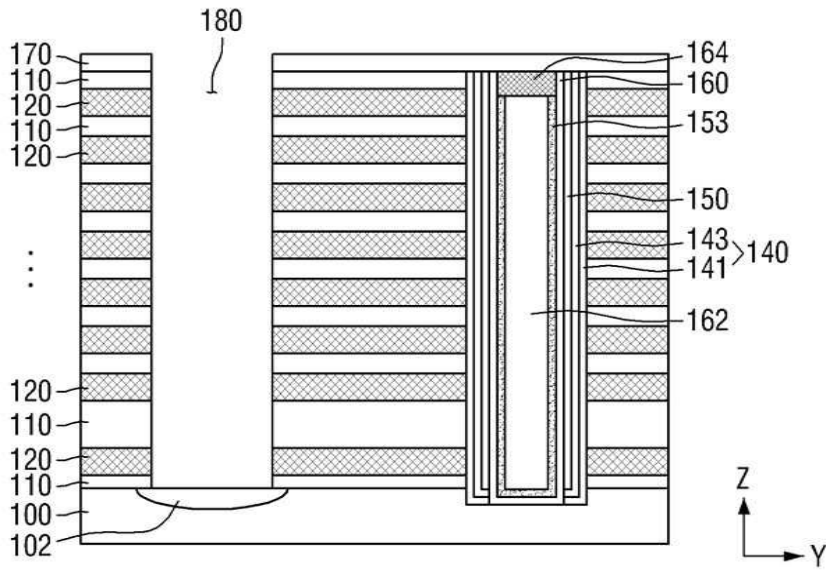
도면4g



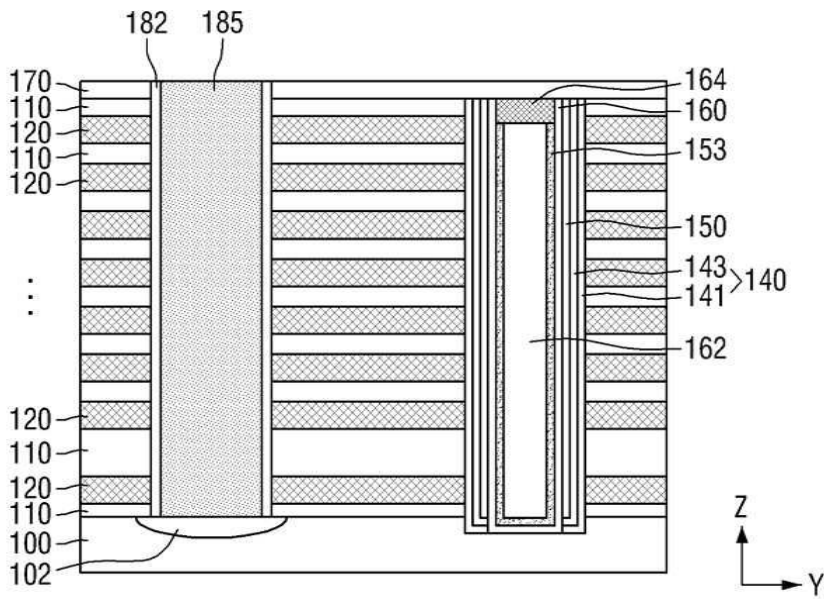
도면4h



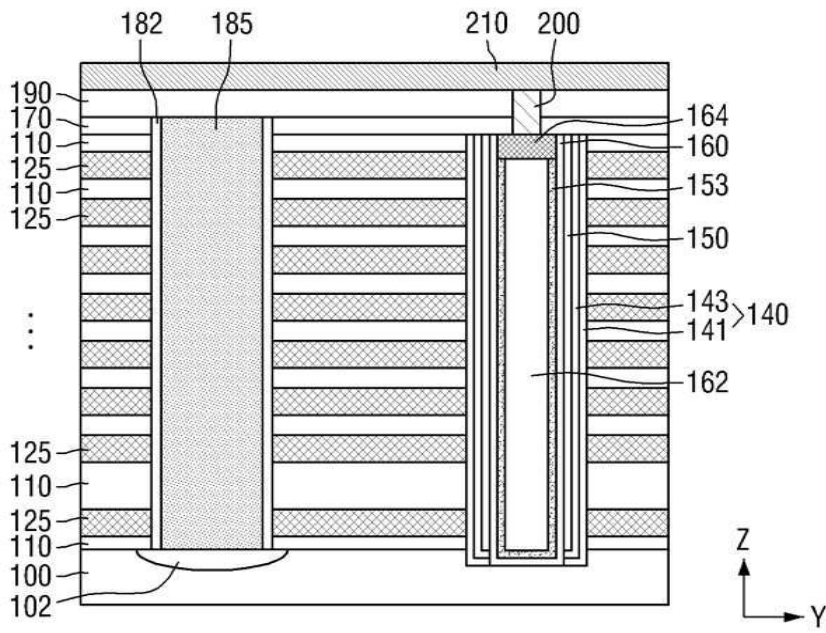
도면4i



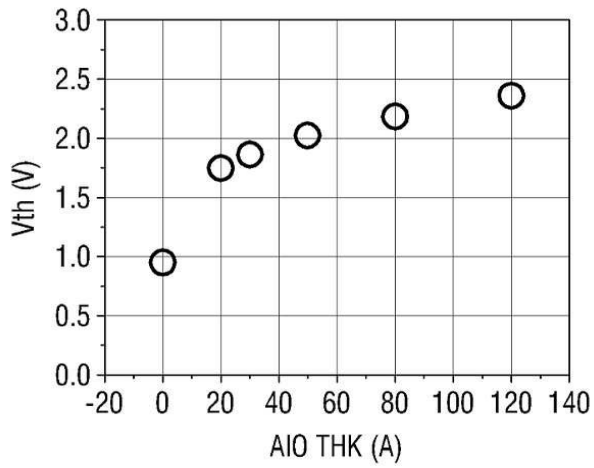
도면4j



도면4k

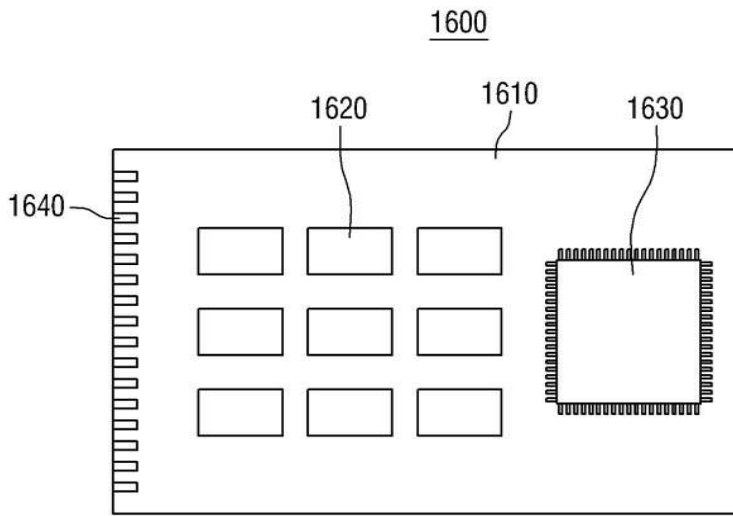


도면5

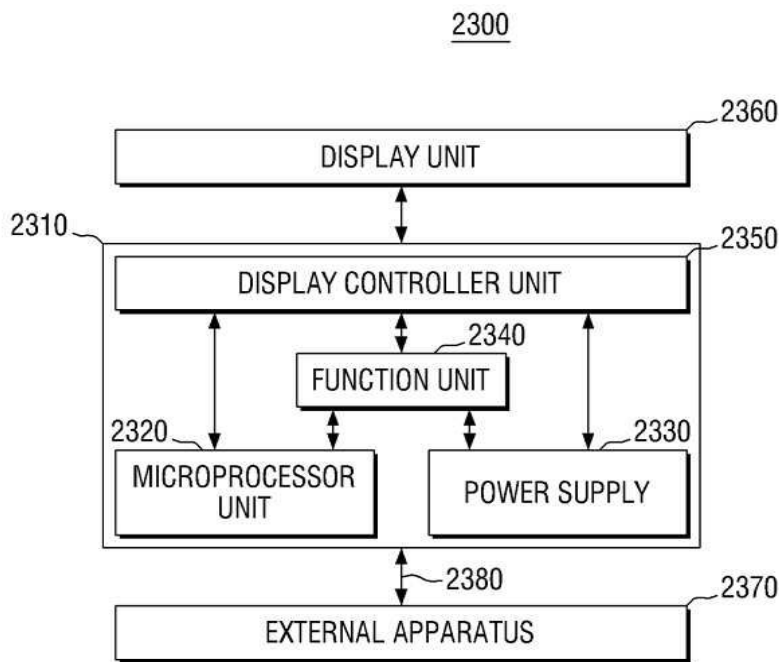




도면6a



도면6b



도면6c

2400

