

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 1 月 5 日(05.01.2017)



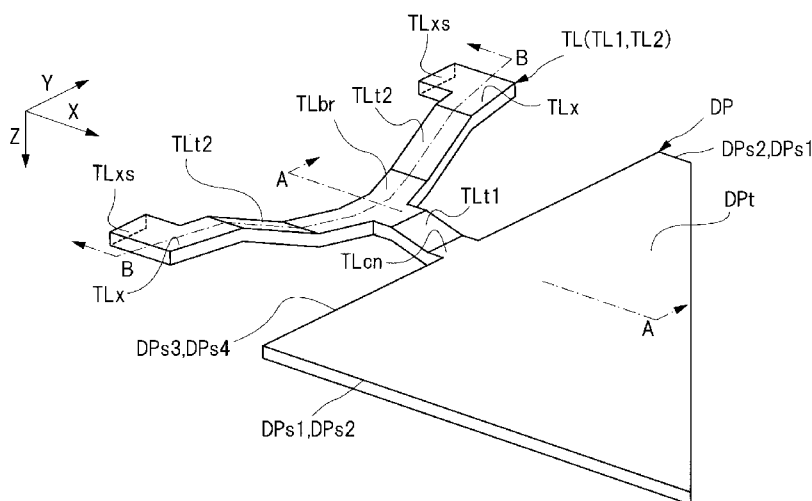
(10) 国際公開番号
WO 2017/002268 A1

- (51) 国際特許分類:
H01L 23/50 (2006.01) *H01L 23/28* (2006.01)
H01L 21/56 (2006.01)
- (21) 国際出願番号: PCT/JP2015/069194
- (22) 国際出願日: 2015 年 7 月 2 日(02.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENEAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目 2 番
2 4 号 Tokyo (JP).
- (72) 発明者: 高橋 典之(TAKAHASHI, Noriyuki); 〒
3700021 群馬県高崎市西横手町 1 1 1 ルネサ
スセミコンダクタパッケージ&テストソリュー
ションズ株式会社内 Gunma (JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿
区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置

図 7



(57) 要約:

(57) Abstract: In the semiconductor device manufacturing method according to an embodiment of the present invention, a suspension lead is connected to a chip mounting section on which a semiconductor chip is mounted. The suspension lead includes: a first tab connection section connected to the chip mounting section and extending in a first direction; a first branch section provided on the chip mounting section at a position higher than the first tab connection section, and branching in a plurality of directions intersecting the first direction; and a plurality of first exposed-surface connection sections each provided at a position higher than the first branch section and each having one end connected to a portion exposed from a sealed body. The suspension lead further includes a first offset section connected to the first tab connection section and the first branch section, and a plurality of second offset sections each having one end connected to the first branch section and the other end connected to each of the plurality of first exposed-surface connection sections.

[続葉有]

WO 2017/002268 A1



一実施の形態による半導体装置の製造方法では、半導体チップが搭載されるチップ搭載部に吊りリードが接続されている。また、上記吊りリードは、上記チップ搭載部に接続され、第1方向に沿って延びる第1タブ接続部と、チップ搭載面に対して、上記第1タブ接続部よりも高い位置に設けられ、上記第1方向と交差する複数の方向に分岐する第1分岐部と、上記第1分岐部よりも高い位置に設けられ、一方の端部が封止体から露出する部分に接続される、複数の第1露出面接続部を有する。また、上記吊りリードは、上記第1タブ接続部および上記第1分岐部に接続される第1オフセット部と、一方の端部が上記第1分岐部に接続され、他方の端部が上記複数の第1露出面接続部のそれぞれに接続される複数の第2オフセット部と、を有するものである。

明 細 書

発明の名称：半導体装置の製造方法および半導体装置

技術分野

[0001] 本発明は、例えば、半導体チップが搭載されたチップ搭載部の一部が、半導体チップを封止する封止体から露出する構造の半導体装置およびその製造方法に関する。

背景技術

[0002] 特開平 8－3 7 2 7 号公報（特許文献 1）や特開 2 0 1 0－1 7 7 5 1 0 号公報（特許文献 2）には、平面形状が長方形のタブの短辺に接続される吊りリードが記載されている。特許文献 1 に記載される吊りリードは、タブに接続される部分の反対側が二股に分岐しており、分岐していない部分にオフセット部が設けられている。また、特許文献 2 に記載される吊りリードは、タブに接続される部分の反対側が二股に分岐しており、分岐した部分のそれぞれにオフセット部が設けられている。

[0003] また、特開平 6－3 0 2 7 4 5 号公報（特許文献 3）や特開平 1 1－3 4 0 4 0 3 号公報（特許文献 4）には、樹脂封止を行う工程において、リードフレームの下側に配置される金型にゲート部が設けられ、リードフレームの上側に配置される金型にはゲート部が設けられていない構成が記載されている。

先行技術文献

特許文献

[0004] 特許文献 1：特開平 8－3 7 2 7 号公報

特許文献 2：特開 2 0 1 0－1 7 7 5 1 0 号公報

特許文献 3：特開平 6－3 0 2 7 4 5 号公報

特許文献 4：特開平 1 1－3 4 0 4 0 3 号公報

発明の概要

発明が解決しようとする課題

[0005] 半導体チップが搭載されるチップ搭載部であるダイパッドの下面（チップ搭載面の反対側の面）を封止体から露出させる技術がある。ダイパッドの下面を露出させるためには、ダイパッドに接続される吊りリードを曲げる必要がある。しかし、本願発明者の検討によれば、吊りリードの曲げの程度によっては、吊りリードによるダイパッドの支持強度の観点で課題があることが判った。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 一実施の形態による半導体装置の製造方法では、半導体チップが搭載されるチップ搭載部に吊りリードが接続されている。また、上記吊りリードは、上記チップ搭載部に接続され、第1方向に沿って延びる第1タブ接続部と、チップ搭載面に対して、上記第1タブ接続部よりも高い位置に設けられ、上記第1方向と交差する複数の方向に分岐する第1分岐部と、上記第1分岐部よりも高い位置に設けられ、一方の端部が封止体から露出する部分に接続される、複数の第1露出面接続部を有する。また、上記吊りリードは、上記第1タブ接続部および上記第1分岐部に接続される第1オフセット部と、一方の端部が上記第1分岐部に接続され、他方の端部が上記複数の第1露出面接続部のそれぞれに接続される複数の第2オフセット部と、を有するものである。

発明の効果

[0008] 上記一実施の形態によれば、半導体装置の信頼性を向上させることができる。

図面の簡単な説明

[0009] [図1]一実施形態である半導体装置の斜視図である。

[図2]図1に示す半導体装置の下面図である。

[図3]図1に示す封止体を取り除いた状態で半導体装置の内部構造を示す平面図である。

[図4]図3のA－A線に沿った断面図である。

[図5]図3のB－B線に沿った断面図である。

[図6]図4に示す半導体装置を、実装基板上に搭載した実装構造体を示す断面図である。

[図7]図3に示す二つの吊りリードのうちの一方を拡大して示す拡大斜視図である。

[図8]図7のA－A線に沿った拡大断面である。

[図9]図7のB－B線に沿った拡大断面図である。

[図10]図1に示す半導体装置の組み立てフローを示す説明図である。

[図11]図10のリードフレーム準備工程で準備するリードフレームの全体構造を示す平面図である。

[図12]図11に示す複数のデバイス領域のうちの、一つのデバイス領域周辺の拡大平面図である。

[図13]図12に示すダイパッド上に、ボンディング材を介して半導体チップを搭載した状態を示す拡大平面図である。

[図14]図13のA－A線に沿った拡大断面図である。

[図15]図13に示す半導体チップと複数のリードを、ワイヤを介して電氣的に接続した状態を示す拡大平面図である。

[図16]図15のA－A線に沿った拡大断面図である。

[図17]図15に示すリードフレームのデバイス領域に、封止体を形成した状態を示す平面図である。

[図18]図17のA－A線に沿った拡大断面図である。

[図19]図17に示すリードフレームの反対側の面を示す平面図である。

[図20]図17のA－A線に沿った断面において、封止体を成形するための成形金型内にリードフレームを配置した状態を示す拡大断面図である。

[図21]図19に示すゲート樹脂とベント樹脂の接続部分を破壊してリードフレームを厚さ方向に貫通する貫通孔を形成した状態を示す拡大平面図である。

[図22]封止工程において、ゲート部からの樹脂の供給方向を模式的に示す説明図である。

[図23]図 1 9 に示すゲート部周辺の拡大平面図である。

[図24]図 2 3 の A - A 線に沿った拡大断面図である。

[図25]図 1 9 に示すスルーゲート部周辺の拡大平面図である。

[図26]図 2 1 に示すリードおよびダイパッドの露出面に金属膜を形成した状態を示す拡大断面図である。

[図27]図 2 6 に示す複数のリードを分割し、成形した状態を示す拡大平面図である。

[図28]図 2 7 に示すリードフレームの複数のデバイス領域のそれぞれを個片化した状態を示す拡大平面図である。

[図29]図 1 に示す半導体装置の短辺側から見た側面図である。

[図30]図 8 および図 9 に示す吊りリードに対する検討例を示す拡大断面図である。

[図31]図 8 および図 9 に示す吊りリードに対する他の検討例を示す拡大断面図である。

[図32]封止工程において、図 3 1 に示す構造の吊りリードに押圧力が印加される様子を模式的に示す説明図である。

発明を実施するための形態

[0010] (本願における記載形式・基本的用語・用法の説明)

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

- [0011] 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を含むものを排除するものではない。例えば、成分についていえば、「Aを主要な成分として含むX」等の意味である。例えば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、シリコン・ゲルマニウム（SiGe）合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金メッキ、Cu層、ニッケル・メッキ等といっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。
- [0012] さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。
- [0013] また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。
- [0014] また、本願では、上面、あるいは下面という用語を用いる場合があるが、半導体パッケージの実装態様には、種々の態様が存在するので、半導体パッケージを実装した後、例えば上面が下面よりも下方に配置される場合もある。本願では、半導体チップの素子形成面側の平面を表面、表面の反対側の面を裏面として記載する。また、配線基板のチップ搭載面側の平面を上面あるいは表面、上面の反対側に位置する面を下面として記載する。
- [0015] また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハ

ッチングやドットパターンを付すことがある。

[0016] 以下の実施の形態では、外部端子である複数のリードが、封止体の下面（実装面）において封止体から露出する半導体装置の例として、SOPタイプの半導体装置に適用した実施態様を取り上げて説明する。

[0017] <半導体装置>

まず、本実施の形態の半導体装置PKG1の構成の概要について、図1～図6を用いて説明する。図1は本実施の形態の半導体装置の斜視図である。図2は、図1に示す半導体装置の下面図である。また、図3は、図1に示す封止体を取り除いた状態で半導体装置の内部構造を示す平面図である。また、図4は、図3のA-A線に沿った断面図、図5は、図3のB-B線に沿った断面図である。また、図6は、図4に示す半導体装置を、実装基板上に搭載した実装構造体を示す断面図である。なお、図5に示す断面には、パッドPD、リードLD、およびワイヤBWは設けられていないが、吊りリードTLとリードLDとの高さの関係を明示的に示すために点線で示している。同様に、図5に示す断面には、吊りリードTLの露出面接続部TLxは設けられていないが、吊りリードTLの露出面接続部TLxとダイパッドDPとの高低差を明示するため、露出面接続部TLxに点線を付して示している。

[0018] 本実施の形態の半導体装置PKG1は、ダイパッド（チップ搭載部、タブ）DP（図2～図5参照）と、ダイパッドDP上にダイボンダ材DB（図4および図5参照）を介して搭載された半導体チップCP（図3～図5参照）と、を備えている。また、半導体装置PKG1は、半導体チップCP（ダイパッドDP）の周囲に配置された複数のリード（端子、外部端子）LDを有する。複数のリードLDと半導体チップCPの複数のパッド（電極、ボンディングパッド）PD（図3および図4参照）とは、複数のワイヤ（導電性部材）BW（図4および図5参照）を介してそれぞれ電氣的に接続されている。また、ダイパッドDPには、複数の吊りリードTL（図3および図5参照）が接続されている。また、半導体装置PKG1は半導体チップCP、複数のワイヤBW、および複数のリードLDの一部を封止する封止体（樹脂体）

MRを備えている。

[0019] <外観構造>

半導体装置PKG1の外観構造について説明する。図1に示す封止体（樹脂体）MRの平面形状は四角形（図1に示す例では長方形）からなる。封止体MRは上面（封止体上面）MRtと、この上面MRtとは反対側の下面（裏面、実装面、封止体下面）MRb（図2参照）と、この上面MRtと下面MRbとの間に位置する側面（封止体側面）MRsとを有している。

[0020] また、図2に示すように、封止体MRは、平面視において、X方向に沿って延びる長辺（辺）MRs1、長辺MRs1の反対側に位置する長辺（辺）MRs2、X方向に交差するY方向に沿って延びる短辺（辺）MRs3、および短辺MRs3の反対側に位置する短辺（辺）MRs4を備えている。また、ダイパッドDPは、平面視において、X方向に沿って延びる長辺（辺）DPs1、長辺DPs1の反対側に位置する長辺（辺）DPs2、X方向に交差するY方向に沿って延びる短辺（辺）DPs3、および短辺DPs3の反対側に位置する短辺（辺）DPs4を備えている。

[0021] また、本実施の形態の封止体MRは、平面形状が長方形であって、封止体MRが備える四辺のうち、長辺MRs1および長辺MRs2に沿って、それぞれ複数のリードLDが配列されている。言い換えれば、封止体MRが備える四辺のうち、長辺MRs1および長辺MRs2からは、それぞれ複数のリードLDが突出している。

[0022] また、本実施の形態のダイパッドDPは、平面形状が長方形であって、ダイパッドDPが備える四辺のうち、長辺DPs1および長辺DPs2に沿って、それぞれ複数のリードLDが配列されている。

[0023] 一方、封止体MRが備える短辺MRs3および短辺MRs4にはリードLDは配列されていない。言い換えれば、封止体MRが備える短辺MRs3および短辺MRs4からはリードLDは突出していない。

[0024] このように互いに反対側に位置する長辺に沿って複数のリードが配列された半導体パッケージは、SOP（Small Outline Package）型の半導体装置と

呼ばれる。図示は省略するが、封止体MRが有する四辺のそれぞれに沿って、複数のリードLDが突出する半導体装置はQFP（Quad Flat Package）と呼ばれる。本実施の形態のように、SOP型の半導体装置は、封止体MRの短辺側にリードが設けられていないので、半導体装置PKG1を図6に示す実装基板MBに実装した時、または実装した後で発生する応力を緩和する機能がQFP型の半導体装置と比較して優れている。一方、QFP型の半導体装置の場合、封止体が備える四辺のそれぞれをリードLDの配置スペースとして活用できるので、SOP型の半導体装置と比較して端子の配置密度を向上させることができる。

[0025] なお、詳細は後述するが、図2に示す例では、ダイパッドDPが備える短辺DPs3および短辺DPs4にはリードLDは配列されていない。しかし、図3に示すように、封止体MRの内部では、ダイパッドDPの長辺DPs1、DPs2（図2参照）に配列されたリードLDのうちの一部がダイパッドDPの短辺DPs3、DPs4（図2参照）側に回り込むように延びている。

[0026] また、図2に示すように、半導体装置PKG1の下面（実装面）MRbの中央部において、ダイパッドDPの下面DPbが露出している。このように、半導体チップCP（図3参照）が搭載されるダイパッドDPの下面DPbを実装面側において露出させることにより、半導体装置PKG1を図6に示す実装基板MBに実装した時の放熱性を向上させることができる。

[0027] また、複数のリードLDは、それぞれ金属材料からなり、本実施の形態では、例えば銅（Cu）を主成分とする金属から成る。また、複数のリードLDのそれぞれの厚さは、特に限定されないが、図1に示す例では、例えば150μm程度である。また、複数のリードLDのそれぞれは、封止体MRに封止されるインナリード部ILD（図3および図4参照）と、封止体MRから露出するアウトリード部OLDと、を備えている。

[0028] また、図1および図4に示すように、リードLDのアウトリード部OLDの表面（露出面、表出面）、およびダイパッドDPの下面DPbは、金属膜

(金属コート膜) MCに覆われている。金属膜MCは、例えばメッキ法により形成されたメッキ膜、詳しくは、電解メッキ法により形成された電解メッキ膜である。また、例えば金属膜MCは、例えば半田材から成り、リードLDを図6に示す実装基板MB側の端子TM1と接合する際に接合材SDの一部として機能する。詳しくは、金属膜MCは、鉛(Pb)を実質的に含まない、所謂、鉛フリー半田からなり、例えば錫(Sn)のみ、錫-ビスマス(Sn-Bi)、または錫-銅-銀(Sn-Cu-Ag)など、錫を主要な成分とする金属材料である。ここで、鉛フリー半田とは、鉛(Pb)の含有量が0.1wt%以下のものを意味し、この含有量は、RoHS(Restriction of Hazardous Substances)指令の基準として定められている。以下、本実施の形態において、半田材、あるいは半田成分について説明する場合には、特にそうでない旨明示した場合を除き、鉛フリー半田を指す。

[0029] また、複数のリードLDのアウタリード部OLD(封止体MRから露出する部分)のそれぞれは、図6に示すように、封止体MRの側面MRsの中央部分から突出する部分(突出部OLD1)を有する。また、アウタリード部OLDは、実装時に、実装基板MBが備える端子TM1と対向配置される部分(被実装部OLD2)を有する。また、アウタリード部OLDは、突出部OLD1と被実装部OLD2との間に設けられ、半導体装置PKG1の実装面(下面MRb)に対して傾斜する部分(傾斜部OLD3)、を有する。

[0030] 図6に示すように、被実装部OLD2が端子TM1に固定された状態で、半導体装置PKG1や実装基板MBに対して温度サイクル負荷が印加された場合、傾斜部OLD3が弾性変形すれば、リードLDと端子TM1との接続部分に印加される応力を緩和することができる。このように、傾斜部OLD3の応力緩和機能を向上させる観点からは、傾斜部OLD3の長さは長い程良い。

[0031] また、図6に示す傾斜部OLD3の長さを長くすると、封止体MRの体積が大きくなるこのように封止体MRの体積が大きくなれば、パッケージの放熱性を向上させることができる。

[0032] 図6に示す例では、リードLDの傾斜部OLD3の長さは、封止体MRの厚さ（例えば2.6mm）の半分（例えば1.3mm）よりも大きい。一方、半導体チップCPの厚さは400 μ m程度であり、リードLDの傾斜部OLD3の長さは、半導体チップCPの厚さよりも大きい。

[0033] <内部構造>

次に半導体装置PKG1の内部構造について説明する。図3に示すように、ダイパッドDPの上面（チップ搭載面）DPtは、平面形状が四角形（四辺形）から成る。本実施の形態では、例えば長方形である。また、図3に示す例では、半導体チップCPの外形サイズ（表面CPtの面積）よりも、ダイパッドDPの外形サイズ（面積）の方が大きい。このように半導体チップCPを、その外形サイズよりも大きい面積を有するダイパッドDPに搭載し、ダイパッドDPの下面DPbを封止体MRから露出させることで、放熱性を向上させることができる。

[0034] また、図3～図5に示すようにダイパッドDP上には、半導体チップCPが搭載されている。半導体チップCPはダイパッドDPの上面DPtの中央に搭載されている。図5に示すように半導体チップCPは、裏面CPbがダイパッドDPの上面DPtと対向した状態で、ダイボンダ材（接着材）DB（図4参照）を介してダイパッドDP上に搭載されている。つまり、複数のパッドPDが形成された表面（主面）CPtの反対面（裏面CPb）をチップ搭載面（上面DPt）と対向させる、所謂、フェイスアップ実装方式により搭載されている。このダイボンダ材DBは、半導体チップCPをダイボンディングする際の接着材である。ダイボンダ材DBとしては、例えば樹脂接着材、樹脂接着材に、銀（Ag）などから成る金属粒子を含有させた導電性接着材、あるいは半田材などを用いることができる。ダイボンダ材DBとして半田材を用いる場合には、融点を上昇させる目的で、鉛を含む半田材を用いる場合がある。

[0035] 図3に示すように、ダイパッドDP上に搭載される半導体チップCPの平面形状は四角形から成る。本実施の形態では、例えば長方形である。また、

図4に示すように、半導体チップCPは、表面（主面、上面）CPtと、表面CPtとは反対側の裏面（主面、下面）CPbと、この表面CPtと裏面CPbとの間に位置する側面Cpsとを有している。また、図3に示すように、半導体チップCPの表面CPtには、複数のパッド（ボンディングパッド）PDが形成されている。図3に示す例では、複数のパッドPDは表面CPtの各辺に沿ってそれぞれ形成されている。言い換えれば、複数のパッドPDは、互いに反対側に位置する長辺のそれぞれに沿って配置されている。また、複数のパッドPDは互いに反対側に位置する短辺のそれぞれに沿って配置されている。

[0036] また、図示は省略するが、半導体チップCPの主面（詳しくは、半導体チップCPの基材（半導体基板）の上面に設けられた半導体素子形成領域）には、複数の半導体素子（回路素子）が形成されている。また、複数のパッドPDは、半導体チップCPの内部（詳しくは、表面CPtと図示しない半導体素子形成領域の間）に配置される配線層に形成された配線（図示は省略）を介して、この半導体素子と電氣的に接続されている。

[0037] 半導体チップCP（詳しくは、半導体チップCPの基材）は、例えばシリコン（Si）から成る。また、表面CPtには、半導体チップCPの基材および配線を覆う絶縁膜が形成されており、複数のパッドPDのそれぞれの表面は、この絶縁膜に形成された開口部において、絶縁膜から露出している。また、このパッドPDは金属からなり、本実施の形態では、例えばアルミニウム（Al）、あるいはアルミニウム（Al）を主体とする合金層から成る。

[0038] また、図示は省略するが、本実施の形態に対する変形例として、所謂、パワー半導体チップをダイパッドDP上に搭載しても良い。パワー半導体チップは、絶縁ゲートバイポーラトランジスタ（IGBT: Insulated Gate Bipolar Transistor）という）やパワーMOSFET（Metal Oxide Semiconductor Field Effect Transistor）などのトランジスタ素子を有する。また、パワー半導体チップは、電力変換回路などに組み込まれ、例えば、スイッチン

グ素子として動作する。また、パワー半導体チップの表面には、例えばソース電極パッドが形成され、裏面には、ドレイン電極パッドが形成されている。その場合、ドレイン電極パッドは、ダイボンド材DBを介してダイパッドDPに電氣的に接続され、ダイパッドDPはドレイン端子として利用される。

[0039] また、図3に示すように、半導体チップCPの周囲（言い換えれば、ダイパッドDPの周囲）には、例えば、ダイパッドDPと同じ銅（Cu）から成る複数のリードLDが配置されている。そして、半導体チップCPの表面CPtに形成された複数のパッド（ボンディングパッド）PDは、複数のリードLDと、複数のワイヤ（導電性部材）BWを介してそれぞれ電氣的に接続されている。ワイヤBWは、例えば、金（Au）あるいは銅（Cu）から成り、ワイヤBWの一方の端部がパッドPDに接合され、他方の端部がリードLDの上面LDtのボンディング領域に接合されている。また、図示は省略するが、リードLDのボンディング領域（ワイヤBWが接続される部分）に、ワイヤBWとの接合性を向上させる、例えば銀（Ag）などから成る金属膜（メッキ、メッキ膜）が形成されていても良い。

[0040] また、図5に示すように、リードLDは封止体MRに封止される上面（ワイヤボンディング面、リード上面）LDtと上面LDtの反対側に位置し、封止体MRの下面MRbにおいて封止体MRから露出する下面（実装面、リード下面）LDbを有する。

[0041] また、図3に示すように、ダイパッドDPには、複数の吊りリードTLが接続（連結）されている。複数の吊りリードTLのそれぞれは、半導体装置PKG1の製造工程中にダイパッドDPを支持する支持部材であって、それぞれダイパッドDPに接続されている。図3に示す例では、複数の吊りリードTLは、一方の端部が、平面視において長方形を成すダイパッドDPが有する四辺のうち、互いに反対側に位置する短辺DPs3（図2参照）、および短辺DPs4（図2参照）のそれぞれに接続されている。

[0042] また、複数の吊りリードTLのそれぞれは図5に示すようにダイパッドD

Pの間に接続されるタブ接続部（部分）TLcnと、封止体MRから露出する露出面TLxsとの間の複数個所で折れ曲がっている。そして、吊りリードTLの大部分は封止体MRに封止されている。吊りリードTLの詳細な構造は後述する。

[0043] <吊りリードの詳細構造>

次に、図3および図5に示す吊りリードの構造について説明する。図7は、図3に示す二つの吊りリードのうちの一方を拡大して示す拡大斜視図である。また、図8は、図7のA-A線に沿った拡大断面、図9は、図7のB-B線に沿った拡大断面図である。また、図30および図31は、図8および図9に示す吊りリードに対する検討例を示す拡大断面図である。

[0044] なお、本実施の形態の場合、図3に示すように封止体MRの短辺MRs3側に設けられる吊りリードTL1および短辺MRs4側に設けられる吊りリードTL2は、線対称な構造を備えている。したがって、図7～図9では一つの吊りリードTLを示しているが、図3に示す吊りリードTL1および吊りリードTL2の構造は、図7～図9に示す吊りリードTLの構造と同じである。また、図8、図30、および図31では、吊りリードの長さや高さが比較し易いように、比較基準としてダイパッドDP上に搭載された半導体チップCPを図示している。

[0045] 図7に示すように、吊りリードTLは、ダイパッドDPに接続され、X方向に沿って延びるタブ接続部TLcnを有する。また、吊りリードTLは、チップ搭載面である上面DPtに対して、タブ接続部TLcnよりも高い位置に設けられ、X方向と交差する複数の方向に分岐する分岐部TLbrを有する。図7に示す例では、分岐部TLbrでは、X方向に対して交差する二方向に分岐する。また、図7に示す例では、分岐部TLbrでは、一個のオフセット部TLt1および二個のオフセット部TLt2が接続されているので、三股に分岐されている。また、吊りリードTLは、分岐部TLbrよりも高い位置に設けられ、一方の端部が短辺DPs3側において封止体MR（図3参照）から露出する露出面TLxsに接続される、複数の露出面接続部

TLxを有する。

[0046] また、吊りリードTLは、タブ接続部TLcnおよび分岐部TLbrに接続されるオフセット部（傾斜部）TLt1と、一方の端部が分岐部TLbrに接続され、他方の端部が複数の露出面接続部TLxのそれぞれに接続される複数のオフセット部TLt2と、を有する。

[0047] 図3に示す例では、吊りリードTL1は、平面視において、第1の方向であるX方向に延在するオフセット部TLt1と、X方向と交差する第2の方向であるDR2に延在するオフセット部TLt2Aと、X方向と交差する第3の方向であるDR3に延在するオフセット部TLt2Bと、を有する。

[0048] また、図3に示す例では、吊りリードTL2は吊りリードTL1と線対称な構造になっている。すなわち吊りリードTL2は、平面視において、第1の方向であるX方向に延在するオフセット部TLt1と、X方向と交差する第4の方向であるDR4に延在するオフセット部TLt2Cと、X方向と交差する第5の方向であるDR5に延在するオフセット部TLt2Dと、を有する。

[0049] 上記した図6に示すように、半導体装置PKG1に印加される応力を緩和して実装信頼性を向上させる観点からは、傾斜部OLD3の長さは長い程良い。しかし、傾斜部OLD3の長さを長くして、かつダイパッドDPの下面DPbを封止体MRから露出させるためには、図7に示す吊りリードTLの露出面TLxsとダイパッドDPとの高低差が大きくなる。例えば、図7に示す露出面接続部TLxの上面とダイパッドDPの上面DPtとの高低差は、1.3mm程度になっている。また、図4に示すように、本実施の形態の半導体装置PKG1は、半導体チップCPが有する複数のパッドPDのそれぞれは、ダイパッドDPに対して複数のリードLDのインナリード部ILDよりも低い位置に設けられている。リードLDのインナリード部ILDは、図7に示す露出面雪像部TLxと同じ高さに設けられている。したがって、この点からも本実施の形態の半導体装置PKG1は、図7に示す吊りリードTLの露出面TLxsとダイパッドDPとの高低差が大きいことが判る。

- [0050] このように、吊りリードTLの露出面TLxsとダイパッドDPとの高低差が大きい場合、露出面TLxsとダイパッドDPとを接続するための吊りリードTLの傾斜部分（オフセット部）の長さが長くなる。
- [0051] ここで、図30に示す吊りリードTLh1のように、露出面TLxsとダイパッドDPとの間にオフセット部TLth1が一個しか設けられていない場合、オフセット部TLth1が長くなることにより変形し易く、ダイパッドDPを支持する支持強度が低下する。このため、ダイパッドDPを支持する支持強度を向上させる観点からは、露出面TLxsとダイパッドDPとの間に複数のオフセット部を設けることが好ましい。
- [0052] また、図31に示す吊りリードTLh2のように、露出面TLxsとダイパッドDPとの間にX方向に沿ってオフセット部TLth1およびオフセット部TLth2が直線的に延びるように配列した場合、露出面TLxsからダイパッドDPまでの平面距離L1が長くなる。この場合、半導体パッケージの実装面積が増大することになる。
- [0053] また、露出面TLxsからダイパッドDPまでの平面距離L1を短くする方法として、オフセット部TLth1およびオフセット部TLth2の傾斜角度を大きくする構成が考えられる。しかし、オフセット部TLth1およびオフセット部TLth2の折れ曲がり部分の曲げ角度が大きくなれば、折れ曲がり部分の板厚が薄くなり易い。く、吊りリードの強度が低下する。したがって、吊りリードの強度を向上させる観点からは、オフセット部TLth1およびオフセット部TLth2の傾斜角度は小さい方がよい。
- [0054] 一方、本実施の形態の吊りリードTLは、図7に示すように、露出面TLxsとダイパッドDPとの間にオフセット部TLt1およびオフセット部TLt2を有している。このため、図30に示す吊りリードTLh1と比較して変形し難いので、ダイパッドDPの支持強度を向上させることができる。
- [0055] また、図7に示す吊りリードTLが有する複数のオフセット部TLt2のそれぞれは、X方向と交差する方向に沿って延びる。このため、本実施の形態の吊りリードTLによれば、露出面TLxsからダイパッドDPまでの平

面距離 L_1 （図2参照）を図31に示す検討例と比較して短くすることができる。この結果、半導体装置PKG1（図2参照）の実装面積を低減することができる。

[0056] なお、複数のオフセット部 TL_t2 のそれぞれが延びる方向とX方向とが成す角度には、種々の変形例がある。例えば、図3に示すように、オフセット部 TL_t2 の延在方向とX方向との成す角 θ_1 が90度よりも大きい鈍角であっても良い。この場合、平面視において、吊りリード TL_1 のオフセット部 TL_t2 とダイパッドDPの間にリードLDを設けるスペースが確保できるので、リードLDの本数を増やすことができる。また例えば、オフセット部 TL_t2 の延在方向とX方向との成す角が90度以下であっても良い。この場合、露出面 $TLxs$ からダイパッドDPまでの平面距離 L_1 （図2参照）を、特に小さくすることができる。

[0057] なお、本実施の形態では、図3に示す吊りリード TL_1 および TL_2 のそれぞれが同様な構造を備えている。このため、図2に示すように、封止体MRの裏面MRbにおいて、ダイパッドDPの短辺 $DPs3$ から露出面 $TLxs$ までの平面距離 L_1 、およびダイパッドDPの短辺 $DPs4$ から露出面 $TLxs$ までの平面距離 L_1 の両方を小さくすることができる。図3に対する変形例として、図3に示す吊りリード TL_1 および吊りリード TL_2 のうちのいずれか一方に図7に示す構造を適用すれば、他方の吊りリード TL が、例えば図31に示す吊りリード $TLh2$ のような構造であっても半導体パッケージの実装面積を低減することができる。ただし、本実施の形態のように吊りリード TL_1 および TL_2 のそれぞれが同様な構造になっている方が実装面積を低減する効果が高いことは言うまでもない。また、吊りリード TL_1 と吊りリード TL_2 とが非対称な構造である場合、吊りリード TL_1 、 TL_2 のうちの一部分に応力が集中する場合がある。したがって、吊りリード TL によるダイパッドDPの支持強度を向上させる観点から、吊りリード TL_1 および吊りリード TL_2 は図3に示すように線対称な構造になっていることが好ましい。

[0058] また、本実施の形態の吊りリードTLは、オフセット部TL t 1とオフセット部TL t 2との延在方向が異なるので、オフセット部TL t 1およびオフセット部TL t 2の傾斜角度を小さくすることができる。図7に示すオフセット部TL t 1および複数のオフセット部TL t 2のそれぞれは、チップ搭載面であるダイパッドDPの上面DP tに対する傾斜角度が、45度未満である。オフセット部TL t 1および複数のオフセット部TL t 2の傾斜角度が45度未満であれば、オフセット部の両端に形成された折れ曲がり部分の板厚が薄くなることを抑制できる。これにより吊りリードTLの強度を向上させることができる。

[0059] また、図7に示すように、平面視において、吊りリードTL 1のタブ接続部TL c nは、ダイパッドDPの短辺DP s 3の中心に接続されている。同様に、吊りリードTL 2のタブ接続部TL c nは、ダイパッドDPの短辺DP s 4の中心に接続されている。このようにタブ接続部TL c nを短辺DP s 3、DP s 4の中心に接続することで、タブ接続部TL c nの両隣に空間を確保することができる。図3に示す例では、オフセット部TL t 1の両隣の空間に、複数のインナリード部ILDのうちの一部が長辺MR s 1、MR s 2側から回り込むように設けられている。

[0060] 詳しくは、図3に示すように、複数のアウトリード部OLDは、封止体MRの長辺MR s 1および長辺MR s 2に沿って配列され、かつ、封止体MRの短辺MR s 3および短辺MR s 4には配列されていない。また、複数のインナリード部ILDは、ダイパッドDPの長辺DP s 1（図7参照）、長辺DP s 2（図7参照）、短辺DP s 3（図7参照）、および短辺DP s 4（図3参照）に沿って配列されている。

[0061] 言い換えれば、本実施の形態の半導体装置PKG 1は封止体MRの長辺MR s 1、MR s 2に沿って複数のリードLDが配列されるSOP型の半導体装置である。しかし、封止体MRの内部では、複数のインナリード部ILDのうちの一部が封止体MRの短辺MR s 3および短辺MR s 4側に回り込むように形成されている。したがって、平面視において四角形を成す半導体チ

チップCPが有する四辺のそれぞれに沿って複数のパッドPDが配列されている。また、半導体チップCPの複数のパッドPDと複数のインナリード部ILDとを電氣的に接続する複数のワイヤBWのうちの一部は、ダイパッドDPの短辺DPs3、DPs4（図7参照）を跨ぐように設けられている。

[0062] このように、本実施の形態によれば、ダイパッドDPの短辺側に設けられた領域をインナリード部ILDの配置スペースとして活用することにより、リードLDの配置密度を向上させることができる。

[0063] <半導体装置の実装方法>

次に、図6を用いて半導体装置PKG1を実装基板MBに実装する方法の例について説明する。

[0064] 本実施の形態で説明する半導体装置の実装方法では、まず、実装基板MBを準備する（基板準備工程）。実装基板（マザーボード、配線基板）MBは、電子部品搭載面である上面（搭載面）MBtを有し、図1～図9を用いて説明した半導体装置PKG1は、上面MBt上に搭載される。上面MBtには、実装基板側の端子である複数の端子が配置される。図6に示す例では、実装基板MBは、複数の端子（リード接続用端子、ランド）TM1および端子（ダイパッド接続用端子、ランド）TM2備える。

[0065] 次に、実装基板MBの上面MBtに設けられた複数の端子TM1、TM2上に、それぞれ図示しない接合材を配置（塗布）する（接合材配置工程）。接合材は、クリーム半田（あるいは、ペースト半田）と呼ばれる半田材である。クリーム半田には、導電性の接合材となる半田成分と、接合部の表面を活性化させるフラックス成分とが含まれ、常温でペースト状である。

[0066] また、本実施の形態では、図2に示すように、半導体装置PKG1は、複数のリードLDおよびダイパッドDPのそれぞれが封止体MRの下面MRbにおいて露出しており、これらをそれぞれ実装基板MBの端子TM1、TM2に接続する。このため、本工程では、複数の端子TM1、および端子TM2上に、それぞれ接合材を塗布する。

[0067] 次に、半導体装置PKG1を実装基板MBの上面MBt上に配置する（パ

ッケージマウント工程)。本工程では、半導体装置P K G 1の複数のリードL Dの被実装部O L D 2の位置と実装基板M B上の端子T M 1の位置が重なるように位置合わせをして、実装基板M Bの実装面である上面M B t上に半導体装置P K G 1を配置する。また、本工程では、端子T M 2上にダイパッドD Pが重なるように半導体装置P K G 1が配置される。

[0068] 次に、実装基板M B上に半導体装置P K G 1が配置された状態で加熱処理を施し、図6に示すように、複数のリードL Dと複数のランドL N D aのそれぞれを、接合材S Dを介して接合する（リフロー工程）。図6に示す接合材S Dは、上記した半田材に含まれる半田成分と、金属膜M Cの半田成分が一体化して形成された導電性部材（半田材）である。また、接合材S Dの一方の面はリードL Dの被実装部O L D 2に接合され、接合材S Dの他方の面は、端子T M 1の露出面に接合される。つまり、本工程では、複数のリードL Dと複数の端子T M 1のそれぞれが、接合材S Dを介して電氣的に接続される。

[0069] また、ダイパッド接続用端子である端子T M 2上では、接合材S Dの一方の面はダイパッドD Pの下面D P bに接合され、接合材S Dの他方の面は、T M 2の露出面に接合される。つまり、本工程では、ダイパッドD Pから実装基板M Bに接続される放熱経路が形成される。また、ダイパッドD Pを例えば基準電位供給用などの端子として用いる場合には、本工程で、ダイパッドD Pと端子T M 2が、接合材S Dを介して電氣的に接続される。

[0070] ここで、半導体装置P K G 1の実装強度について説明する。半導体装置P K G 1は、実装基板M Bに実装された後、使用環境において温度サイクル負荷が印加される。温度サイクル負荷とは、実装基板M B上に半導体装置P K G 1が実装された実装構造体の環境温度が繰り返し変化することにより生じる負荷である。温度サイクル負荷としては、例えば、実装構造体を構成する各部材の線膨張係数の違いに起因して発生する応力がある。この応力は、半導体装置P K G 1の実装面の周縁部に集中し易い。このため、温度サイクル寿命（温度サイクル負荷により接続部が損傷するまでの温度サイクル回数）

を延ばすためには、実装面の周縁部に配置されるリードLDと端子TM1の接続部近傍への応力集中を緩和させることが好ましい。

[0071] 上記したように、本実施の形態の半導体装置PKG1は、リードLDの傾斜部OLD3の長さを長くするために、突出部OLD1と被実装部OLD2との高低差は、例えば1.3mm～1.4mm程度と、大きな値になっている。半導体パッケージの薄型化を意図したパッケージ態様としては、本実施の形態のSOP型の他、TSOP (Thin Small Outline Package) と呼ばれるパッケージもある。このTSOP型の半導体パッケージでは、リードLDの傾斜部OLD3の長さを短くすることにより、薄型化が実現され、例えば突出部OLD1と被実装部OLD2との高低差は、0.5mm～0.6mm程度である。

[0072] 本実施の形態のように、リードLDの傾斜部OLD3の長さが長くなれば、温度サイクル負荷に起因して発生した応力を、傾斜部OLD3が弾性変形することにより緩和できる。このため、本実施の形態の半導体装置PKG1は、TSOP型の半導体装置と比較して、実装信頼性を向上させることができる。

[0073] また、本実施の形態の半導体装置PKG1は、封止体MRの短辺側にはリードLDが配列されない、SOP型の半導体装置である。この場合、実装後の半導体装置PKG1に応力が印加された場合、QFP型の半導体装置と比較して図2に示すX方向に沿った方向に、弾性変形し易い。この結果、SOP型の半導体装置PKG1はQFP型の半導体装置と比較して実装信頼性を向上させることができる。

[0074] <半導体装置の製造方法>

次に、図1～図9に示す半導体装置PKG1の製造方法について、説明する。本実施の形態における半導体装置PKG1は、図10に示す組立てフローに沿って製造される。図10は、図1に示す半導体装置の組み立てフローを示す説明図である。

[0075] 1. リードフレーム準備工程；

まず、図 10 に示すリードフレーム準備工程として、図 11 に示すようなリードフレーム L F を準備する。図 11 は、図 10 のリードフレーム準備工程で準備するリードフレームの全体構造を示す平面図、図 12 は、図 11 に示す複数のデバイス領域のうちの、一つのデバイス領域周辺の拡大平面図である。

[0076] 本工程で準備するリードフレーム L F は、外枠 L F f の内側に複数のデバイス領域（製品形成領域） L F d を備えている。図 11 に示す例では、リードフレーム L F は、X 方向に 2 個、Y 方向に 4 個のデバイス領域 L F d が、マトリクス状に配置され、合計 8 個のデバイス領域 L F d を備えている。リードフレーム L F は、金属から成り、本実施の形態では、例えば銅（C u）、または銅（C u）からなる基材の表面に例えばニッケル（N i）からなる金属膜（図示は省略）が形成された積層金属膜から成る。

[0077] また、複数のデバイス領域 L F d のそれぞれは、デバイス領域 L F d の周囲を囲む支持部材 S P P を介して外枠 L F f に接続されている。デバイス領域 L F d の周囲の支持部材 S P P は、複数のリード L D（図 12 参照）、ダイパッド D P（図 12 参照）や外枠 L F f と同じ金属材料で一体に形成された金属部材である。支持部材 S P P は、図 10 に示す個片化工程で切断されて、デバイス領域 L F d と分離される。

[0078] また、図 12 に示すように支持部材 S P P は、複数のリード L D の周囲を囲むように形成される。また、デバイス領域 L F d には、複数のリード L D に連結されるタイバー（リード連結部） L F t b が配置される。

[0079] 図 12 に示すように、デバイス領域 L F d の中央部には、平面視において四角形を成すダイパッド D P が形成されている。ダイパッド D P は複数の吊りリード T L、および支持部材 S P P を介して図 11 に示す外枠 L F f に支持される。複数の吊りリード T L のそれぞれは、一方の端部がダイパッド D P に接続され、他方の端部（図 12 に示す例では分岐した二つの端部）が支持部材 S P P に接続されている。複数の吊りリード T L は、図 7 に示す露出面 T L x s が形成されていない点を除き、本工程の時点で図 7 を用いて説明

した形状に成形されている。

[0080] また、ダイパッドDPの周囲には、それぞれ複数のリードLDが形成されている。複数のリードLDのそれぞれは、タイバーLFtbの外側に設けられたアウトリード部OLD、およびタイバーLFtbの内側に設けられたインナリード部ILDを備える。複数のアウトリード部OLDのそれぞれは、ダイパッドDPの長辺DPs1および長辺DPs2の延在方向に沿って配置され、短辺DPs3および短辺DPs4に沿っては配置されていない。一方、複数のインナリード部ILDのうちの一部は、ダイパッドDPの長辺DPs1および長辺DPs2の延在方向に沿って配置され、複数のインナリード部ILDのうちの他の一部は、ダイパッドDPの短辺DPs3および短辺DPs3の延在方向に沿って配置されている。

[0081] また、複数のリードLDのそれぞれは、アウトリード部OLDとインナリード部ILDとの境界に設けられたタイバーLFtbを介して互いに連結されている。

[0082] 2. 半導体チップ搭載工程；

次に、図10に示す半導体チップ搭載工程として、図13および図14に示すように半導体チップCPを、ダイパッドDP上にダイボンダ材DBを介して搭載する。図13は、図12に示すダイパッド上に、ボンディング材を介して半導体チップを搭載した状態を示す拡大平面図、図14は、図13のA-A線に沿った拡大断面図である。なお、図13では、見易さのため、図12に示すタイバーLFtbの内側の領域を拡大して示している。

[0083] 図14に示す例では、半導体チップCPの裏面CPb（複数のパッドPDが形成された表面CPtの反対側の面）をダイパッドDPの上面DPtと対向させた状態で搭載する、所謂フェイスアップ実装方式で搭載する。また、図13に示すように、半導体チップCPはダイパッドDPの中央部に、表面CPtの各辺が、ダイパッドDPの各辺に沿って配置されるように搭載する。

[0084] 本工程では、例えば、エポキシ系の熱硬化性樹脂であるダイボンダ材DB

を介して半導体チップCPを搭載するが、ダイボンド材DBは、硬化（熱硬化）させる前には流動性を有するペースト材である。このようにペースト材をダイボンド材DBとして用いる場合には、まず、ダイパッドDP上に、ダイボンド材DBを塗布し、その後、半導体チップCPの裏面CPbをダイパッドDPの上面DPtに接着する。そして、接着後に、ダイボンド材DBを硬化させる（例えば硬化温度まで加熱する）と、図14に示すように、半導体チップCPはダイボンド材DBを介してダイパッドDP上に固定される。

[0085] また、本工程では、複数のデバイス領域Lfd（図11参照）のそれぞれに設けられたダイパッドDP上にダイボンド材DBを介して半導体チップCPを搭載する。

[0086] なお、本実施の形態では、ダイボンド材DBに、熱硬化性樹脂からなるペースト材を用いる実施態様について説明したが、種々の変形例を適用することができる。例えば、樹脂ではなく、半田などの導電性材料を介して半導体チップCPを搭載することができる。

[0087] 3. ワイヤボンディング工程；

次に、図10に示すワイヤボンディング工程として、図15および図16に示すように、半導体チップCPの複数のパッドPDと複数のリードLDとを、複数のワイヤ（導電性部材）BWを介して、それぞれ電氣的に接続する。図15は、図13に示す半導体チップと複数のリードを、ワイヤを介して電氣的に接続した状態を示す拡大平面図、図16は、図15のA-A線に沿った拡大断面図である。

[0088] 本工程では、ワイヤBWの一方の端部をパッドPDに接合し、他方の端部をリードLDのインナリード部ILDに接合する。図16に示す例では、パッドPDが第1ボンド側、リードLDが第2ボンド側になっている。詳しくは、まず、ワイヤBWの先端を溶融させてボール部を形成する。次に、ボール部を第1ボンド側であるパッドPDに押し付けて、圧着する。この時、ワイヤBWのボール部に超音波を印加すれば、圧着時における被圧着部分の温度を低減することができる。

[0089] 次に、図示しないボンディングツールからワイヤBWを繰り出しながら、ボンディングツールを移動させて、ワイヤループ形状を形成する。そして、ワイヤBWの一部を第2ボンド側（リードLDのインナリード部ILDに設けられたボンディング領域）に移動させて接続する。リードLDの一部（インナリード部ILDの先端に配置されたボンディング領域）には、ワイヤBWとの接合性を向上させるため、例えば、銀（Ag）、あるいは金（Au）から成る金属膜が形成されていても良い。

[0090] 上記したように、半導体チップCPのパッドPDにワイヤの一部（端部）を接続した後、ワイヤBWの他部をリードLDにおけるボンディング領域（リードLDの上面の一部）に接続する方式は、正ボンディング方式と呼ばれる。

[0091] また、本工程では、複数のデバイス領域Lf d（図11参照）にそれぞれ設けられた複数のリードLDにワイヤBWを接合する。これにより各デバイス領域Lf dにおいて、半導体チップCPと複数のリードLDが複数のワイヤBWを介して電氣的に接続される。

[0092] また、図15に示すように本工程では、複数のワイヤBWのうちの一部はダイパッドDPの短辺Dps 3または短辺Dps 4を跨ぐように形成される。

[0093] また、図16に示すように、本実施の形態ではリードLDとダイパッドDPの高低差が大きいので、ダイパッドDPの上面Dptを基準面として、パッドPDの位置がリードLDのインナリード部ILDの位置よりも低い。したがって、ダイパッドDPの上面を基準面として、第1ボンド位置の高さが第2ボンド位置の高さよりも低くなっている。

[0094] 4. 封止工程；

次に、図10に示す封止工程として、図17～図19に示すように、封止体（樹脂体）MRを形成し、半導体チップCP（図15参照）、複数のワイヤBW（図15参照）、および複数のリードLD（図15参照）のそれぞれの一部分（インナリード部）を封止する。図17は、図15に示すリードフ

レームのデバイス領域に、封止体を形成した状態を示す平面図である。また図18は、図17のA-A線に沿った拡大断面図である。また、図19は、図17に示すリードフレームの反対側の面を示す平面図である。また図20は、図17のA-A線に沿った断面において、封止体を成形するための成形金型内にリードフレームを配置した状態を示す拡大断面図である。

[0095] 本工程では、図17に示すように、複数のデバイス領域LFdのそれぞれに、個別に封止体MRを形成する。また、本実施の形態では、図19に示すように、リードフレームLFの下面LFbにおいて、各デバイス領域LFdに設けられたダイパッドDPの下面DPbがそれぞれ露出するように、封止体MRを形成する。

[0096] 封止体MRの形成方法は、例えば以下の通りである。すなわち、図20に示す成形金型MDでリードフレームLFを挟んだ状態で、成形金型MD内に軟化した樹脂を圧入した後、硬化させることにより封止体MRを形成する。このような封止方式はトランスファモールド方式と呼ばれる。

[0097] 成形金型MDは、リードフレームLFの上側に配置する上型（金型）MD1と、リードフレームLFの下側に配置する下型（金型）MD2と、を備える。上型MD1は、複数のキャビティ（凹部）CBT1と、複数のキャビティCBT1の周囲を囲み、リードフレームLFの上面LFt（図17参照）を押さえるクランプ面（金型面、押し付け面、面）MDc1と、を備える。また、下型MD2は、複数のキャビティCBT1と対向配置される複数のキャビティ（凹部）CBT2と、クランプ面MDc1と対向配置され、リードフレームLFの下面LFb（図19参照）を押さえるクランプ面（金型面、押し付け面、面）MDc2と、を備える。

[0098] また、成形金型MDは、キャビティCBT1、CBT2により形成される空間への樹脂MRpの供給口であるゲート部MDgt、キャビティCBT2を介してゲート部MDgtの反対側に設けられたベント部MDvtを有する。ベント部MDvtは、キャビティCBT1、CBT2により形成される空間内の気体（例えば空気）や余剰な樹脂MRpをキャビティCBT1、CB

T 2 により形成される空間の外部に排出する排出経路である。このベント部 MD v t の開口面積を小さくすることにより、樹脂 MR p の漏れを抑制できる。

[0099] また、本実施の形態の例では、隣り合うキャビティ C B T 2 の間に、隣り合うキャビティ C B T 2 間を連通するスルーゲート MD t g が設けられている。スルーゲート MD t g は、一方の端部が第 1 個目のキャビティ C B T 2 のベント部 MD v t に接続され、他方の端部が第 2 個目のキャビティ C B T 2 のゲート部 MD g t に接続されている。言い換えれば、スルーゲート MD t g は、隣り合うデバイス領域 L F d を接続するように設けられている。隣り合うデバイス領域 L F d を接続することで、複数のデバイス領域 L F d に順次、樹脂 MR p を供給することができる。このように、複数のデバイス領域 L F d をスルーゲート MD t g で接続して、樹脂 MR p を順次供給する技術を、スルーゲート方式と呼ぶ。

[0100] また、図 20 に示す例では、スルーゲート MD t g に接続されていないゲート部 MD g t には、ランナ部 MD r n が接続されている。ランナ部 MD r n は、図示しない樹脂供給源（カルと呼ばれる）からゲート部 MD g t に向かって樹脂 MR p を供給する供給経路である。ランナ部 MD r n の流路の断面積は、ゲート部 MD g t の流路の断面積よりも大きい。このように、相対的に流路の断面積が大きいランナ部 MD r n を通って樹脂 MR p をゲート部 MD g t の近傍まで供給する場合、樹脂 MR p の供給圧力を調整し易い。

[0101] また、図 20 に示す例では、スルーゲート MD t g に接続されていないベント部 MD v t には、フローキャビティ MD f c が接続されている。フローキャビティ MD f c は、キャビティ C B T 1 およびキャビティ C B T 2 により形成される空間から溢れた樹脂 MR p を充填する空間を形成する凹部である。樹脂 MR p の供給経路の終端にフローキャビティ MD f c を設けることで、封止工程での樹脂 MR p の漏れを抑制できる。また、樹脂 MR p の供給経路の終端にフローキャビティ MD f c を設けることで、C B T 1 およびキャビティ C B T 2 により形成される空間内に気泡（ボイド）が形成されるこ

とを抑制できる。また、樹脂MR pの供給経路の終端にフローキャビティMD f cを設けることで、CBT 1およびキャビティCBT 2により形成される空間内での未充填領域の発生を抑制できる。

[0102] 本実施の形態の封止工程では、図20に示すキャビティCBT 1とキャビティCBT 2を重ねあわせることにより形成された空間に、ランナ部MD r nおよびゲート部MD g tを経由して封止用の樹脂MR pを圧入する。樹脂MR pは、図20に矢印を付して模式的に示すように、ゲート部MD g t側からベント部MD v t側に向かって圧入される。これにより、半導体チップCP、複数のワイヤBW（図15参照）、および複数のリードLD（図15参照）のインナリード部ILD（図15参照）は樹脂MR pにより封止される。そして、キャビティCBT 1、CBT 2に充填された樹脂MR pを熱硬化させることで、図17～図19に示す封止体MRを形成する。

[0103] 封止体MRを硬化させた後、図20に示す成形金型MDを取り外すと、図19に示すようにリードフレームLFの下面LF b側には、ランナ樹脂MR r n、ゲート樹脂MR g t封止体MRの本体、スルーゲート樹脂MR t g、封止体MRの本体、ベント樹脂MR v t、およびフローキャビティ樹脂MR f cが、X方向に沿って直線的に並んでいる。ランナ樹脂MR r nは、図20に示すランナ部MD r n（図20参照）内の樹脂が硬化したものである。ゲート樹脂MR g tは、図20に示すゲート部MD g t内の樹脂が硬化したものである。ベント樹脂MR v tは図20に示すベント部MD v t内の樹脂が硬化したものである。スルーゲート樹脂MR t gは図20に示すスルーゲートMD t g内の樹脂が硬化したものである。また、フローキャビティ樹脂MR f cは、図20に示すフローキャビティMD f c内の樹脂が硬化したものである。

[0104] 図20に示すように、本実施の形態では、ランナ部MD r n、ゲート部MD g t、ベント部MD v t、スルーゲートMD t g、およびフローキャビティMD f cは下型MD 2に設けられ、上型MD 1には設けられていない。本実施の形態に対する変形例としては、ランナ部MD r n、ゲート部MD g t

、ベント部MD v t、スルーゲートMD t g、およびフローキャビティMD f cが上型MD 1に形成されていても良い。あるいは、ランナ部MD r n、ゲート部MD g t、ベント部MD v t、スルーゲートMD t g、およびフローキャビティMD f cが上型MD 1および下型MD 2の両方に形成されていても良い。

[0105] ただし、トランスファモールド方式の場合、ゲート部MD g tの開口面積が他の部分と比較して小さいため、ゲート部MD g tは、他の部分と比較して樹脂MR pとの摩擦により消耗し易い。ゲート部MD g tの開口面積が大きくなることによる供給圧力の変化を小さくする観点からは、ゲート部MD g tは、上型MD 1および下型MD 2のうちのいずれか一方に設けることが好ましい。

[0106] また、封止工程では、封止体MRを形成した後、封止体MRに接続されているゲート樹脂MR g t（図19参照）およびベント樹脂MR v t（図19参照）の接続部分を破壊して、封止体MRの本体部分と分離する（ゲートブレイク工程）。ゲートブレイク工程が完了すると、図21に示すように、封止体MRの本体部分の両隣に、リードフレームLFを厚さ方向に貫通する貫通孔GBHが形成される。図21は、図19に示すゲート樹脂とベント樹脂の接続部分を破壊してリードフレームを厚さ方向に貫通する貫通孔を形成した状態を示す拡大平面図である。

[0107] ゲートブレイク工程では、ゲート樹脂MR g tおよびベント樹脂MR v tが形成された面の反対側の面を保持した状態で、ゲート樹脂MR g tおよびベント樹脂MR v t側から封止体MRとの接続部分を折り曲げることにより破壊する。つまり、ゲート樹脂MR g tおよびベント樹脂MR v tが実装面側に形成されている場合、ゲートブレイク工程では、実装面の反対側（図17に示す上面LF t側）を図示しない治具で保持する。この場合、実装面側が保持治具により損傷することを抑制できるので、ゲート部MD g tは、下型MD 2に設けることが好ましい。

[0108] <封止工程時の吊りリードの変形について>

ここで、封止工程において、樹脂の供給経路と吊りリードの変形し易さの関係について説明する。図22は、封止工程において、ゲート部からの樹脂の供給方向を模式的に示す説明図である。また、図23は、図19に示すゲート部周辺の拡大平面図である。また、図24は、図23のA-A線に沿った拡大断面図である。また、図25は、図19に示すスルーゲート周辺の拡大平面図である。

[0109] 図6を用いて説明したように、突出部OLD1と被実装部OLD2との高低差を大きくすると、リードLDのアウタリード部OLDの傾斜部OLD3の長さが長くなり、リードLDの応力緩和機能が向上する。これにより実装後の半導体装置PKG1の実装信頼性が向上する。しかし、図7に示す吊りリードTLの露出面接続部TLxと図6に示すリードLDの突出部OLD1とは同じ高さに位置する。このため、ダイパッドDPの一部を露出させるためには、吊りリードTLの露出面TLxsとダイパッドDPとの高低差が大きくなる。そして、図30に示す吊りリードTLh1のように、露出面TLxsとダイパッドDPとの間にオフセット部TLth1が一個しか設けられていない場合、オフセット部TLth1が長くなることにより変形し易くなる。

[0110] ここで、本願発明者の検討によれば、図20に示すゲート部MDgtとベント部MDvtを結ぶ直線上で、かつ、ゲート部MDgtの近傍に吊りリードTLが存在する場合、ゲート部MDgtからの樹脂MRpの供給圧力によって、吊りリードTLが変形することで、ダイパッドDPの下面DPbが封止体MRに覆われることが判った。詳しくは、図32に矢印を付して模式的に示すように、ゲート部MDgtの近傍に吊りリードTLのオフセット部TLth1が配置される場合、樹脂MRpと接触したオフセット部TLth1に対して厚さ方向（高さ方向、図32に示すZ方向）に押圧力Fmrが印加される。ゲート部MDgtの近傍では、樹脂MRpの供給圧力が高いため、強い押圧力Fmrが吊りリードTLのオフセット部TLth1に対して作用する。図32は、封止工程において、図31に示す構造の吊りリードに押圧

力が印加される様子を模式的に示す説明図である。

[0111] この押圧力 F_{mr} は、図32に示すように、吊りリードTLおよび吊りリードTLに接続されるダイパッドDPを上方（ダイパッドDPの下面DPb側から上面DPt側に向かう方向）に向かって押し上げるように作用する。また、吊りリードTLと接触した樹脂MRpの一部は、吊りリードTLに沿って下方に流れる。このため、ダイパッドDPが上方に持ち上げられた状態である場合、ダイパッドDPの下面DPb側に樹脂MRpの一部が流れ込み、ダイパッドDPの一部が樹脂MRpにより封止されてしまう。この場合、ダイパッドDPの露出面積が低下するので、放熱特性が低下する原因になる。

[0112] なお、図32では、図30を用いて説明した吊りリードTLh1を取り上げて説明しているが、図31を用いて説明した吊りリードTLh2についても、オフセット部TLth2がゲート部MDgt（図32参照）の近傍に配置されることになるので、ダイパッドDPの一部が樹脂MRp（図32参照）により封止されてしまう場合がある。

[0113] そこで、本実施の形態の封止工程では、図22に示すようにゲート部MDgtは、チップ搭載面である上面DPtに対して、分岐部TLbrよりも高い位置に設けられている。このため、ゲート部から供給された樹脂MRpは、分岐部TLbr上に供給され易くなる。

また、成形金型MDのゲート部MDgtは、平面視において（詳しくはY方向において）、複数の露出面接続部TLxの間に設けられている。詳しくは、ゲート部MDgtは、X方向と直交するY方向において、二個の露出面接続部TLxの間に設けられている。この場合、図22に矢印を付して模式的に示すように、ゲート部MDgtから供給された樹脂MRpの大部分は、吊りリードTLの分岐部TLbr上を乗り越えて、ダイパッドDPに向かって移動する。このため、本実施の形態の吊りリードTLの場合、図32に示す押圧力 F_{mr} が印加され難くなる。また、樹脂MRpの一部が、分岐部TLbrの下方に回り込むと、オフセット部TLt1に対して押圧力 F_{mr} （図

32参照)が生じる。しかし、樹脂MR pの他の一部は、分岐部TL b rの上面TL b r tおよびオフセット部TL t 2の上面側に流れるので、押圧力F m rを打ち消す方向に押圧力が生じる。この結果、吊りリードTLおよび吊りリードTLに接続されるダイパッドDPが、上方に持ち上げられるように変形することを抑制できる。

[0114] また、図23に示すように、平面視において、(詳しくはY方向において)ゲート部MD g tの幅W g tは、吊りリードTLの分岐部TL b rの幅W b rよりも狭い。言い換えれば、平面視において、ゲート部MD g tの幅W g tは、互いに向かい合う二つのオフセット部TL t 2の離間距離(幅W b r)よりも狭い。このため、ゲート部MD g tを、図23に示すX方向に沿って延長させると、ゲート部MD g tのX方向に沿った延長線は、複数のオフセット部TL t 2の間に配置される。この場合、図22に矢印を付して模式的に示すように、ゲート部MD g tから供給された樹脂MR pの大部分は、吊りリードTLのオフセット部TL t 2に接触せずに、分岐部TL b r上を乗り越えて、ダイパッドDPに向かって移動する。このため、オフセット部TL t 2がX方向に押圧されることによる吊りリードTLの変形を抑制できる。なお、上記したゲート部MD g tの幅W g tは、X方向と直交するY方向におけるゲート部MD g tの長さである。また、分岐部TL b rの幅W b r X方向と直交するY方向における分岐部TL b rの長さである。

[0115] また、樹脂MR pの大部分が、吊りリードTLの分岐部TL b r上を乗り越えやすくなるようにする観点からは、分岐部TL b rの高さは低い方がよい。図22に示すように、分岐部TL b rと複数の露出面接続部TL xとの間には、それぞれオフセット部TL t 2が存在するので、分岐部TL b rの上面TL b r tの高さは少なくとも露出面接続部TL xの上面TL x tの高さよりも低い。図24に示す例では、分岐部TL b rの上面TL b r tとダイパッドDPの上面DP tとの高低差H t 1と、露出面接続部TL xの上面TL x tと分岐部TL b rの上面TL b r tとの高低差H t 2との比は1 : 1になっている。ただし、高低差H t 1と高低差H t 2との比は1 : 1には

限定されず、種々の変形例を適用できる。

[0116] また、図24に示すように、ダイパッドDPの上面DPtに対して（を基準として）ゲート部MDgtにより形成される開口部の下端の高さの方が分岐部TLbrの上面TLbrtの高さよりも高ければ、樹脂MRpは、分岐部TLbr上に供給され易くなる。また、図24に示す例では、ダイパッドDPの上面DPtに対して分岐部TLbrの上面TLbrtの高さは半導体チップCPの表面Cptよりも低い位置に設けられている。

[0117] なお、封止工程において吊りリードTL1が変形することにより、ダイパッドDPの下面DPbの一部が封止されることを抑制する場合、図22に示すゲート部MDgtの近傍に配置される吊りリードTL1の構造が重要である。したがって、図25に示すベント部MDvt側の吊りリードTL2は、例えば図30に示す吊りリードTLh1と同様な構造、あるいは図31に示す吊りリードTLh2と同様な構造などにしても良い。

[0118] しかし、ダイパッドDPの支持強度を向上させる観点からは、図25に示すように、吊りリードTL2は、図23に示す吊りリードTL1と同様な構造になっていることが好ましい。すなわち、本実施の形態の吊りリードTL2は、封止体MR（図19参照）から露出する部分とダイパッドDPとの間にオフセット部TLt1およびオフセット部TLt2を有している。このため、図30に示す吊りリードTLh1と比較して変形し難いので、ダイパッドDPの支持強度を向上させることができる。

[0119] また、吊りリードTL2が有する複数のオフセット部TLt2のそれぞれは、X方向と交差する方向に沿って延びる。このため、本実施の形態の吊りリードTLによれば、封止体MR（図19参照）から露出する部分からダイパッドDPまでの平面距離L1（図2参照）を図31に示す検討例と比較して短くすることができる。この結果、半導体装置PKG1（図2参照）の実装面積を低減することができる。

[0120] また、図25に示すように、成形金型MD（図20参照）のベント部MDvtは、平面視において（詳しくはY方向において）、複数の露出面接続部

TLxの間に設けられている。図20に示すように、本実施の形態では、封止工程において、互いに隣り合うデバイス領域LFdをスルーゲートMDtgで接続して、樹脂MRpを順次供給する、スルーゲート方式を採用している。スルーゲート方式を採用する場合、第1のデバイス領域LFdのベント部MDvtと第2のデバイス領域LFdのゲート部MDgtとは、スルーゲートMDtgを介してX方向に沿って直線的に配列される。したがって、ベント部MDvtが、露出面接続部TLxの間に設けられていれば、第2のデバイス領域LFdにおいて、図23に示すようにゲート部MDgtを、複数の露出面接続部TLxの間に容易に配置することができる。

[0121] また、図23に示すように、吊りリードTL1のタブ接続部TLcnはダイパッドDPの短辺DPs3の中心に接続され、図25に示すように吊りリードTL2のタブ接続部TLcnはダイパッドDPの短辺DPs4の中心に接続されている。このように、ダイパッドDPの辺の中心に吊りリードTL1、TL2を接続すると、封止工程において、樹脂MRp（図20参照）からの押圧力がダイパッドDPの支点（吊りリードTLの接続部分）に対してバランス良く印加される。このため、樹脂MRpの供給圧力によってダイパッドDPが回転してしまうことを抑制できる。

[0122] また、本実施の形態では、図23に示すように複数のインナリード部ILDのうちの一部は、ダイパッドDPの短辺DPs3に沿って配列されている。また、図25に示すように複数のインナリード部ILDのうちの一部は、ダイパッドDPの短辺DPs4に沿って配列されている。このように吊りリードTL1（図23参照）、TL2（図25参照）の配置されていないスペースをインナリード部ILDの配置スペースとして有効活用することで、半導体装置の端子の配置密度を大きくすることができる。

[0123] 5. メッキ工程；

次に、図10に示すメッキ工程として、図26に示すように、複数のリードLDおよびダイパッドDPの露出面に金属膜MCを形成する。図26は、図21に示すリードおよびダイパッドの露出面に金属膜を形成した状態を示

す拡大断面図である。

[0124] 本実施の形態の金属膜MCは、例えば、鉛（Pb）を実質的に含まない、所謂、鉛フリー半田からなり、例えば錫（Sn）のみ、錫－ビスマス（Sn－Bi）、または錫－銅－銀（Sn－Cu－Ag）などである。

[0125] 金属膜MCの形成方法には、リードフレームLFを図示しないメッキ槽に入ったメッキ液に浸し、例えば直流電圧をかけることによって、リードフレームLFの露出面上に金属膜MCを析出させる、所謂、電解メッキ法を採用することができる。

[0126] なお、本実施の形態では、封止工程の後で、例えば半田から成る金属膜MCを形成することで、図示しない実装基板に実装する際の半田の濡れ性を向上させる方法（後メッキ法）について説明したが、以下の変形例を適用することができる。すなわち、半導体装置の端子表面における半田の濡れ性を向上させる技術として、後メッキ法他、リードフレームの表面にあらかじめ金属膜を形成しておく、所謂、先メッキ法を適用しても良い。

[0127] 先メッキ法を適用した場合には、図10に示すリードフレーム準備工程において、半田の濡れ性を向上させる表面金属膜をリードフレームの露出面全体に予め形成しておく。この表面金属膜を形成する工程では、例えば、ニッケル（Ni）、パラジウム（Pd）、金（Au）からなる表面金属膜をメッキ法により形成する。また、先メッキ法を適用した場合には、図10に示すメッキ工程を省略できる。

[0128] 6. リード成形工程；

次に、図10に示すリード成形工程として、図27に示すようにタイバーLDtb（図21参照）により連結された複数のリードLDのアウタリード部OLDをそれぞれ分割し、図4に示すようにリードLDのアウタリード部OLDに曲げ加工を施して成形する。図27は、図26に示す複数のリードを分割し、成形した状態を示す拡大平面図である。なお、図27では、図21に示すリードフレームLFの上面LFt側の平面を示している。

[0129] 本工程により、複数のリードLDのそれぞれが分離され、吊りリードTL

(図23および図25参照)以外の部分は支持部材SPPから分離される。

[0130] 複数のリードLDを分割する方法は、例えば、パンチ(切断刃)とダイ(支持部材)を用いてプレス加工により分割することができる。また、リードLDのアウタリード部OLDを成形する方法は、例えば、曲げパンチ(曲げ加工用押圧具)とダイ(支持部材)を用いて成形することができる。なお、リードLDの曲げ加工精度向上の観点から、リードLDに曲げ加工を施す前に、アウタリード部OLDの先端を予め切断しておくことが好ましい。

[0131] 7. 個片化工程；

次に、図10に示す個片化工程として、図28に示すように、デバイス領域LFdと支持部材SPPとの境界を切断して、複数のデバイス領域LFdのそれぞれを分割する。図28は、図27に示すリードフレームの複数のデバイス領域のそれぞれを個片化した状態を示す拡大平面図である。

[0132] 本工程により、デバイス領域LFdと支持部材SPPとの境界を切断すると、複数のデバイス領域LFdのそれぞれは、支持部材SPPから分離される。リードフレームLFを切断する方法は、例えば、パンチ(切断刃)とダイ(支持部材)を用いてプレス加工により切断することができる。

[0133] 本工程の後、外観検査、電氣的試験など、必要な検査、試験を行い、合格したものが、図1に示す完成品の半導体装置PKG1となる。そして、半導体装置PKG1は出荷される。あるいは、半導体装置PKG1は図6を用いて説明したように実装基板MBに実装される。

[0134] 以上の製造方法により製造される半導体装置は、図29に示すように、封止体MRの短辺MRs3側から見た側面視において、吊りリードTLの一部(露出面TLxs)が複数箇所(図29では二箇所)で封止体MRから露出している。図29は、図1に示す半導体装置の短辺側から見た側面図である。二個の露出面TLxsは、上面MRtと下面MRbとの間、図29では上面MRtと下面MRbとの中間に設けられている。また、二個の露出面TLxsの間には、上記したゲートブレイク工程の痕跡である、ゲートブレイク部GBPが残っている。ゲートブレイク部GBPは、ゲートブレイク工程に

において、樹脂が破壊されて形成される面なので、ゲートブレイク部GBPの表面粗さは側面MRs3よりも粗い。このゲートブレイク部GBPは、側面視において、吊りリードTLの分岐部TLbrよりも高い位置に設けられている。詳しくは、ゲートブレイク部GBPの下端は、分岐部TLbrの上面TLbrtよりも高い位置（上面MRtに近い位置）に設けられている。

[0135] また、本実施の形態では、図3に示すように、吊りリードTL1と吊りリードTL2が線対称の構造になっている。このため、図示は省略するが、図2に示す短辺MRs4の側面視においても、同様の構造になっている。

[0136] <変形例>

以上、本願発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0137] 例えば、上記実施の形態では、半導体装置PKG1およびその製造方法を取り上げて、半導体装置PKG1に適用された種々の技術とその効果について順に説明した。しかし、変形例として上記した複数の技術のうちの一部を適用した半導体装置としても良い。

[0138] 例えば、図2に示す吊りリードTL（図3参照）の露出面TLxsからダイパッドDPまでの平面距離L1を短くして、半導体装置PKG1（図2参照）の実装面積を低減する効果に着目すれば、図22に示す吊りリードTLと成形金型MDのゲート部MDgtとの位置関係は特に限定されない。また、図3に示す吊りリードTL1および吊りリードTL2のうち、少なくとも一方が図7に示す構造を備えていれば、図30や図31に示す検討例と比較して、半導体装置の実装面積を低減させる効果は得られる。

[0139] また、図32に示すように樹脂MRpに押圧されて吊りリードTLh1が変形することを抑制するためには、図22に示すように、成形金型MDのゲート部MDgtが、Y方向において、複数の露出面接続部TLxの間に設けられていることが特に好ましい。しかし、複数のオフセット部TLt2の延在方向が樹脂MRpの供給方向（X方向）に対して交差していれば、図32

に示すような押圧力 F_{mr} は印加され難くなる。このため、少なくとも、分岐部 TL_{br} に接続される複数のオフセット部 TL_{t2} のそれぞれが、 X 方向とは異なる方向に延びていれば、図32に示す検討例と比較して吊りリード TL の変形を抑制できる。

[0140] また、封止工程において、樹脂 MR_p の供給圧力によってダイパッド DP が回転してしまうことを抑制する観点からは、図22に示すように吊りリード TL のタブ接続部 TL_{cn} はダイパッド DP の短辺 DP_{s3} の中心に接続されていることが好ましい。ただし、樹脂 MR_p の供給圧力の程度などによって、ダイパッド DP の変形を考慮しなくても良い場合には、タブ接続部 TL_{cn} はダイパッド DP の短辺 DP_{s3} の任意の位置に接続することができる。

[0141] また例えば、上記した種々の変形例同士を組み合わせることもできる。

[0142] その他、上記実施の形態に記載された内容の一部を以下に記載する。

[0143] [付記1]

チップ搭載面および前記チップ搭載面の反対側の裏面を備えるチップ搭載部と、

前記チップ搭載部に接続される複数の吊りリードと、

前記チップ搭載部の前記チップ搭載面上に搭載された半導体チップと、

前記半導体チップの周囲に設けられ、半導体チップと電氣的に接続される複数のリードと、

前記チップ搭載部の前記裏面が露出するように前記半導体チップを封止する封止体と、

を有し、

平面視において、前記封止体は、第1方向に沿って延びる第1長辺、前記第1長辺の反対側の第2長辺、前記第1方向と交差する第2方向に沿って延びる第1短辺、前記第1短辺の反対側の第2短辺を備え、

前記複数の吊りリードは、前記チップ搭載部から前記封止体の前記第1短辺に向かって延びる第1吊りリードと、前記チップ搭載部から前記封止体の

前記第 2 短辺に向かって延びる第 2 吊りリードと、を有し、

前記第 1 吊りリードは、

前記チップ搭載部に接続され、前記第 1 方向に沿って延びる第 1 タブ接続部と、

前記チップ搭載面に対して、前記第 1 タブ接続部よりも高い位置に設けられ、前記第 1 方向と交差する複数の方向に分岐する第 1 分岐部と、

前記第 1 分岐部よりも高い位置に設けられ、一方の端部が前記第 1 短辺において前記封止体から露出する複数の第 1 露出面に接続される、複数の第 1 露出面接続部と、

前記第 1 タブ接続部および前記第 1 分岐部に接続される第 1 オフセット部と、

一方の端部が前記第 1 分岐部に接続され、他方の端部が前記複数の第 1 露出面接続部のそれぞれに接続される複数の第 2 オフセット部と、

を有し、

前記封止体の前記第 1 短辺は、前記封止体の側面よりも表面粗さが粗い第 1 部分を有し、

前記封止体の前記第 1 短辺側から見た側面視において、前記チップ搭載面に対して、前記第 1 部分は、前記第 1 分岐部よりも高い位置に設けられている、半導体装置。

[0144] 〔付記 2〕

付記 1 に記載の半導体装置において、

前記封止体の前記第 1 短辺側から見た側面視において、前記第 1 部分は、前記複数の第 1 露出面の間に設けられている、半導体装置。

[0145] 〔付記 3〕

付記 2 に記載の半導体装置において、

前記第 2 方向における前記第 1 部分の幅は、前記第 2 方向における前記第 1 分岐部の幅よりも狭い、半導体装置の製造方法。

[0146] 〔付記 4〕

付記 1 に記載の半導体装置において、

前記チップ搭載部の前記チップ搭載面に対して、前記第 1 部分の下端の高さの方が前記分岐部 T L b r の上面の高さよりも高い、半導体装置。

[0147] 〔付記 5〕

付記 1 に記載の半導体装置において、

前記第 2 吊りリードは、

前記チップ搭載部に接続され、前記第 1 方向に沿って延びる第 2 タブ接続部と、

前記チップ搭載面に対して、前記第 2 タブ接続部よりも高い位置に設けられ、前記第 1 方向と交差する複数の方向に分岐する第 2 分岐部と、

前記第 2 分岐部よりも高い位置に設けられ、一方の端部が前記第 2 短辺において前記封止体から露出する、複数の第 2 露出面接続部と、

前記第 2 タブ接続部および前記第 2 分岐部に接続される第 3 オフセット部と、

一方の端部が前記第 2 分岐部に接続され、他方の端部が前記複数の第 2 露出面接続部のそれぞれに接続される複数の第 4 オフセット部と、

を有する、半導体装置。

[0148] 〔付記 6〕

付記 1 に記載の半導体装置において、

平面視において、前記チップ搭載部は、前記第 1 方向に沿って延びる第 3 長辺、前記第 3 長辺の反対側の第 4 長辺、前記第 2 方向に沿って延びる第 3 短辺、前記第 3 短辺の反対側の第 4 短辺を備え、

前記第 1 吊りリードの前記第 1 タブ接続部は、前記チップ搭載部の前記第 3 短辺の中心に接続され、前記第 2 吊りリードの前記第 2 タブ接続部は、前記チップ搭載部の前記第 4 短辺の中心に接続されている、半導体装置。

符号の説明

[0149] BW ワイヤ（導電性部材）

C B T 1、C B T 2 キャビティ（凹部）

CP 半導体チップ

CPb 裏面（主面、下面）

CPs 側面

CPt 表面（主面、上面）

DB ダイボンド材（接着材）

DP ダイパッド（チップ搭載部、タブ）

DPb 下面

DPs1、DPs2 長辺（辺）

DPs3、DPs4 短辺（辺）

DPt 上面（チップ搭載面）

Fmr 押圧力

GBH 貫通孔

GBP ゲートブレイク部

Ht1、Ht2 高低差

ILD インナリード部

L1 平面距離

LD リード（端子、外部端子）

LDb 下面（実装面、リード下面）

LDt 上面（ワイヤボンディング面、リード上面）

LDtb タイバー

LF リードフレーム

LFb 下面

LFd デバイス領域（製品形成領域）

LFf 外枠

LFt 上面

LFtb タイバー（リード連結部）

LNDa ランド

MB 実装基板（マザーボード、配線基板）

MB t 上面（搭載面）
MC 金属膜（金属コート膜）
MD 成形金型
MD 1 上型（金型）
MD 2 下型（金型）
MD c 1、MD c 2 クランプ面（金型面、押し付け面、面）
MD f c フローキャビティ
MD g t ゲート部
MD r n ランナ部
MD v t ベント部
MR 封止体（樹脂体）
MR b 下面（裏面、実装面、封止体下面）
MR f c フローキャビティ樹脂
MR g t ゲート樹脂
MR p 樹脂
MR r n ランナ樹脂
MR s 側面（封止体側面）
MR s 1、MR s 2 長辺（辺）
MR s 3、MR s 4 短辺（辺）
MR t 上面（封止体上面）
MR t g スルーゲート樹脂
MR v t ベント樹脂
OLD アウタリード部
OLD 1 突出部
OLD 2 被実装部
OLD 3 傾斜部
PD パッド（電極、ボンディングパッド）
PKG 1 半導体装置

S D 接合材

S P P 支持部材

T L、T L 1、T L 2、T L h 1、T L h 2 吊りリード

T L b r 分岐部

T L b r t 上面

T L c n タブ接続部（部分）

T L t 1、T L t 2、T L t h 1、T L t h 2 オフセット部（傾斜部）

T L x 露出面接続部

T L x s 露出面

T L x t 上面

T M 1 端子（リード接続用端子、ランド）

T M 2 端子（ダイパッド接続用端子、ランド）

W b r、W g t 幅

請求の範囲

[請求項1]

(a) チップ搭載面および前記チップ搭載面の反対側の裏面を備えるチップ搭載部、前記チップ搭載部に接続される複数の吊りリード、前記チップ搭載部の前記チップ搭載面上に搭載された半導体チップ、および前記半導体チップの周囲に設けられ、前記半導体チップと電気的に接続される複数のリードを備えるリードフレームを準備する工程と、

(b) 成形金型のキャビティ内に前記チップ搭載部および前記半導体チップを収容した後、前記キャビティ内に樹脂を供給することで前記半導体チップを封止し、かつ、前記チップ搭載部の前記裏面が露出するように封止体を形成する工程と、

を有し、

平面視において、前記封止体は、第1方向に沿って延びる第1長辺、前記第1長辺の反対側の第2長辺、前記第1方向と交差する第2方向に沿って延びる第1短辺、前記第1短辺の反対側の第2短辺を備え、

前記複数の吊りリードは、前記チップ搭載部から前記封止体の前記第1短辺に向かって延びる第1吊りリードと、前記チップ搭載部から前記封止体の前記第2短辺に向かって延びる第2吊りリードと、を有し、

前記第1吊りリードは、

前記チップ搭載部に接続され、前記第1方向に沿って延びる第1タブ接続部と、

前記チップ搭載面に対して、前記第1タブ接続部よりも高い位置に設けられ、前記第1方向と交差する複数の方向に分岐する第1分岐部と、

前記第1分岐部よりも高い位置に設けられ、一方の端部が前記第1短辺において前記封止体から露出する部分に接続される、複数の第1

露出面接続部と、

前記第 1 タブ接続部および前記第 1 分岐部に接続される第 1 オフセット部と、

一方の端部が前記第 1 分岐部に接続され、他方の端部が前記複数の第 1 露出面接続部のそれぞれに接続される複数の第 2 オフセット部と、

を有する、半導体装置の製造方法。

[請求項2]

請求項 1 において、

前記 (b) 工程では、

前記封止体の前記第 1 短辺側に設けられた前記成形金型のゲート部から樹脂が供給され、

前記ゲート部は、前記チップ搭載面に対して、前記第 1 分岐部よりも高い位置に設けられている、半導体装置の製造方法。

[請求項3]

請求項 2 において、

平面視において、前記成形金型のゲート部は、前記複数の第 1 露出面接続部の間に設けられる、半導体装置の製造方法。

[請求項4]

請求項 3 において、

前記第 2 方向における前記ゲート部の幅は、前記第 2 方向における前記第 1 分岐部の幅よりも狭い、半導体装置の製造方法。

[請求項5]

請求項 2 において、

前記チップ搭載部の前記チップ搭載面に対して、前記ゲート部により形成される開口部の下端の高さの方が前記第 1 分岐部の上面の高さよりも高い、半導体装置の製造方法。

[請求項6]

請求項 2 において、

前記第 2 吊りリードは、

前記チップ搭載部に接続され、前記第 1 方向に沿って延びる第 2 タブ接続部と、

前記チップ搭載面に対して、前記第 2 タブ接続部よりも高い位置に

設けられ、前記第 1 方向と交差する複数の方向に分岐する第 2 分岐部と、

前記第 2 分岐部よりも高い位置に設けられ、一方の端部が前記第 2 短辺において前記封止体から露出する、複数の第 2 露出面接続部と、

前記第 2 タブ接続部および前記第 2 分岐部に接続される第 3 オフセット部と、

一方の端部が前記第 2 分岐部に接続され、他方の端部が前記複数の第 2 露出面接続部のそれぞれに接続される複数の第 4 オフセット部と、

を有する、半導体装置の製造方法。

[請求項7]

請求項 6 において、

前記 (b) 工程では、

前記封止体の前記第 1 短辺側に設けられた前記成形金型の前記ゲート部から樹脂が供給され、かつ、前記封止体の前記第 2 短辺側に設けられた前記成形金型のベント部から樹脂が排出され、

平面視において、前記ゲート部は、前記複数の第 1 露出面接続部の間に設けられ、前記ベント部は、前記複数の第 2 露出面接続部の間に設けられる、半導体装置の製造方法。

[請求項8]

請求項 6 において、

平面視において、前記チップ搭載部は、前記第 1 方向に沿って延びる第 3 長辺、前記第 3 長辺の反対側の第 4 長辺、前記第 2 方向に沿って延びる第 3 短辺、前記第 3 短辺の反対側の第 4 短辺を備え、

前記第 1 吊りリードの前記第 1 タブ接続部は、前記チップ搭載部の前記第 3 短辺の中心に接続され、前記第 2 吊りリードの前記第 2 タブ接続部は、前記チップ搭載部の前記第 4 短辺の中心に接続されている、半導体装置の製造方法。

[請求項9]

請求項 1 において、

平面視において、前記チップ搭載部は、前記第 1 方向に沿って延び

る第3長辺、前記第3長辺の反対側の第4長辺、前記第2方向に沿って延びる第3短辺、前記第3短辺の反対側の第4短辺を備え、

前記複数のリードのそれぞれは、前記(b)工程で前記封止体に封止されるインナリード部と、前記封止体から突出するアウトリード部と、を有し、

複数の前記アウトリード部は、前記封止体の前記第1長辺および前記第2長辺に沿って配列され、かつ、前記封止体の前記第1短辺および前記第2短辺には配列されず、

複数の前記インナリード部は、前記チップ搭載部の前記第3長辺、前記第4長辺、および前記第3短辺に沿って配列されている、半導体装置の製造方法。

[請求項10] 請求項1において、

前記第1オフセット部および前記複数の第2オフセット部の前記チップ搭載面に対する傾斜角度は、45度未満である、半導体装置の製造方法。

[請求項11] 請求項1において、

前記複数のリードと、前記半導体チップが有する複数のパッドとは、複数のワイヤを介して電氣的に接続されている、半導体装置の製造方法。

[請求項12] 請求項1において、

前記半導体チップが有する複数のパッドのそれぞれは、前記チップ搭載面に対して前記複数のリードよりも低い位置に設けられている、半導体装置の製造方法。

[請求項13] チップ搭載面および前記チップ搭載面の反対側の裏面を備えるチップ搭載部と、

前記チップ搭載部に接続される複数の吊りリードと、

前記チップ搭載部の前記チップ搭載面上に搭載された半導体チップと、

前記半導体チップの周囲に設けられ、半導体チップと電氣的に接続される複数のリードと、

前記チップ搭載部の前記裏面が露出するように前記半導体チップを封止する封止体と、

を有し、

平面視において、前記封止体は、第1方向に沿って延びる第1長辺、前記第1長辺の反対側の第2長辺、前記第1方向と交差する第2方向に沿って延びる第1短辺、前記第1短辺の反対側の第2短辺を備え、

前記複数の吊りリードは、前記チップ搭載部から前記封止体の前記第1短辺に向かって延びる第1吊りリードと、前記チップ搭載部から前記封止体の前記第2短辺に向かって延びる第2吊りリードと、を有し、

前記第1吊りリードは、

前記チップ搭載部に接続され、前記第1方向に沿って延びる第1タブ接続部と、

前記チップ搭載面に対して、前記第1タブ接続部よりも高い位置に設けられ、前記第1方向と交差する複数の方向に分岐する第1分岐部と、

前記第1分岐部よりも高い位置に設けられ、一方の端部が前記第1短辺において前記封止体から露出する部分に接続される、複数の第1露出面接続部と、

前記第1タブ接続部および前記第1分岐部に接続される第1オフセット部と、

一方の端部が前記第1分岐部に接続され、他方の端部が前記複数の第1露出面接続部のそれぞれに接続される複数の第2オフセット部と、

を有する、半導体装置。

[請求項14] 請求項13において、
前記第2吊りリードは、
前記チップ搭載部に接続され、前記第1方向に沿って延びる第2タブ接続部と、
前記チップ搭載面に対して、前記第2タブ接続部よりも高い位置に設けられ、前記第1方向と交差する複数の方向に分岐する第2分岐部と、
前記第2分岐部よりも高い位置に設けられ、一方の端部が前記第2短辺において前記封止体から露出する、複数の第2露出面接続部と、
前記第2タブ接続部および前記第2分岐部に接続される第3オフセット部と、
一方の端部が前記第2分岐部に接続され、他方の端部が前記複数の第2露出面接続部のそれぞれに接続される複数の第4オフセット部と、
を有する、半導体装置。

[請求項15] 請求項13において、
平面視において、前記チップ搭載部は、前記第1方向に沿って延びる第3長辺、前記第3長辺の反対側の第4長辺、前記第2方向に沿って延びる第3短辺、前記第3短辺の反対側の第4短辺を備え、
前記複数のリードのそれぞれは、前記封止体に封止されるインナリード部と、前記封止体から突出するアウトリード部と、を有し、
複数の前記アウトリード部は、前記封止体の前記第1長辺および前記第2長辺に沿って配列され、かつ、前記封止体の前記第1短辺および前記第2短辺には配列されず、
複数の前記インナリード部は、前記チップ搭載部の前記第3長辺、前記第4長辺、および前記第3短辺に沿って配列されている、半導体装置。

[請求項16] 請求項13において、

前記第 1 オフセット部および前記複数の第 2 オフセット部の前記チップ搭載面に対する傾斜角度は、45 度未満である、半導体装置。

[請求項 17]

請求項 13 において、

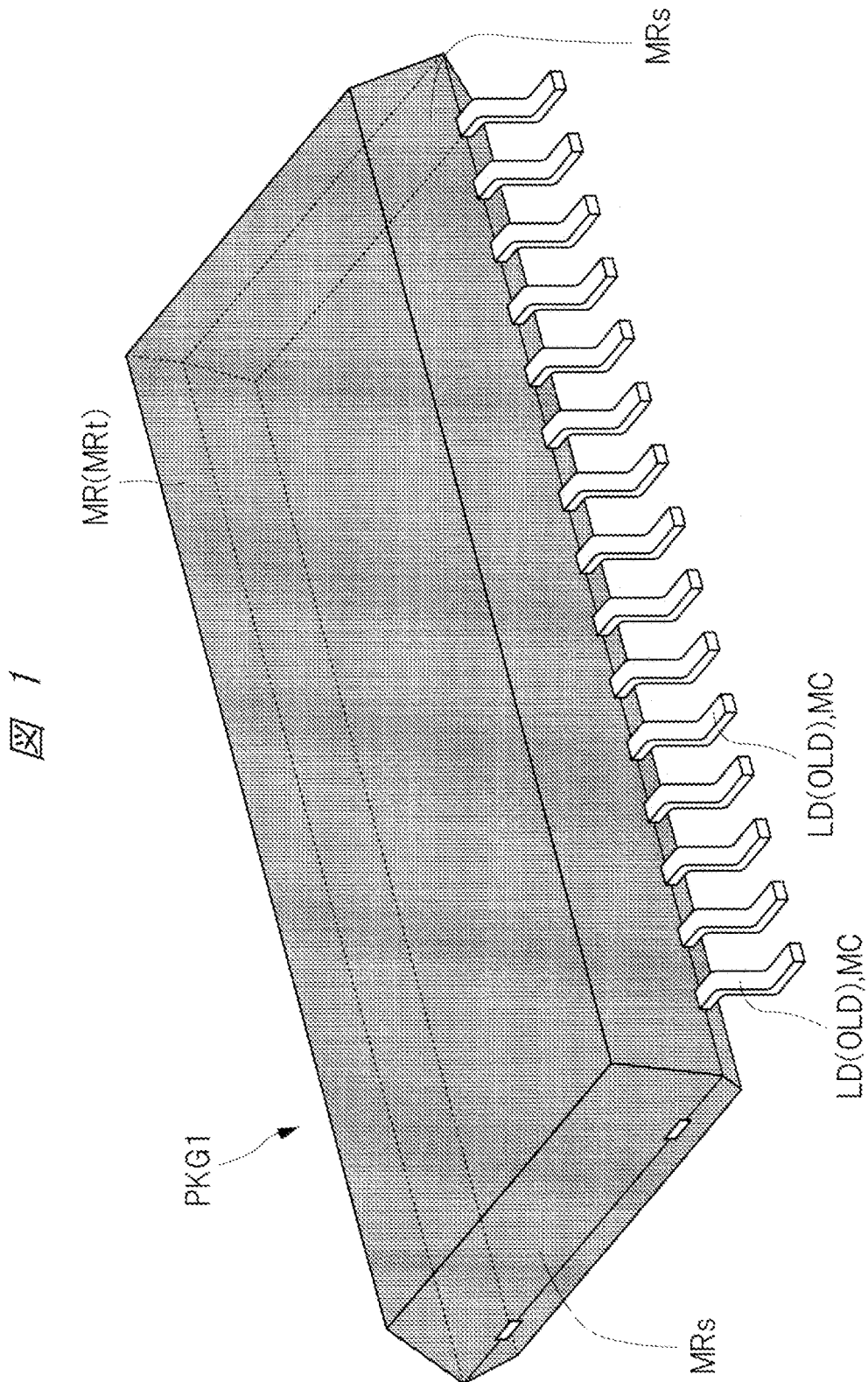
前記複数のリードと、前記半導体チップが有する複数のパッドとは、複数のワイヤを介して電氣的に接続されている、半導体装置。

[請求項 18]

請求項 13 において、

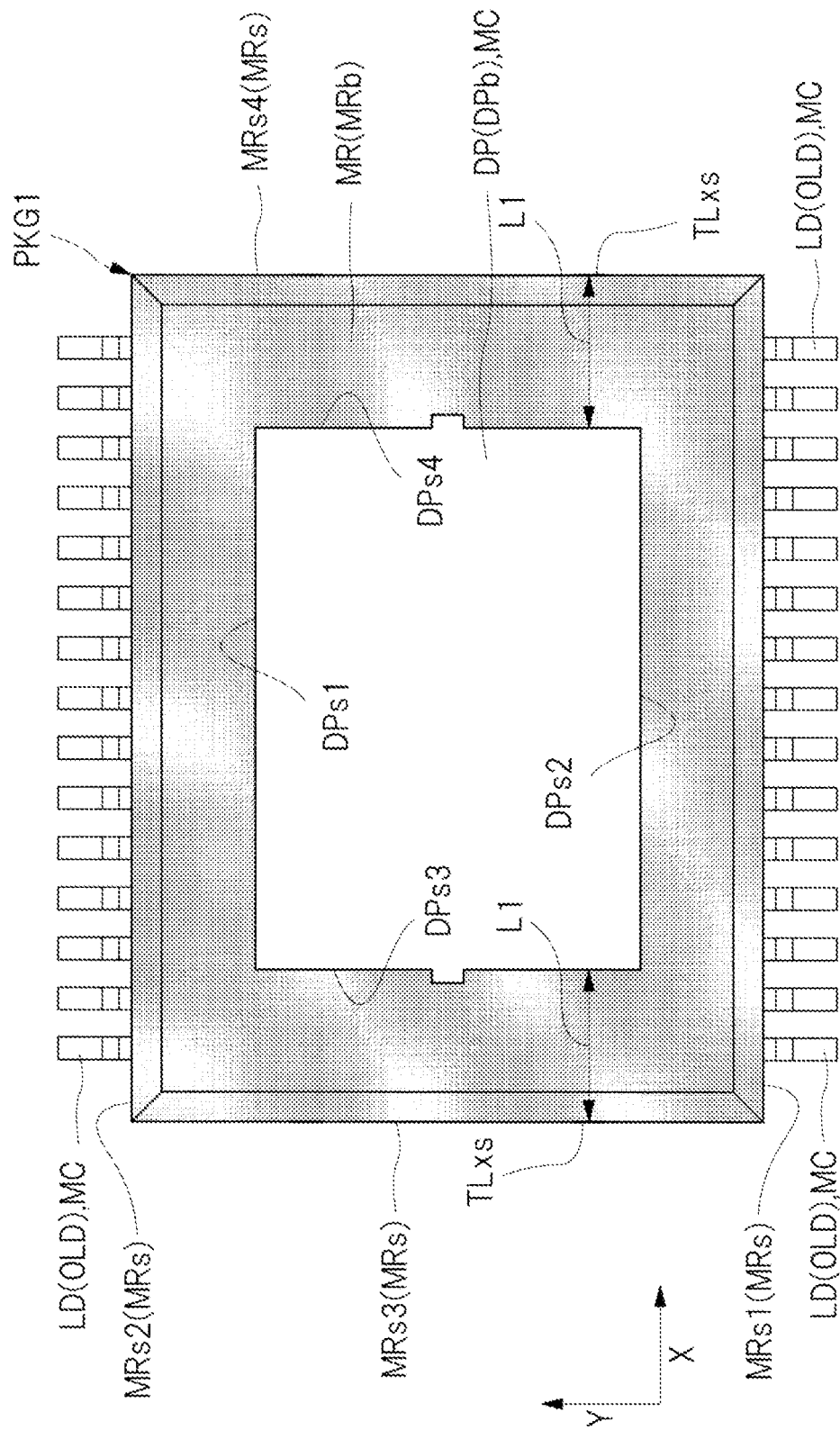
前記半導体チップが有する複数のパッドのそれぞれは、前記チップ搭載面に対して前記複数のリードよりも低い位置に設けられている、半導体装置。

[図1]

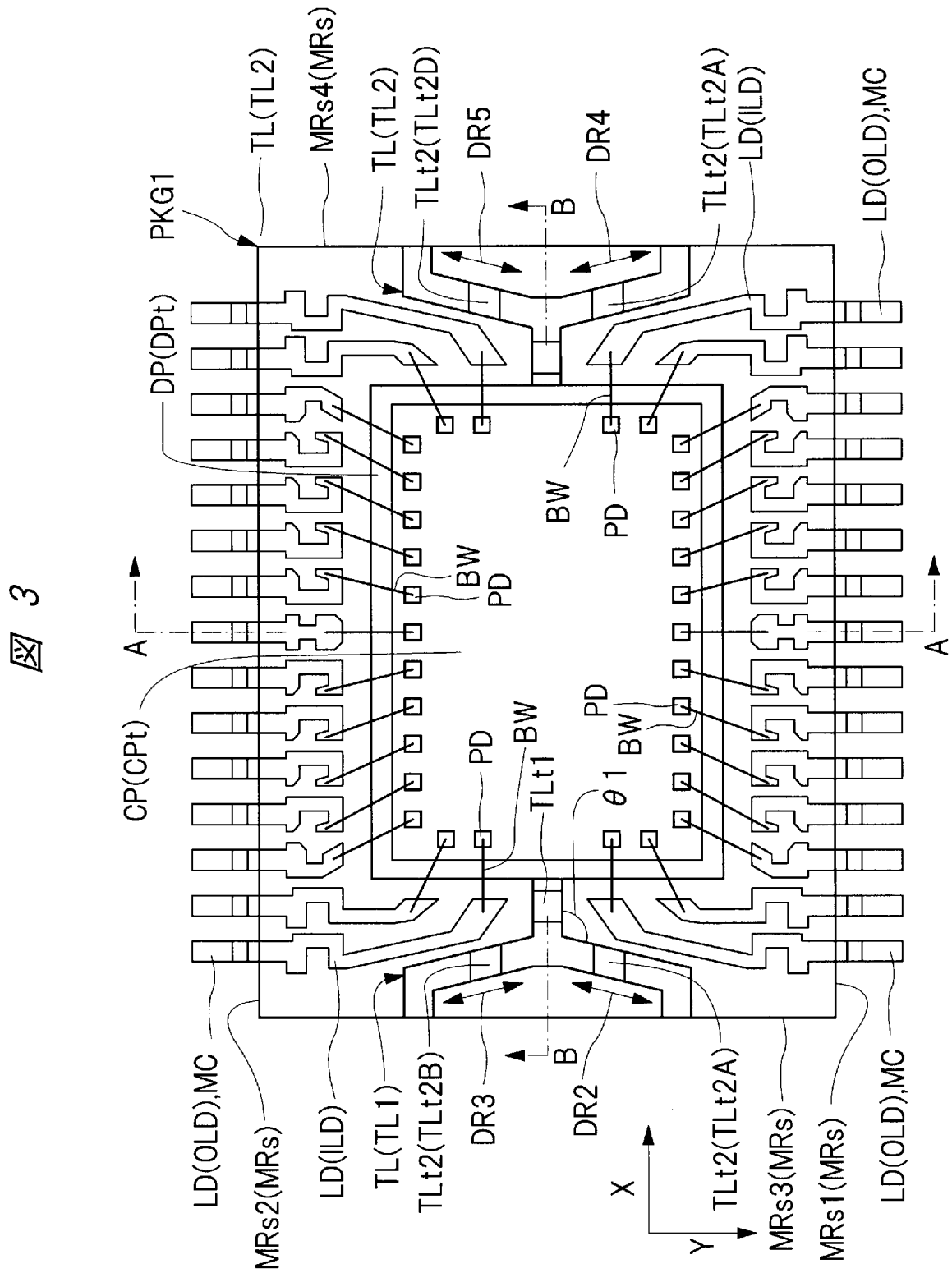


[図2]

図 2



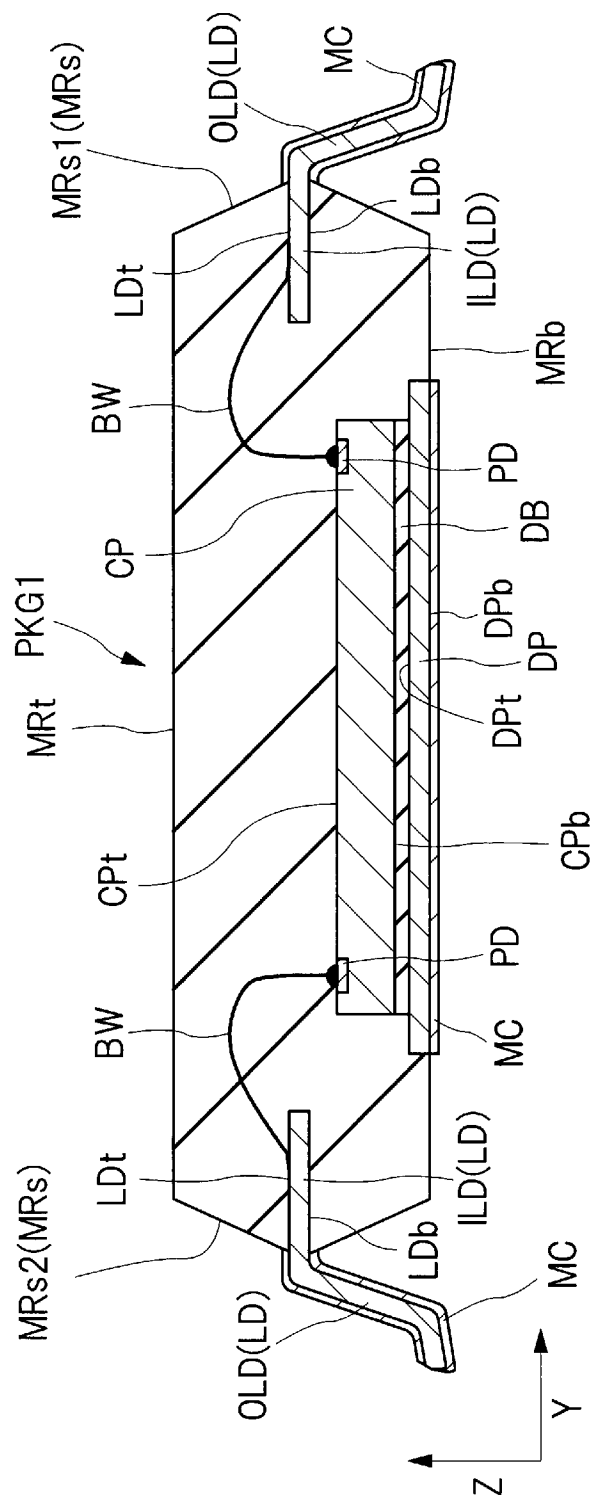
[図3]



[図4]

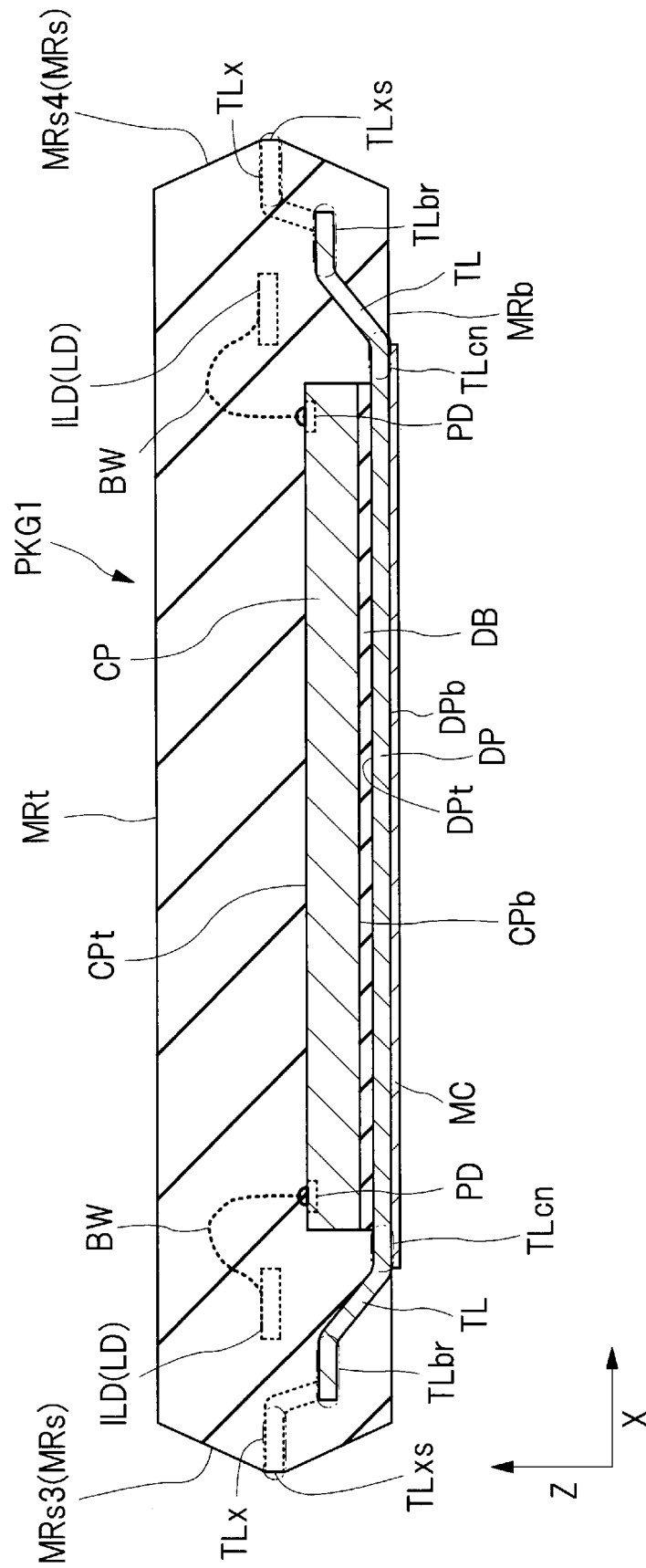
4



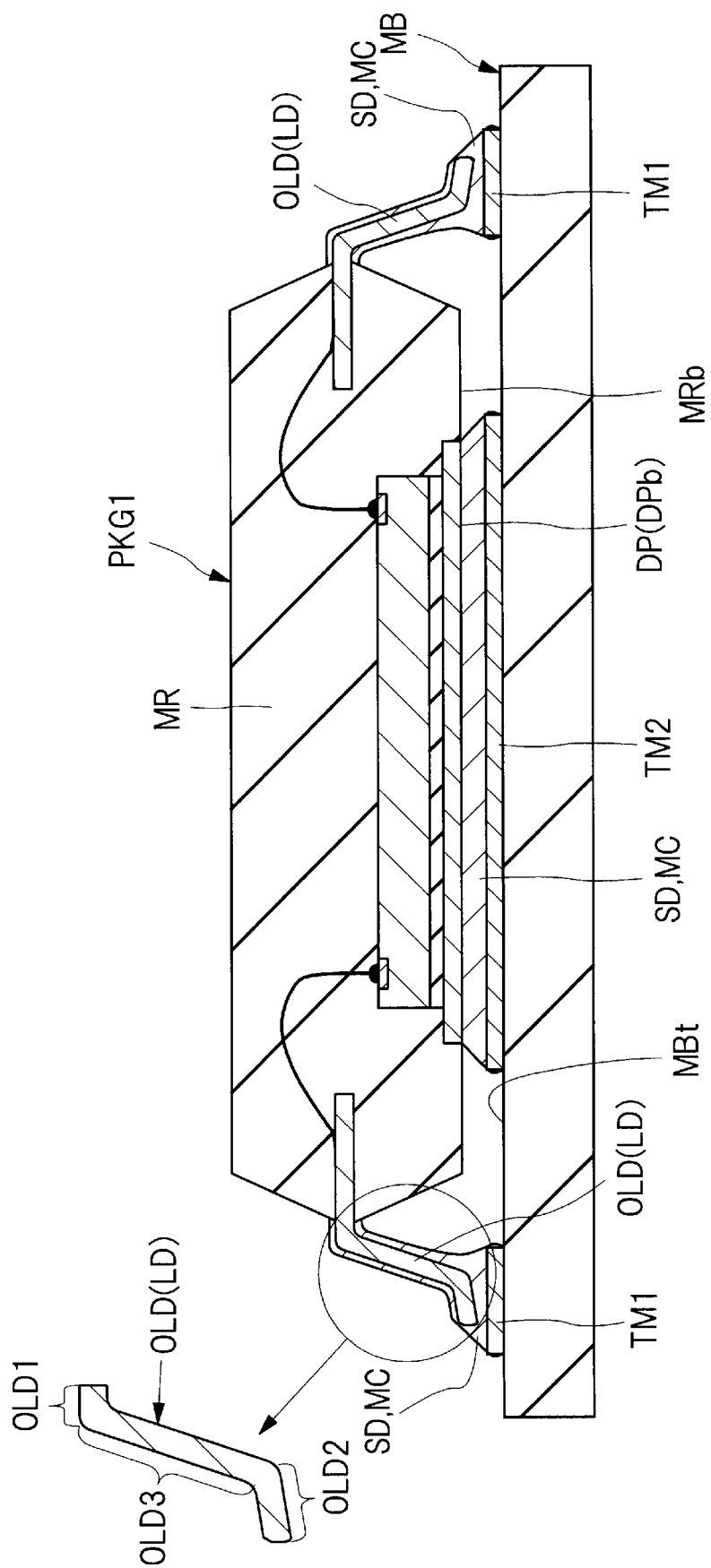


[図5]

図 5

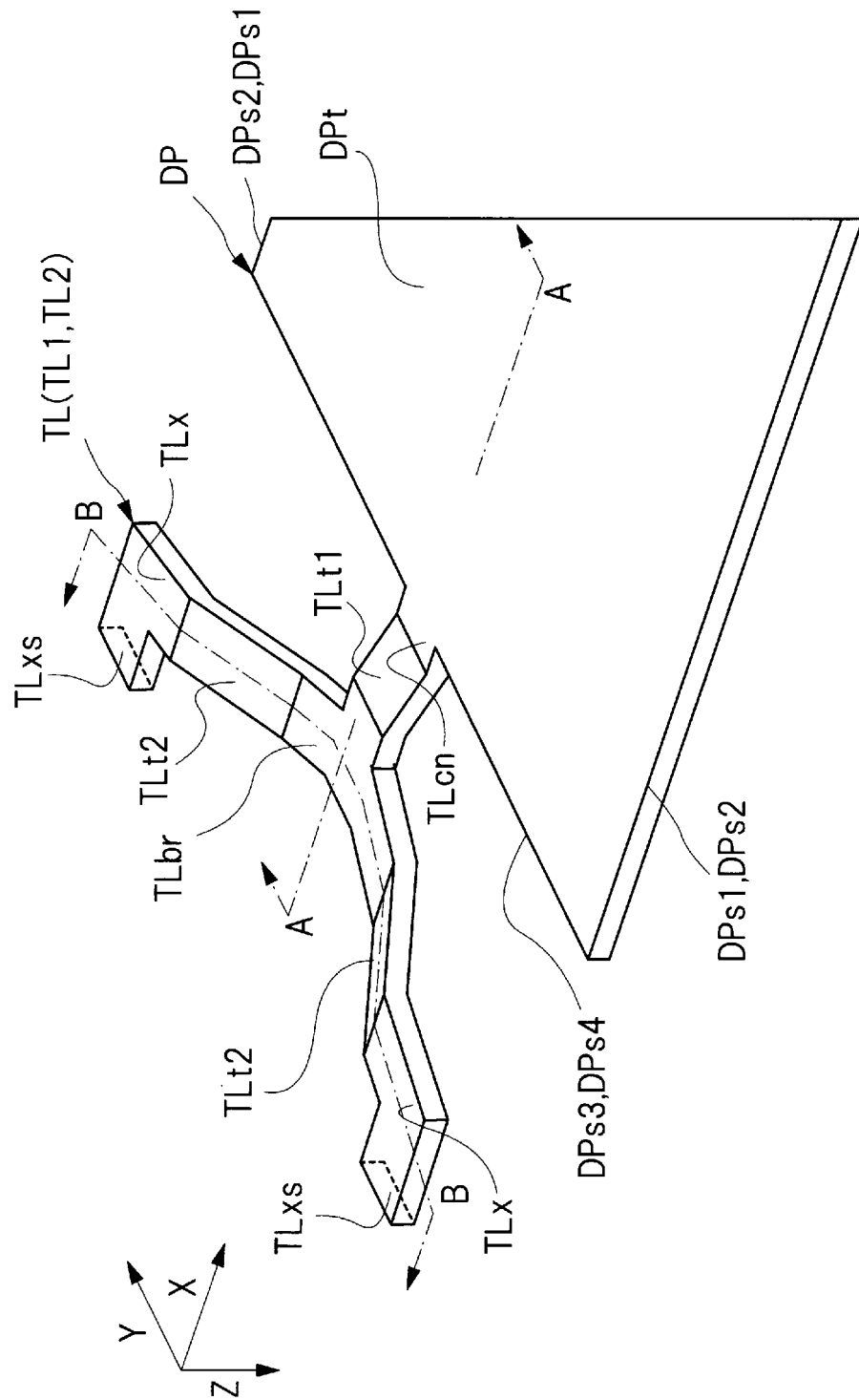


9 ☒



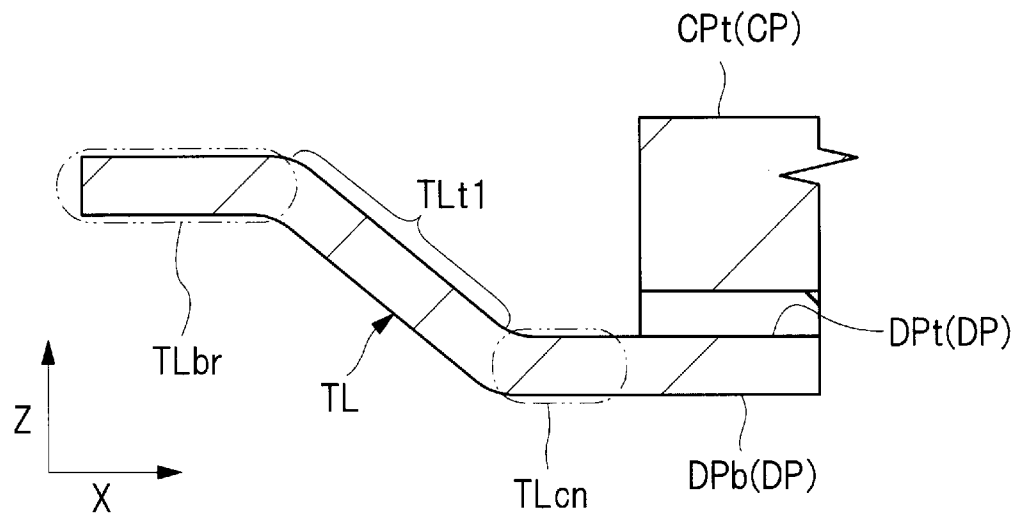
[図7]

図 7



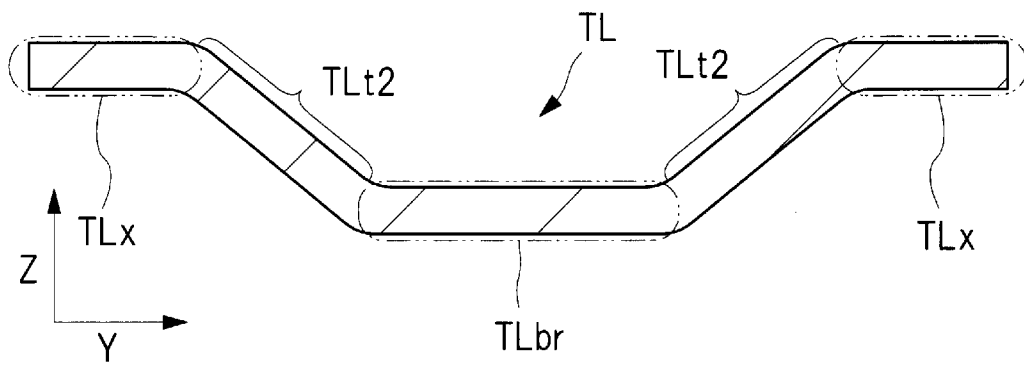
[図8]

図 8



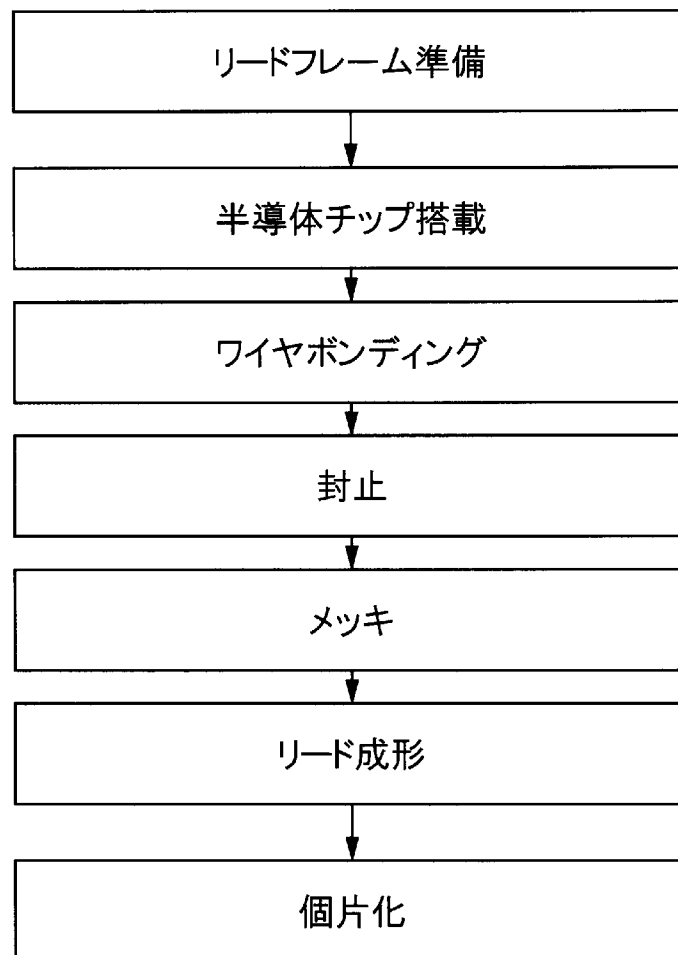
[図9]

図 9



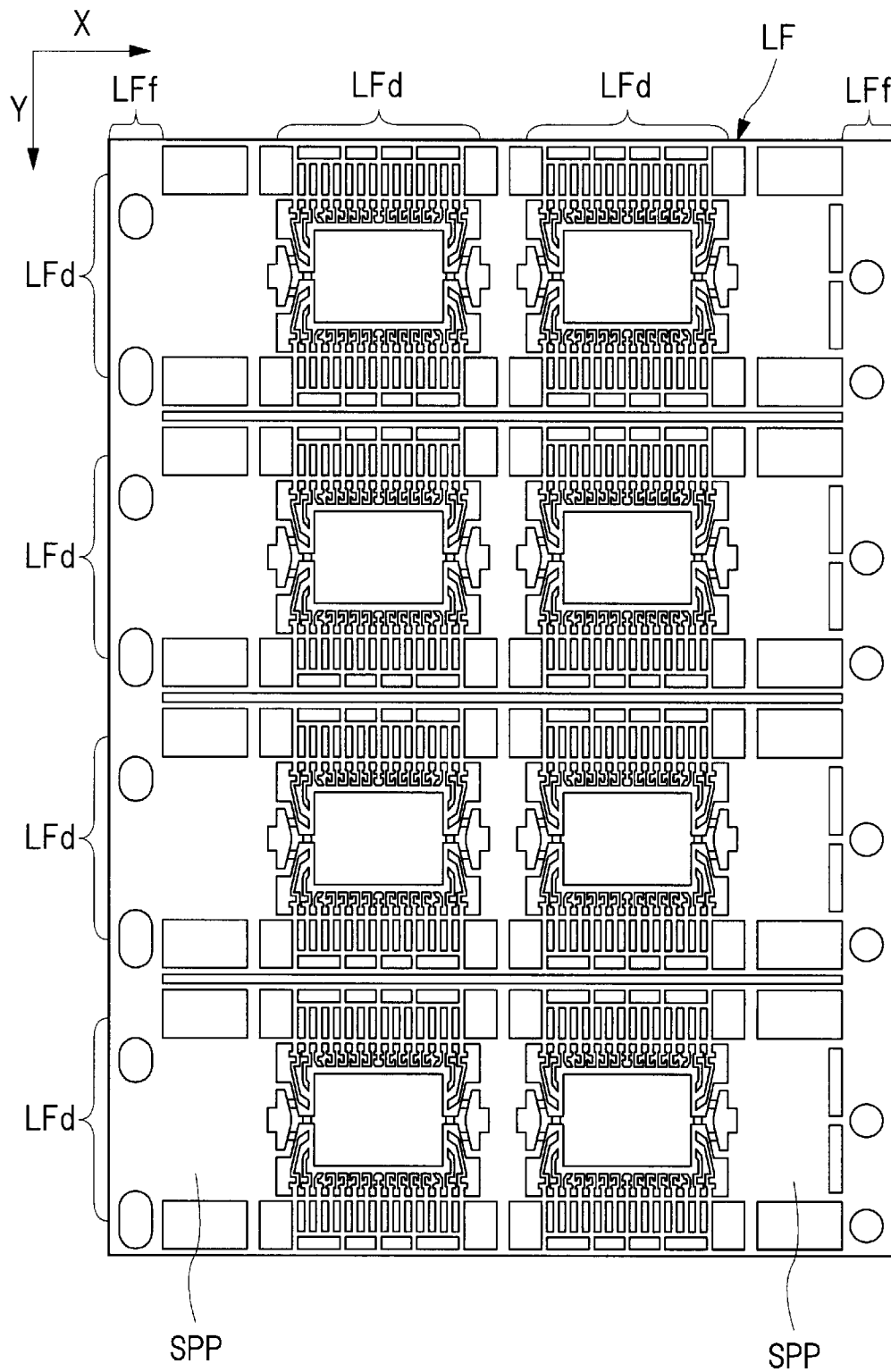
[図10]

図 10



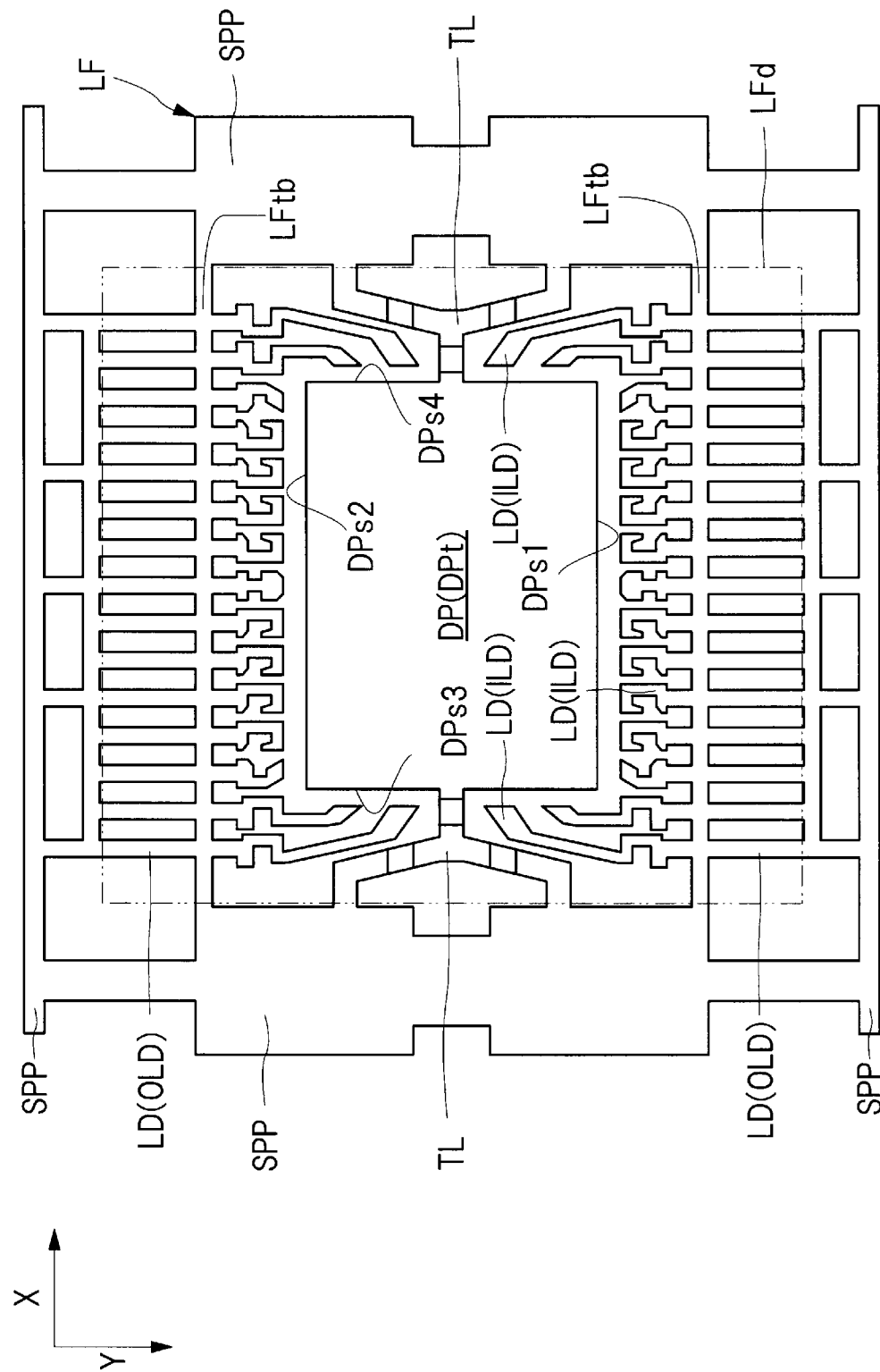
[図11]

図 11

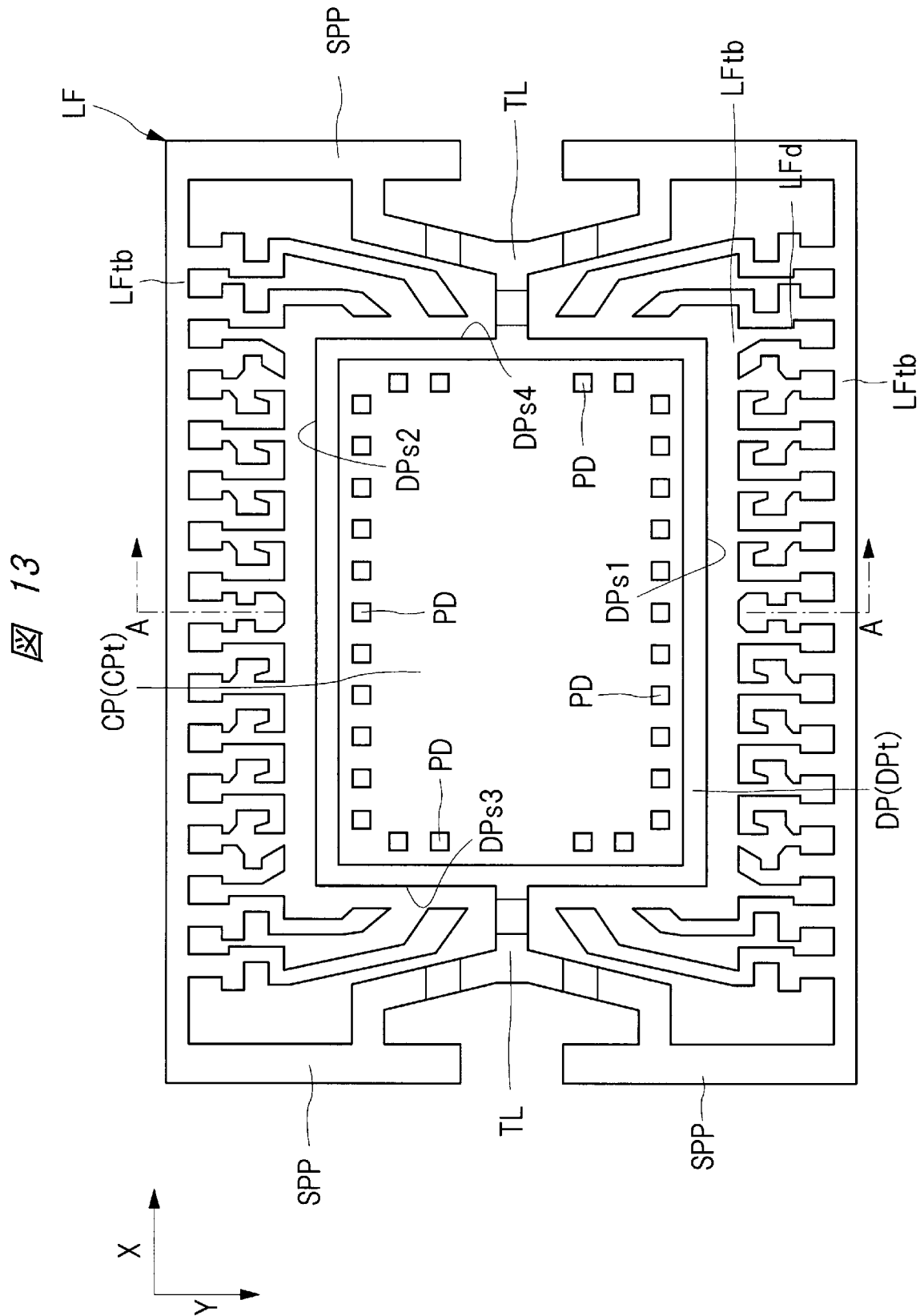


[図12]

図 12

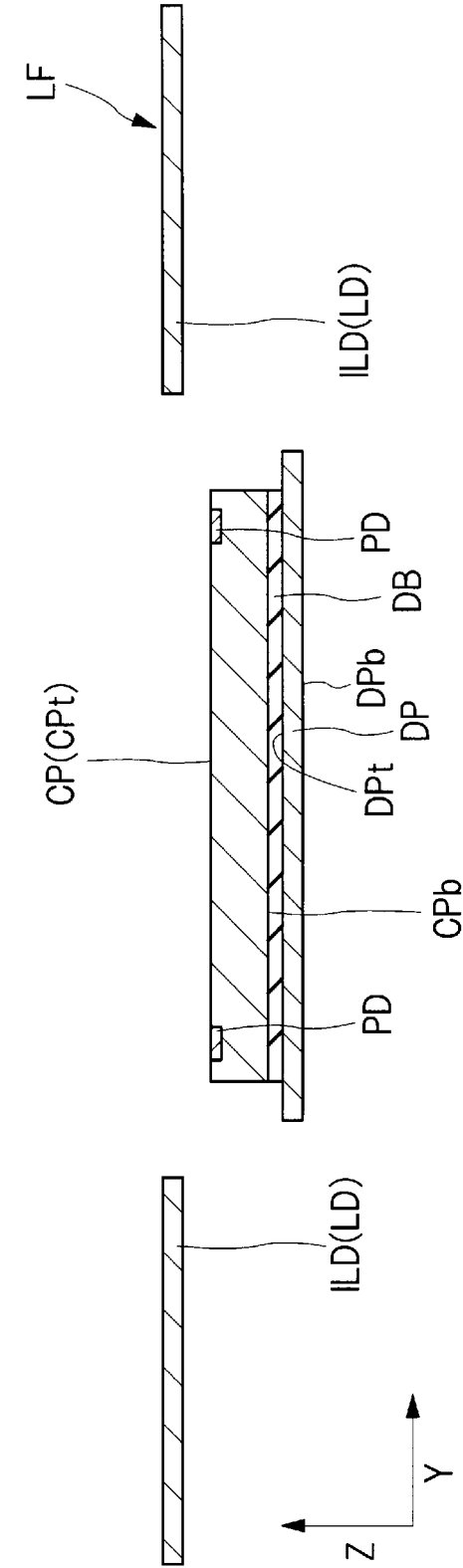


[図13]

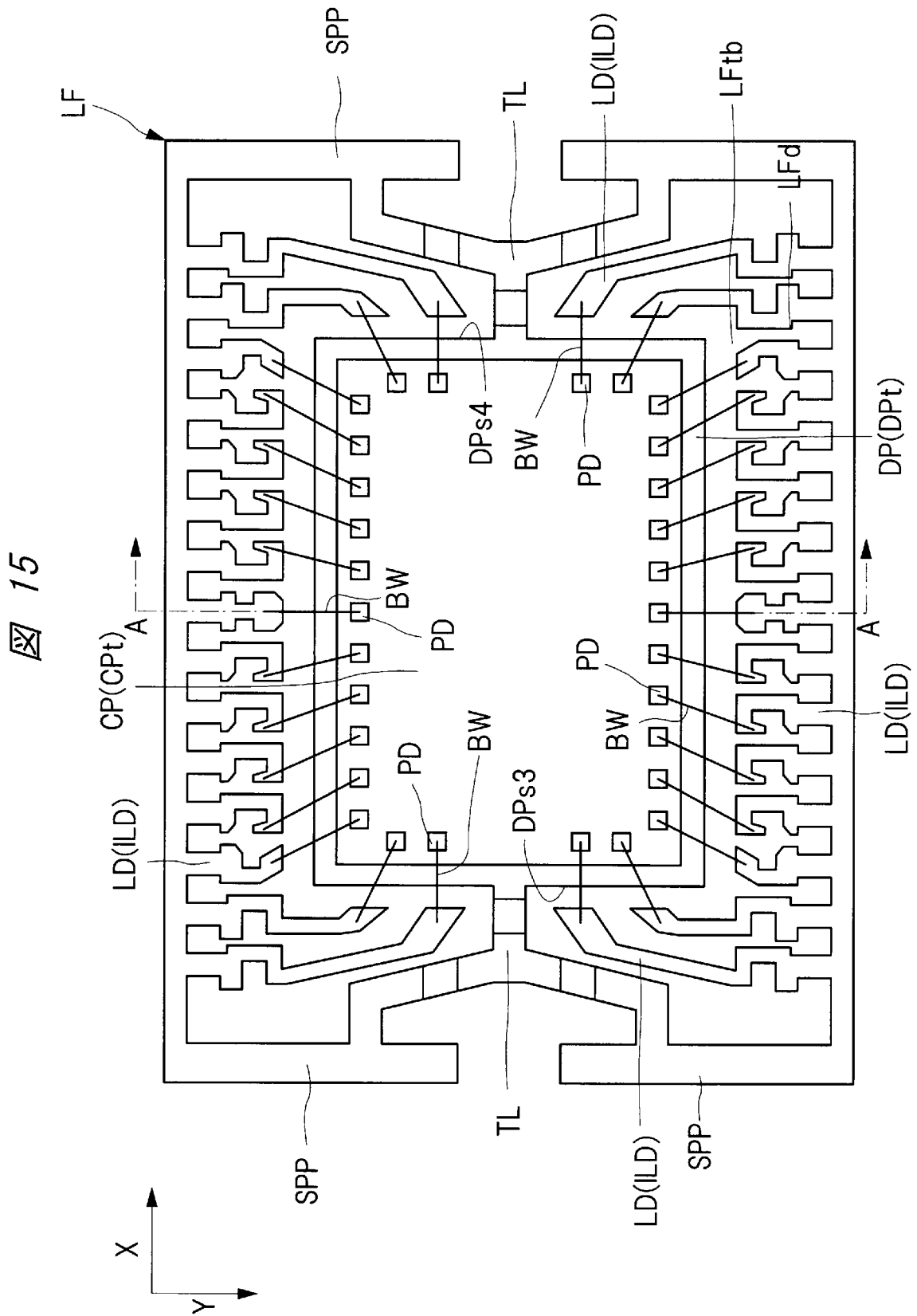


[図14]

14

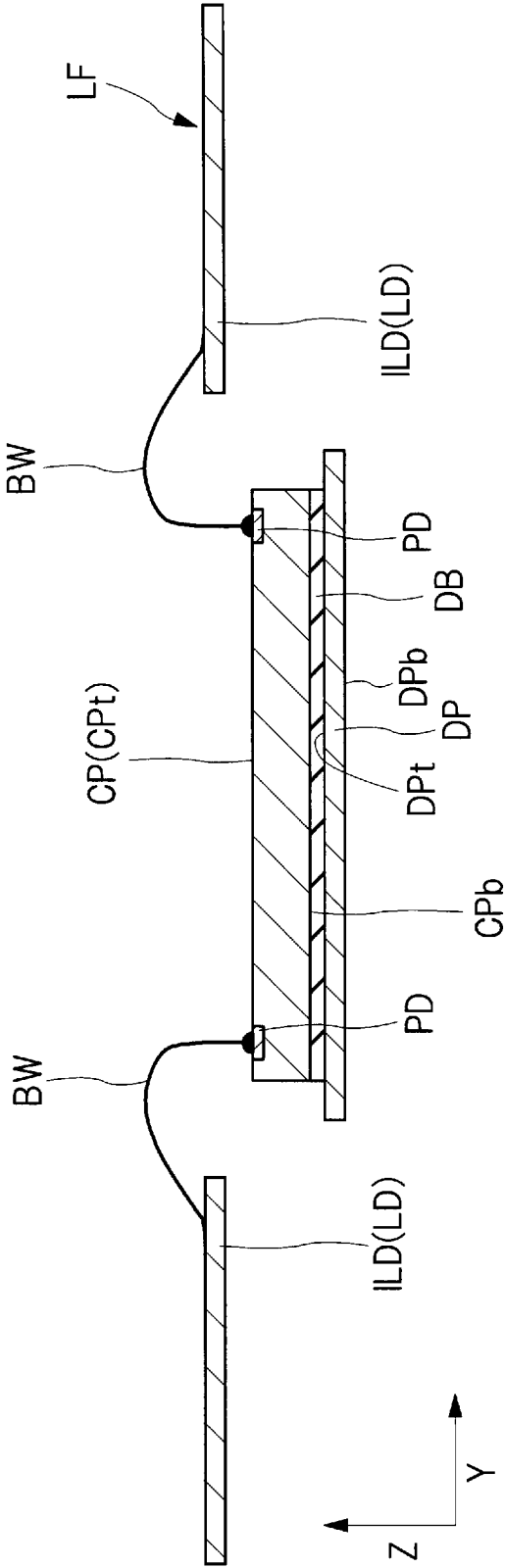


[図15]



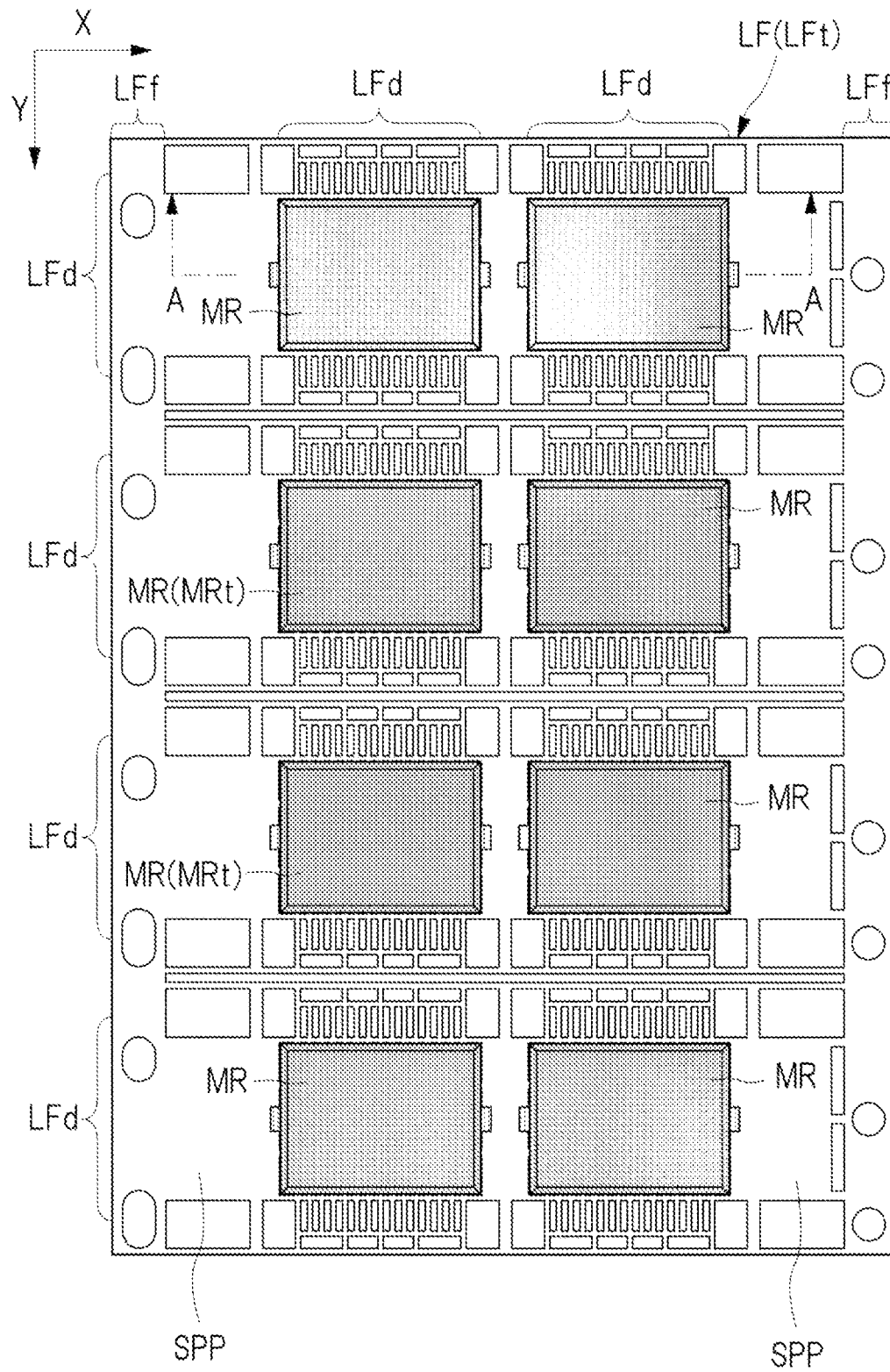
[図16]

図 16



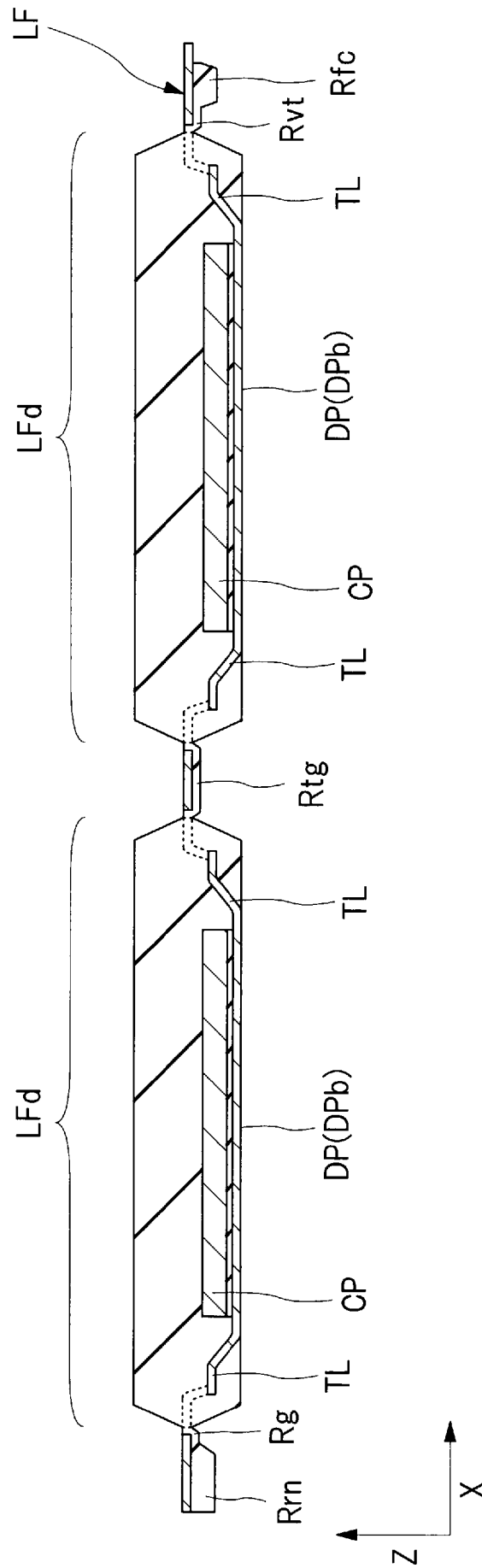
[図17]

図 17



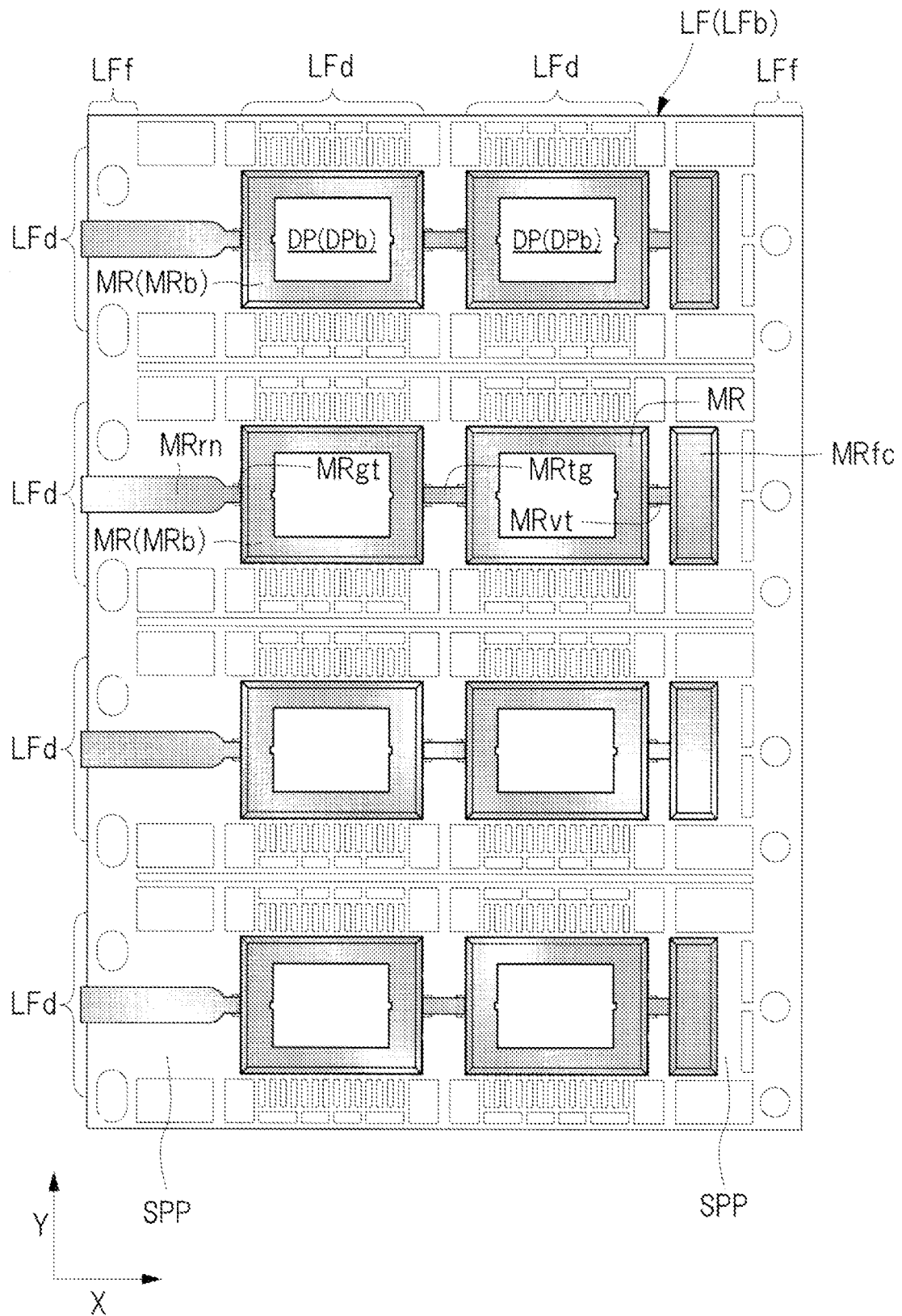
[図18]

図 18



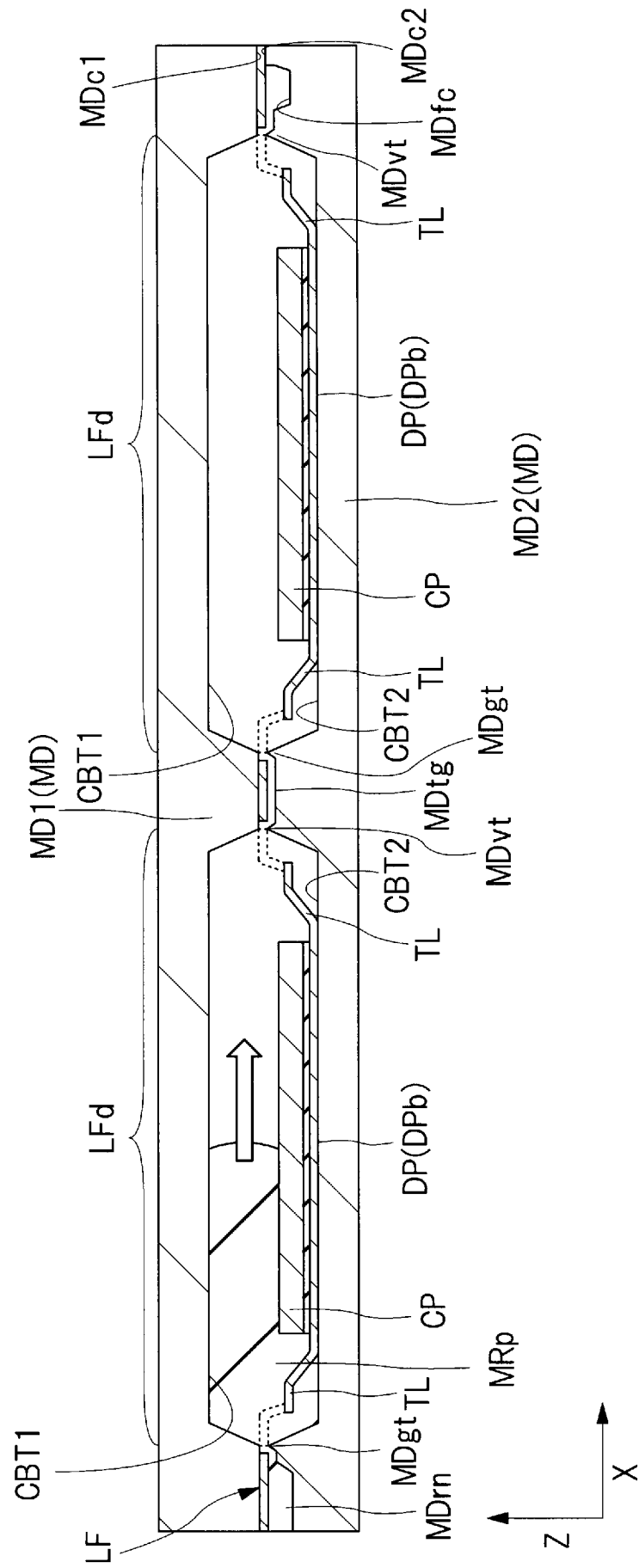
[図19]

図 19



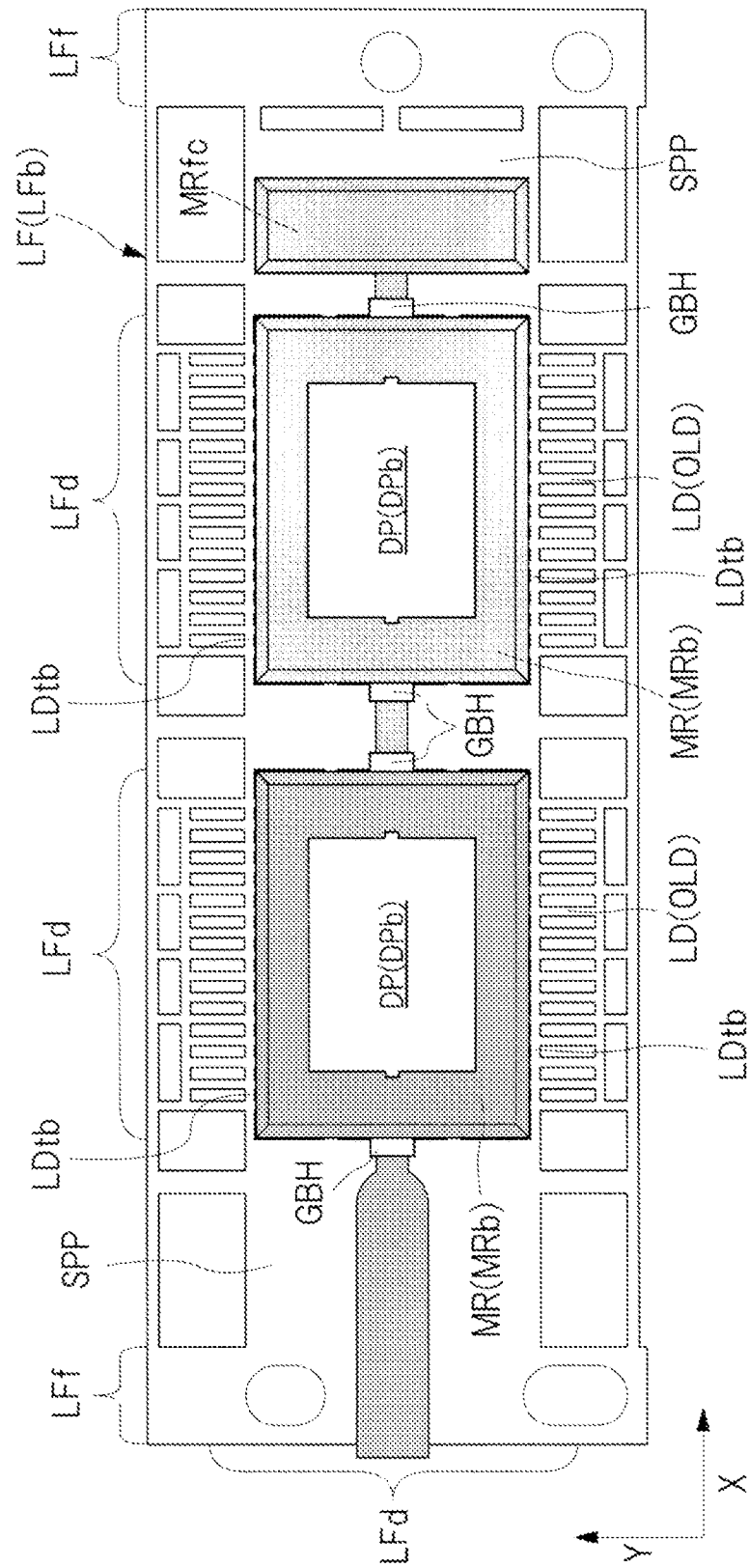
[図20]

図 20



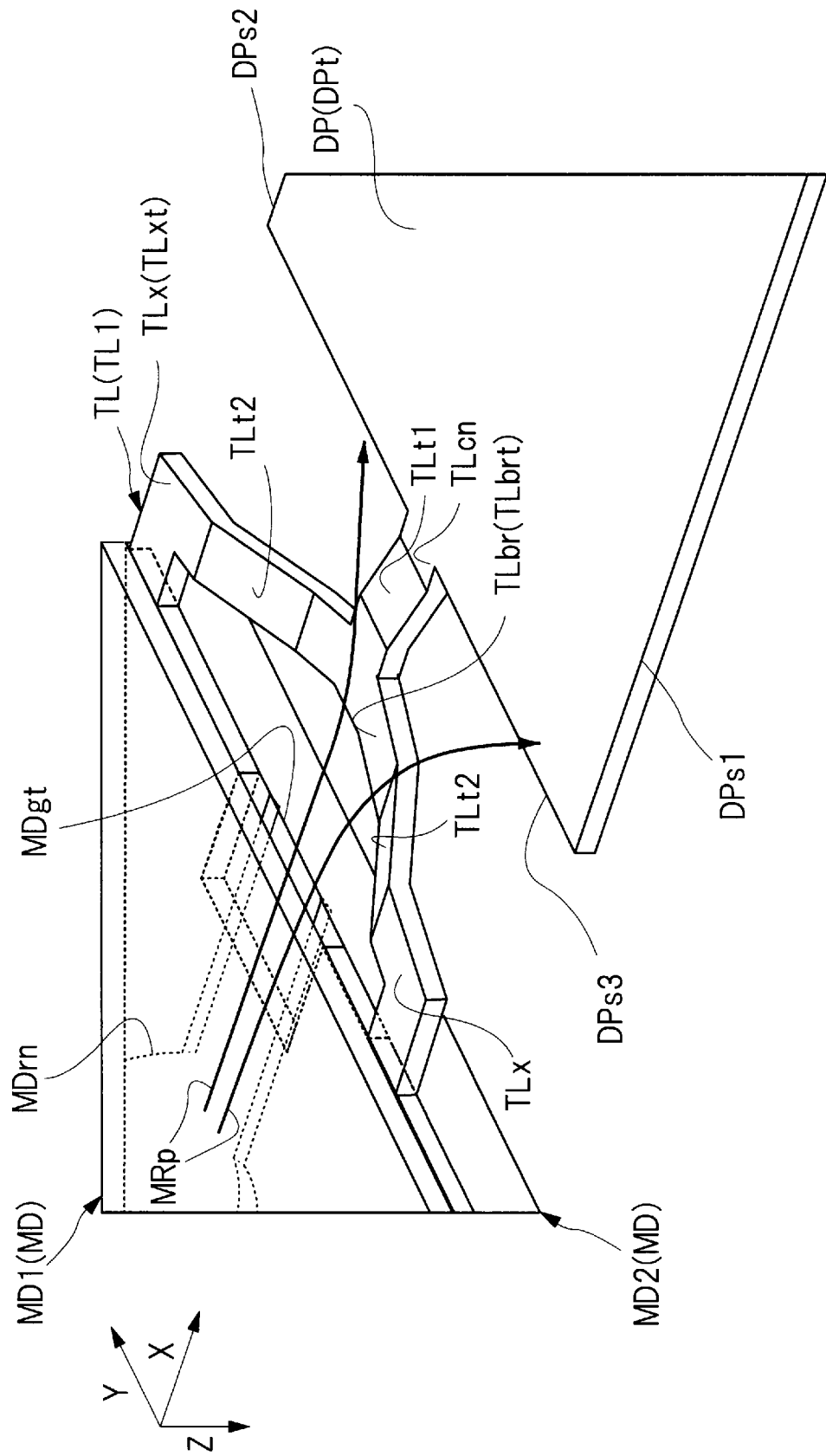
[図21]

図 21



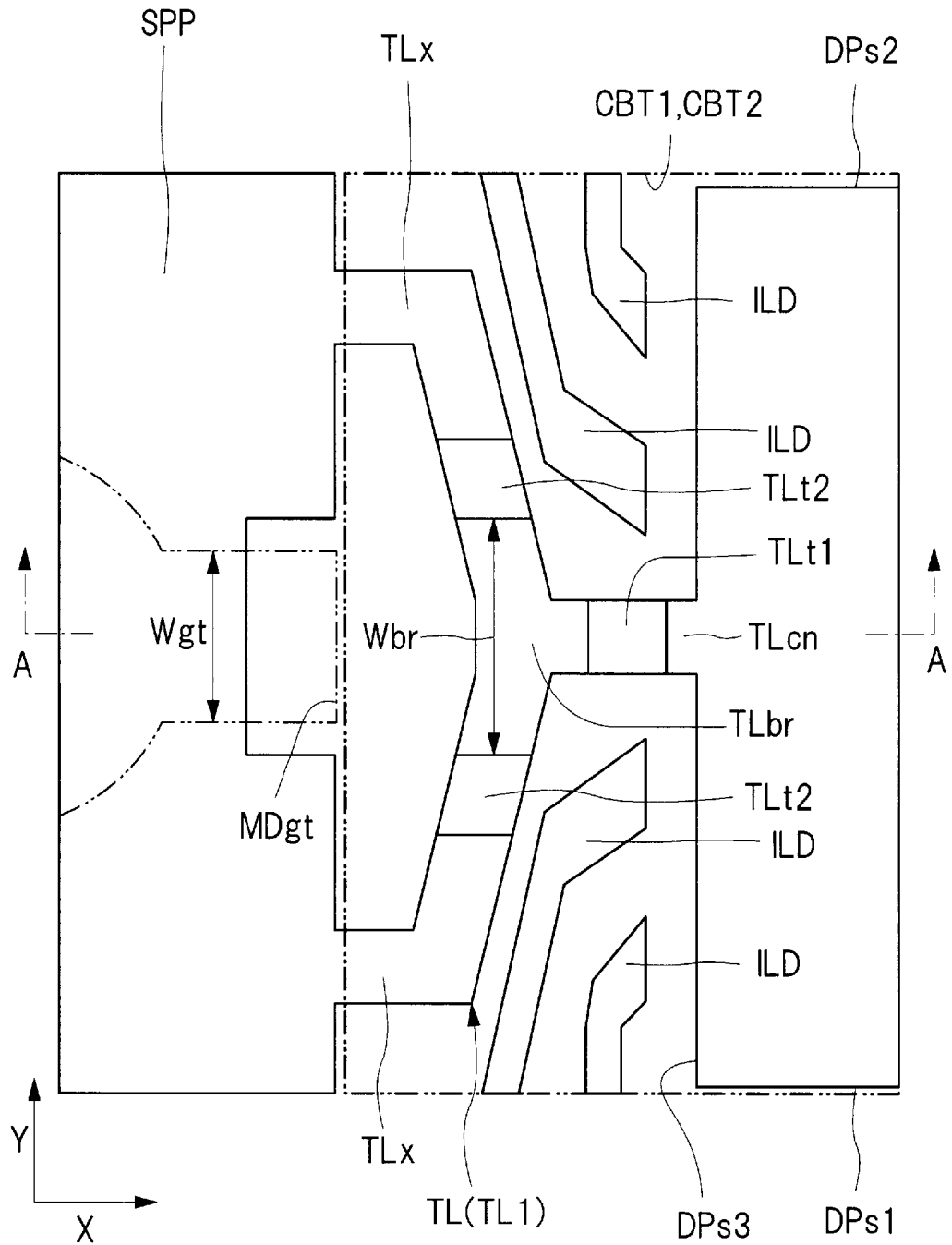
[図22]

図 22



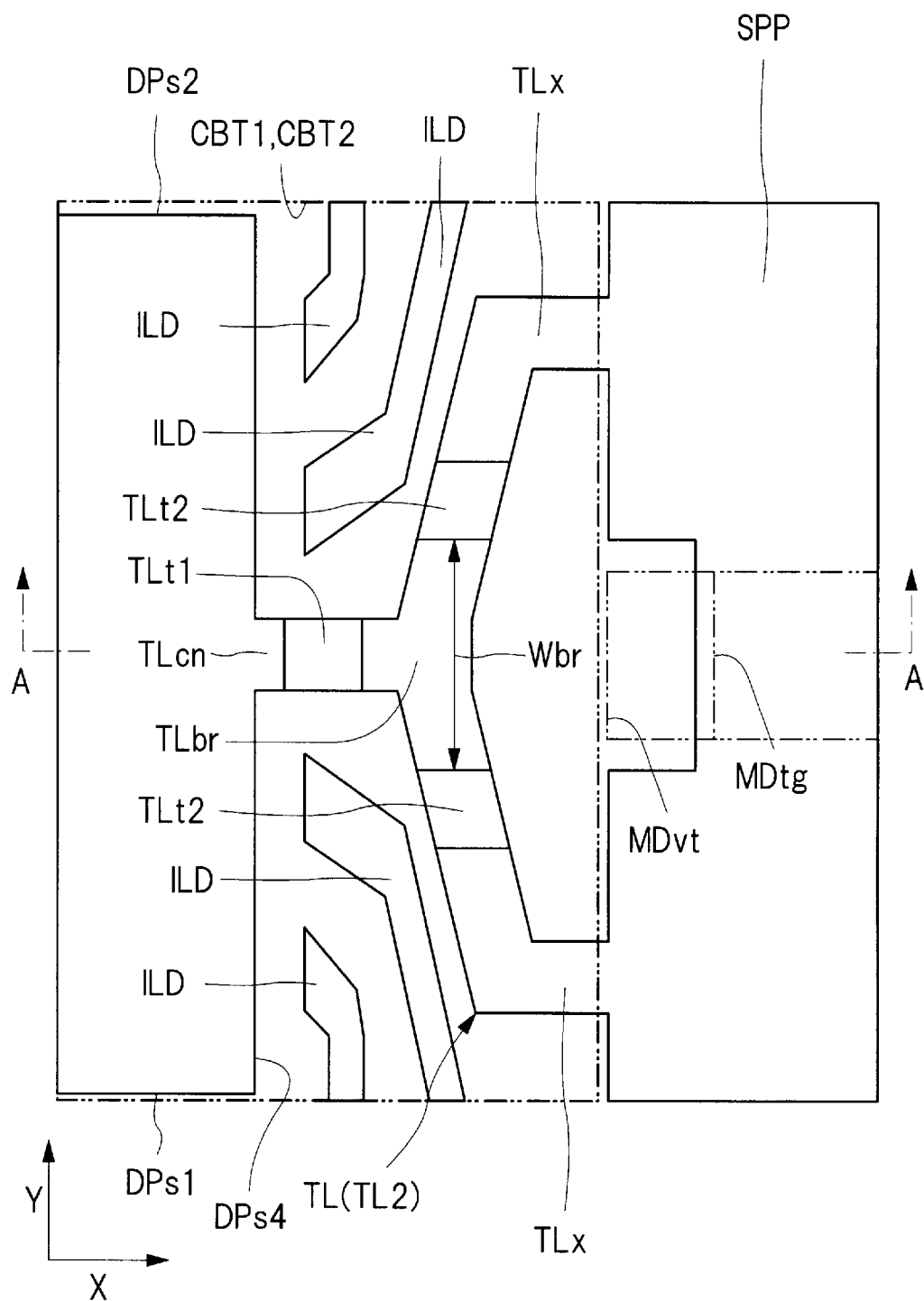
[図23]

図 23



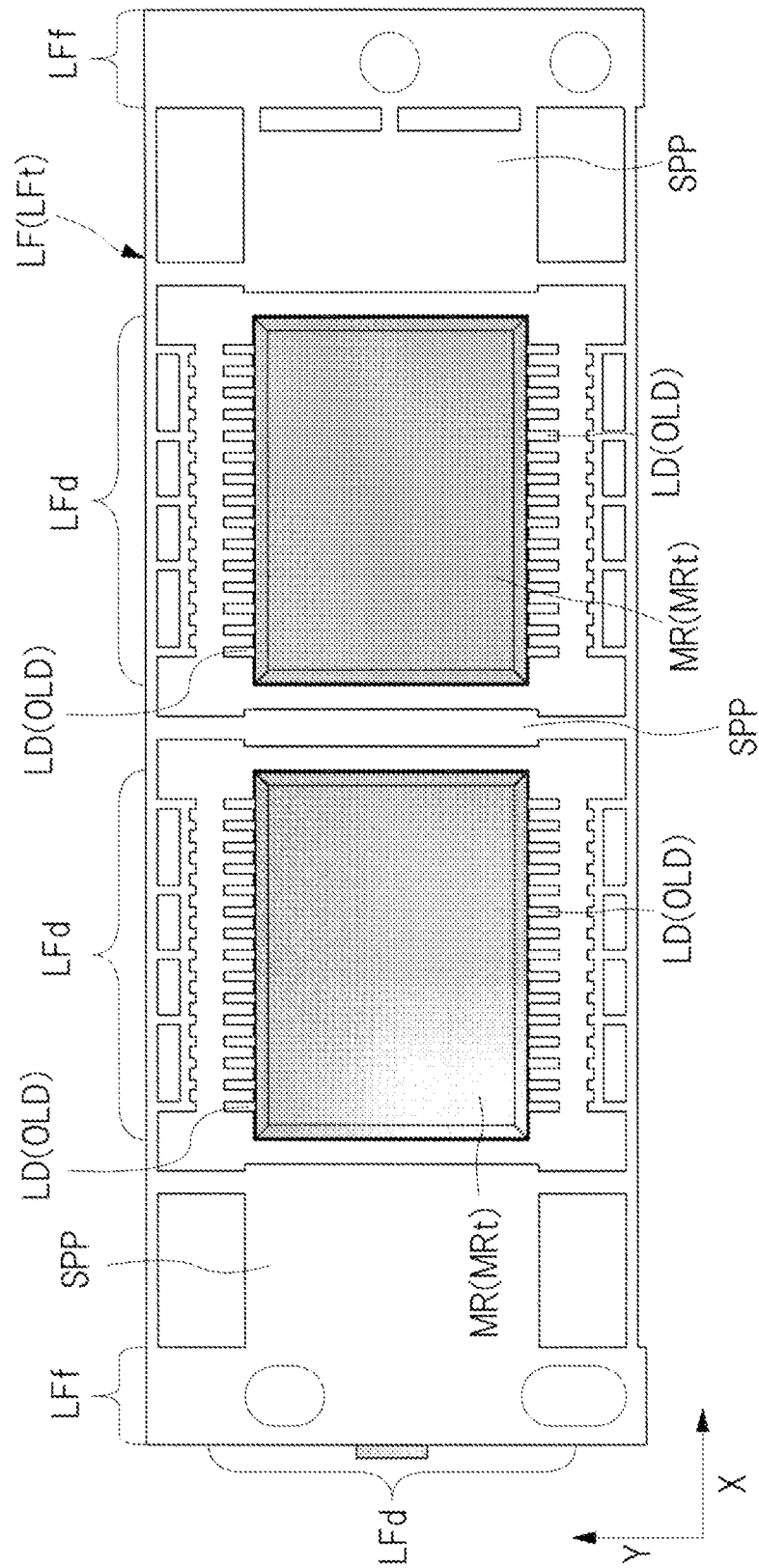
[図25]

図 25



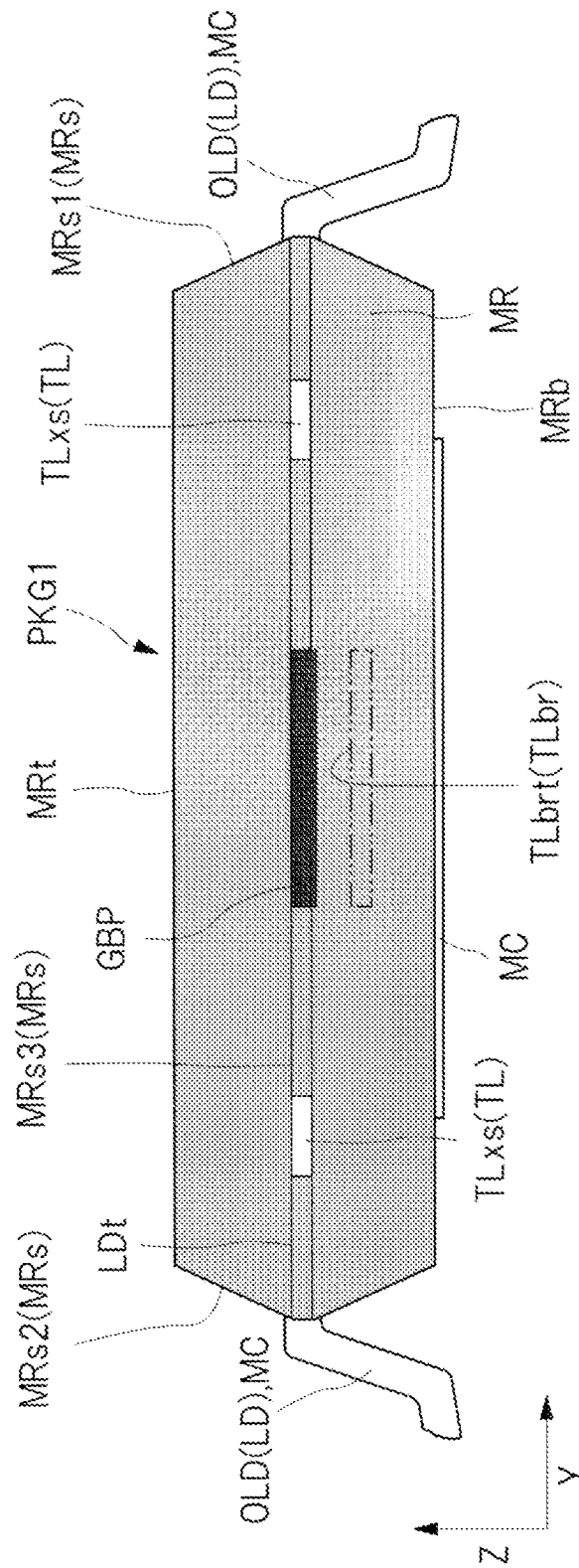
[図28]

28



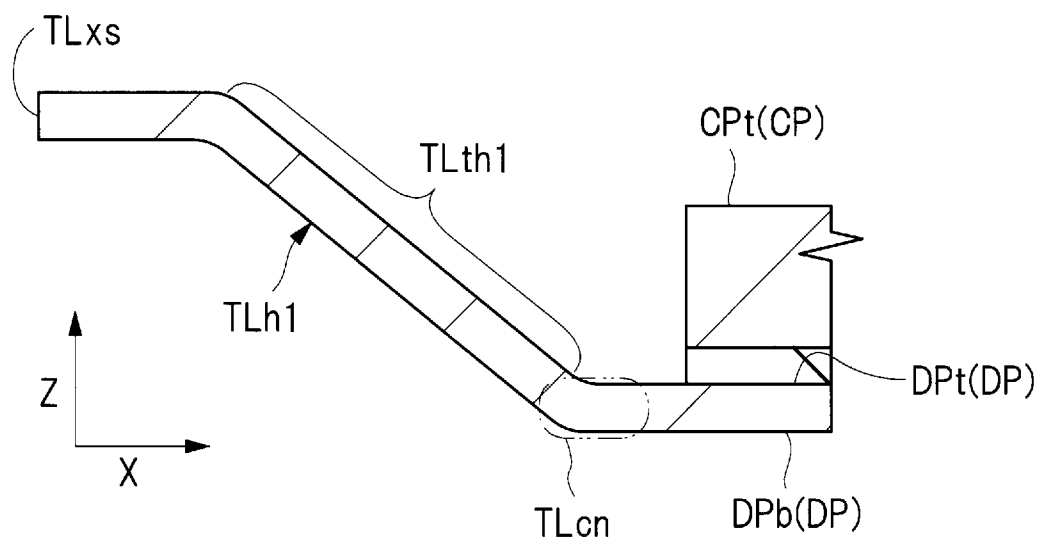
[図29]

図 29



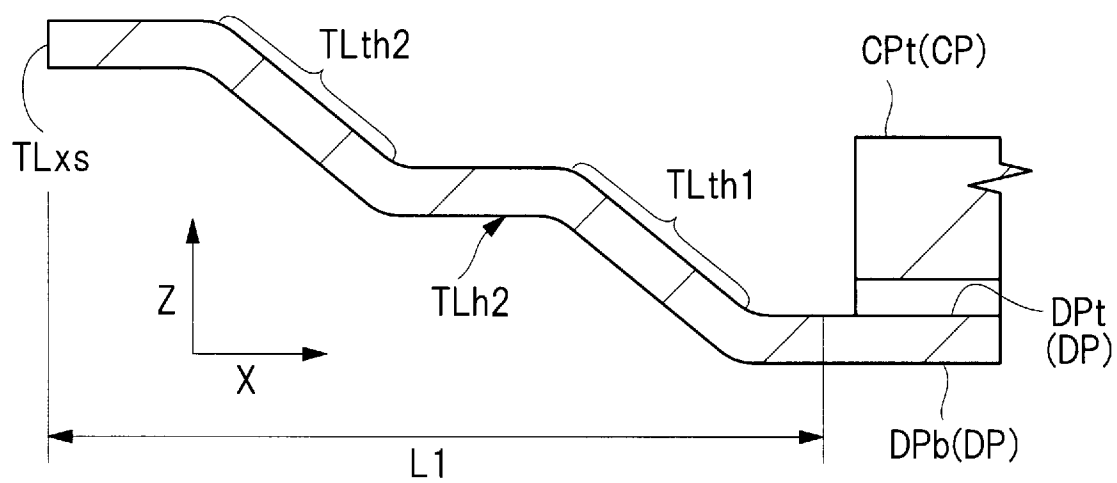
[図30]

図 30



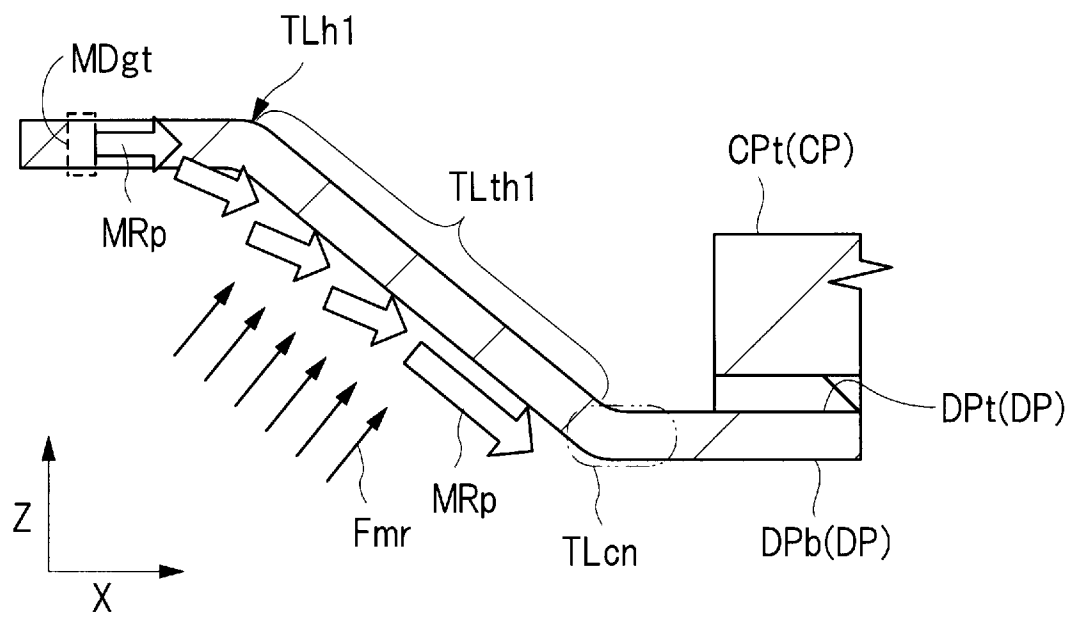
[図31]

図 31



[図32]

図 32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069194

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/50(2006.01)i, H01L21/56(2006.01)i, H01L23/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/50, H01L21/56, H01L23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6075283 A (Micron Technology, Inc.), 13 June 2000 (13.06.2000), page 3, line 25 to page 4, line 59; page 5, lines 3 to 14, 39 to 54; page 6, line 14 to page 7, line 25; fig. 3B, 4A, 5, 5B, 5C & US 6246110 B1	1-18
Y	JP 11-340401 A (Hitachi, Ltd.), 10 December 1999 (10.12.1999), paragraphs [0002], [0022] to [0028]; fig. 4 (Family: none)	1-18
Y	JP 10-163402 A (Mitsui High-Tec Inc.), 19 June 1998 (19.06.1998), paragraphs [0003], [0011] to [0016]; fig. 1, 8 (Family: none)	3-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 September 2015 (07.09.15)

Date of mailing of the international search report
15 September 2015 (15.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069194

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-109435 A (Renesas Electronics Corp.), 07 June 2012 (07.06.2012), paragraph [0075]; fig. 33 (Family: none)	7
Y	JP 60-120543 A (Hitachi, Ltd.), 28 June 1985 (28.06.1985), page 2, lower left column, line 11 to lower right column, line 9 (Family: none)	12, 18
A	JP 3-77356 A (Mitsubishi Electric Corp.), 02 April 1991 (02.04.1991), paragraphs [0007] to [0012]; fig. 4 (Family: none)	1-18
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 154342/1982 (Laid-open No. 58952/1984) (NEC Corp.), 17 April 1984 (17.04.1984), page 3, line 4 to page 4, line 15; fig. 2 (Family: none)	1-18
A	JP 62-123753 A (Hitachi, Ltd.), 05 June 1987 (05.06.1987), page 3, upper right column, line 17 to lower right column, line 18; fig. 1, 3 (Family: none)	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/50(2006.01)i, H01L21/56(2006.01)i, H01L23/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/50, H01L21/56, H01L23/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 6075283 A (Micron Technology, Inc.) 2000.06.13, 第3頁第25行-第4頁第59行、第5頁第3-14、39-54行、第6頁第14行-第7頁第25行、FIG.3B、4A、5、5B、5C & US 6246110 B1	1-18
Y	JP 11-340401 A (株式会社日立製作所) 1999.12.10, 段落[0002]、[0022]-[0028]、図4（ファミリーなし）	1-18
Y	JP 10-163402 A (株式会社三井ハイテック) 1998.06.19, 段落[0003]、[0011]-[0016]、図1、8（ファミリーなし）	3-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 9 . 2 0 1 5

国際調査報告の発送日

1 5 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

多田 幸司

5 D

5 2 9 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-109435 A (ルネサスエレクトロニクス株式会社) 2012.06.07, 段落[0075]、図 33 (ファミリーなし)	7
Y	JP 60-120543 A (株式会社日立製作所) 1985.06.28, 第 2 頁左下欄 第 11 行-右下欄第 9 行 (ファミリーなし)	12、18
A	JP 3-77356 A (三菱電機株式会社) 1991.04.02, 段落[0007]-[0012]、 図 4 (ファミリーなし)	1-18
A	日本国実用新案登録出願 57-154342 号(日本国実用新案登録出願公開 59-58952 号)の願書に添付した明細書及び図面の内容を撮影したマ イクロフィルム (日本電気株式会社) 1984.04.17, 第 3 頁第 4 行-第 4 頁第 15 行、第 2 図 (ファミリーなし)	1-18
A	JP 62-123753 A (株式会社日立製作所) 1987.06.05, 第 3 頁右上欄 第 17 行-右下欄第 18 行、第 1、3 図 (ファミリーなし)	1-18