



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년03월27일
(11) 등록번호 10-2651605
(24) 등록일자 2024년03월21일

(51) 국제특허분류(Int. Cl.)

H01L 27/146 (2006.01)

(52) CPC특허분류

H01L 27/14623 (2013.01)

H01L 27/1463 (2013.01)

(21) 출원번호 10-2019-0003842

(22) 출원일자 2019년01월11일

심사청구일자 2022년01월11일

(65) 공개번호 10-2020-0087909

(43) 공개일자 2020년07월22일

(56) 선행기술조사문헌

KR1020180016699 A*

US20180197903 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

이윤기

경기도 화성시 동탄중앙로 220 (반송동, 메타폴리스) D동 2203호

김정생

서울특별시 중구 동호로10길 30, 112동 1004호 (신당동, 약수하이츠)

유현근

경기도 수원시 팔달구 권광로276번길 45, 1동 505호 (인계동, 신미주아파트)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 19 항

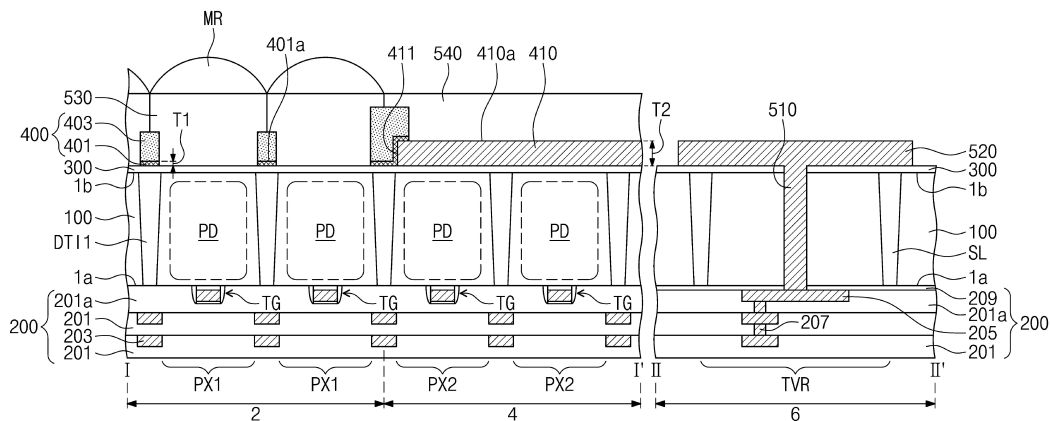
심사관 : 심병로

(54) 발명의 명칭 이미지 센서

(57) 요약

본 발명의 실시예에 따른 이미지 센서는 제 1 영역 및 제 2 영역을 포함하고, 서로 대향하는 제 1 면 및 제 2 면을 갖는 반도체 층, 상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막, 상기 반도체 층의 상기 제 1 영역의 상기 제 1 면 상에 배치된 제 1 그리드 패턴, 및 상기 반도체 층의 상기 제 2 영역의 상기 제 1 면 상에 배치된 차광 패턴을 포함하되, 상기 반도체 층의 상기 제 1 면으로부터 상기 제 1 그리드 패턴의 상면은 상기 반도체 층의 상기 제 1 면으로부터 상기 차광 패턴의 상면보다 낮은 레벨에 위치할 수 있다.

대표도



명세서

청구범위

청구항 1

제 1 영역 및 제 2 영역을 포함하고, 서로 대향하는 제 1 면 및 제 2 면을 갖는 반도체 층;
 상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막;
 상기 반도체 층의 상기 제 1 영역의 상기 제 1 면 상에 배치된 그리드 패턴, 상기 그리드 패턴은 상기 제1 면 상에 차례로 적층된 제1 그리드 패턴 및 제2 그리드 패턴을 포함하는 것;
 상기 반도체 층의 상기 제 2 영역의 상기 제 1 면 상에 배치된 차광 패턴; 및
 상기 그리드 패턴 및 상기 차광 패턴 상의 컬러 필터를 포함하되,
 상기 제2 그리드 패턴은 상기 제1 그리드 패턴 상에 배치되고,
 상기 제1 그리드 패턴은 금속을 포함하고,
 상기 제2 그리드 패턴은 상기 컬러 필터보다 작은 굴절율을 갖는 유기물질을 포함하는 이미지 센서.

청구항 2

제 1 항에 있어서,
 상기 제 1 그리드 패턴의 두께는 상기 차광 패턴의 두께보다 얇은 이미지 센서.

청구항 3

삭제

청구항 4

제 1 항에 있어서,
 상기 제 1 그리드 패턴은 상기 제 2 영역 상으로 연장하여 상기 차광 패턴의 측면을 덮고, 상기 차광 패턴의 상면을 노출하는 이미지 센서.

청구항 5

제 1 항에 있어서,
 상기 제 1 그리드 패턴은 상기 제 2 영역 상으로 연장하여 상기 차광 패턴의 측면 및 상면을 덮는 이미지 센서.

청구항 6

제 1 항에 있어서,
 상기 제 1 그리드 패턴의 측면과 상기 제 2 그리드 패턴의 측면이 정렬된 이미지 센서.

청구항 7

제 1 항에 있어서,
 상기 그리드 패턴은 상기 반도체 층의 상기 제 1 영역 내에 배치된 상기 소자 분리막 상에 배치되는 이미지 센서.

청구항 8

제 1 항에 있어서,
 상기 픽셀들은 상기 반도체 층의 상기 제 1 영역 내에 제공되는 제 1 픽셀들 및 상기 반도체 층의 상기 제 2 영

역 내에 제공되는 제 2 픽셀들을 포함하되,
 상기 이미지 센서는 상기 제 1 픽셀들 내의 제 1 광전 변환 소자들; 및
 상기 제 2 픽셀들 내의 제 2 광전 변환 소자들을 더 포함하되,
 상기 그리드 패턴은 상기 제 1 광전 변환 소자들을 노출하고,
 상기 차광 패턴은 상기 제 2 광전 변환 소자들을 덮는 이미지 센서.

청구항 9

제 1 항에 있어서,
 상기 픽셀들은 상기 반도체 층의 상기 제 1 영역 내에 제공되는 제 1 픽셀들 및 상기 반도체 층의 상기 제 2 영역 내에 제공되는 제 2 픽셀들을 포함하되,
 상기 이미지 센서는 상기 제 1 픽셀들 내의 한 쌍의 제 1 광전 변환 소자들; 및
 상기 제 2 픽셀들 내의 한 쌍의 제 2 광전 변환 소자들; 및
 상기 반도체 층의 상기 제 1 면 상에 배치되고, 상기 한 쌍의 제 1 광전 변환 소자들을 덮는 마이크로 렌즈를 더 포함하는 이미지 센서.

청구항 10

제 1 항에 있어서,
 상기 반도체 층은 제 3 영역을 더 포함하되,
 상기 이미지 센서는 상기 반도체 층의 상기 제 1 면 상의 패드를 더 포함하고,
 상기 그리드 패턴은 상기 차광 패턴을 통해 상기 패드와 연결되는 이미지 센서.

청구항 11

제 1 항에 있어서,
 상기 소자 분리막은 상기 반도체 층을 관통하여 상기 반도체 층의 상기 제 1 면 및 상기 제 2 면과 접촉하는 이미지 센서.

청구항 12

제 1 항에 있어서,
 상기 소자 분리막은 상기 반도체 층의 상기 제 1 면과 접촉하고, 상기 제 2 면과 이격된 이미지 센서.

청구항 13

제 1 항에 있어서,
 상기 제 1 그리드 패턴의 물질은 상기 차광 패턴의 물질과 다른 이미지 센서.

청구항 14

제 1 항에 있어서,
 상기 컬러 필터 상의 마이크로 렌즈들을 더 포함하되,
 상기 마이크로 렌즈들은 상기 차광 패턴 상의 상기 컬러 필터의 일부를 노출하는 이미지 센서.

청구항 15

제 1 영역 및 상기 제 1 영역 둘레의 제 2 영역을 포함하는 반도체 층;
 상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막;

상기 반도체 층의 상기 제 1 영역 상에서 상기 소자 분리막을 따라 연장하고, 제 1 패턴을 포함하는 그리드 패턴; 및

상기 반도체 층의 상기 제 2 영역 상의 차광 패턴을 포함하되,

상기 제 1 패턴의 두께는 상기 차광 패턴의 두께보다 작고,

상기 제 1 패턴은 상기 차광 패턴의 측면을 덮는 이미지 센서.

청구항 16

제 15 항에 있어서,

상기 차광 패턴은 단일막으로 이루어진 이미지 센서.

청구항 17

제 15 항에 있어서,

상기 그리드 패턴은 상기 제 1 패턴 상의 저굴절 패턴을 더 포함하는 이미지 센서.

청구항 18

제 15 항에 있어서,

상기 제 1 패턴은 금속 물질을 포함하는 이미지 센서.

청구항 19

제 1 영역 및 제 2 영역을 포함하는 반도체 층;

상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막;

상기 반도체 층의 상기 제 1 영역 상의 그리드 패턴; 및

상기 반도체 층의 상기 제 2 영역의 상의 차광 구조체를 포함하되,

상기 그리드 패턴은 상기 반도체 층의 상기 제 1 영역 상에 차례로 적층된 제 1 패턴 및 제 2 패턴을 포함하고,

상기 그리드 패턴은 상기 차광 구조체의 측면을 덮고,

상기 제 1 패턴은 상기 차광 구조체의 상기 측면과 상기 제 2 패턴 사이에 개재되고,

상기 제1 패턴의 두께는 상기 차광 구조체의 두께보다 얇은 이미지 센서.

청구항 20

제 19 항에 있어서,

상기 차광 구조체는 상기 반도체 층의 상기 제 2 영역 상에 적층된 차광 패턴, 도전 패턴, 및 유기 패턴을 포함하되,

상기 제 1 패턴은 상기 도전 패턴과 연결되고,

상기 제 2 패턴은 상기 유기 패턴과 연결되는 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 이미지 센서에 관한 것으로, 더욱 상세하게는 이미지 특성이 보다 개선된 이미지 센서에 관한 것이다.

배경 기술

[0002] 이미지 센서는 광학 영상(Optical image)을 전기신호로 변환하는 반도체 소자이다. 이미지 센서는 CCD(Charge

coupled device)형 및 CMOS(Complementary metal oxide semiconductor)형으로 분류될 수 있다. 상기 CMOS 형 이미지 센서는 CIS(CMOS image sensor)라고 약칭된다. 상기 CIS는 2차원적으로 배열된 복수의 픽셀들을 구비한다. 상기 픽셀들 각각은 포토 다이오드(photodiode, PD)를 포함한다. 상기 포토다이오드는 입사되는 광을 전기 신호로 변환해주는 역할을 한다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 해결하고자 하는 과제는 이미지 특성이 보다 개선된 이미지 센서를 제공하는데 있다.
- [0004] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0005] 본 발명의 실시예에 따른 이미지 센서는 제 1 영역 및 제 2 영역을 포함하고, 서로 대향하는 제 1 면 및 제 2 면을 갖는 반도체 층, 상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막, 상기 반도체 층의 상기 제 1 영역의 상기 제 1 면 상에 배치된 제 1 그리드 패턴, 및 상기 반도체 층의 상기 제 2 영역의 상기 제 1 면 상에 배치된 차광 패턴을 포함하되, 상기 반도체 층의 상기 제 1 면으로부터 상기 제 1 그리드 패턴의 상면은 상기 반도체 층의 상기 제 1 면으로부터 상기 차광 패턴의 상면보다 낮은 레벨에 위치할 수 있다.
- [0006] 본 발명의 실시예에 따른 이미지 센서는 제 1 영역 및 상기 제 1 영역 둘레의 제 2 영역을 포함하는 반도체 층, 상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막, 상기 반도체 층의 상기 제 1 영역 상에서 상기 소자 분리막을 따라 연장하고, 제 1 패턴을 포함하는 그리드 패턴 및 상기 반도체 층의 상기 제 2 영역 상의 차광 패턴을 포함하되, 상기 제 1 패턴의 두께는 상기 차광 패턴의 두께보다 작고, 상기 제 1 패턴은 상기 차광 패턴의 측면을 덮을 수 있다.
- [0007] 본 발명의 실시예에 따른 이미지 센서는 제 1 영역 및 제 2 영역을 포함하는 반도체 층, 상기 반도체 층 내에 배치되고, 픽셀들을 정의하는 소자 분리막, 상기 반도체 층의 상기 제 1 영역 상의 그리드 패턴 및 상기 반도체 층의 상기 제 2 영역의 상의 차광 구조체를 포함하되, 상기 그리드 패턴의 두께는 상기 차광 구조체의 두께보다 얇을 수 있다.

발명의 효과

- [0008] 본 발명의 실시예에 따르면, 그리드 패턴은 차광 패턴의 적층 구조와 다른 적층 구조를 갖도록 형성될 수 있다. 그리드 패턴의 제 1 패턴은 금속 물질을 포함하지만 차광 패턴 보다 얇게 형성함으로써, 정전기를 외부로 방출시키는 통로 역할을 하면서 빛을 흡수를 최소화시킬 수 있다. 그리드 패턴의 제 2 패턴은 저굴절 물질로 형성하여, 컬러 필터들의 가장자리에 인접하여 입사되는 빛들을 굴절시켜 해당 픽셀들로 입사시킬 수 있다. 이에 따라, 크로스 토크(crosstalk)가 감소되고 광 효율이 증대된 이미지 센서를 제공할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시예들에 따른 이미지 센서의 블록도이다.
- 도 2는 본 발명의 실시예들에 따른 이미지 센서의 센서 어레이의 간략 회로도이다
- 도 3은 본 발명의 실시예들에 따른 이미지 센서의 픽셀들을 나타내는 회로도이다.
- 도 4는 본 발명의 실시예에 따른 이미지 센서를 나타낸 평면도이다.
- 도 5는 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.
- 도 6은 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.
- 도 7은 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.

도 8은 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.

도 9는 본 발명의 실시예에 따른 이미지 센서를 나타낸 단면도이다.

도 10은 본 발명의 실시예에 따른 이미지 센서를 나타낸 평면도이다.

도 11a 내지 도 11d는 본 발명의 실시예에 따른 이미지 센서의 제조 방법을 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 도 1은 본 발명의 실시예들에 따른 이미지 센서의 블록도이다.
- [0011] 도 2는 본 발명의 실시예들에 따른 이미지 센서의 센서 어레이의 간략 회로도이다
- [0012] 도 1을 참조하면, 본 발명의 실시예들에 따른 이미지 센서는 액티브 픽셀 센서 어레이(Active Pixel Sensor(APS) Array; 10), 행 디코더(row decoder; 20), 행 드라이버(row driver; 30), 열 디코더(column decoder; 40), 타이밍 발생기(timing generator; 50), 상관 이중 샘플러(CDS: Correlated Double Sampler; 60), 아날로그 디지털 컨버터(ADC: Analog to Digital Converter; 70), 및 입출력 버퍼(I/O buffer; 80)를 포함한다.
- [0013] APS 어레이(10)는 도 2에 도시된 것처럼, 빛이 입사되는 제 1 영역(2) 및 빛이 입사되지 않는 제 2 영역(4)을 포함하며, 픽셀들(PX1, PX2)이 2차원적으로 배열된다. 제 1 영역(2) 내에 제공된 제 1 픽셀들(PX1)은 입사광을 전기적 신호로 변환할 수 있다. 제 2 영역(4) 내에 제공된 제 2 픽셀들(PX2)은 빛이 입사되지 않는 픽셀에서 발생하는 전기적 신호를 출력할 수 있다. 또한, 제 1 영역(2) 및 제 2 영역(4) 내에서의 제 1 및 제 2 픽셀들(PX1, PX2)은 행 드라이버(30)로부터 제공된 행 선택 신호(Row SEL), 리셋 신호(Rx), 및 전하 전송 신호(Tx)와 같은 복수의 구동 신호들에 의해 구동될 수 있다. 또한, APS 어레이(10)에서 생성된 전기적 신호는 상관 이중 샘플러(60)에 제공된다.
- [0014] 행 드라이버(30)는 행 디코더(20)에서 디코딩된 결과에 따라 복수의 픽셀들을 구동하기 위한 복수의 구동 신호들을 APS 어레이(10)로 제공한다. 픽셀들이 행렬 형태로 배열된 경우에는 구동 신호들 각 행 별로 단위 픽셀들에 제공될 수 있다.
- [0015] 타이밍 발생기(50)는 행 디코더(20) 및 열 디코더(40)에 타이밍(timing) 신호 및 제어 신호를 제공한다.
- [0016] 상관 이중 샘플러(60)는 APS 어레이(10)에서 생성된 전기 신호를 수신하여 유지(hold) 및 샘플링한다. 상관 이중 샘플러(60)는 특정한 잡음 레벨(noise level)과 전기적 신호에 의한 신호 레벨을 이중으로 샘플링하여, 잡음 레벨과 신호 레벨의 차이에 해당하는 차이 레벨을 출력한다.
- [0017] 아날로그 디지털 컨버터(70)는 상관 이중 샘플러(60)에서 출력된 차이 레벨에 해당하는 아날로그 신호를 디지털 신호로 변환하여 출력한다.
- [0018] 입출력 버퍼(80)는 디지털 신호를 래치(latch)하고, 래치된 신호는 열 디코더(40)에서의 디코딩 결과에 따라 순차적으로 영상 신호 처리부(도면 미도시)로 디지털 신호를 출력한다.
- [0019] 도 3은 본 발명의 실시예들에 따른 이미지 센서의 픽셀들을 나타내는 회로도이다.
- [0020] 도 3을 참조하면, 제 1 및 제 2 픽셀들(PX1, PX2)은 입사광을 전기적 신호로 변환하는 광전 변환 소자들(PD) 및 광전 변환 소자들(PD)에서 생성된 전기적 신호를 독출하는 독출 소자들을 각각 포함한다. 독출 소자들은 트랜스퍼 게이트(TG), 리셋(reset) 소자(RG), 드라이브(drive) 소자(DG), 또는 선택(select) 소자(SG) 등을 포함할 수 있다. 또한, 트랜스퍼 게이트(TG), 리셋 소자(RG), 또는 선택 소자(SG)의 구동 신호들(Tx, Rx)과 행 선택 신호(Row SEL)은 동일한 행에 포함된 픽셀들에 공통으로 연결된다. 이하, 단수의 광전 변환 소자(PD)에 대하여 설명한다.
- [0021] 보다 상세히 설명하면, 광전 변환 소자(PD)는 입사광에 대응하는 전하를 생성 및 축적할 수 있다. 예를 들어, 광전 변환 소자(PD)는 포토 다이오드(photo diode), 포토 소자(photo transistor), 포토 게이트(photo gate), 핀드 포토 다이오드(Pinned Photo Diode; PPD), 및 이들의 조합을 포함할 수 있다. 광전 변환 소자는(PD)는 축적된 전하들을 부유 확산 영역(FD; Floating Diffusion region)으로 전달하는 트랜스퍼 게이트(TG)와 연결된다.

- [0022] 부유 확산 영역(FD)은 광전 변환 소자(PD)에서 축적된 전하를 전송 받는다. 부유 확산 영역(FD)은 기생 커패시턴스를 갖고 있기 때문에, 전하가 누적적으로 저장된다. 또한, 부유 확산 영역(FD)은 드라이브 소자(DG)와 전기적으로 연결되어 있어, 드라이브 소자(DG)를 제어한다.
- [0023] 트랜스퍼 게이트(TG)는 광전 변환 소자(PD)에서 부유 확산 영역(FD)으로 전하를 전송한다. 트랜스퍼 게이트(TG)는 일반적으로 1개의 소자로 이루어지며, 전하 전송 신호(Tx)에 의해 제어된다.
- [0024] 리셋 소자(RG)는 부유 확산 영역(FD)을 주기적으로 리셋시키며, 리셋 신호(Rx)에 의해 제어된다. 그리고, 리셋 소자(RG)의 소스는 부유 확산 영역(FD)과 연결되며, 드레인은 전압(Vdd)에 연결된다. 따라서 리셋 신호(Rx)에 의해 리셋 소자(RG)가 턴 온되면, 리셋 소자(RG)의 드레인과 연결된 전원 전압(Vdd)이 부유 확산 영역(FD)으로 전달된다.
- [0025] 드라이브 소자(DG)는 정전류원(미도시)과 조합하여 소스 팔로워 버퍼 증폭기(source follower buffer amplifier) 역할을 하며, 광전 변환 소자(PD)에 축적된 광전하를 전달받은 부유 확산 영역(FD)의 전기적 포텐셜의 변화를 증폭하고 이를 출력 라인(Vout)으로 출력한다.
- [0026] 선택 소자(SG)는 행 단위로 읽어낼 픽셀들을 선택하는 역할을 한다. 선택 소자(SG)는 행 선택 신호(Row SEL)에 의해 구동되며, 선택 소자(SG)가 턴 온되면 선택 소자(SG)의 드레인과 연결된 전원 전압(Vdd)이 드라이브 소자(DG)의 드레인으로 전달 된다.
- [0027] 도 4는 본 발명의 실시예에 따른 이미지 센서를 나타낸 평면도이다. 도 5는 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.
- [0028] 도 4 및 도 5를 참조하면, 반도체 층(100)은 제 1 영역(2), 제 2 영역(4) 및 제 3 영역(6)을 포함할 수 있다. 제 2 영역(4)은 반도체 층(100)의 제 1 영역(2)의 둘레에 위치할 수 있고, 제 3 영역(6)은 반도체 층(100)의 제 2 영역(4)의 둘레에 위치할 수 있다. 제 1 영역(2)은 예를 들어, 수광 영역일 수 있고, 제 2 영역(4)은 차광 영역일 수 있고, 제 3 영역(6)은 입출력 영역일 수 있다. 반도체 층(100)은 예를 들어, 실리콘 반도체 층, 게르마늄 반도체 층, 실리콘-게르마늄 반도체 층, II-VI족 화합물 반도체 반도체 층, 또는 III-V족 화합물 반도체 반도체 층 또는 SOI(Silicon on insulator) 반도체 층일 수 있다. 반도체 층(100)은 제 1 면(1a) 및 제 2 면(1b)을 포함할 수 있다. 제 1 면(1a) 및 제 2 면(1b)은 서로 대향할 수 있다.
- [0029] 제 1 소자 분리막(DTI1)이 반도체 층(100)의 제 1 영역(2) 및 제 2 영역(4) 내에 배치될 수 있다. 제 1 소자 분리막(DTI1)은 반도체 층(100)을 관통할 수 있다. 예를 들어, 제 1 소자 분리막(DTI1)의 제 1 면은 반도체 층(100)의 제 1 면(1a)과 공면을 가질 수 있고, 제 1 소자 분리막(DTI1)의 제 1 면에 대향하는 제 2 면은 반도체 층(100)의 제 2 면(1b)과 공면을 가질 수 있다. 제 1 소자 분리막(DTI1)은 배선 구조체(200)의 층간 절연막들(201, 201a) 중 최하층 층간 절연막(201a)과 접촉할 수 있다. 제 1 소자 분리막(DTI1)은 반도체 층(100)의 제 1 픽셀들(PX1) 및 제 2 픽셀들(PX2)을 정의할 수 있다. 제 1 픽셀들(PX1)은 반도체 층(100)의 제 1 영역(2) 내에 제공될 수 있고, 제 2 픽셀들(PX2)은 반도체 층(100)의 제 2 영역(4) 내에 제공될 수 있다. 제 1 소자 분리막(DTI1)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 유전막(예를 들어, AlO_2 , HfO_2), 반도체 물질(예를 들어, 폴리 실리콘) 및 금속 물질(예를 들어, 텅스텐, 구리, 알루미늄) 중 적어도 하나를 포함할 수 있다.
- [0030] 보호 분리막(SL)이 반도체 층(100)의 제 3 영역(6) 내에 배치될 수 있다. 보호 분리막(SL)은 반도체 층(100)을 관통할 수 있다. 예를 들어, 보호 분리막(SL)의 제 1 면은 반도체 층(100)의 제 1 면(1a)과 공면을 가질 수 있고, 보호 분리막(SL)의 제 1 면에 대향하는 제 2 면은 반도체 층(100)의 제 2 면(1b)과 공면을 가질 수 있다. 보호 분리막(SL)은 배선 절연막(209)과 접촉할 수 있다. 보호 분리막(SL)은 반도체 층(100)의 제 3 영역(6) 내에서 관통 비아 영역(TVR)을 정의할 수 있다. 일 예로, 보호 분리막(SL)은 다각형 또는 원형의 링 형상을 가질 수 있다. 다른 예로, 보호 분리막(SL)은 다각형 또는 원형을 포함하는 그리드 구조를 가질 수 있다. 보호 분리막(SL)은 실리콘 질화막, 탄탈륨 산화막, 및 하프늄 산화막 중 적어도 하나를 포함할 수 있다.
- [0031] 광전 변환 소자들(PD)이 반도체 층(100)의 제 1 및 제 2 픽셀들(PX1, PX2) 내에 배치될 수 있다. 광전 변환 소자들(PD)은 제 1 방향(X) 및 제 1 방향(X)에 교차하는 제 2 방향(Y)으로 이격 배치될 수 있다. 반도체 층(100)의 제 1 영역(2) 내에 배치된 광전 변환 소자들(PD)은 반도체 층(100)의 제 2 면(1b)으로부터 입사된 광을 독립적으로 수집할 수 있다. 광전 변환 소자들(PD)은 예를 들어, N형의 불순물을 포함할 수 있다.
- [0032] 배선 구조체(200)가 반도체 층(100)의 제 1 면(1a) 상에 배치될 수 있다. 배선 구조체(200)는 층간 절연막들(201, 201a), 제 1 배선들(203), 제 2 배선들(205), 비아들(207), 트랜스퍼 게이트들(TG), 및 배선 절연막

(209)을 포함할 수 있다. 층간 절연막들(201, 201a)은 반도체 층(100)의 제 1 면(1a) 상에 차례로 적층될 수 있다. 층간 절연막들(201, 201a)은 예를 들어, 실리콘 산화막 또는 실리콘 질화막을 포함할 수 있다. 제 1 배선들(203) 및 제 2 배선들(205)은 층간 절연막들(201, 201a) 내에 배치될 수 있다. 예를 들어, 제 1 배선들(203)은 반도체 층(100)의 제 1 영역(2) 및 제 2 영역(4) 상에 배치될 수 있다. 제 2 배선들(205)은 반도체 층(100)의 제 3 영역(6) 상에 배치될 수 있다. 제 2 배선들(205) 중 반도체 층(100)과 가장 인접한 배선(205)은 배선 절연막(209) 상에 배치될 수 있다. 제 1 및 제 2 배선들(203, 205)은 예를 들어, 금속 물질(예를 들어, 구리, 텅스텐)을 포함할 수 있다. 비아들(207)이 반도체 층(100)의 제 3 영역(6) 상에 배치될 수 있다. 비아들(207)은 층간 절연막들(201, 201a) 내에 배치될 수 있다. 비아들(207)은 제 2 배선들(205) 사이를 연결할 수 있다. 도면에 도시하지 않았으나, 비아들(207)은 반도체 층(100)의 제 1 및 제 2 영역들(2, 4) 상에도 배치될 수 있다. 비아들(207)은 예를 들어, 금속 물질(예를 들어, 구리, 텅스텐)을 포함할 수 있다.

[0033] 트랜스퍼 게이트들(TG)이 반도체 층(100)의 제 1 면(1a) 상에 배치될 수 있다. 트랜스퍼 게이트들(TG)은 반도체 층(100)의 제 1 및 제 2 영역들(2, 4) 상에 배치될 수 있다. 트랜스퍼 게이트들(TG)은 제 1 및 제 2 픽셀들(PX1, PX2)의 광전 변환 소자들(PD)에 대응되게 배치될 수 있다. 트랜스퍼 게이트들(TG)은 반도체 층(100)의 제 1 면(1a)에 가장 인접한 최하층 층간 절연막(201a)에 의해 덮일 수 있다. 배선 절연막(209)은 반도체 층(100)의 제 3 영역(6)의 제 1 면(1a)과 최하층 층간 절연막(201a) 사이에 개재될 수 있다. 배선 절연막(209)은 반도체 층(100)의 제 3 영역(6)의 제 1 면(1a)을 덮을 수 있다. 배선 절연막(209)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 또는 열 산화막을 포함할 수 있다. 다른 예에 있어서, 배선 절연막(209)은 생략될 수 있다. 이 경우, 반도체 층(100)의 제 1 면(1a)과 인접하는 제 2 배선(205)과 반도체 층(100)의 제 1 면(1a) 사이에 층간 절연막(201)이 제공될 수 있다.

[0034] 반사 방지막(300)이 반도체 층(100)의 제 2 면(1b) 상에 배치될 수 있다. 반사 방지막(300)은 반도체 층(100)의 제 1 내지 제 3 영역들(2, 4, 6) 상에 배치될 수 있다. 반도체 층(100)의 제 3 영역(6) 상에 배치된 반사 방지막(300)은 패드(520)와 반도체 층(100) 사이를 전기적으로 절연시킬 수 있다. 반사 방지막(300)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 고유전막(예를 들어, 하프늄 산화막, 알루미늄 산화막)을 포함할 수 있다.

[0035] 그리드 패턴(400)이 반사 방지막(300) 상에 배치될 수 있다. 예를 들어, 그리드 패턴(400)은 반도체 층(100)의 제 1 영역(2)의 제 2 면(1b) 상에 배치될 수 있다. 그리드 패턴(400)은 제 1 소자 분리막(DTI1)와 중첩하게 배치될 수 있고, 제 1 소자 분리막(DTI1)을 따라 연장할 수 있다. 예를 들어, 그리드 패턴(400)은 제 3 부분들(P1), 및 제 2 부분들(P2)을 포함할 수 있다. 제 1 부분들(P1)은 제 1 방향(X)으로 연장하고 제 2 방향(Y)으로 이격 배치될 수 있다. 제 2 부분들(P2)은 제 2 방향(Y)으로 연장하고 제 1 방향(X)으로 이격 배치될 수 있다. 제 1 및 제 2 부분들(P1, P2)은 차광 패턴(410)과 연결될 수 있다. 그리드 패턴(400)은 다각형을 포함하는 그리드 구조를 가질 수 있다.

[0036] 그리드 패턴(400)은 반도체 층(100)의 제 1 픽셀들(PX1) 내에 배치된 광전 변환 소자들(PD)을 노출할 수 있다. 그리드 패턴(400)은 복수 개의 막들로 이루어질 수 있다. 그리드 패턴(400)은 반사 방지막(300) 상에 차례로 적층된 제 1 패턴(401) 및 제 2 패턴(403)을 포함할 수 있다. 제 1 패턴(401)은 도전 물질을 포함할 수 있다. 예를 들어, 제 1 패턴(401)은 금속 물질 및 금속 질화물 중 적어도 하나를 포함할 수 있다. 제 1 패턴(401)은 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐(W), 알루미늄(Al), 및 구리(Cu) 중 적어도 하나를 포함할 수 있다. 제 1 패턴(401)은 약 100Å 내지 약 1500Å의 제 1 두께(T1)를 가질 수 있다. 제 2 패턴(403)은 제 1 패턴(401) 상에 배치될 수 있다. 제 2 패턴(403)은 유기 물질을 포함할 수 있다. 제 2 패턴(403)은 컬러 필터들(500)의 굴절률보다 낮은 굴절률을 갖는 물질을 포함할 수 있다. 제 2 패턴(403)은 약 1.4 이하의 굴절률을 갖는 저굴절 물질을 포함할 수 있다. 제 2 패턴(403)의 두께는 제 1 패턴(401)의 제 1 두께(T1) 보다 클 수 있다.

[0037] 차광 패턴(410)이 반사 방지막(300) 상에 배치될 수 있다. 예를 들어, 차광 패턴(410)이 반도체 층(100)의 제 2 영역(4)의 제 2 면(1b) 상에 배치될 수 있다. 차광 패턴(410)은 반도체 층(100)의 제 2 영역(4)을 완전히 덮을 수 있다. 예를 들어, 차광 패턴(410)은 반도체 층(100)의 제 2 픽셀들(PX2) 내에 배치된 광전 변환 소자들(PD)을 덮을 수 있다. 그리드 패턴(400)은 차광 패턴(410)의 측벽(411)을 덮을 수 있다. 보다 구체적으로, 그리드 패턴(400)의 제 1 패턴(401)은 차광 패턴(410)의 측벽(411)을 덮을 수 있고, 차광 패턴(410)과 접촉할 수 있다. 그리드 패턴(400)은 차광 패턴(410)의 측벽(411) 일부분 및 차광 패턴(410)의 측벽(411)에 인접한 상면(410a) 일부분을 덮을 수 있다. 즉, 그리드 패턴(400)은 반도체 층(100)의 제 1 영역(2)에서 제 2 영역(4) 상으로 연장할 수 있다. 다른 예에 있어서, 그리드 패턴(400)은 차광 패턴(410)의 측벽(411) 일부분을 덮을 수 있고, 차

광 패턴(410)의 상면(410a)을 노출할 수 있다.

- [0038] 차광 패턴(410)은 단일 막으로 이루어질 수 있다. 차광 패턴(410)은 약 1500Å 내지 약 5000Å의 제 2 두께(T2)를 가질 수 있다. 차광 패턴(410)의 제 2 두께(T2)는 제 1 패턴(401)의 제 1 두께(T1) 보다 두꺼울 수 있다(T2>T1). 반도체 층(100)의 제 2 면(1b)으로부터 차광 패턴(410)의 상면(410a)은 반도체 층(100)의 제 2 면(1b)으로부터 제 1 패턴(401)의 상면(401a) 보다 높은 레벨에 위치할 수 있다. 차광 패턴(410)은 금속 물질(예를 들어, 텅스텐(W))을 포함할 수 있다.
- [0039] 관통 비아들(510)이 반도체 층(100)의 제 3 영역(6) 상에 배치될 수 있다. 일 예로, 관통 비아들(510) 각각은 반도체 층(100)의 관통 비아 영역(TVR) 내에 배치될 수 있다. 다른 예로, 복수 개의 관통 비아들(510)은 반도체 층(100)의 관통 비아 영역(TVR) 내에 배치될 수 있다. 관통 비아들(510)은 반도체 층(100), 반사 방지막(300), 및 배선 절연막(209)을 관통하여 배선 구조체(200)의 제 2 배선들(205)과 연결될 수 있다. 패드들(520)이 반도체 층(100)의 제 3 영역(6) 상에 배치될 수 있다. 예를 들어, 패드들(520)은 반도체 층(100)의 제 3 영역(6)의 제 2 면(1b) 상에 배치된 반사 방지막(300) 상에 배치될 수 있다. 패드들(520)은 서로 전기적으로 절연될 수 있다. 패드들(520)은 관통 비아들(510) 상에서 관통 비아들(510)과 연결될 수 있다. 관통 비아들(510) 각각과 관통 비아들(510) 각각 상의 패드들(520) 각각은 일체형일 수 있다.
- [0040] 일 예에 있어서, 패드들(520) 중 적어도 하나는 차광 패턴(410)과 연결될 수 있다. 이에 따라, 패드들(520) 중 적어도 하나는 차광 패턴(410)을 통해 그리드 패턴(400)과 물리적/전기적으로 연결될 수 있다. 패드들(520) 중 적어도 하나와 연결된 그리드 패턴(410)은 관통 비아(510)를 통해 제 2 배선들(205)과 연결될 수 있다. 다른 예에 있어서, 패드들(520)은 차광 패턴(410) 및 그리드 패턴(400)과 물리적/전기적으로 이격될 수 있다. 이 경우, 패드들(520)은 차광 패턴(410)과 물리적/전기적으로 연결되지 않을 수 있다. 그리드 패턴(400)과 연결된 차광 패턴(410)은 반도체 층(100)의 제 2 영역(4) 내에 배치된 관통 비아(미도시)를 통해 배선 구조체(200)의 제 2 배선들(205) 및/또는 반도체 층(100)의 제 2 영역(4) 내에 배치된 배선 구조체(200)의 제 1 배선들(203)과 전기적으로 연결될 수 있다.
- [0041] 그리드 패턴(400)은 외부에 유입된 정전기를 외부로 방출하는 통로 역할을 할 수 있다. 일 실시예에 있어서, 정전기는 그리드 패턴(400), 차광 패턴(410), 패드들(520) 중 적어도 하나, 및 패드들(520) 중 적어도 하나와 연결된 관통 비아(510)를 통해 제 2 배선들(205)로 방출될 수 있다. 다른 실시예에 있어서, 정전기는 그리드 패턴(400), 차광 패턴(410), 및 관통 비아(미도시)를 통해 제 1 배선들(203) 및/또는 제 2 배선들(205)로 연결될 수 있다. 이 경우, 제 1 배선들(203) 및/또는 제 2 배선들(205)에는 접지 전압 또는 음의 전압이 인가될 수 있다.
- [0042] 본 발명의 실시예에 따르면, 그리드 패턴(400)은 차광 패턴(410)의 적층구조와 다른 적층 구조를 갖도록 형성될 수 있다. 그리드 패턴(400)의 제 1 패턴(401)은 금속 물질을 포함하지만 차광 패턴(410) 보다 얇게 형성함으로써, 정전기를 외부로 방출시키는 통로 역할을 하면서 빛을 흡수를 최소화시킬 수 있다. 그리드 패턴(400)의 제 2 패턴(403)은 저굴절 물질로 형성하여, 컬러 필터들(530)의 가장자리에 인접하여 입사되는 빛들을 굴절시켜 해당 픽셀들로 입사시킬 수 있다. 이에 따라, 크로스 토크(crosstalk)가 감소되고 광 효율이 증대된 이미지 센서를 제공할 수 있다.
- [0043] 컬러 필터들(530)이 반도체 층(100)의 제 1 영역(2) 상에 배치될 수 있다. 예를 들어, 컬러 필터들(530)은 반도체 층(100)의 제 2 면(1b) 상에 배치될 수 있고, 제 1 픽셀들(PX1) 내에 배치된 광전 변환 소자들(PD)과 대응되게 배치될 수 있다. 컬러 필터들(530)은 그리드 패턴들(400) 및 반사 방지막(300)을 덮을 수 있다. 예를 들어, 컬러 필터들(530)은 약 1.5 이상의 고굴절률을 갖는 물질을 포함할 수 있다.
- [0044] 컬러 필터막(540)이 반도체 층(100)의 제 2 영역(4) 상에 배치될 수 있다. 예를 들어, 컬러 필터막(540)은 반도체 층(100)의 제 2 면(1b) 상에 배치되고, 제 2 픽셀들(PX2) 내에 배치된 광전 변환 소자들(PD)을 덮을 수 있다. 컬러 필터막(540)은 반사 방지막(300)을 덮을 수 있다. 패드들(520)은 컬러 필터들(530) 및 컬러 필터막(540)에 의해 노출될 수 있다. 마이크로 렌즈들(MR)이 컬러 필터들(530) 상에 배치될 수 있다. 마이크로 렌즈들(MR)은 제 1 픽셀들(PX1) 내에 배치된 광전 변환 소자들(PD)과 대응되게 배치될 수 있다. 컬러 필터막(540) 및 패드들(520)은 마이크로 렌즈들(MR)에 의해 노출될 수 있다.
- [0045] 도 6은 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.
- [0046] 도 6을 참조하면, 차광 구조체(410A)가 반도체 층(100)의 제 2 영역(4) 상에 배치될 수 있다. 예를 들어, 차광 구조체(410A)는 반도체 층(100)의 제 2 영역(4)의 제 2 면(1b) 상에 제공된 반사 방지막(300) 상에 배치될 수

있다. 차광 구조체(410A)는 제 2 픽셀들(PX2) 내에 배치된 광전 변환 소자들(PD)을 덮을 수 있다. 차광 구조체(410A)는 반사 방지막(300) 상에 차례로 적층된 차광 패턴(410), 제 1 패턴(401) 및 제 2 패턴(403)을 포함할 수 있다. 반도체 층(100)의 제 1 영역(2) 상에 배치된 제 1 패턴(401)은 제 2 영역(4) 상으로 연장할 수 있다. 제 1 패턴(401)은 차광 패턴(410)의 측벽(411) 및 상면(410a)을 덮을 수 있다. 제 1 패턴(401)은 차광 패턴(410)과 접촉 및 연결될 수 있다. 반도체 층(100)의 제 2 영역(4) 상에서, 제 1 패턴(401) 상에 배치된 제 2 패턴(403)은 제 1 패턴(401)을 따라 반도체 층(100)의 제 2 영역(4) 상으로 연장할 수 있다. 제 2 패턴(403)은 반도체 층(100)의 제 2 영역(4) 상에 배치된 제 1 패턴(401)의 측면 및 상면을 덮을 수 있다. 일 예에 있어서, 그리드 패턴(400)의 제 3 두께(T3)는 차광 구조체(410A)의 제 4 두께(T4) 보다 작을 수 있다($T3 < T4$). 반도체 층(100)의 제 2 면(1b)으로부터 그리드 패턴(400)의 상면은 반도체 층(100)의 제 2 면(1b)으로부터 차광 구조체(410A)의 상면보다 낮은 레벨에 위치할 수 있다. 패드들(520)은 차광 구조체(410A), 컬러 필터막(540), 및 마이크로 렌즈들(MR)에 의해 노출될 수 있다. 패드들(520) 각각의 제 5 두께(T5)는 그리드 패턴(400)의 제 3 두께(T3) 및 차광 구조체(410A)의 제 4 두께(T4) 보다 작을 수 있다($T5 < T3, T4$). 패드(520)의 제 5 두께(T5)는 차광 패턴(410)의 제 2 두께(T2)와 실질적으로 동일할 수 있다.

[0047] 도 7은 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.

[0048] 도 7을 참조하면, 제 1 소자 분리막(DTI1)이 반도체 층(100) 내에서 반도체 층(100)의 제 2 면(1b)으로부터 제 1 면(1a)으로 연장할 수 있다. 제 1 소자 분리막(DTI1)은 배선 구조체(200)의 최하층 층간 절연막(201a)과 이격될 수 있다. 예를 들어, 제 1 소자 분리막(DTI1)의 제 1 면은 반도체 층(100)의 제 1 면(1a)과 공면을 가질 수 있고, 제 1 소자 분리막(DTI1)의 제 2 면은 반도체 층(100)의 제 2 면(1b)과 공면을 갖지 않을 수 있다. 예를 들어, 제 1 소자 분리막(DTI1)의 제 2 면은 반도체 층(100)의 제 1 면(1a)과 제 2 면(1b) 사이의 레벨에 위치할 수 있다.

[0049] 도 8은 본 발명의 실시예에 따른 이미지 센서를 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.

[0050] 도 8을 참조하면, 제 1 및 제 2 광전 변환 소자들(PD1, PD2)이 제 1 및 제 2 픽셀들(PX1, PX2) 각각 내에 배치될 수 있다. 즉, 하나의 픽셀 내에 한 쌍의 제 1 및 제 2 광전 변환 소자들(PD1, PD2)이 배치될 수 있다. 제 2 소자 분리막들(DTI2)이 제 1 및 제 2 픽셀들(PX1, PX2) 각각 내에 배치될 수 있다. 각 제 2 소자 분리막들(DTI2)은 하나의 픽셀 내에 배치된 한 쌍의 제 1 및 제 2 광전 변환 소자들(PD1, PD2) 사이에 배치되어, 이들 사이를 물리적으로 분리할 수 있다. 일 예에 있어서, 제 2 소자 분리막들(DTI2)은 제 1 소자 분리막(DTI1)과 연결될 수 있다. 다른 예에 있어서, 제 2 소자 분리막들(DTI2)은 제 1 소자 분리막(DTI1)과 이격될 수 있다. 제 2 소자 분리막들(DTI2)은 반도체 층(100)의 제 2 면(1b)으로부터 제 1 면(1a)으로 연장할 수 있다. 제 2 소자 분리막들(DTI2)은 반도체 층(100)의 제 2 면(1b)과 접촉할 수 있고, 제 1 면(1a)과 이격될 수 있다. 예를 들어, 제 2 소자 분리막들(DTI2)의 제 1 면들의 레벨들은 반도체 층(100)의 제 1 면(1a)과 제 2 면(1b) 사이의 레벨에 위치할 수 있다. 제 2 소자 분리막들(DTI2)의 제 2 면들은 반도체 층(100)의 제 2 면(1b)과 공면을 가질 수 있다. 제 2 소자 분리막들(DTI2)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 및 유전막(AlO_2 , HfO_2) 중 적어도 하나를 포함할 수 있다.

[0051] 도 9는 본 발명의 실시예에 따른 이미지 센서를 나타낸 단면도이다.

[0052] 도 9를 참조하면, 한 쌍의 제 1 부유 확산 영역(FD1) 및 제 2 부유 확산 영역(FD2)이 반도체 층(100) 내에 배치될 수 있다. 일 예에 있어서, 한 쌍의 제 1 및 제 2 부유 확산 영역들(FD1, FD2)은 반도체 층(100)의 제 1 픽셀들(PX1, 도 5 참조) 및 제 2 픽셀들(PX2, 도 5 참조) 각각 내에 배치될 수 있다. 제 1 및 제 2 부유 확산 영역들(FD1, FD2)은 반도체 층(100)의 제 1 면(1a)에 인접하게 배치될 수 있다. 제 2 부유 확산 영역(FD2)은 트랜스퍼 게이트(TG)의 일측의 반도체 층(100) 내에 배치될 수 있다. 일 예에 있어서, 도 9에 도시된 트랜스퍼 게이트(TG)의 일부는 도 5에 도시된 트랜스퍼 게이트(TG)와 달리 반도체 층(100) 내에 매립될 수 있다. 관통 전극 구조체들(TES)이 제 1 소자 분리막(DTI1)을 관통할 수 있다. 관통 전극 구조체들(TES)은 반도체 층(100) 내에 배치될 수 있다. 관통 전극 구조체들(TES) 각각은 제 1 및 제 2 픽셀들(PX1, PX2) 각각에 대응되게 제공될 수 있다. 관통 전극 구조체들(TES) 각각은 관통 전극(701) 및 관통 절연 패턴(703)을 포함할 수 있다. 관통 절연 패턴(703)은 관통 전극(701)의 측벽을 감쌀 수 있다. 관통 절연 패턴(703)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물을 포함할 수 있다. 관통 전극(701)은 예를 들어, n형 또는 p형 불순물로 도핑된 폴리 실리콘을 포함할 수 있다.

- [0053] 매립 절연 패턴(705)이 관통 전극 구조체들(TES) 각각과 반도체 층(100)의 제 1 면(1a) 사이에 배치될 수 있다. 매립 절연 패턴(705)의 일면은 반도체 층(100)의 제 1 면(1a)과 공면을 가질 수 있다. 매립 절연 패턴(705)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.
- [0054] 배선 구조체(200)가 반도체 층(100)의 제 1 면(1a) 상에 배치될 수 있다. 배선 구조체(200)은 복수 개의 층간 절연막들(201), 연결 배선(210), 제 1 연결 비아(211), 및 제 2 연결 비아(213)를 포함할 수 있다. 제 1 연결 비아(211)는 층간 절연막들(201) 중 적어도 하나를 관통하여 제 1 부유 확산 영역(FD1)과 연결될 수 있다. 제 2 연결 비아(213)는 층간 절연막들(201) 중 적어도 하나 및 매립 절연 패턴(705)을 관통하여 관통 전극 구조체(TES)의 관통 전극(701)과 연결될 수 있다. 연결 배선(210)은 층간 절연막들(201) 중 적어도 하나 내에 배치될 수 있고, 제 1 연결 비아(211) 및 제 2 연결 비아(213) 사이를 연결할 수 있다. 연결 배선(210), 제 1 연결 비아(211) 및 제 2 연결 비아(213)는 금속 물질(예를 들어, 텅스텐, 구리, 알루미늄) 및 금속 질화물(예를 들어, 탄탈륨 질화물, 티타늄 질화물, 텅스텐 질화물) 중 적어도 하나를 포함할 수 있다.
- [0055] 그리드 패턴(400)이 반도체 층(100)의 제 2 면(1b) 상에 배치될 수 있다. 그리드 패턴(400)은 제 1 소자 분리막(DTI1) 및 관통 전극 구조체들(TES) 상에 배치될 수 있다. 그리드 패턴(400)은 도 5에 도시된 차광 패턴(410)과 연결될 수 있다. 절연막(709)이 컬러 필터들(530) 상에 배치될 수 있다. 절연막(709)은 컬러 필터들(530)의 상면들을 덮을 수 있다. 절연막(709)은 예를 들어, 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다.
- [0056] 콘택 플러그 구조체들(710)이 관통 전극 구조체들(TES) 상에 배치될 수 있다. 콘택 플러그 구조체들(710)은 반사 방지막(300), 그리드 패턴(400), 컬러 필터들(530), 및 절연막(709)을 관통할 수 있다. 콘택 플러그 구조체들(710)은 관통 전극 구조체들(TES)과 연결될 수 있다. 콘택 플러그 구조체들(710) 각각은 콘택 플러그(713) 및 스페이서(711)를 포함할 수 있다. 콘택 플러그(713)는 반사 방지막(300), 그리드 패턴(400), 컬러 필터들(530), 및 절연막(709)을 관통할 수 있다. 스페이서(711)는 콘택 플러그(713)의 측벽을 감쌀 수 있다. 콘택 플러그(713)는 금속 물질(예를 들어, 텅스텐)을 포함할 수 있다. 스페이서(711)는 절연 물질(예를 들어, 실리콘 산화막, 실리콘 질화막)을 포함할 수 있다.
- [0057] 하부 전극들(720)이 절연막(709) 상에 배치될 수 있다. 하부 전극들(720)은 광전 변환 소자들(PD)과 대응되게 배치될 수 있다. 하부 전극들(720)은 서로 이격되어 배치될 수 있다. 콘택 플러그 구조체들(710) 각각은 하부 전극들(720) 각각과 대응되게 배치될 수 있고, 서로 전기적으로 연결될 수 있다. 하부 전극들(720)은 투명 도전성 물질을 포함할 수 있다. 예를 들어, 하부 전극들(720)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide), 및/또는 유기 투명 도전 물질을 포함할 수 있다.
- [0058] 광전 변환층(PDL)이 하부 전극들(720) 상에 배치될 수 있다. 일 예에 있어서, 광전 변환층(PDL)은 유기 광전 변환층을 포함할 수 있다. 유기 광전 변환층은 p형 유기 반도체 물질 및 n형 유기 반도체 물질을 포함할 수 있으며, p형 유기 반도체 물질과 n형 유기 반도체 물질은 pn 접합을 형성할 수 있다. 일 예에 있어서, 광전 변환층(PDL)은 양자점(quantum dot) 또는 칼코게나이드(chalcogenide)를 포함할 수 있다.
- [0059] 상부 전극(730)이 광전 변환층(PDL) 상에 배치될 수 있다. 상부 전극(730)은 투명 도전성 물질을 포함할 수 있다. 예를 들어, 상부 전극(730)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide), 및/또는 유기 투명 도전 물질을 포함할 수 있다.
- [0060] 캡핑층(740)이 상부 전극(730) 상에 배치될 수 있다. 캡핑층(740)은 절연 물질을 포함할 수 있다. 예를 들어, 캡핑층(740)은 알루미늄 산화물, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물을 포함할 수 있다.
- [0061] 마이크로 렌즈들(MR)이 캡핑층(740) 상에 배치될 수 있다.
- [0062] 도 10은 본 발명의 실시예에 따른 이미지 센서를 나타낸 평면도이다.
- [0063] 도 10을 참조하면, 그리드 패턴(400)은 외각부(UP), 제 1 부분들(P1), 및 제 2 부분들(P2)을 포함할 수 있다. 외각부(UP)는 한 쌍의 제 3 부분들(P3) 및 한 쌍의 제 4 부분들(P4)을 포함할 수 있다. 한 쌍의 제 3 부분들(P3)은 제 2 방향(Y)으로 연장하고 제 1 방향(X)으로 이격 배치될 수 있다. 한 쌍의 제 4 부분들(P4)은 제 1 방향(X)으로 연장하고 제 2 방향(Y)으로 이격 배치될 수 있다. 한 쌍의 제 1 부분들(P3)의 단부들과 한 쌍의 제 4 부분들(P4)의 단부들은 서로 연결될 수 있다. 이에 따라, 외각부(UP)는 사각형의 링 형상을 가질 수 있다. 제 1 부분들(P1) 및 제 2 부분들(P2)은 외각부(UP) 내에 배치될 수 있다. 제 1 부분들(P1)은 제 1 방향(X)으로 연장하고 제 2 방향(Y)으로 이격 배치될 수 있다. 제 2 부분들(P2)은 제 2 방향(Y)으로 연장하고 제 1 방향(X)으로

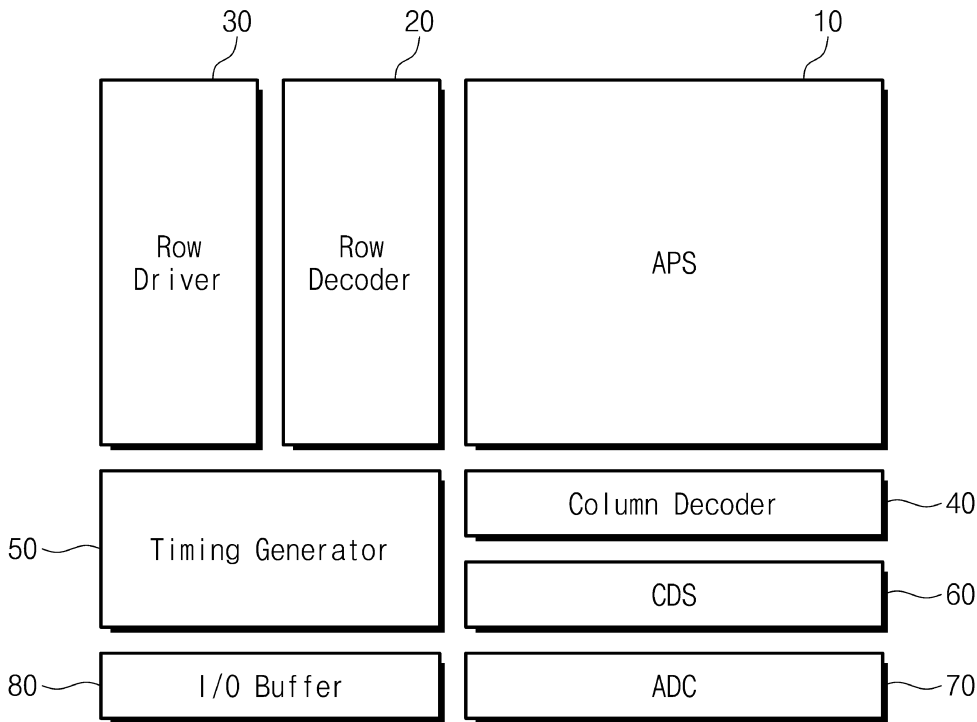
이격 배치될 수 있다. 제 1 및 제 2 부분들(P1, P2)은 외각부(UP)와 연결될 수 있다. 차광 패턴(410)은 그리드 패턴(400)의 외각부(UP)의 외측벽을 감쌀 수 있다.

- [0064] 도 11a 내지 도 11d는 본 발명의 실시예에 따른 이미지 센서의 제조 방법을 나타낸 것으로, 도 4의 I-I' 및 II-II'선 방향으로 자른 단면도들이다.
- [0065] 도 11a를 참조하면, 반도체 층(100)이 제공될 수 있다. 반도체 층(100)은 서로 대향하는 제 1 면(1a) 및 제 2 면(1b)을 포함할 수 있다. 반도체 층(100)은 제 1 영역(2), 제 2 영역(4), 및 제 3 영역(6)을 포함할 수 있다. 광전 변환 소자들(PD)이 반도체 층(100)의 제 1 및 제 2 영역들(2, 4) 내에 형성될 수 있다. 광전 변환 소자들(PD)은 반도체 층(100)의 제 1 면(1a)을 통해 이온 주입 공정을 진행하여 형성될 수 있다. 광전 변환 소자들(PD)은 예를 들어, N형의 불순물을 도핑하여 형성될 수 있다.
- [0066] 배선 구조체(200)가 반도체 층(100)의 제 1 면(1a) 상에 형성될 수 있다. 배선 구조체(200)는 트랜스퍼 게이트들(TG), 층간 절연막들(201, 201a), 제 1 배선들(203), 제 2 배선들(205), 비아들(207), 및 배선 절연막(209)을 포함할 수 있다. 트랜스퍼 게이트들(TG)이 반도체 층(100)의 제 1 및 제 2 영역들(2, 4)의 제 1 면(1a) 상에 형성될 수 있다. 배선 절연막(209)이 반도체 층(100)의 제 3 영역(6)의 제 1 면(1a) 상에 형성될 수 있다. 층간 절연막들(201, 201a)이 반도체 층(100)의 제 1 면(1a) 상에 차례로 형성될 수 있다. 층간 절연막들(201, 201a) 중 최하층 층간 절연막(201a)은 트랜스퍼 게이트들(TG) 및 배선 절연막(209)을 덮을 수 있다. 제 1 및 제 2 배선들(203, 205)이 층간 절연막들(201, 201a) 내에 배치될 수 있다. 제 1 배선들(203)은 반도체 층(100)의 제 1 및 제 2 영역들(2, 4) 상에 배치될 수 있다. 제 2 배선들(205)은 반도체 층(100)의 제 3 영역(6) 상에 배치될 수 있다. 제 1 및 제 2 배선들(203, 205)은 층간 절연막들(201, 201a)에 의해 덮일 수 있다. 비아들(207)이 층간 절연막들(201, 201a) 내에 형성될 수 있다. 비아들(207)은 반도체 층(100)의 제 3 영역(6) 상에 배치될 수 있다. 비아들(207)은 제 2 배선들(205) 사이를 연결할 수 있다.
- [0067] 제 1 소자 분리막(DTI1)이 반도체 층(100)의 제 1 영역(2) 및 제 2 영역(4) 내에 형성될 수 있다. 제 1 소자 분리막(DTI1)은 반도체 층(100)을 식각하여 제 1 트렌치(TH1)를 형성하고, 제 1 트렌치(TH1) 내에 절연 물질 및/또는 도전 물질을 채워 형성될 수 있다. 일 예에 있어서, 도면에 도시된 것과 같이, 제 1 트렌치(TH1)는 반도체 층(100)의 제 2 면(1b)으로부터 식각되어 형성될 수 있다. 다른 예에 있어서, 제 1 트렌치(TH1)는 배선 구조체(200)를 형성하기 전에, 반도체 층(100)의 제 1 면(1a)으로부터 식각되어 형성될 수 있다. 제 1 소자 분리막(DTI1)은 반도체 층(100)의 제 1 및 제 2 영역들(2, 4) 내에서 반도체 층(100)의 제 1 및 제 2 픽셀들(PX1, PX2)을 정의할 수 있다. 제 1 픽셀들(PX1)은 반도체 층(100)의 제 1 영역(2) 내에 제공될 수 있고, 제 2 픽셀들(PX2)은 반도체 층(100)의 제 2 영역(4) 내에 제공될 수 있다. 광전 변환 소자들(PD)이 제 1 및 제 2 픽셀들(PX1, PX2) 내에 배치될 수 있다.
- [0068] 도 11b를 참조하면, 보호 분리막(SL)이 반도체 층(100)의 제 3 영역(6) 내에 형성될 수 있다. 보호 분리막(SL)은 반도체 층(100)의 제 3 영역(6) 내에 제 2 트렌치(TH2)를 형성하고, 제 2 트렌치(TH2) 내에 절연 물질을 채워 형성될 수 있다. 일 실시예에 있어서, 제 2 트렌치(TH2)는 반도체 층(100)의 제 3 영역(6)을 관통하여 형성될 수 있다. 보호 분리막(SL)은 반도체 층(100)의 제 3 영역(6) 내에서 관통 비아 영역(TVR)을 정의할 수 있다.
- [0069] 반사 방지막(300)이 반도체 층(100)의 제 2 면(1b) 상에 형성될 수 있다. 반사 방지막(300)은 반도체 층(100)의 제 2 면(1b) 및 반도체 층(100)의 제 2 면(1b)에 노출된 제 1 소자 분리막(DTI1)의 제 2 면 및 보호 분리막(SL)의 제 2 면을 덮을 수 있다. 도면에 도시하지 않았으나, 반사 방지막(300)은 제 2 트렌치(TH2) 내를 채울 수 있다. 비아홀들(VH)이 반도체 층(100)의 제 3 영역(6) 내에 형성될 수 있다. 예를 들어, 비아홀들(VH)은 반도체 층(100)의 관통 비아 영역(TVR) 내에 형성될 수 있다. 비아홀들(VH)은 반사 방지막(300), 반도체 층(100), 및 배선 절연막(209)을 관통하여 제 2 배선들(205) 중 어느 하나를 노출할 수 있다.
- [0070] 차광막(601)이 반도체 층(100)의 제 2 면(1b) 상에 형성될 수 있다. 차광막(601)은 반도체 층(100)의 제 1 내지 제 3 영역들(2, 4, 6) 상에 형성될 수 있다. 차광막(601)은 반사 방지막(300)의 상면을 덮을 수 있고, 비아홀들(VH) 내를 채울 수 있다. 차광막(601)은 약 1500Å 내지 약 5000Å의 두께를 갖도록 형성될 수 있다. 차광막(601)은 금속 물질(예를 들어, 텅스텐(W))을 포함할 수 있다. 제 1 마스크 패턴(603)이 차광막(601) 상에 형성될 수 있다. 제 1 마스크 패턴(603)은 반도체 층(100)의 제 2 및 제 3 영역들(4, 6) 상에 형성될 수 있다. 일 예로, 제 1 마스크 패턴(603)은 반도체 층(100)의 제 1 영역(2) 상에 형성된 차광막(601) 및 반도체 층(100)의 제 3 영역(6) 상에 형성된 차광막(601)의 일부분들을 노출할 수 있다. 제 1 마스크 패턴(603)은 예를 들어, 포토 레지스트 물질을 포함할 수 있다.

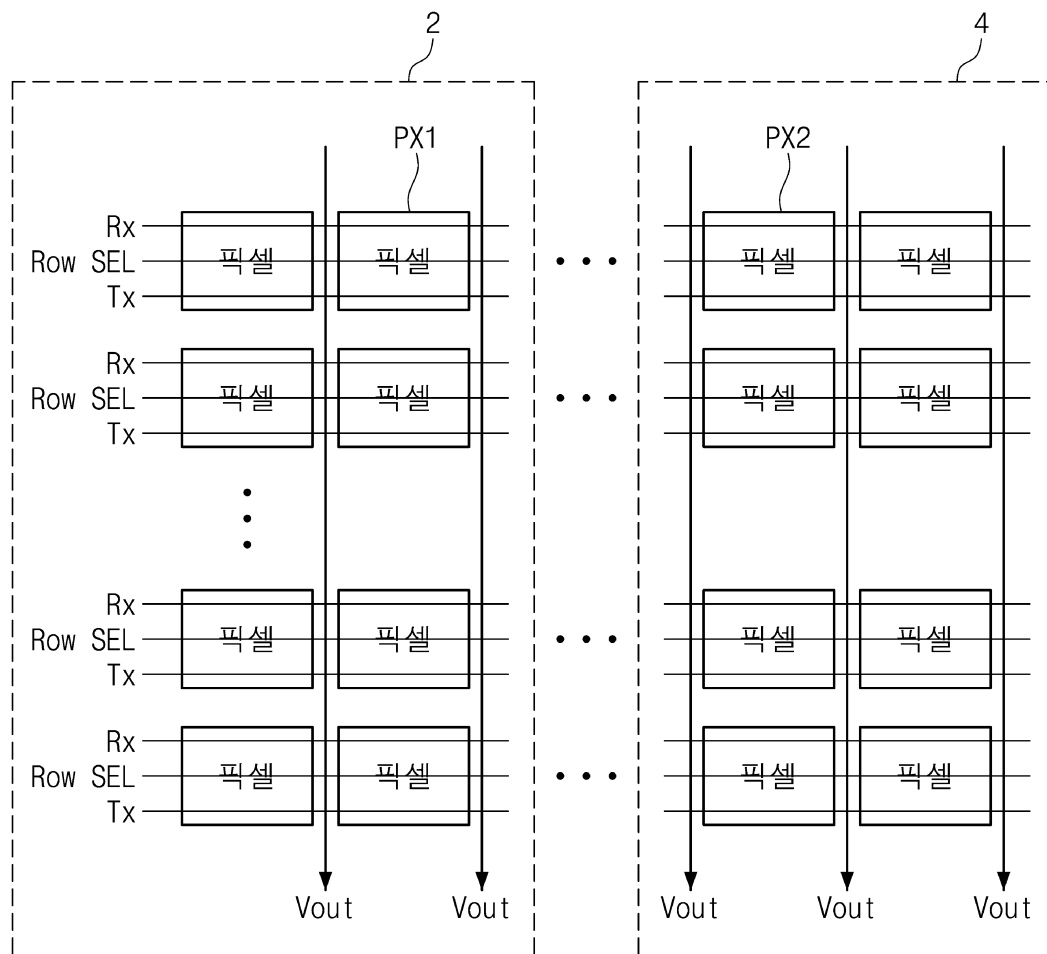
- [0071] 도 11c를 참조하면, 제 1 마스크 패턴(603)을 식각 마스크로 사용하여 차광막(601)을 식각할 수 있다. 이에 따라, 차광 패턴(410)이 반도체 층(100)의 제 2 영역(4) 상에 형성될 수 있고, 패드들(520) 및 관통 비아들(510)이 반도체 층(100)의 제 3 영역(6) 상에 형성될 수 있다. 차광 패턴(410)은 반도체 층(100)의 제 1 영역(2) 상에 형성된 반사 방지막(300)의 상면을 노출시킬 수 있다. 차광 패턴(410)은 반도체 층(100)의 제 2 영역(4) 상에 형성된 반사 방지막(300)의 상면을 덮을 수 있다. 관통 비아들(510)은 비아홀들(VH) 내에 형성될 수 있고, 패드들(520)은 관통 비아들(510) 상에 형성될 수 있다. 일 예에 있어서, 패드들(520)은 서로 이격 배치되어 형성될 수 있고, 패드들(520) 중 적어도 하나와 차광 패턴(410)은 서로 연결될 수 있다. 다른 예에 있어서, 패드들(520)은 서로 이격 배치되어 형성될 수 있고, 패드들(520)과 차광 패턴(410)은 서로 연결되지 않을 수 있다. 식각 공정은 건식 식각 공정이 수행될 수 있다. 식각 공정 후에 남아있는 제 1 마스크 패턴(603)은 제거될 수 있다. 제 1 마스크 패턴(603)은 에칭 공정 또는 스트립 공정을 수행하여 제거될 수 있다.
- [0072] 필름막(605)이 반도체 층(100)의 제 2 면(1b) 상에 형성될 수 있다. 필름막(605)은 반도체 층(100)의 제 1 영역(2) 상에 형성된 반사 방지막(300)의 상면, 차광 패턴(410)의 상면 및 측면들, 및 패드들(520)의 상면들 및 측면들을 덮을 수 있다. 필름막(605)은 차광 패턴(410)의 두께보다 얇은 두께를 갖도록 형성될 수 있다. 필름막(605)은 예를 들어, 약 100Å 내지 약 1500Å의 두께를 갖도록 형성될 수 있다. 필름막(605)은 예를 들어, 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐(W), 알루미늄(Al), 및 구리(Cu) 중 적어도 하나를 포함할 수 있다. 저굴절막(607)이 필름막(605) 상에 형성될 수 있다. 저굴절막(607)은 필름막(605)의 상면 및 측면들을 덮을 수 있다. 저굴절막(607)은 예를 들어, 약 1.4 이하의 굴절률을 갖는 저굴절 물질을 포함할 수 있다.
- [0073] 제 2 마스크 패턴(609)이 저굴절막(607) 상에 형성될 수 있다. 제 2 마스크 패턴(609)은 반도체 층(100)의 제 1 영역(2) 및 제 2 영역(4) 상에 형성될 수 있다. 제 2 마스크 패턴(609)은 반도체 층(100)의 제 1 영역(2) 내에 형성된 제 1 소자 분리막(DTI1)과 중첩되게 형성될 수 있다. 제 2 마스크 패턴(609)은 반도체 층(100)의 제 1 영역(2) 내에 형성된 제 1 소자 분리막(DTI1)을 따라 형성될 수 있다. 일 예에 있어서, 제 2 마스크 패턴(609)에 의해 반도체 층(100)의 제 1 영역(2) 상에 형성된 저굴절막(607)의 일부분들, 반도체 층(100)의 제 2 영역(4) 상에 형성된 저굴절막(607)의 일부분, 및 반도체 층(100)의 제 3 영역(6) 상에 형성된 저굴절막(607)의 전체가 노출될 수 있다. 다른 예에 있어서, 제 2 마스크 패턴(609)에 의해 반도체 층(100)의 제 1 영역(2) 상에 형성된 저굴절막(607)의 일부분들 및 반도체 층(100)의 제 3 영역(6) 상에 형성된 저굴절막(607)의 전체가 노출될 수 있다. 즉, 제 2 마스크 패턴(609)은 반도체 층(100)의 제 2 영역(4) 상에 형성된 저굴절막(607)의 상면 전체를 덮을 수 있다. 제 2 마스크 패턴(609)은 예를 들어, 포토레지스트 물질을 포함할 수 있다.
- [0074] 도 11d를 참조하면, 제 2 마스크 패턴(609)을 식각 마스크로 사용하여 저굴절막(607) 및 필름막(605)을 식각할 수 있다. 이에 따라, 그리드 패턴(400)이 반도체 층(100)의 제 1 영역(2) 상에 형성될 수 있다. 그리드 패턴(400)은 반도체 층(100)의 제 1 영역(2) 상에 형성된 제 1 소자 분리막(DTI1)과 중첩되게 형성될 수 있다. 그리드 패턴(400)은 제 1 픽셀들(PX1) 내에 형성된 광전 변환 소자들(PD)을 노출할 수 있다. 그리드 패턴(400)은 반도체 층(100)의 제 1 영역(2)과 인접하는 차광 패턴(410)의 측벽 및 상면 일부분을 덮을 수 있다. 그리드 패턴(400)은 제 1 패턴(401) 및 제 2 패턴(403)을 포함할 수 있다. 제 1 패턴(401)은 필름막(605)이 패터닝되어 형성된 것이고, 제 2 패턴(403)은 저굴절막(607)이 패터닝되어 형성된 것이다. 제 1 패턴(401)은 차광 패턴(410)의 측벽 및 상면 일부분을 덮을 수 있다. 패드들(520)의 상면들은 그리드 패턴(400)에 의해 노출될 수 있다. 식각 공정은 건식 식각 공정이 수행될 수 있다. 식각 공정 후에 남아있는 제 2 마스크 패턴(609)은 제거될 수 있다. 제 2 마스크 패턴(609)은 에칭 공정 또는 스트립 공정을 수행하여 제거될 수 있다.
- [0075] 다시 도 5를 참조하면, 컬러 필터들(530)이 반도체 층(100)의 제 2 면(1b) 상에 형성될 수 있다. 컬러 필터들(530)은 제 1 픽셀들(PX1) 내에 형성된 광전 변환 소자들(PD)과 대응되게 형성될 수 있다. 컬러 필터막(540)이 반도체 층(100)의 제 2 면(1b) 상에 형성될 수 있다. 컬러 필터막(540)은 반도체 층(100)의 제 2 영역(4) 상에 형성되어 차광 패턴(410)을 덮을 수 있다. 컬러 필터들(530) 및 컬러 필터막(540)은 반도체 층(100)의 제 3 영역(6) 상에 형성된 패드들(520)을 노출할 수 있다. 마이크로 렌즈들(MR)이 컬러 필터들(530) 상에 형성될 수 있다.
- [0076] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

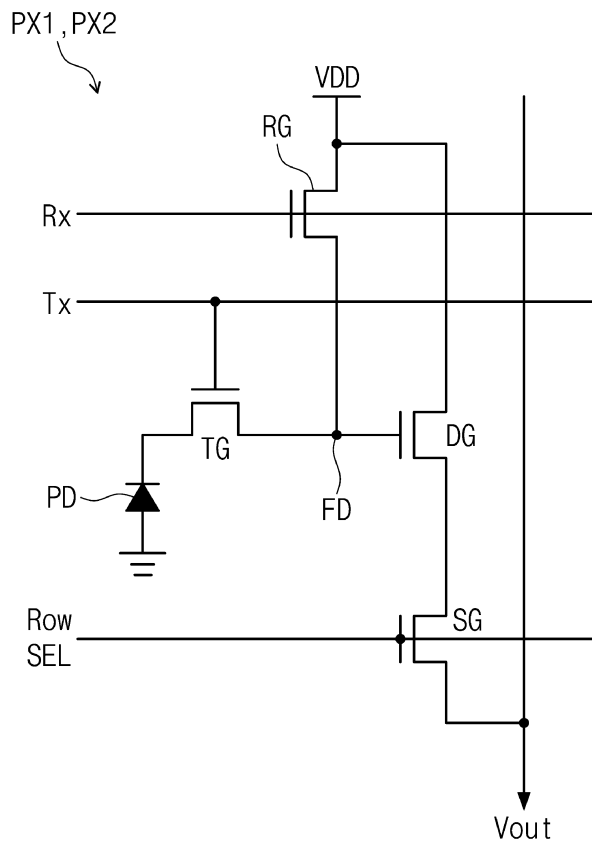
도면1



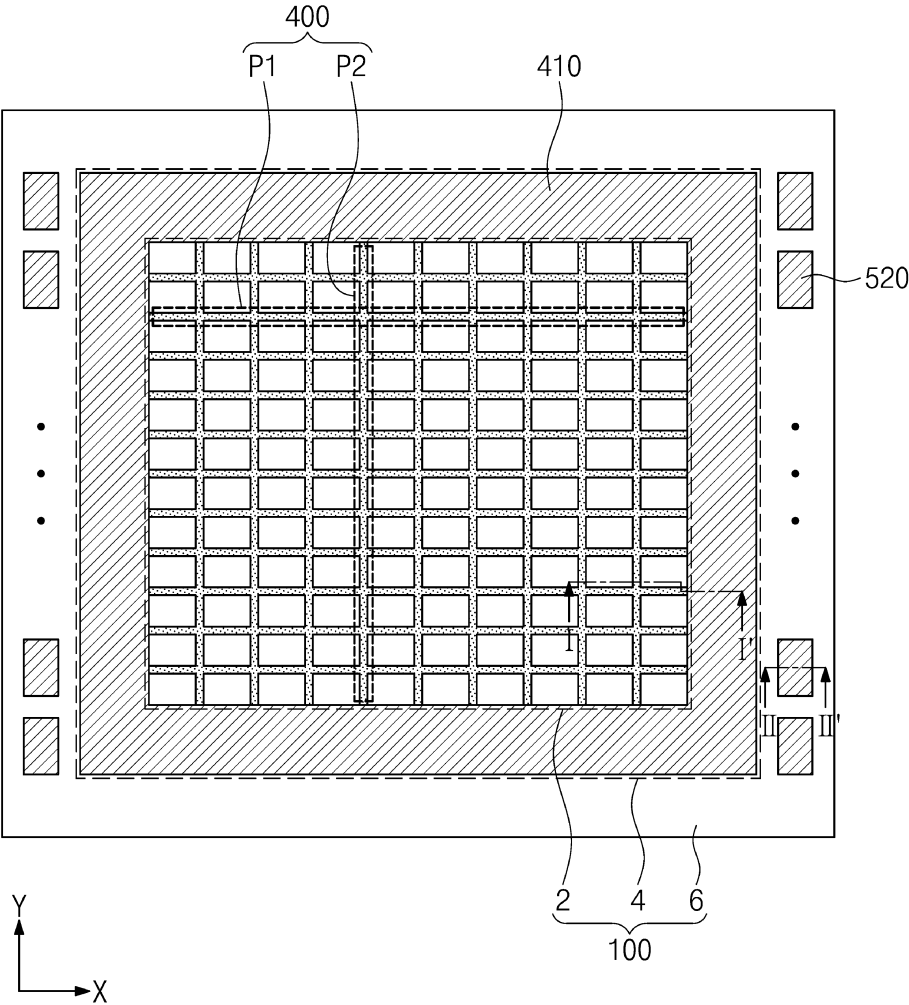
도면2



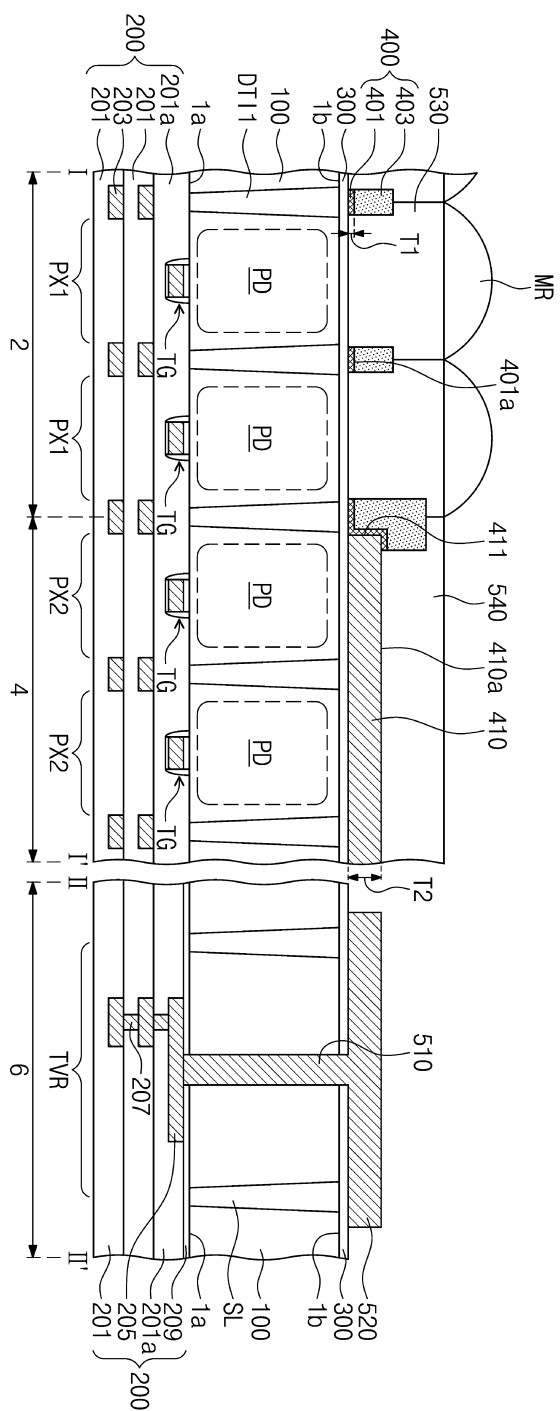
도면3



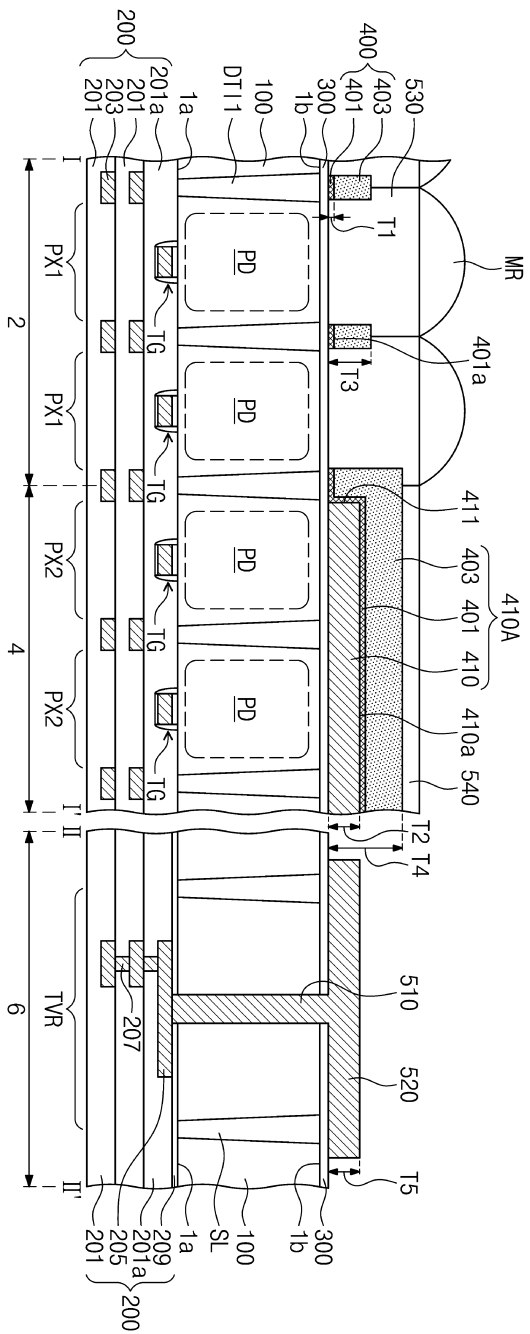
도면4



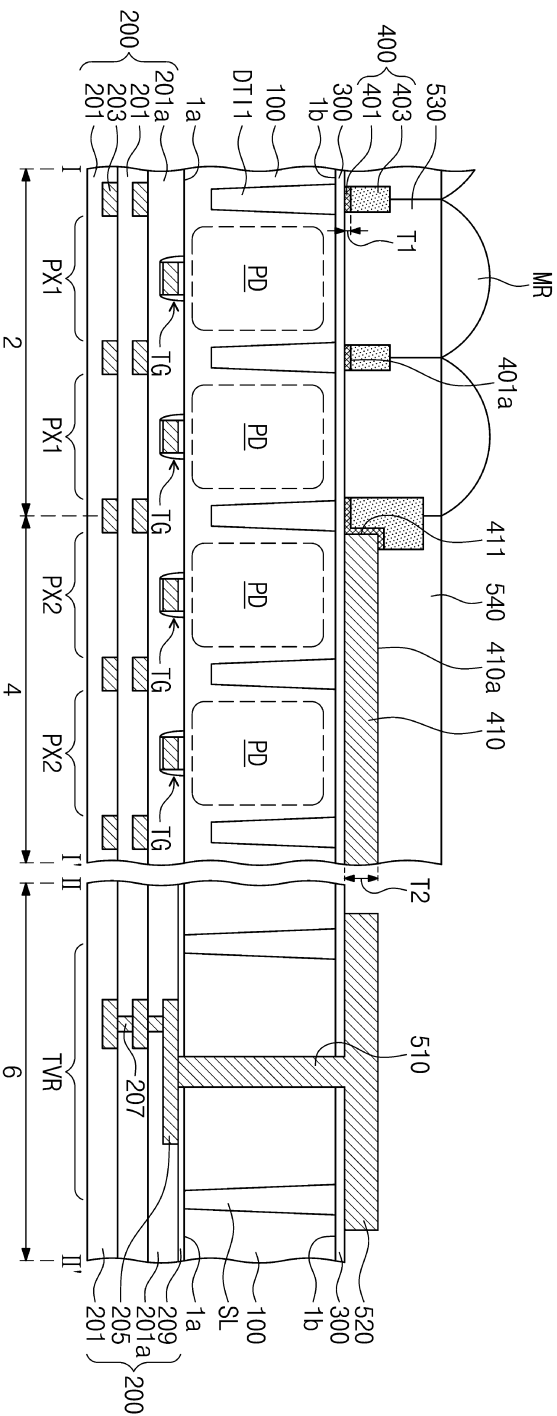
도면5



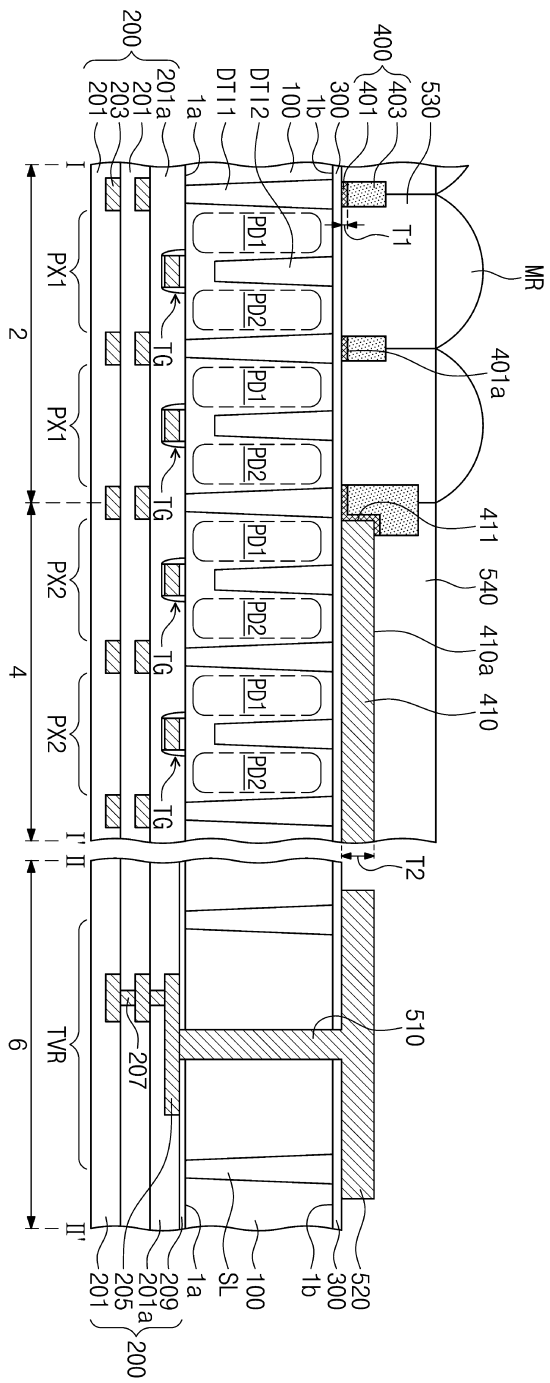
도면6



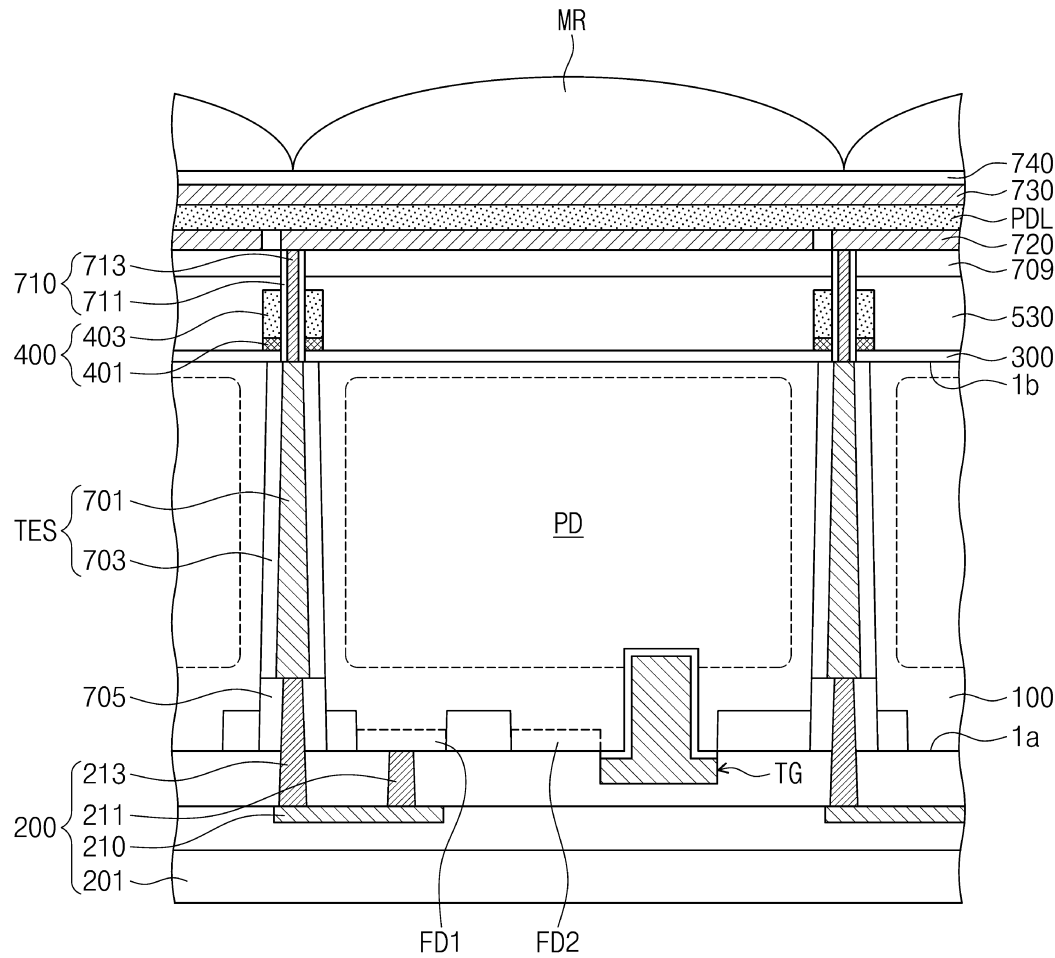
도면7



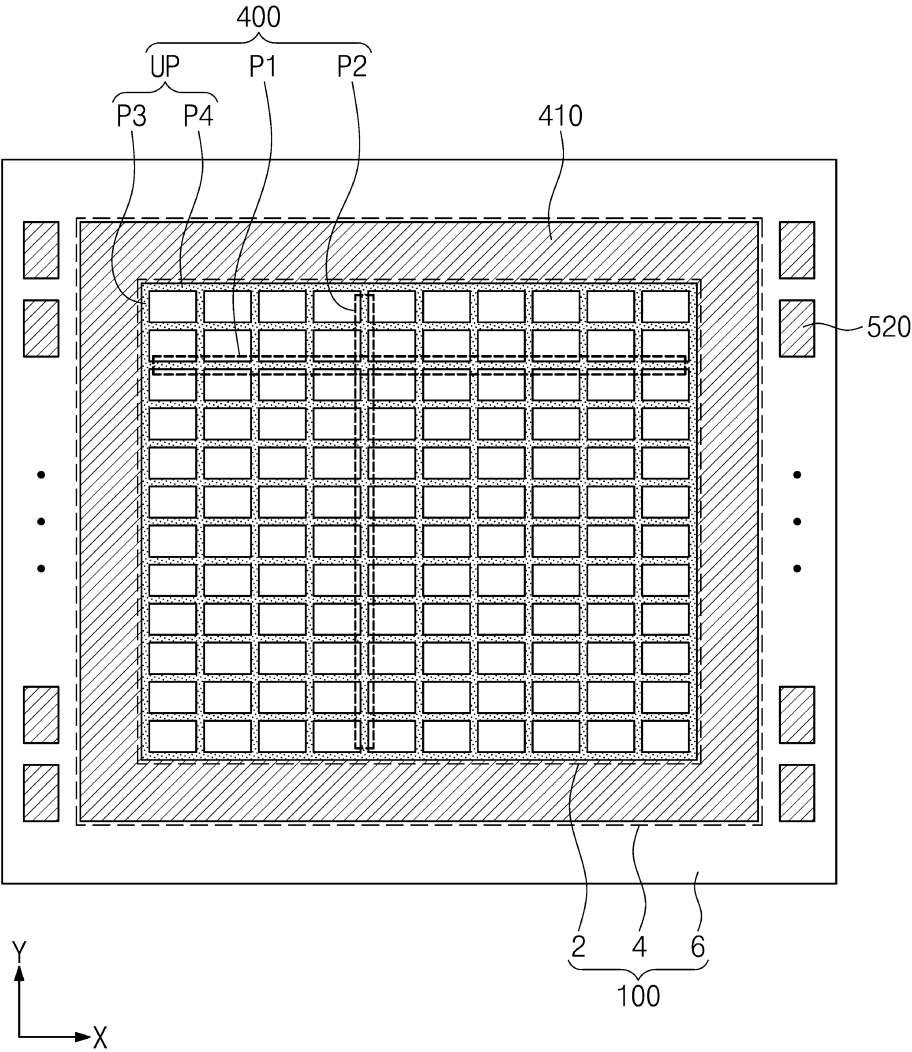
도면8



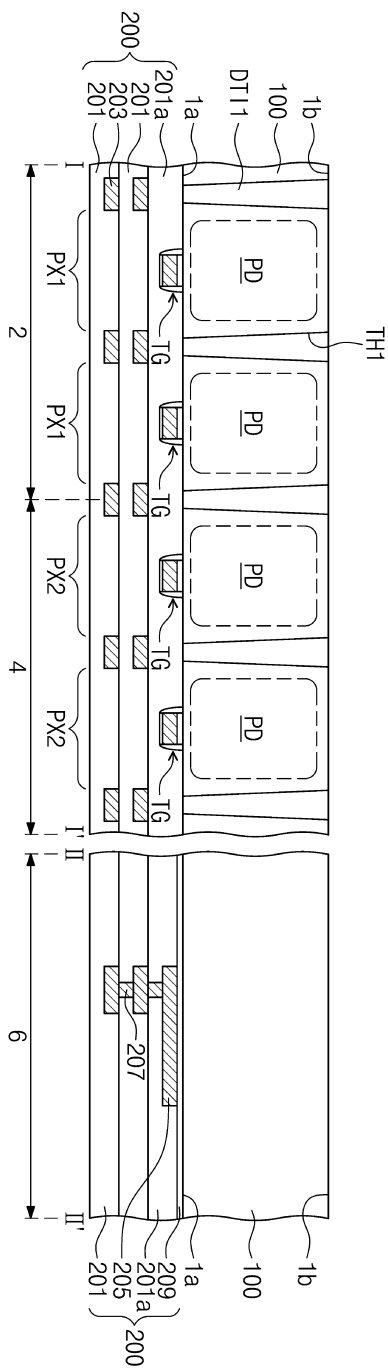
도면9



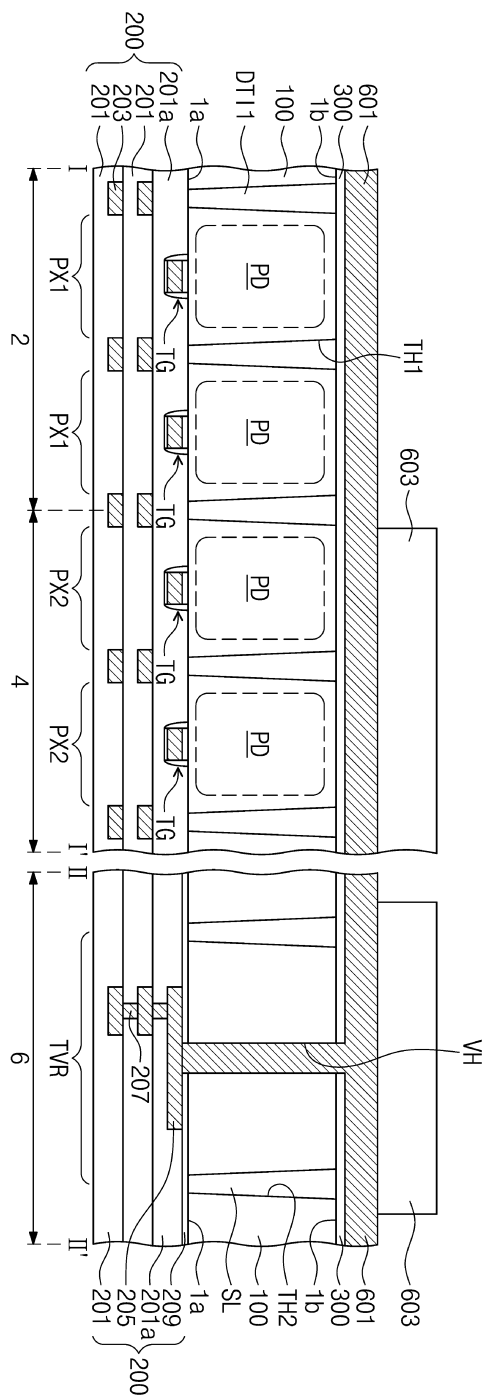
도면10



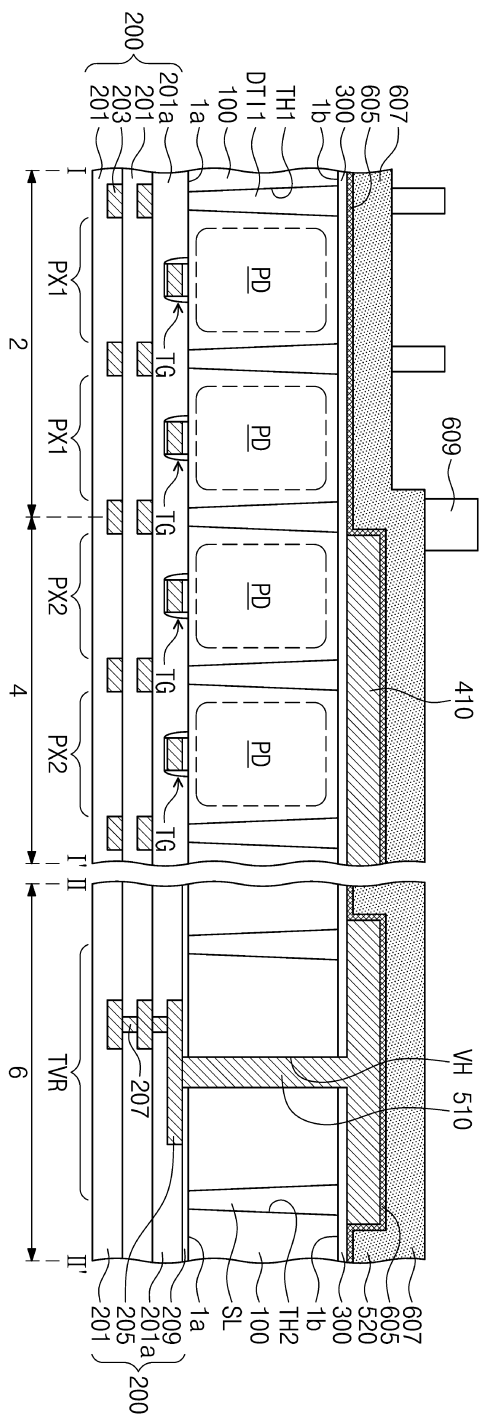
도면 11a



도면 11b



도면11c



도면 11d

