

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-287331

(P2007-287331A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 3 3 5 A 5 B O 1 5
G 1 1 C 11/41 (2006.01) G 1 1 C 11/34 A

審査請求 有 請求項の数 8 O L (全 21 頁)

(21) 出願番号	特願2007-207991 (P2007-207991)	(71) 出願人	503121103
(22) 出願日	平成19年8月9日(2007.8.9)		株式会社ルネサステクノロジ
(62) 分割の表示	特願2001-324357 (P2001-324357)	(74) 代理人	東京都千代田区大手町二丁目6番2号
	の分割		110000350
原出願日	平成13年10月23日(2001.10.23)		ポレール特許業務法人
		(72) 発明者	山岡 雅直
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	石橋 孝一郎
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	松井 重純
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所半導体グループ内
		最終頁に続く	

(54) 【発明の名称】 半導体装置

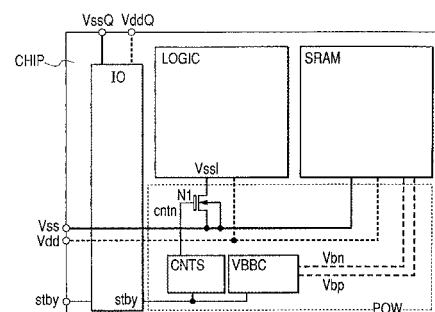
(57) 【要約】

【課題】 メモリが混載されたシステムLSIのリーク電流を低減し、スタンバイ状態の消費電力を低減する。

【解決手段】 システムLSI中のロジック回路には電源スイッチを設け、スタンバイ時にはそのスイッチを遮断してリーク電流を低減する。同時にSRAM回路では、基板バイアスを制御してリーク電流を低減する。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

複数のワード線と、ビット線の交点に配置された複数のメモリセルと、
上記ビット線に接続された読み出し・書き込み制御回路と、
上記ワード線を選択するデコーダと、
上記デコーダと第 1 ノードとの間に接続された第 1 スイッチと、
上記読み出し・書き込み制御回路と第 2 ノードとの間に接続された第 2 スイッチとを
有する半導体装置。

【請求項 2】

上記第 1 スイッチは上記デコーダと上記第 1 ノードとの間にソース・ドレイン経路が接
続された P チャネル型第 1 M I S トランジスタで構成され、 10

上記第 2 スイッチは上記読み出し・書き込み制御回路と上記第 2 ノードとの間にソース
・ドレイン経路が接続された N チャネル型第 2 M I S トランジスタで構成される請求項 1
に記載の半導体装置。

【請求項 3】

複数の M I S トランジスタからなる論理回路と、
上記 M I S トランジスタの動作電位点と電源線との間にソース・ドレイン経路を有する
第 3 M I S トランジスタを具備し、上記第 3 M I S トランジスタのゲート絶縁膜厚は上記
第 1 M I S トランジスタのゲート絶縁膜厚よりも大きい請求項 2 に記載の半導体装置。

【請求項 4】

上記複数のメモリセルはブロックに分割され、上記ブロック毎に上記メモリセルの動作
電位を制御するスイッチを有する請求項 1 に記載の半導体装置。 20

【請求項 5】

入出力回路を有し、
上記入出力回路内の M I S トランジスタのゲート絶縁膜厚は上記動作電位を制御するス
イッチを構成する M I S トランジスタのゲート絶縁膜厚よりも大きい請求項 4 に記載の半
導体装置。

【請求項 6】

複数のワード線と、ビット線の交点に配置された複数のメモリセルと、
第 1 電圧が供給される第 1 電源線と、 30
上記第 1 電圧より低い第 2 電圧が供給される第 2 電源線と、
上記ビット線に接続される読み出し・書き込み制御回路と、
上記ワード線を選択するデコーダと、
上記デコーダと上記第 1 電源線との間に接続される第 1 スイッチと、
上記読み出し・書き込み制御回路と上記第 2 電源線との間に接続された第 2 スイッチと
を具備し、
上記デコーダは直接上記第 2 電源線に接続されることを特徴とする半導体装置。

【請求項 7】

上記読み出し・書き込み制御回路は直接上記第 1 電源線に接続される請求項 6 に記載の
半導体装置。 40

【請求項 8】

上記ビット線はプリチャージ期間に上記第 1 電圧でプリチャージされる請求項 7 に記載
の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ロジック回路とスタティクメモリ (SRAM) 回路が混載された半導体装置に
関する。

【背景技術】

【0002】

特開平7-86916号では論理回路に電源スイッチを設け、論理回路を構成するMOSトランジスタにバックゲートバイアスをかける構成が開示されている。また、特開2000-207884号においてはスタティックメモリを含んだ低電圧動作対応のシステムLSIに対する基板バイアス制御技術が開示されている。特開2001-93275号ではロジック回路にロジック電源を、メモリ回路にメモリ電源を設けた構成が開示されている。

【0003】

【特許文献1】特開平7-86916号公報

【特許文献2】特開2000-207884号公報

【特許文献3】特開2001-93275号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

現在、SRAM回路とロジック回路を同一半導体チップ上に集積したシステムLSI(Large Scale Integrated Circuit: 大規模集積回路)と呼ばれる半導体集積回路が広く製造されている。ここで、SRAM回路とは、アレイ状に並んだSRAMのメモリセルおよびそのメモリセルにアクセスするための周辺回路を含んだ、その回路のみでメモリとして機能する回路のことを指す。また、ロジック回路とは、SRAMやダイナミックメモリ(DRAM)および不揮発性メモリなどのアレイ状に並んだメモリセルおよびメモリセルにアクセスするための回路を含んだメモリ回路以外の、入力された信号に特定の処理を施し出力する回路のことを指す。よって、ロジック回路中にフリップフロップなどのデータを保持する回路があってもこれはロジック回路の一部と考える。

【0005】

システムLSIの低消費電力への要求およびLSI中のトランジスタが微細化されていることから、LSIの電源電圧が低下している。たとえば、 $0.13\mu\text{m}$ プロセスでは、電源電圧1.2Vで動作するLSIが製造される。電源電圧が下がるとMOSトランジスタの電流が下がり回路性能が劣化する。この性能の劣化を抑えるためにMOSトランジスタのしきい値電圧を下げたLSIが製造される。

【0006】

MOSトランジスタのしきい値を下げるとMOSトランジスタのサブスレショルド電流と呼ばれるリーク電流が増加する。リーク電流は回路の動作時、非動作時に関わらず流れ続ける。スタンバイ状態では、SRAMでは、書き込み読み出し動作は行われていないが、データは保持し続ける。よって、システムLSIのスタンバイ状態での消費電力は回路中のMOSトランジスタのリーク電流であり、MOSトランジスタのしきい値電圧を下げると、スタンバイ状態の消費電力が増加する。ここで、システムLSIにおいて、ロジック回路が動作せず、SRAM回路がデータを保持している状態をスタンバイ状態と呼ぶ。

【0007】

スタンバイ時には、ロジック回路は動作していないため、ロジック回路についてはスイッチを用いて電源を遮断することによりリーク電流を減らすことができた。また、SRAMのメモリセルはフリップフロップ構造をしているため比較的リーク電流が少なく、また、従来のシステムLSIでは、搭載されるSRAM回路の容量が大きくなかったりしきい値の高いMOSトランジスタでSRAMのメモリセルを作っていたため、SRAM回路でのリーク電流は問題にはなっていなかった。しかし、MOSトランジスタの微細化がすすみ、システムLSIに大容量のSRAMが搭載され、SRAMのメモリセルを構成するMOSトランジスタのしきい値電圧が下げられると、SRAMのメモリセルにおけるリーク電流が無視できなくなる。ロジック回路では、電源をスイッチで遮断すればスタンバイ時のリーク電流を減らすことができるが、SRAM回路ではスタンバイ状態にデータを保持しておく必要があるため、電源を遮断することができず、リーク電流を低減することができない。また、低電圧化が進みMOSトランジスタのしきい値電圧が下がるとSRAM回路の中でメモリセルにアクセスするために付属している回路でのリーク電流が大きくなる。

【課題を解決するための手段】

10

20

30

40

50

【0008】

本願において開示される発明のうち、代表的なものの概要を説明すれば、以下の通りである。

(1)ロジック回路とSRAM回路が混載されているLSIにおいて、スタンバイ時に、ロジック回路の電源はスイッチで遮断し、SRAM回路はリーク電流を低減できるようにMOSトランジスタの基板電位を制御する。

(2)SRAM回路内のメモリセルにアクセスするための制御回路の電源を分割して遮断し消費電力を低減する。

(3)SRAM回路を分割して一部のSRAMでスタンバイ時にデータを保持し、データを保持しないSRAMは電源を遮断し、リーク電流を減らす。

10

【発明の効果】

【0009】

本発明によれば、ロジック回路とSRAM回路が混載されたLSIでスタンバイ時の消費電力を低減することが可能となる。

【発明を実施するための最良の形態】

【0010】

<実施例1>

【0011】

図1に、本発明を用いたロジック回路とSRAM回路を混載したLSIの全体の構成を概略的に示す。図1において、混載LSIであるCHIPは、外部からの電源電位線VssQとVddQを動作電位とする入出力回路IO(IO回路)と、データに所定の処理を実行するロジック回路LOGICと、データを記憶するスタティックメモリ回路SRAMと、接地電位線Vssとロジック回路の低電位側の動作電位供給線Vsslの間でスイッチとなるnMOSトランジスタN1と、スタンバイ状態の間入力される信号stbyが入力されN1のゲート電極に接続されてN1を制御する信号cntnを出力する制御回路CNTSと、stbyが入力されるとSRAMの基板電位VbnおよびVbpを制御する基板バイアス制御回路VBBCを含む。以下、特に断らない場合には、Vddから始まる記号のついた電源は、高い電位(ハイ電位)を供給する電源、Vssから始まる記号のついた電源は低い電位(ロウ電位)を供給する電源とする。尚、IO回路に供給される動作電位差(VssQ-VddQ)は一般に規格により定まりロジック回路やSRAM回路の動作電位差(Vss-Vdd)よりも大きい。一例としてVddQに3.3V、Vddに1.2V、VssとVssQに0Vを供給することが挙げられる。制御回路CNTSに用いられる信号stbyはIO回路を介して用いられる。図1の回路の半導体チップ上のレイアウトを図2に示す。入出力回路IO(IO回路)に囲まれた中にコア回路(ロジック回路やSRAM回路等)が配置されている。IO回路は入出力パッドに接続されている。IO回路には、コア回路で使用されているMOSトランジスタよりゲート絶縁膜厚の厚いMOSトランジスタが使用される。一般にIO回路ではコア回路より高い電源電圧が印加されるため、耐圧が要求されるためである。図1中の電源制御系POWに含まれた電源スイッチ、基板バイアス制御回路VBBC、電源スイッチ制御回路CNTSは纏めて配置することによって集積度を上げることができる。トランジスタサイズ(チャンネル長、チャンネル幅)がロジック回路やSRAM回路と異なるときに有利となる。尚、基板バイアス制御回路は制御スイッチ、チャージポンプ回路等で構成される。

40

【0012】

図1中のN1は、IO回路に用いられる絶縁膜厚の厚いnMOSトランジスタを用いている。電源スイッチN1の基板電位はソース側に接続されている。以下、電源と接続されたスイッチを構成するMOSトランジスタの基板電位は特に記載がない限りNチャンネル型及びPチャンネル型MOSトランジスタとも該トランジスタのソース電位に接続されているものとする。厚膜のMOSトランジスタを使用することによって、ゲートのトンネルリーク電流対策に有効となる。また耐圧が優れるためスイッチN1のゲートに印加される電圧を動作電圧よりも大きくすることができ、nMOSを非導通にした場合のリーク電流を抑えることができる。LSIを構成するトランジスタの膜厚が1種類しかない場合や、設計上IO回路に用いられるMOSトランジスタをコア部分で使用できない場合などには絶縁膜厚の薄いMOSトランジスタをスイッ

50

チとして用いることができる。その場合には、スイッチN1で完全にリーク電流を切ること
はできない。よって、このリーク電流が許容範囲内である場合にはMOSスイッチを薄膜のM
OSTランジスタで作るだけでよいが、リーク電流が許容値を超えていた場合には、ロジッ
ク回路およびスイッチN1または、スイッチN1のみの基板電位を制御してリーク電流を低減
するなどの方法をとる必要がある。

【0013】

また電源を遮断するスイッチとしてnMOSトランジスタを用いているのは、nMOSはpMOSと
比較して流れる電流が大きくなるため同じ電流を流そうとした場合に、スイッチのサイズ
を小さくできるからである。よって、面積に余裕がある場合などスイッチの大きさを考慮
しなければ、接地電源Vssを遮断するnMOSのスイッチを入れるかわりに、電源Vddを遮断す
るpMOSのスイッチを入れることが可能である。回路各部のアクティブ状態ACTおよびスタ
ンバイ状態STBの電位の例を図3に示す。ここで、アクティブ状態ACTとはロジック回路及
びSRAM回路が動作している状態を表す。図1中のVddおよびVssは、SRAM回路・ロジック回
路を含むコアの電源でVddの電圧は1.2V、Vssの電圧は0.0Vである。アクティブ状態では、
スタンバイ信号stbyがロウなため、スイッチのコントロール信号がハイでnMOSスイッチは
オンとなっている。またSRAM回路のnMOSトランジスタおよびpMOSトランジスタの基板電位
であるVbnおよびVbpはそれぞれ0Vと1.2Vとなっており、SRAM回路中のMOSトランジスタに
かかる基板バイアスVbsは0Vとなっている。よって、SRAM回路を構成するMOSトランジスタ
のしきい値電圧はトランジスタの構造(ゲート幅・ゲート長・インプラ量)より決定される
値より変化していない。

10

20

【0014】

スタンバイ状態では、スタンバイ信号stbyがハイになる。それにしたがってnMOSスイッ
チを制御する信号cntnがロウとなりnMOSスイッチが非導通状態となる。同時に、SRAM回路
を構成するnMOSトランジスタおよびpMOSトランジスタの基板電位であるVbnとVbpが-1.2V
および2.4Vとなる。これによって、SRAM回路中のMOSトランジスタに1.2Vの基板バイアス
が印加され、MOSトランジスタのしきい値電圧が上昇し、MOSトランジスタのリーク電流が
減少する。

【0015】

入力されたスタンバイ信号stbyを用いてスイッチをコントロールする信号cntnを生成す
る回路は例えば、図4のような簡単な回路で実現することができる。

30

【0016】

また図4の回路を用いる場合には図3のようにスタンバイ状態STBで常にスタンバイ信号s
tbyとしてハイが入力されている必要がある。ここで、例えば、スタンバイ状態STBになる
時にのみスタンバイ信号stbyが入力され、スタンバイ状態STBからアクティブ状態ACTに変
化する時にアクティブ信号ackが入力される場合が考えられる。その際のスタンバイ信号s
tbyおよびアクティブ信号ackおよびコントロール信号cntnの電位変化を図5に示す。スタ
ンバイ信号stbyが入るとコントロール信号cntnがロウになって電源スイッチが切れてリー
ク電流を減少させることが可能となる。またアクティブ信号ackが入力されるとコントロ
ール信号cntnがハイとなり電源スイッチが導通しロジック回路に電源が供給される。

【0017】

40

図5の波形の信号を出力するための回路CNTSを図6に示す。スタンバイ状態STBであるこ
とを回路中で記憶しておくためにフリップフロップを用いている。この際には、アクティ
ブ状態ACTに戻るための信号を用意する。図7は、図1中のSRAM回路SRAMの構成例を示して
いる。SRAM回路は、メモリセルアレイMARと、メモリセルにアクセスするための周辺回路P
ERI1とPERI2、およびPERI1またはPERI2の電源線VssおよびVddを遮断するためのスイッチ
となるMOSトランジスタs_sw2およびs_sw1およびs_sw2mのゲートにスタンバイ状態を伝達
する信号stbyの反転信号を入力させるためにインバータを含む。SRAM_CIRに含まれるPチ
ャネル型MOSトランジスタの基板電位はVbpに接続され、Nチャネル型MOSトランジスタの基
板電位はVbnに接続することによって基板バイアス電位を制御できる。MARは、SRAMのメモ
リセルがアレイ上に並んだ回路である。メモリセルは一对のCMOSインバータの入力と出力

50

が互いに接続されて構成されるフリップ・フロップ(第1と第2のPチャネル型負荷MOSトランジスタ、第1と第2のNチャネル型駆動MOSトランジスタで構成される)と、前記フリップ・フロップの2つの記憶ノードとビット線(BL, /BL)との間に接続された第1と第2Nチャネル型転送MOSトランジスタとで構成される。Nチャネル型転送MOSトランジスタのゲート電極にはワード線WLが接続される。メモリセルの動作電位はVddmaとVssmaにより与えられる。周辺回路PERI1は、ワードドライバWDRおよびロウデコーダRDEC、メモリコントローラMCNTを含めたメモリセルのワード線WLを制御するための回路を含んでいる。PERI1に含まれる回路の動作電位はVddperとVssperにより与えられる。周辺回路PERI2は、プリチャージ回路PRE、ビット線に接続された読み出し・書き込み制御回路であるリードアンプ・ライトアンプRWAMPおよびカラムデコーダCDECを含むメモリセルのビット線BLを制御するための回路を含んでいる。リード・ライトアンプRWAMPはセンスアンプの出力バッファであるOBUF、ライトアンプの制御回路WCNTを含んでいる。PERI2に含まれる回路の動作電位はVddampとVssampにより与えられる。図中の/stbyは、スタンバイ時STBにはロウの信号が入力される。これにより、スタンバイ時には、PERI1へ入力される電源線Vddが遮断され、同時にPERI2に入力される電源線Vssが遮断される。また同時にMAR、PERI1およびPERI2を構成するMOSトランジスタの基板電位を供給するVbnおよびVbpは、MOSトランジスタのしきい値電圧の絶対値を上昇させるように制御される。このように、SRAMのメモリセルには基板バイアスを印加し、周辺回路には基板バイアスをかけた上で電源にスイッチを設けてリーク電流を低減することにより、スタンバイ時のSRAMでの消費電力を低減することができる。

10

20

【0018】

図7中で、周辺回路を2つにわけ、それぞれVssおよびVddを遮断していることには次に説明する理由がある。スタンバイ状態ではワード線はロウとなっている上、動作状態においても選択されたワード線を除けば、ロウとなっている。従って、ワード線をドライブする回路はハイの電位である電源Vddを遮断することによって、ロウの電位である電源Vssを遮断するよりリーク電流が低減でき、スタンバイ状態からの復帰にかかる時間が短くなる。つまり、Vdd側にスイッチを入れる場合、Vss側にスイッチを入れるよりも小さなスイッチですむ。逆に、SRAMではビット線は通常Vddにチャージされるため、アンプ等は、Vddにチャージした状態が安定となる構成になっている場合が多い。したがって、スタンバイ時にビット線をVddにチャージし、リードアンプおよびライトアンプの電源Vssをスイッチで遮断するとリーク電流が低減でき、スタンバイ状態からアクティブ状態への復帰時間が短くなる。ビット線をVddにプリチャージする回路では、ビット線を駆動する回路のVssを遮断する方がリーク電流および復帰時間の点で有利であるが、ビット線をVssにプリチャージする回路では、当然Vdd側のスイッチを遮断する方が有利であり、その構成をとることも可能である。

30

40

50

【0019】

図7の回路は、図1のようなシステムLSI中のSRAMを想定しているが、システムLSIに限らずメモリLSIに適用することが可能である。さらに、図7はSRAM回路の基板バイアスを制御する図となっているが、周辺回路のリークを抑えることによって十分にスタンバイ状態の消費電力を低減することが可能であるならば、必ずしも基板バイアスを印加する必要はない。とくに、今後MOSトランジスタの特性が変化し、MOSトランジスタのサブスレショルドと呼ばれるリーク電流よりもMOSトランジスタの接合リークと呼ばれるリーク電流が増加した場合、基板電位を制御する方式では、リーク電流を低減できない可能性がある。その場合には、システムLSI内のロジック回路およびSRAMの周辺回路の電源をスイッチで遮断する構成はとくに重要な技術となると考えられる。図8には図1中のロジック回路OGICの構成例を示している。ロジック回路LOGIC_CIRはPチャネル型MOSトランジスタとNチャネル型MOSトランジスタとで構成されるインバータ、NAND、NOR等の論理ゲートが組み合わされ、多段接続されている。ロジック回路内のトランジスタには基板電位は印加されていないため、Pチャネル型MOSトランジスタの基板電位は動作電位の高電位側Vddに接続され、Nチャネル型MOSトランジスタの基板電位は動作電位の低

電位側 V_{ss1} に接続されている。

図9には、LSI中のロジック回路やSRAM回路(CORE)に用いられるMOSトランジスタと、LSIの入出力回路IOに用いられるMOSトランジスタと、図1で示したロジック回路の電源を遮断するスイッチlogic swに用いられるMOSトランジスタと、図7で示したSRAMの周辺回路の電源を遮断するスイッチS_SWに用いられるMOSトランジスタの種類の構造を表す。Pチャンネル型MOSとNチャンネル型MOSトランジスタではしきい値電圧は異なるが、一般に極性を反転させて同じ値に設計されるため図16においてはその絶対値を示す。一般的にLSIの入出力回路部分には絶縁膜厚の厚い厚膜トランジスタが、内部のロジック回路等には絶縁膜厚の薄いトランジスタが用いられる。この図では、絶縁膜厚の厚いMOSトランジスタの例として絶縁膜厚が6.7nmのもの、絶縁膜厚の薄いMOSトランジスタの例として絶縁膜厚が2.0nmのものをを用いた。また、膜厚の薄いMOSトランジスタとして、不純物量の違いにより2種類かそれ以上のしきい値電圧をもつMOSトランジスタが使われることが多い。図9では、しきい値電圧 V_{th} が0.40Vと0.25Vの2種類のMOSトランジスタが使われる場合を例としてあげた。しきい値電圧の低いMOSトランジスタの方が、動作時の電流が大きい、待機時のリーク電流も大きくなる。すべての組合せで、制御スイッチを除いたロジック回路LOGIC_CIRとSRAM回路SRAM_CIRにはゲート絶縁膜が薄膜の2種類の V_{th} のMOSトランジスタを、IOにはゲート絶縁膜が厚膜で V_{th} の高いMOSトランジスタを用いている。LOGIC_CIRにおいて、クリティカルパスには低しきい値、残りの回路には高しきい値のトランジスタを用いる。SRAM_CIRにおいて、リーク電流の削減及びスタティックノイズマージン(SNB)の維持のためメモリセルアレイMARには高しきい値のトランジスタを用いる。プリチャージ回路、セ
10
20

【0020】

Pattern1の組合せでは、ロジック回路の電源スイッチには厚膜で V_{th} の高いMOSトランジスタを、SRAM回路内の周辺回路の電源スイッチには薄膜で V_{th} の高いMOSトランジスタを使用する。ロジック回路の電源スイッチには厚膜のMOSトランジスタを用いて、規模の大きい回路のリーク電流を抑える。SRAMでは、基板バイアスを制御してリーク電流を抑えているため、電源スイッチに多少リークの大きい薄膜のMOSトランジスタを用いているため全体のリーク電流が抑えられる。また、SRAM回路にしめる周辺回路の回路規模が大きい場合には、周辺回路のリーク電流は大きくないと考えられるため、Pattern1の構成が有効で
30

【0021】

Pattern2の組合せでは、ロジック回路の電源スイッチおよびSRAM回路内の周辺回路の電源スイッチともに厚膜で V_{th} の高いMOSトランジスタを使用する。これによって、LSI中のSRAMメモリセル以外の回路のリーク電流を低減することができ、Pattern1と比較してスタンバイ時の消費電力が小さくなる。しかし、SRAM回路を設計する際に、厚膜のMOSトランジスタの特性を考慮する必要があるため、設計効率は下がる。Pattern2の組合せは、SRAM回路の規模が大きい場合、SRAMの周辺回路の規模が大きい場合、または基板バイアスを制御することによるリーク電流の低減効果が大きく見込めない場合に有効な組合せである。
40

【0022】

Pattern3の組合せでは、ロジック回路の電源スイッチおよびSRAM回路内の周辺回路の電源スイッチともに薄膜で V_{th} の高いMOSトランジスタを使用する。この場合、薄膜のMOSトランジスタを用いているため、Pattern2と比較してリーク電流を低減する効果が下がる。しかし厚膜のMOSトランジスタの特性を考慮する必要がないため、設計効率は上がる。Pattern3の組合せは、LSIのリーク電流の低減効果がそれほど大きくなく、設計効率が必要な
50

場合等に有効である。

【0023】

以上のように、スタンバイ状態ではロジック回路の電源をスイッチで遮断し、SRAM回路には基板バイアスを印加することによって、システムLSIのリーク電流を下げて、スタンバイ状態の消費電力を低減することができる。

＜実施例2＞

【0024】

本実施例ではロジック回路に用いられる電源スイッチの変形例を示す。図10には、図1の回路でロジック回路部分の電源Vssにのみ搭載していた電源スイッチを電源VddおよびVssにつけた場合の回路ブロック図を示す。ロジック回路の2つの電源であるVddおよびVssにスイッチを設けて電源を遮断することによって、電源スイッチを設けることによる面積の増加は大きくなるが、より確実にスタンバイ時のリーク電流を遮断することが可能となる。尚、図1にはI/O回路が図示されているが、図10では省略している。以下、他の図でもCHI P内のI/O回路を省略して記載する。

【0025】

図10の回路を用いた時の、回路各部の電位を図11に示す。この図は、図3の電位にロジック部分のVddを遮断するためのスイッチであるpMOSのP1を制御する信号cntpが加わった図となっている。cntpは、アクティブ状態ACTでロウとなり、スタンバイ状態STBでハイとなる。よって、図7中の制御信号を出力する回路CNTS2の内部回路を特には記述しないが、図4または図6の回路に逆位相の信号を出力する回路が付加された回路を取ることも可能である。図1および図10では、図1中のロジック回路が1つにまとまっている場合の回路について説明した。図12には、ロジック回路が2つ以上のブロックに分割されているLSIに、本発明を適用した場合の回路のブロック図を示す。図12では、ロジック回路が2つのブロックに分割されている場合の例を示すが、3つ以上のブロックに分割されている場合でも、同様の構成が適用できる。図12に示すメモリ混載LSIは、ロジック回路LOGIC1およびLOGIC2、LOGIC1およびLOGIC2それぞれの接地電位電源線Vss11およびVss12、Vss11およびVss12をLSI全体の電源線Vssに接続するスイッチN2およびN3、スタティックメモリ回路SRAM、スイッチの制御回路CNTSおよびSRAMの基板電位を制御する回路VBBCで構成されている。ロジック回路が複数あることを除いては図1の回路と同等の構成であり、動作は図1の回路と同等の動作となる。ロジック回路を複数のブロックに分割して、それぞれに電源を遮断するスイッチを設けることによって、それぞれのブロックに最適のスイッチを付加することができる。たとえば、一部のロジックブロックにはVssを遮断するnMOSのスイッチを付加し、別のブロックにはVddを遮断するpMOSのスイッチを付加し、あるいはブロックによってはVddとVssの2つの電源を遮断するスイッチを設けることが可能である。

【0026】

図13に示すメモリ混載LSIは、各ロジック回路のブロックがそれぞれに電源スイッチを付加され、その電源スイッチがそれぞれ別の信号cntn1およびcntn2で制御されていること、および、制御信号cntn1およびcntn2を別々に制御可能な制御回路CNTS3で構成されていることが図12と異なっている。CNTS3は、電源スイッチの制御信号cntn1およびcntn2を制御可能な回路となっており、回路の動作状態によって、スイッチN2を遮断してスイッチN3は導通するといった制御が可能である。これによって、スタンバイ状態で動作させておく必要のあるロジック回路のブロックを動作させ、動作を止めることができるロジック回路のブロックとSRAM回路をスタンバイ状態にして、リーク電流を低減することが可能となる。

【0027】

図13において、図12の場合と同様、3つ以上のロジックブロックがある場合や、ブロックごとにVss側の電源またはVdd側の電源またはその両者を遮断するといった組合せを作ることとは可能である。図13の構成では、ブロックごとの電源を供給を制御してスタンバイ状態つまり低リーク状態にすることが可能であるため、スタンバイ状態に限らずアクティブ状態においても、動作する必要のないロジック回路およびSRAM回路をスタンバイ状態とな

るよう電源スイッチを制御して、リーク電流を最小限に抑えることも可能である。

図14に図13の実施例を中央演算処理装置を搭載したシステム(マイコン)に適用した例を上げる。システムLSIは、中央演算処理装置CPUと呼ばれるさまざまな演算が可能なロジック回路ブロックCPUとデジタル信号演算専用のロジック回路ブロックDSPとスタティックメモリブロックSRAM回路とそのブロックを接続しデータをやりとりするバスBUSとそのバスを制御する回路BSCNTおよび外部とデータをやりとりする回路IOで構成される。それぞれのブロックはアクティブ状態ではバスを通じてデータがやりとりされるため、バスの動作状態をモニターすることによって、そのブロックが動作しているかがわかる。例えば、回路全体が動作していない場合には、バスをコントロールする回路BSCNTからstat1という信号ですべてのブロックがスタンバイ状態にあることをスイッチの制御回路CNTS3に伝達すれば、CNTS3がcntn1およびcntn2をロウとしスイッチN2およびN3が遮断されロジック回路のリーク電流が低減できる。同時に、VBBCがSRAMの基板電位であるVbnおよびVbpを制御してSRAMのリーク電流を下げれば回路全体のリーク電流を低減できる。また例えば、CPUのみ動作していてDSPおよびSRAMへのバスを通じたアクセスがない場合には、BSCNTがその情報をstat1を通じて出力し、SRAMの基板電位をスタンバイ状態に、DSPの電源スイッチN3を遮断してDSPをスタンバイ状態に、CPUのみをアクティブ状態にする、という状態を作ることが可能となる。

<実施例3>

【0028】

図15には、本発明を用いたロジック回路とSRAM回路を混載したLSIの全体の構成を概略的に示す。混載LSIであるCHIPは、ロジック回路LOGICと、スタティックメモリ回路SRAMと、外部からの接地電位線Vssとロジック回路の接地電位線Vsslの間でスイッチとなるnMOSトランジスタN1と、スタンバイ状態の間入力される信号stbyが入力されN1のゲート電極に接続されてN1を制御する信号cntnを出力する制御回路CNTSと、stbyが入力されるとSRAMの基板電位VbnおよびVbpを制御する基板バイアス制御回路VBBCと、stby信号によってSRAMの電源線Vddmを制御する回路CNTV1を含む。

【0029】

図15の構成はCNTV1を除くと図1の回路と同様の構成をとり、CNTV1以外は図1と同等の動作をする。CNTV1は、スタンバイ状態になってstby信号が入力されると、SRAMの電源電圧をVddからデータを保持することが可能なVddより低い電圧に下げる。これによって、スタンバイ状態では、SRAMの基板電位が制御されてリーク電流が減り、電源電圧が下がるためさらにリーク電流が低減でき、図1の回路よりさらにスタンバイ時の消費電力を低減することができる。

【0030】

図15の回路各部のアクティブ時ACTおよびスタンバイ時STBの電位を図16に示す。回路の電源Vddの電圧は1.2Vの場合の電位を示す。stby、cntn、Vbn、Vbpは図1の動作電位である図3と同じである。SRAMの電源電圧Vddmは、アクティブ時ACTは電源電圧と同じ1.2Vであり、スタンバイ時STBには、0.6Vとなっている。これによって、SRAMでのリーク電流を低減することができる。

【0031】

図15中の電源制御回路CNTV1は、例えば図16の回路で実現できる。CNTV1は、降圧回路PDCと切替えスイッチで構成される。SRAM回路がアクティブ状態ACTの時は、切替えスイッチによってSRAM回路内のメモリセルに動作電位を供給する電源線Vddmが外部から供給される電源Vddに接続されて、SRAM回路の電源電圧はVddと等しくなる。スタンバイ状態STBでは、信号stbyによって切替えスイッチが切替えられ、降圧回路によって発生したVddより低くSRAMのメモリセル内のデータが保持できる電位以上になっているVddlとSRAM回路の電源Vddmが接続され、SRAM回路の電源電圧がVddより低くなる。尚、図15では高電位側で降圧したが、電源制御回路CNTV1をVssmとVssとの間に接続し、CNTV1を昇圧回路とすることも可能である。低電位側を昇圧、又は昇圧降圧の組み合わせにより同じ効果を得ることができる。

10

20

30

40

50

<実施例 4>

【0032】

図18に、図7の回路の変形例を示す。図7では、メモリセルアレイの電源はVddmaおよびVssma、ビット線をドライブする回路を含んだ回路RWAMPの電源はVddampおよびVssamp、それ以外の回路の電源はVddperおよびVssperで、SRAM回路内の電源を3系統にわけ、ビット線の制御に用いられる周辺回路PERI2と低電位側の電源との間にNチャネル型MOSトランジスタからなるスイッチを、ワード線の制御に用いられる周辺回路PERI1と高電位側の電源との間にPチャネル型MOSトランジスタからなるスイッチを挿入したが、ここでは3系統にわけた電源の高電位側と低電位側それぞれにスイッチを入れて各電源をスタンバイ時に遮断できる構成としたものである。この回路では、すべての電源にMOSトランジスタで構成されたスイッチが入っており、スタンバイ時に、制御信号cntmp1および制御信号cntmp2をロウに、制御信号cntmp3をハイに、制御信号cntmn1および制御信号cntmn3をハイに、制御信号cntmn2をロウにすることによって、スイッチP6、P7、N6およびN8を導通させ、スイッチP8およびN7を遮断することによって、図7の構成を実現できる。また、P6とN6はSRAMメモリセルの情報保持のためにスタンバイ時でも導通しておく必要があるが、後に述べるSRAM回路をブロック分割した場合に、情報を保持する必要のないブロックにおいてはP6とN6を遮断する構成を採用することも低電力化において有効になる。スタンバイ時にVssampを制御するスイッチに印加される信号cntmn2をロウとする代わりに、cntmp2をハイにすれば、ビット線をロウにプリチャージする回路で使用されると考えられるリード・ライトアンプのVdd側の電源を遮断する回路が実現できる。このように、図18に示す回路では、制御信号の制御の仕方によって、いくつかの種類の回路を実現できる。

【0033】

図19には、図7の回路を一部変更した回路を示す。カラムデコーダCDECの電源はVddperおよびVssperに接続されている。図7ではカラムデコーダCDECは、Vss側の電源を遮断するようになっているが、これはカラムデコーダがアンプの近くに配置されているため、アンプと同じスイッチで電源を遮断すると回路設計が容易になると考えられるためである。しかし、カラムデコーダをワード線を制御する回路と電源を共通にし、Vdd側の電源を遮断することによって、電源の配置等の設計が複雑にならないければ、Vdd側を遮断する構成をとることができる。カラムデコーダは、ビット線を制御するがワードドライバWDRと同様に動作時に低電位を取るノードが多い(選択線が非選択線よりも多い)ため、高電位側にスイッチを用いるメモリコントローラMNCTと同じ動作電位VddperとVssperを取る方が有利となる。尚同様の理由で、図上示されていないが、ライトアンプの制御回路WCNTもVddperとVssperに接続する方が望ましい。図19では図18の3電源に対するスイッチ(VddとVddma、VddampとVddperとの間にそれぞれ設けられたPチャネル型MOSトランジスタによるスイッチ及び、VssとVssma、VssampとVssperとの間にそれぞれ設けられたNチャネル型MOSトランジスタによるスイッチ)とスイッチを介さない電源線とを用意したが、構成上低電位側、高電位側のどちらに遮断するスイッチを設けた方がよいかによってSRAM回路内をブロック化することにより、Vddampと接続されたPチャネル型MOSトランジスタ及び、Vssperと接続されたNチャネル型MOSトランジスタを省略することができる。この回路では、図7と異なりロウデコーダRDECにつながる電源がSRAM回路内の遮断可能な電源ではなくSRAM回路外の電源VddとVssと直接接続されており、スタンバイ時にロウデコーダには電源が供給されている。これは、スタンバイ状態からの復帰時の電源の供給される時間差等からワード線にノイズがのって、メモリセル内の転送MOSが導通状態になってしまうのを防ぐためである。このノイズが発生するのは、ワードドライバの電源がその前段の回路の電源が早く立ち上がってしまい、ワードドライバにロウの信号が入力された状態となり、ワードドライバがハイを出力してしまうためである。ロウデコーダにスタンバイ時に電源を供給しておくことで、ワードドライバにロウの信号が入力されることがなくなり、ワード線にノイズがのることがなくなる。図19では、ロウデコーダ全体の電源を外部から供給される電源VddおよびVssに直接接続したが、この回路構成ではロウデコーダのリーク電流は低減できないことになる。よって、特には図示しないが、ロウデコーダ全体の電源をVddおよ

びVssに接続するのではなく、ワードドライバの前段の回路たとえばNAND回路にのみ電源VddおよびVssを接続し、それ以外のロウデコーダの回路にはスイッチで遮断する電源を接続するという回路構成が考えられる。この回路構成だと、リーク電流は低減できるが、ロウデコーダ内での電源の配置が複雑になり、設計が困難になる。よって、SRAM回路中のロウデコーダの規模が比較的大きく、ロウデコーダのリーク電流を抑える必要がある場合には、ワードドライバの前段の回路にのみ外部から供給されている電源VddおよびVssを接続し、それ以外のロウデコーダの回路には電源スイッチによってスタンバイ時に電源を遮断することが可能な電源を接続する回路構成とし、ロウデコーダの規模が大きくなりロウデコーダのリーク電流の影響が少ない場合には、ロウデコーダの電源をすべてVddおよびVssに接続する本構成が有効であると考えられる。図19のようにSRAMの周辺回路の電源を機能によって分割して制御することによって、SRAMの周辺回路のリーク電流を低減することが可能となる。

<実施例 5>

【0034】

図20に、図1のロジック回路とSRAM回路を混載したLSIにおいてSRAM回路だけでなくロジック回路にも基板バイアス制御を行った構成図を示す。混載LSIであるCHIPは、ロジック回路LOGICとスタティックメモリ回路SRAMと、ロジック回路の接地電位線Vsslの間でスイッチとなるnMOSトランジスタN1と、ロジック回路およびSRAM回路を構成するMOSトランジスタの基板電位線Vbn1、Vbp1、VbnmおよびVbpmが、VddおよびVssとVbnおよびVbpのどちらに接続されるかを選択するスイッチSW1と、N1を制御する信号cntnとスイッチSW1を制御する信号cntvbb1およびcntvbb2を出力する制御回路CNTS4と、基板バイアスVbnおよびVbpを発生する基板バイアス制御回路VBBC2を含む。

【0035】

アクティブ時およびスタンバイ時の各部の電圧は図3に示されている電圧となる。スタンバイ時には、ロジック回路の電源が遮断されるとともに、ロジック回路の基板電位が制御されロジック回路のリーク電流が低減される。

【0036】

この回路は、図9のPattern3で示したようにロジック回路の電源スイッチを低しきい値のMOSトランジスタで作った場合に、電源スイッチでのリーク電流がある場合に、基板バイアスを印加することによって、ロジック回路のリーク電流が低減されるため、有効となる。この回路では、ロジック回路とSRAM回路の基板電位を独立に制御することができる。SRAM回路のみスタンバイ状態にしてロジック回路をアクティブ状態にすることによって、ロジック回路のみが動作している時にSRAM回路でのリーク電流を低減することが可能である。また、ロジック回路に基板バイアスを印加して、SRAM回路を動作させてロジック回路のリーク電流を低減することも可能である。このように、ロジック回路およびSRAM回路に基板バイアスを印加するかどうか選択可能なスイッチを持たせることによって、動作状態に応じてリーク電流を減らすという動作が可能となる。さらに、基板電位を制御するブロックを細かく制御することで、基板バイアスを印加して電圧を変化させる負荷の量を変化させることができる。つまり、スイッチを設けて不必要な部分に基板バイアスを印加しなければ、電位を変化させる必要のある負荷が減るため電位の変化にかかる時間を短くできる。

<実施例 6>

【0037】

図21に、図1のSRAM回路をブロックに分割した第1の変形例を示す。図24において、混載LSIであるCHIPは、ロジック回路LOGICと、スタティックメモリ回路SRAM1およびSRAM2と、電源Vssとロジック回路の接地電位線Vsslとの間でスイッチとなるnMOSトランジスタN9と、電源VssとSRAM1の接地電位線Vssm1との間でスイッチとなるnMOSトランジスタN10と、N9およびN10を制御する信号cntnを出力する制御回路CNTSと、基板バイアスVbnおよびVbpを発生する基板バイアス制御回路VBBCを含む。SRAM回路SRAM1とSRAM2は図7及び既に上げた図7の変形例と同様の構成をとることができる。

【0038】

この回路では、図1のSRAM回路をSRAM1とSRAM2の2つのブロックに分割し、スタンバイ時には、ロジック回路およびSRAM1の電源を遮断し、SRAM2には基板バイアスを印加して全体のリーク電流を低減し、スタンバイ時の消費電力を低減する。よって、図1の回路と比較するとSRAM1の回路のリーク電流を低減することができる。ただし、この構造では、スタンバイ時にはSRAM1に記憶されていたデータは消えてしまうため、スタンバイ時に記憶しておく必要のあるデータはSRAM2に記憶させる必要がある。システムLSIでは、いくつかのSRAMブロックが混載されて、スタンバイ時にデータを保持しておく必要のあるブロックとないブロックが混在している構成も多く考えられるため、そのような回路ではこの回路構成を用いることによって、リーク電流を低減する効果が大きい。

10

【0039】

図22に、SRAM回路を2つに分割した場合のそれぞれのSRAMのメモリセル回路に用いるMOSトランジスタの組合せを示す。この図では、図9と同様に、絶縁膜厚の厚いMOSトランジスタの例として絶縁膜厚が6.7nmのも、絶縁膜厚の薄いMOSトランジスタの例として絶縁膜厚が2.0nmのものを用いる。また、膜厚の薄いMOSトランジスタが2種類のしきい値電圧をもつ例として、しきい値電圧 V_{th} が0.40Vと0.25Vの2種類のMOSトランジスタが使われる場合を例としてあげた。MAR1が電源を遮断できるSRAM1のメモリセルのMOSトランジスタ、MAR2が電源を遮断しないSRAM2のメモリセルのMOSトランジスタを表している。ロジック回路LOGIC_CIRには、図9の表で挙げたとおり、2種類のしきい値のMOSトランジスタを用いる。ロジック回路内の約10%に低しきい値のMOSトランジスタを用い、それらはクリティカルパス経路内のトランジスタに割り当てられる。SRAMのメモリセルを除いた周辺回路のMOSトランジスタは図示していないが、ロジック回路の低しきい値0.25Vと同じしきい値のMOSトランジスタを用いる。いずれも薄膜のMOSトランジスタが用いられる。IOは入出力回路に用いられるMOSトランジスタを表しており、いずれの組み合わせでも厚膜でしきい値電圧の高いMOSトランジスタが用いられる。

20

【0040】

Pattern1では、すべてのSRAM回路ブロック内のメモリセルに薄膜でしきい値電圧の高いMOSトランジスタを用いている。この構成では、メモリセルの面積が小さくなり、またSRAMの動作安定性にも優れていると考えられる。

【0041】

Pattern2では、電源スイッチが付加していないSRAMメモリセルを厚膜でリーク電流の少ないMOSトランジスタで作成し、リーク電流を下げる組合せである。この組合せでは、電源スイッチが入っているSRAM1内のメモリセルを構成するトランジスタは薄膜のMOSトランジスタで作っているため面積が小さく動作も早い。さらにリーク電流は電源スイッチで抑えることができる。また、電源スイッチの入っていないSRAM2内のメモリセルを構成するトランジスタを厚膜のMOSトランジスタで作ることによって、スタンバイ時のリーク電流を下げるができる。ただし、SRAM2のメモリセルの面積は大きくなると考えられるため、回路面積がそれほど気にならない回路や、リーク電流を確実に減らす必要のある回路で使用すると、この回路の利点をもっとも得られる。また、SRAM2の回路規模が小さい場合にもこの組合せは有効である。

30

40

【0042】

Pattern3は、SRAM1のメモリセルを薄膜でしきい値電圧が低いMOSトランジスタで作成し、SRAM2のメモリセルは薄膜でしきい値電圧が高いMOSトランジスタで作る。SRAMのメモリセルを構成するMOSトランジスタのしきい値を下げた場合、リーク電流が大きくなってスタンバイ時の消費電力が大きくなる問題と、SRAM自体の動作マージンがなくなりメモリセル自体が動作しなくなるという問題がある。前者の問題は、電源スイッチを設けることで回避できる。よって、後者の問題が顕著に現れないような特性のMOSトランジスタを用いる時にのみこの組合せが実現できる。

【0043】

Pattern4は、Pattern3の組合せのうちSRAM2のメモリセルを構成するMOSトランジスタと

50

して厚膜のMOSトランジスタを用いたものである。これにより、Pattern3よりも回路面積は大きくなるが、リーク電流は低減できる。

【0044】

図23に、図21の応用例を示す。混載LSIであるCHIPは、ロジック回路LOGICと、スタティックメモリ回路SRAM1およびSRAM2と、ロジック回路とSRAM回路間でデータを転送するバスであるBUSと、電源Vssとロジック回路の接地電位線Vsslとの間でスイッチとなるnMOSトランジスタN9と、電源VssとSRAM1の接地電位線Vssm1との間でスイッチとなるnMOSトランジスタN10と、スタンバイ状態での制御信号cntnおよびdtranを出力する制御回路CNTS5と、基板バイアスVbnおよびVbpを発生する基板バイアス制御回路VBBCを含む。

【0045】

通常、システムLSIでは、バスを通してロジック回路とSRAM回路間でデータのやりとりが行われるため、図21のシステムLSIの回路にもバスが存在すると考えられる。よって、図23の回路と図21の回路とで異なるのは、スタンバイ状態の制御回路であるCNTS5のみであり、この回路の動作およびバスの動作について説明する。LSIをスタンバイ状態にする場合に、制御回路CNTS5から制御信号dtranを用いてロジック回路を制御して、SRAM1中のスタンバイ時に記憶しておく必要のあるデータをバスを介してSRAM2に退避させる。退避させ終るとdtranを通じて退避が終了したことを制御回路CNTS5に伝える。これによって、制御回路CNTS5からスタンバイ状態に遷移する信号が出力され、ロジック回路およびSRAM1の電源がスイッチによって遮断され、またSRAM2にリーク電流が下がるような基板バイアスが印加される。逆に、スタンバイ状態からアクティブ状態に復帰する場合には、制御回路CNTS5から信号が出力され、ロジック回路およびSRAM1に電源が供給されるとともにSRAM2のスタンバイ状態の基板バイアスがアクティブ状態のバイアスに切替えられる。ロジック回路およびSRAM1の電源電圧およびSRAM2の基板電位が安定すると、制御信号dtranを通してバスを制御する回路が制御され、SRAM2に退避させていたSRAM1のデータをもとに戻す。この回路では、スタンバイ時に保持しておく必要のあるデータは保持することができ、かつ、保持しておく必要のないデータ分のメモリセルのリーク電流を低減することができる。図24に、SRAM回路をブロックに分割した第2の変形例のSRAM回路とその電源制御回路部分を示す。図15においてはSRAM回路は一つの降圧回路でCNTV1でSRAM回路の高電位側の電位が制御されているが、分割することにより各ブロック毎に最適な制御(SRAM1は降圧するが、SRAM2は読み出し・書き込み動作を行うために降圧しない)を行うことができる。図15の場合と同様、高電位側で降圧するのでなく、低電位側を昇圧、又は昇圧降圧の組み合わせにより同じ効果を得ることができる。CNTV2は各々図17に示された回路を用いればよい。降圧電圧はSRAMの記憶保持ができる最低限の電圧以上にする必要がある。図25には、SRAM回路をブロックに分割した第3の変形例のSRAM回路とその電源制御回路部分を示す。4つのSRAMブロックSRAM1、SRAM2、SRAM3およびSRAM4と、それぞれのブロックの電源を遮断するPチャネル型MOSトランジスタで構成されたスイッチP9、P10、P11およびP12と、その電源スイッチを制御する制御回路CNTS6で構成されている。スタンバイ時には、データを保持する必要のあるブロックの電源は遮断せず、データを保持する必要のないブロックの電源は遮断する。この回路構成によって、SRAM回路のリーク電流をデータ保持が必要なブロック分のみとすることができる。Pチャネル型MOSトランジスタの例を図示したが、面積効率の上からはNチャネル型のトランジスタに置き換えた構成の方が有利である点は既に述べたとおりである。図21では電源を遮断しないブロックを設け、情報保持を必要とするが電源がスタンバイ時に遮断される他のブロックの情報を転送する構成をとるが、本構成によれば、データを転送する処理を行う必要はなくなる。但し、情報保持を必要とするか否かを検出する手段を付加し、その手段によって情報保持が必要のないブロックの電源スイッチのみが遮断されることになる。そこで、制御回路CNTS6の制御方式としては、例えば、必要なデータが格納されているブロックを記憶しておき、スタンバイ状態に遷移する際には、データが格納されていないブロックの電源を遮断する制御方式が考えられる。また、回路作成時に、電源を遮断するブロックと遮断しないブロックをプログラムしておき、そのプログラムにしたがって、電源を遮断する制御方式も考えられる。ま

10

20

30

40

50

た、動作中にどのブロックの電源を遮断するかをプログラムしておき、電源遮断が必要なブロックのみ電源を遮断する制御方法も考えられる。このように、制御回路CNTS6の制御方式を変更すれば、さまざまな電源遮断パターンが実現できる。

【0046】

図26には、図24のCNTV2を3つの電源状態のいずれかに接続するスイッチとしたものである。3つの電源状態とは外部から供給されている電源電圧Vddと接続される状態、SRAMでデータを保持することが可能なVddよりも低い電圧の電源と接続される状態、および電源が遮断される状態である。3つの電源状態に接続できる場合には、アクティブ状態ではすべてのブロックの電源をVddと接続し、スタンバイ状態にはデータを保持する必要があるブロックの電源はVddよりも低い電圧の電源に接続し、データを保持する必要のないブロックの電源は遮断する。これによって、データを保持する必要のあるブロックのリーク電流も低減することができる。図中のPDCは降圧回路であり電源Vddよりも低い電圧で、SRAMのメモリセルがデータを保持できる電圧を出力する。この回路では、入力された制御信号cntp1の値にしたがって、スイッチが切り替わり、メモリの電源VddmをVddか、Vddを降圧した回路、または何も接続されていない状態につなぎかえる。図25の回路を使用するとスタンバイ状態のリーク電流を低減できるが、例えば、アクティブ状態でアクセスしているSRAMブロックの電源はVddに接続し、アクセスされていないブロックの電源はVddよりも低い電圧の電源に接続する。これによって、アクティブ時の不要なSRAMブロックのリーク電流を低減することも可能である。CNTV2を降圧回路から昇圧回路に変え、メモリセルの低電位側の電源との間に挿入することも可能である。尚、図24、図25では、とくにSRAM回路を4つのブロックに分割しているが、回路構成としては、1つ以上のブロックがある場合に適用できる。以上、MOS(Metal-Oxide-Semiconductor)トランジスタと記載したが、酸化膜を用いないMIS(Metal-Insulated-Semiconductor)トランジスタに置き換えても、本発明の効果に相違はない。

10

20

【図面の簡単な説明】

【0047】

【図1】本発明が適用されたシステムLSIのロジック回路およびSRAM回路とその電源の関係の概略を表した図である。

【図2】図1のシステムLSIのレイアウトの模式図である。

【図3】図1に示した回路中の各ノードの電位の変化を示した図である。

30

【図4】図1中の制御回路CNTSの回路の例を表した図である。

【図5】図1の回路の状態を変化させるための信号の波形図である。

【図6】図5に示した信号を発生させる回路の例を示した図である。

【図7】本発明が適用されたSRAM回路の内部の構成とその電源の関係を表した図である。

【図8】本発明が適用されたロジック回路の構成を示した図である。

【図9】本発明が適用されたシステムLSIのトランジスタの構造を示した図である。

【図10】ロジック回路のスイッチの第1の変形例を表した図である。

【図11】図10に示した回路中の各ノードの電位の変化を示した図である。

【図12】ロジック回路のスイッチの第2の変形例を表した図である。

【図13】ロジック回路のスイッチの第3の変形例を表した図である。

40

【図14】図13の応用例の図である。

【図15】SRAM回路に降圧回路を適用した図である。

【図16】図15に示した回路中の各ノードの電位の変化を示した図である。

【図17】図16中のスイッチ回路CNTV1の回路図である。

【図18】図7のSRAM回路の第1の変形例である。

【図19】図7のSRAM回路の第2の変形例である。

【図20】ロジック回路に基板バイアス制御を適用した図である。

【図21】SRAM回路部を分割した第1の変形例を表した図である。

【図22】図21において複数あるSRAM回路を構成するトランジスタの構造を示した図である。

50

【図 2 3】 図21の発明のシステムの応用例を表した図である。

【図 2 4】 SRAM回路を分割した第 2 の変形例を表した図である。

【図 2 5】 SRAM回路を分割した第 3 の変形例を表した図である。

【図 2 6】 図24中の電源制御回路CNVT2の回路構成例を示した図である。

【符号の説明】

【0048】

CHIP…チップ、LOGIC・LOGIC1・LOGIC2…ロジック回路、SRAM・SRAM1・SRAM2…スタティックメモリ回路、POW…電源制御系、VssQ…外部から供給される高電位側電源線、VddQ…外部から供給される低電位側電源線、Vss…内部回路の低電位側(接地)電位線、Vdd…内部回路の高電位側電位線、stby…スタンバイ信号、Vbn…nMOS基板電位線、Vbp…pMOS基板電位線、N1～N10…nMOS電源スイッチ、P1～P12…pMOS電源スイッチ、cntn・cntp・cntn1・cntn2・cntmn1・cntmn2・cntmn3・cntp1・cntp2・cntp3・cntp4・cntmp1・cntmp2・cntmp3…電源スイッチ制御信号CNTS・CNTS2～CNTS5…電源スイッチ制御回路、VBBC・VBBC2…基板バイアス制御回路、Vdd1・Vss1・Vss11・Vss12…ロジック回路電源線、IO…入出力回路、ack…アクティブ状態遷移信号、FF…フリップフロップ、BUS…バス、BSCNT…バス制御回路、PDC…降圧回路、MAR…メモリセルアレイ、PERI1・PERI2…SRAM周辺回路、CORE…ロジック回路およびSRAM回路、WL…ワード線、BL・/BL…ビット線、WDR…ワードドライバ、RWAMP…リードライトアンプ、PRE…プリチャージ回路、CDEC…カラムデコーダ、RDEC…ロウデコーダ、MCNT…メモリ制御回路、Vddma・Vssma・Vddamp・Vssamp・Vddperi・Vssperi…メモリ各部の電源、OBUF…リードアンプ出力バッファ、cntvbb1・cntvbb2…基板バイアス制御信号、SW1…切替えスイッチ、Vbpl・Vbn1…ロジック回路基板電位線、Vbpm・Vbnm…SRAM回路基板電位線、MEM1・MEM2…SRAMメモリセル、BLK1～BLK2…SRAMブロック、CNTV1・CNTV2…電源電圧制御回路、tox…ゲート絶縁膜厚。

【図 1】

【図 2】

図 1

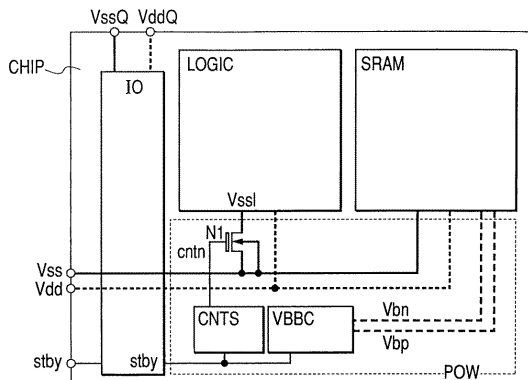
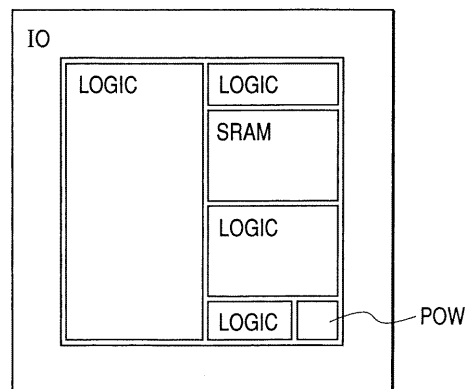
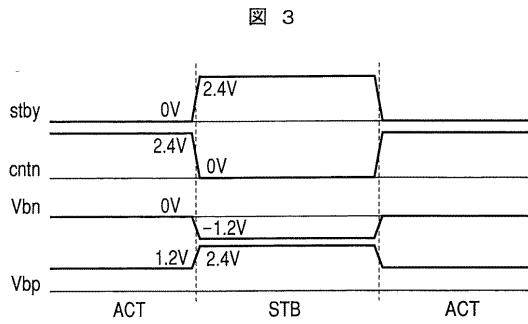


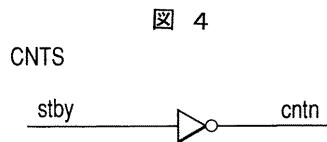
図 2



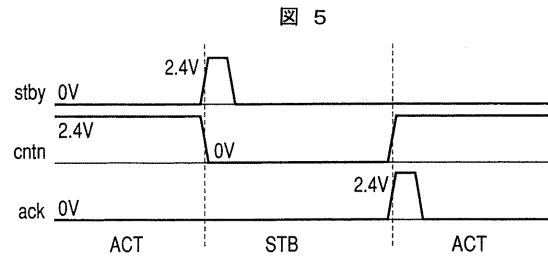
【図 3】



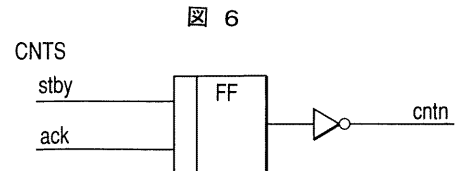
【図 4】



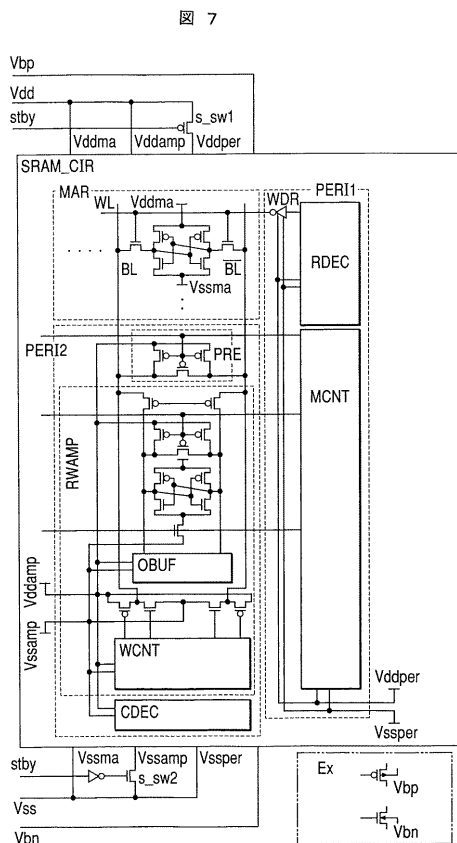
【図 5】



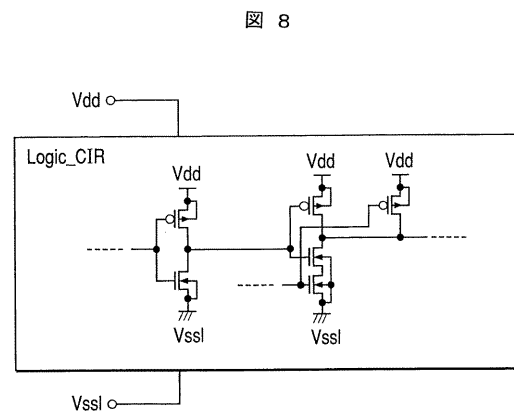
【図 6】



【図 7】



【図 8】



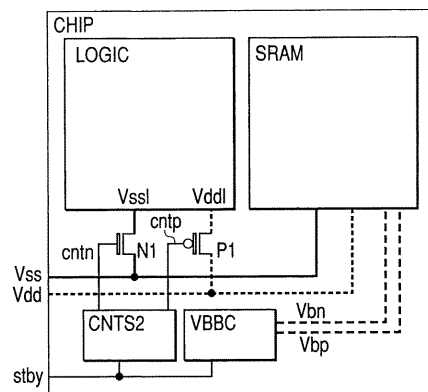
【図 9】

図 9

		Logic_CIR	Logic sw (N1)	SRAM_CIR	SRAM sw (s_sw1, s_sw2)	IO
Pattern1	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V, 0.40V	2.0nm 0.40V	6.7nm 0.80V
Pattern2	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V, 0.40V	6.7nm 0.40V	6.7nm 0.80V
Pattern3	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V, 0.40V	2.0nm 0.40V	6.7nm 0.80V

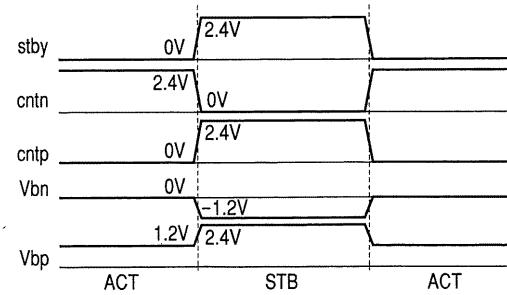
【図 1 0】

図 1 0



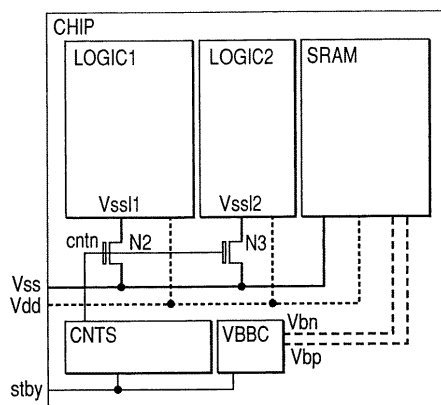
【図 1 1】

図 1 1



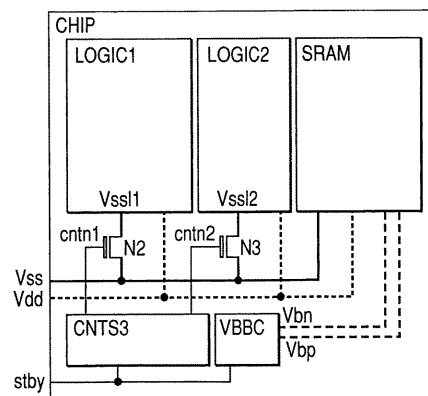
【図 1 2】

図 1 2



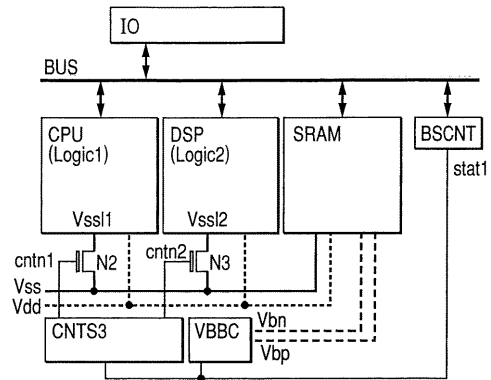
【図 1 3】

図 1 3



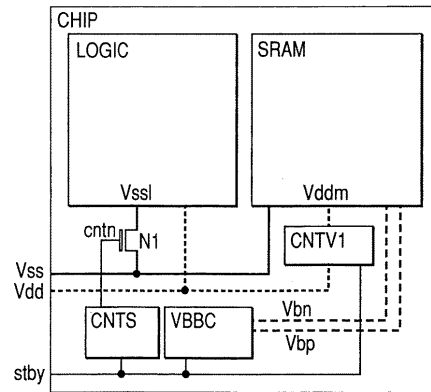
【図 1 4】

図 1 4



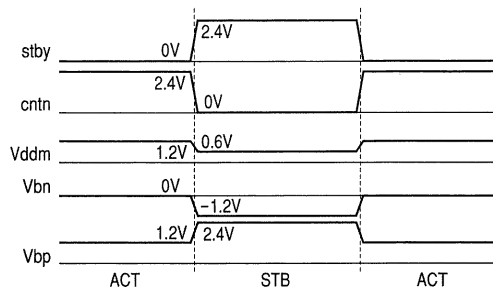
【図 1 5】

図 1 5



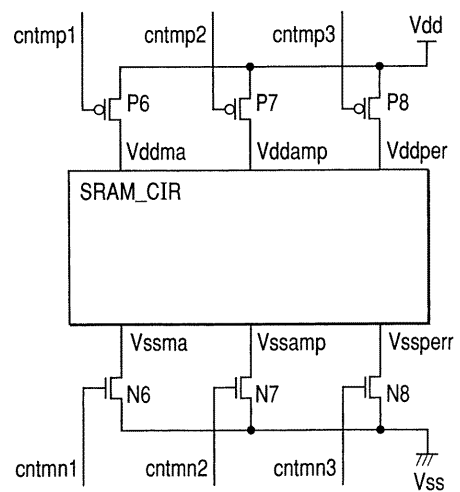
【図 1 6】

図 1 6



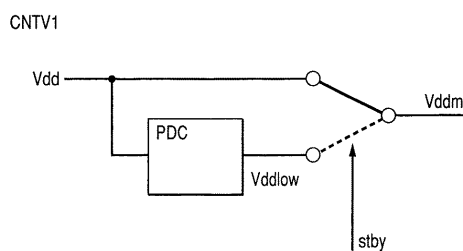
【図 1 8】

図 1 8



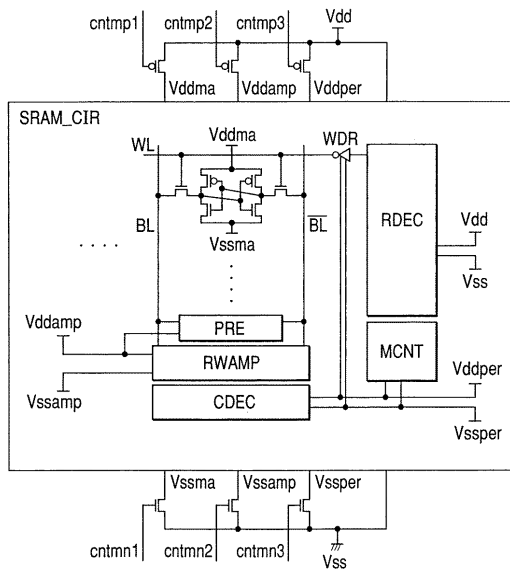
【図 1 7】

図 1 7



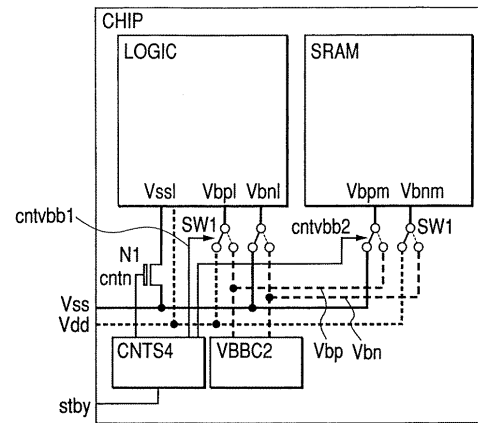
【図 19】

図 19



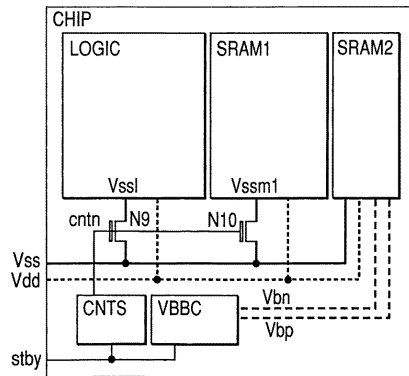
【図 20】

図 20



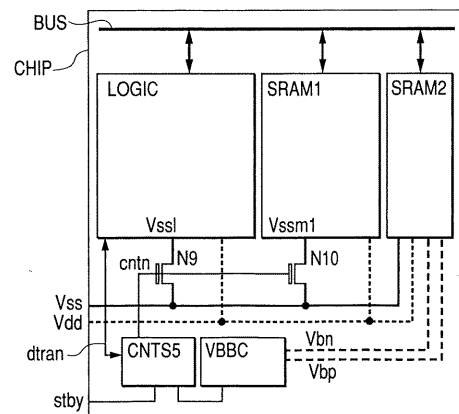
【図 21】

図 21



【図 23】

図 23



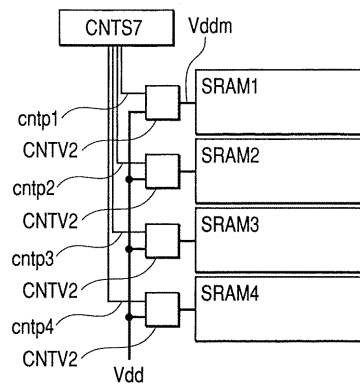
【図 22】

図 22

		Logic_CIR	IO	MAR1	MAR2
Pattern1	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.40V	2.0nm 0.40V
Pattern2	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.40V	6.7nm 0.40V
Pattern3	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V	2.0nm 0.40V
Pattern4	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V	6.7nm 0.40V

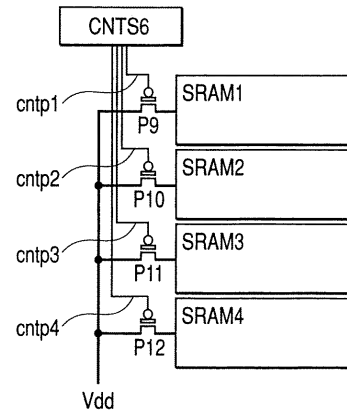
【図 2 4】

図 2 4



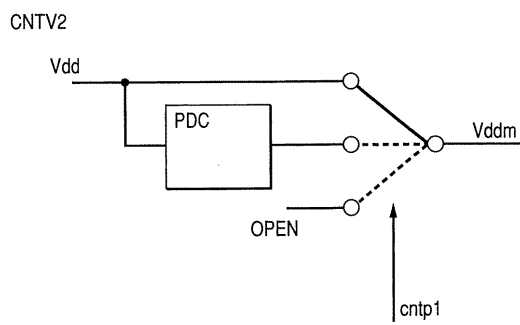
【図 2 5】

図 2 5



【図 2 6】

図 2 6



フロントページの続き

(72)発明者 長田 健一

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5B015 HH01 HH03 JJ03 JJ05 JJ07 KB52 KB64 KB66 PP08 QQ02
QQ03